



MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA TUTELA DELLA PROPRIETÀ INDUSTRIALE
UFFICIO ITALIANO BREVETTI E MARCHI

UTBM

DOMANDA NUMERO	101993900338441
Data Deposito	22/12/1993
Data Pubblicazione	22/06/1995

Priorità	08/000.665
Nazione Priorità	US
Data Deposito Priorità	

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
H	03	K		

Titolo

CIRCUITO DI AZZERAMENTO

27.P8001.12.IT.74

22 DIC. 1993

- 2 -

MI93A/02702

DESCRIZIONE

La presente invenzione si riferisce a microprocessori, microelaboratori, microcontrollori e altra logica di controllo di circuiti a temporizzazione variabile qui di seguito indicata come "controllo", e in particolare a un circuito di azzeramento per questa.

All'attivazione, sia potenza a corrente continua che un segnale di clock da una sorgente di segnali di clock vengono applicati a un controllo. E' necessario che il controllo venga rimesso a zero una volta che la potenza e il segnale di clock si sono stabilizzati. Solitamente è richiesto che il segnale di rimessa a zero (il rilascio di un livello logico di inibizione) sia presente per un periodo di tempo più lungo di quanto sarebbe necessario affinché la sorgente di clock del controllo si stabilizzi, allo scopo di assicurare che la rimessa a zero del controllo non avvenga fino a quando la sorgente di clock si è stabilizzata. Tipicamente viene usato un circuito di temporizzazione a resistore/condensatore la cui tensione aziona un trigger di Schmitt. L'uscita del trigger di Schmitt fornisce il segnale di rimessa a zero.

- 3 -

Con una semplice sorgente di rimessa a zero temporizzata, come descritto sopra, non vi è garanzia fisica che il clock sia completamente operativo prima che venga fornito l'azzeramento. Ciò può avere serie conseguenze in molti casi in cui il controllo viene usato per azionare un servizio pubblico, per esempio, un sistema di commutazione telefonica.

Con la dizione "applicazione di segnale di rimessa a zero" a un controllo o altro dispositivo, si vuole significare che viene applicata la giusta polarità di un livello o impulso a corrente continua di rimessa a zero che eliminerà un livello logico di inibizione da un terminale di inibizione o di rimessa a zero del controllo. Pertanto, si deve comprendere che l'applicazione di un segnale di rimessa a zero potrebbe essere costruita in modo ugualmente efficace sia che significhi l'eliminazione di un segnale di rimessa a zero che l'invio di un segnale di rimessa a zero, allo scopo di permettere al processore di operare.

In accordo con la presente invenzione, il segnale di clock stesso viene usato come sorgente di energia per un temporizzatore di azzeramento, piuttosto che alimentazione di potenza. Il segnale di clock viene

- 4 -

ripristinato a corrente continua, rettificato e quindi carica un temporizzatore a resistore/condensatore che preferibilmente ha un resistore a dispersione o altro percorso di dispersione di corrente che rimuove la carica dal condensatore nel temporizzatore ad una velocità leggermente inferiore di quella alla quale il temporizzatore è caricato. Un circuito livellatore a diodo viene preferibilmente usato per scaricare il condensatore se vi è caduta di corrente, come in un normale circuito di azzeramento.

Secondo una forma di realizzazione dell'invenzione, un circuito di azzeramento comprende una sorgente di potenza a corrente continua, una sorgente di segnali di clock, un dispositivo per applicare potenza da una sorgente di potenza alla sorgente di clock, un dispositivo temporizzatore, un dispositivo per iniziare temporizzazione dal dispositivo temporizzatore dai segnali di clock dalla sorgente dei segnali di clock, e un dispositivo per generare un segnale di azzeramento dopo un predeterminato intervallo temporizzato dal dispositivo temporizzatore.

Secondo un'altra forma di realizzazione dell'invenzione, un circuito di azzeramento

- 5 -

comprende un dispositivo per ricevere un segnale oscillante o di clock e un dispositivo per generare un segnale di azzeramento da questo.

Una migliore comprensione dell'invenzione si otterrà facendo riferimento alla descrizione dettagliata che segue, considerata congiuntamente ai seguenti disegni, nei quali:

- la figura 1 è un diagramma schematico di un circuito di azzeramento della tecnica precedente,
- la figura 2 è un diagramma schematico di una forma di realizzazione della presente invenzione,
- la figura 3 è un grafico che illustra forme d'onda presenti in varie parti del circuito dell'invenzione, e
- le figure 4, 5 e 6 sono diagrammi a blocchi che illustrano altre forme di realizzazione dell'invenzione.

La figura 1 illustra un circuito di azzeramento usato per un controllo. Una sorgente di alimentazione di potenza di corrente continua +, che attiva il clock 9 e un controllo (non illustrato) che devono essere azzerati, fa passare corrente attraverso il resistore 1 per caricare il condensatore 3.

Quando il condensatore 3 carica ad una particolare

- 6 -

tensione, un trigger di Schmitt, collegato alla giunzione del resistore e del condensatore, opera. Il suo segnale d'uscita viene invertito nell'invertitore 7 e l'uscita dell'invertitore 7 è un segnale /RESET per il controllo. Questo rimette a zero il controllo, il quale opera un modo ben noto per attivare un programma di inizializzazione. Mentre l'alimentazione di potenza a corrente continua può essere o non essere stabile, la carica del condensatore procede in ogni caso e in un particolare momento il segnale di rimessa a zero rilascia il controllo. Tuttavia, la sorgente di segnali di clock, che è pure attivata dall'alimentazione di potenza, può essere o non essere operante, o può o non può essere stabile per il momento in cui è presente il /RESET. Pertanto, il controllo viene rimesso a zero in alcune condizioni. La figura 2 riporta un diagramma schematico della presente invenzione. La sorgente di potenza + che attiva il controllo viene applicata alla sorgente di clock 9. La linea dei segnali di clock viene accoppiata a corrente alternata per mezzo del condensatore 11 e del buffer 13 (che potrebbero essere invertitori o non invertitori) a un ripristinatore e rettificatore della corrente

- 7 -

continua comprendente il diodo 15 e il diodo 17 che vengono collegati in serie e polarizzati allo stesso modo. Il diodo 15 ha il suo anodo collegato a massa e il condensatore 11 è collegato alla giunzione dei due diodi,

Il catodo del diodo 17 è collegato a un circuito di temporizzazione a resistore/condensatore con il catodo del diodo 17 collegato da un'estremità del resistore 19 e il condensatore 20 collegato all'altra estremità del resistore 19 a terra. Un resistore a dispersione ad alto valore 21 è collegato in parallelo al condensatore 20.

La giunzione del resistore 19 e del condensatore 20 è collegata all'ingresso del trigger di Schmitt 23, l'uscita del quale è collegata attraverso l'invertitore 25 a una linea di azzeramento 27.

Un altro diodo 29, avente il suo anodo collegato alla giunzione del resistore 19 e del condensatore 21 ha il suo catodo collegato al terminale di alimentazione di potenza +.

In funzionamento, quando il sistema viene attivato, il livello di tensione dell'alimentazione di potenza aumenta. La sorgente di clock 9 inizia ad operare. Il segnale di clock è accoppiato a corrente alternata al ripristinatore e rettificatore della

- 8 -

corrente continua comprendente diodi 15 e 17 ove viene convertito in corrente continua. Il segnale a corrente continua risultante viene applicato al temporizzatore a resistore-condensatore che opera come quello della tecnica precedente, caricando il condensatore 20. Una volta caricato a un predeterminato livello, il trigger di Schmitt 23 opera, e il segnale, o una sua versione invertita, fornito dal funzionamento dell'invertitore 25, viene presentato sulla linea di azzeramento 27 che viene applicata al processore.

Si può vedere che il condensatore 20 inizia soltanto dopo a caricare una volta generati gli impulsi di clock. Pertanto, non soltanto il condensatore 20 non caricherà se il clock non opera, contrariamente al circuito della tecnica precedente sopra descritto, ma, poichè sono gli impulsi di clock stessi che inducono il condensatore 20 a caricarsi, il ritardo nella tensione attraverso il condensatore 20 aumentando alla tensione di soglia affinché il trigger di Schmitt operi, fornisce abbondante tempo affinché il segnale di clock diventi stabile. Nella tecnica precedente, il segnale di rimessa a zero, essendo abilitato grazie alla presenza della tensione di alimentazione di potenza, potrebbe

- 9 -

essere presente prima che la sorgente di clock abbia iniziato ad essere operativa, oppure durante il primo ciclo o pochi cicli della sorgente di clock quando può essere instabile. Ciò non può accadere nella presente invenzione, poichè è l'esistenza del segnale di clock stesso per un periodo di tempo che causa la generazione del segnale di rimessa a zero.

Come coefficiente di sicurezza, il circuito livellatore a diodo 29 verrà in seguito polarizzato se vi è caduta di alimentazione di potenza della rete, scaricando il condensatore 21 e causando la rimozione logica del segnale /RESET.

Il resistore 21, nel disperdere la carica dal condensatore 20, assicura che il clock 9 si arresti, la tensione attraverso il condensatore 20 cadrà, inducendo il trigger di Schmitt a rimuovere logicamente il segnale /RESET dalla linea 27, arrestando il controllo.

In una forma di realizzazione di successo, il resistore 19 era di 100 K ohm, il condensatore 20 di 0,1 μ F, il condensatore 11 di 0,1 μ f e i diodi 15 e 17 erano del tipo 1N4148. Il resistore 21 era di 1 megohm.

Si comprenderà che il circuito opererà senza che il resistore 21 o il diodo 29 siano presenti. Il

- 10 -

circuito opererà pure con un altro resistore in serie con il diodo 15 e naturalmente per una particolare applicazione verranno scelti differenti valori dei componenti,

Gli esperti nella tecnica comprenderanno facilmente che il resistore 19 e il condensatore 21, con i loro componenti opzionalmente associati, comprendono un dispositivo temporizzatore. In una forma di realizzazione alternativa dell'invenzione, il dispositivo temporizzatore potrebbe comprendere un elemento di accumulo della carica capacitiva caricato e scaricato da sorgenti di corrente e dissipatori di corrente,

In un'altra forma di realizzazione alternativa dell'invenzione, come illustrata in figura 4, il dispositivo di temporizzazione potrebbe comprendere un contatore digitale 39 che può essere incrementato da impulsi dalla sorgente di clock 9 e potrebbe essere opzionalmente decrementato da impulsi da una seconda sorgente di clock 41 a frequenza sostanzialmente inferiore alla frequenza della prima sorgente di clock,

E' anche possibile sostituire la funzione di temporizzazione del resistore 19 e del condensatore 21 con una catena di conteggio operante direttamente

- 11 -

dal buffer 13,

Si può inoltre comprendere che il condensatore 11, il diodo 15 e il diodo 17 comprendono un dispositivo per iniziare la temporizzazione per mezzo del dispositivo temporizzatore dai segnali di clock dalla sorgente dei segnali di clock, In una forma di realizzazione alternativa dell'invenzione, come illustrato in figura 5, il dispositivo per l'inizio della temporizzazione da parte del dispositivo di temporizzazione dai segnali di clock dalla sorgente dei segnali di clock, potrebbe comprendere una sorgente di corrente 43 controllata da un multivibratore monostabile 45 eccitato da impulsi da detta sorgente di segnali di clock, come illustrato, L'intero circuito di ritardo potrebbe essere alternativamente sostituito con una catena di conteggio 47, mentre il diodo 27 e il resistore 21 potrebbero essere sostituiti da un diodo 49 azzerato alla catena e da un rivelatore di impulso mancante 51, rispettivamente, come illustrato in figura 6,

La figura 3 riporta il segnale in vari punti del circuito di figura 2, La curva A indica una curva che rappresenta la tensione d'uscita della sorgente di clock 9, Nella curva A, prima del funzionamento del clock, non appare alcun impulso di clock, come

- 12 -

mostrato in 31. Una volta che la sorgente di clock inizia ad operare, gli estremi degli impulsi dei segnali di clock, come mostrato in 33, sono evidenti.

La tensione attraverso il condensatore 21 è illustrata come curva B, che inizia a salire, come mostrato in 35, una volta generati i segnali di clock dalla sorgente di clock 9. La curva C mostra il segnale RESET all'uscita del trigger di Schmitt 23. La tensione a caduta 37 avviene in un momento che segue l'inizio del funzionamento del clock e viene determinata dalla soglia di funzionamento del trigger di Schmitt e dalla velocità di aumento della tensione attraverso il condensatore 21.

Mentre questo circuito è stato descritto come atto a fornire un circuito di azzeramento per un controllo, potrebbe essere alternativamente usato per controllare la perdita di qualsiasi clock continuo o quasi continuo o flusso di cambio dati. Il dispositivo di temporizzazione e il dispositivo per l'inizio della temporizzazione da parte del temporizzatore dalla sorgente di segnali di clock, può, naturalmente, comprendere qualsiasi combinazione appropriata di elementi del circuito analogico o digitale. I resistori possono essere

- 13 -

canali a stato solido o altre sorgenti di limitazione di corrente e i condensatori potrebbero essere qualsiasi circuito o elemento che mostri capacità.

Una persona che comprende l'invenzione può ora concepire strutture o forme di realizzazione alternative o variazioni della stessa. Tutte quelle che cadono nell'ambito delle rivendicazioni qui allegate sono considerate parte della presente invenzione.

R I V E N D I C A Z I O N I

1, Circuito di azzeramento caratterizzato dal fatto di comprendere;

(a) una sorgente di potenza a corrente continua,

(b) una sorgente di segnali di clock,

(c) mezzi per applicare potenza dalla sorgente di potenza alla sorgente di segnali di clock,

(d) un mezzo temporizzatore,

(e) mezzi per inizializzare temporizzazione dal mezzo temporizzatore dai segnali di clock dalla sorgente di segnale di clock,

(f) mezzi per generare un segnale di azzeramento che segue un predeterminato intervallo temporizzato dal mezzo temporizzatore.

2, Circuito di azzeramento secondo la rivendicazione

1, caratterizzato dal fatto che il mezzo d'inizializzazione comprende un circuito di generazione di corrente continua per ricevere detti segnali di clock ed emettere da questi un segnale a corrente continua,

3, Circuito di azzeramento secondo la rivendicazione

2, caratterizzato dal fatto che il circuito di generazione di corrente continua è un ripristinatore di corrente continua accoppiato a corrente alternata a un'uscita della sorgente di segnale di clock.

- 15 -

4. Circuito di azzeramento secondo la rivendicazione 3, caratterizzato dal fatto che il mezzo temporizzatore è un circuito temporizzatore a resistore-condensatore, comprendente mezzi per caricare il condensatore dall'uscita del riprisinatore della corrente continua,

5. Circuito di azzeramento secondo la rivendicazione 4, caratterizzato dal fatto che il mezzo di generazione del segnale di azzeramento comprende un trigger di Schmitt avente una soglia operativa leggermente inferiore a una tensione a corrente continua predeterminata massima che il condensatore raggiunge al funzionamento stabile della sorgente di segnali di clock,

6. Circuito di azzeramento secondo la rivendicazione 5, caratterizzato dal fatto di comprendere inoltre un resistore ad alto valore in parallelo con il condensatore, per scaricare il condensatore a una velocità inferiore alla sua velocità di carica,

7. Circuito di azzeramento caratterizzato dal fatto di comprendere un mezzo per ricevere un segnale oscillante o di clock e un mezzo per generare un segnale di azzeramento da questo,

8. Circuito di azzeramento secondo la rivendicazione 7, caratterizzato dal fatto di comprendere un mezzo

per convertire il segnale di clock o oscillante in un segnale a corrente continua e per attivare un temporizzatore generatore di un segnale di azzeramento da questo.

9. Circuito di azzeramento secondo la rivendicazione 8, caratterizzato dal fatto di comprendere mezzi per fornire una sorgente di potenza, il segnale di azzeramento e il segnale oscillante o di clock a un controllo per, rispettivamente, attivare, temporizzare e ripristinare il controllo.

10. Circuito di azzeramento secondo la rivendicazione 2, caratterizzato dal fatto che detto circuito di generazione di corrente continua comprende una sorgente di corrente controllata da un multivibratore monostabile eccitato da impulsi da detta sorgente di segnali di clock.

11. Circuito di azzeramento secondo la rivendicazione 10, caratterizzato dal fatto che detto mezzo temporizzatore comprende un elemento di accumulo di carica capacitiva caricato da detta sorgente di corrente controllata.

12. Circuito di azzeramento secondo la rivendicazione 11, caratterizzato dal fatto di comprendere inoltre un mezzo per scaricare detto elemento di accumulo di carica capacitiva a una

velocità inferiore alla sua velocità di carica da detta sorgente di corrente controllata,

13, Circuito di azzeramento secondo la rivendicazione 12, caratterizzato dal fatto che detto mezzo di scarica comprende un resistore ad alto valore in parallelo con il condensatore,

14, Circuito di azzeramento secondo la rivendicazione 12, caratterizzato dal fatto che detto mezzo di scarica comprende un dissipatore di corrente,

15, Circuito di azzeramento secondo la rivendicazione 1, caratterizzato dal fatto che detto mezzo temporizzatore comprende un circuito di conteggio digitale,

16, Circuito di azzeramento secondo la rivendicazione 15, caratterizzato dal fatto che detto mezzo di inizializzazione comprende mezzi per incrementare detto circuito di conteggio digitale ad ogni verificarsi di impulso da detta sorgente di segnali di clock,

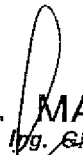
17, Circuito di azzeramento secondo la rivendicazione 15, caratterizzato dal fatto che detto mezzo di generazione di segnali di azzeramento comprende mezzi per confrontare lo stato di detto circuito di conteggio digitale con una

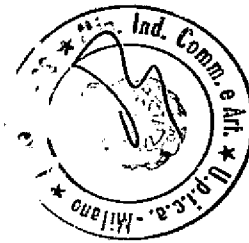
predeterminata soglia,

18, Circuito di azzeramento secondo la rivendicazione 15, caratterizzato dal fatto di comprendere inoltre mezzi per decrementare detto circuito di conteggio digitale ad ogni verificarsi di impulso da una seconda sorgente di segnali di clock a una frequenza sostanzialmente inferiore a detta prima sorgente di segnali di clock,

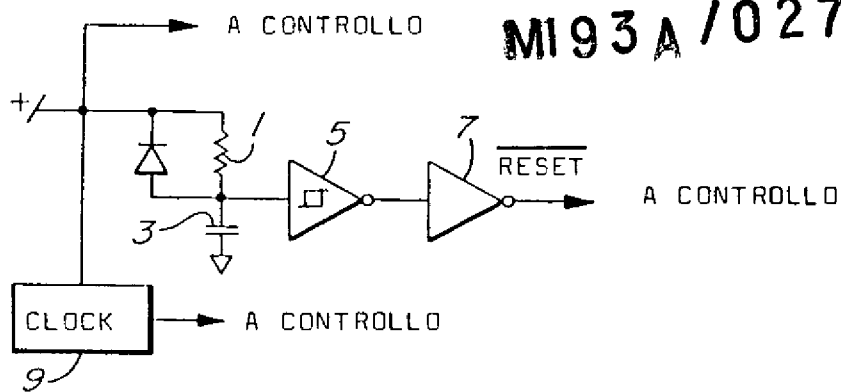
p.i. della Ditta;

MITEL CORPORATION

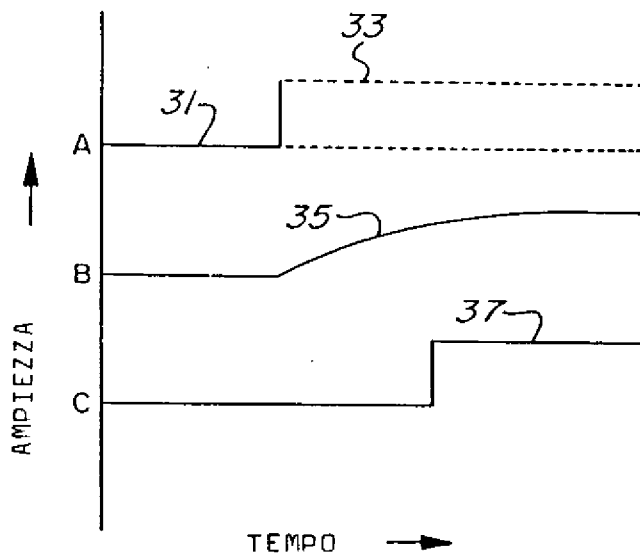
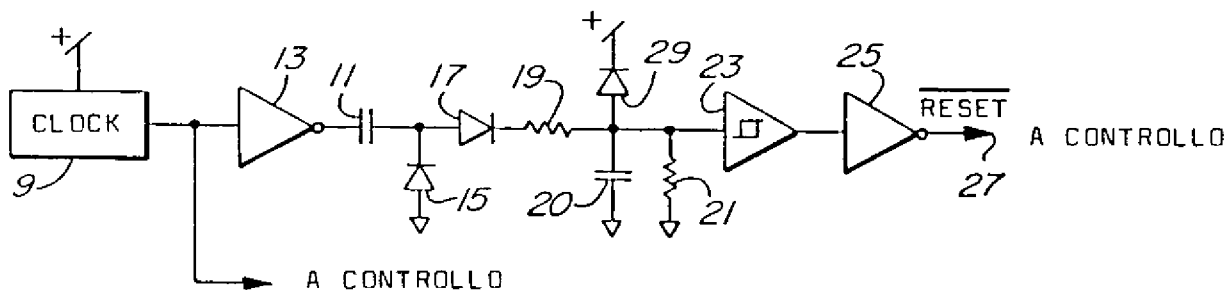

IL MANDATARIO
Ing. Giuseppe PIRILLO
Iscritto all'Albo con Il n. 518



M193A/02702



TECNICA PRECEDENTE



MI93A/02702

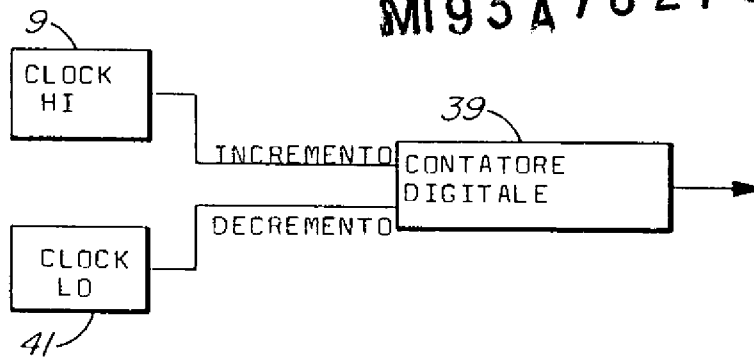


FIG. 4

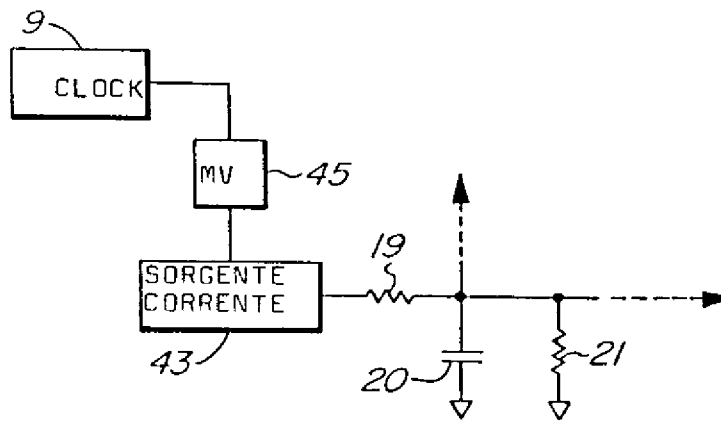


FIG. 5

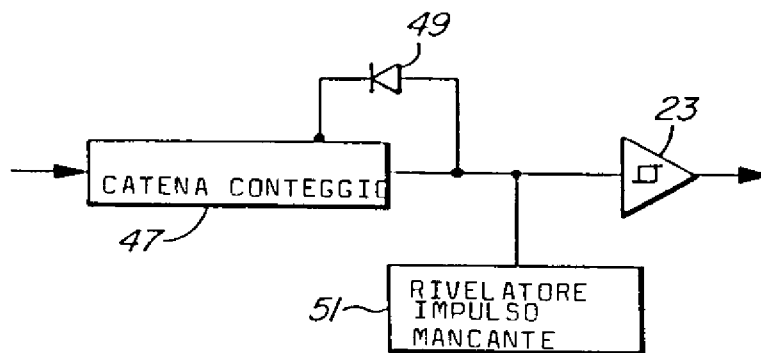


FIG. 6