

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年5月10日(10.05.2024)



(10) 国際公開番号

WO 2024/095464 A1

(51) 国際特許分類:
H01L 23/12 (2006.01)

(21) 国際出願番号: PCT/JP2022/041199

(22) 国際出願日: 2022年11月4日(04.11.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 株式会社 レゾナック (RESONAC CORPORATION) [JP/JP]; 〒1057325 東京都港区東新橋一丁目9番1号 Tokyo (JP).

(72) 発明者: 鈴木 克彦 (SUZUKI Katsuhiko); 〒1006606 東京都千代田区丸の内一丁目9番2号 昭和電工マテリアルズ株式会社内 Tokyo (JP).

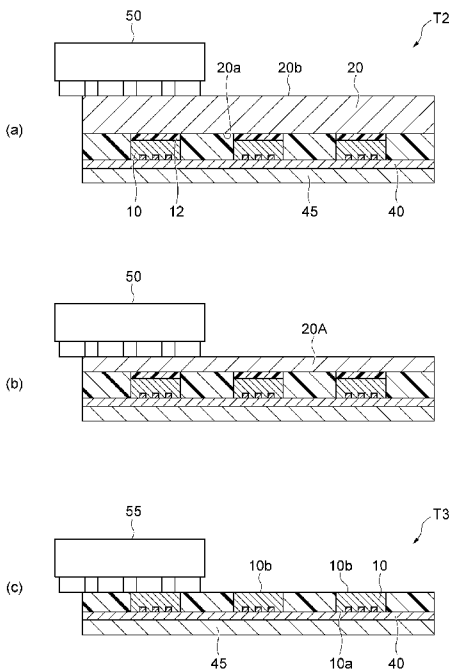
(74) 代理人: 長谷川 芳樹, 外 (HASEGAWA Yoshiki et al.); 〒1000005 東京都千代田区丸の内二丁目1番1号丸の内 M Y P L A Z A (明治安田生命ビル) 9階 創英国際特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,

(54) Title: SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(54) 発明の名称: 半導体デバイスの製造方法

[図4]



(57) Abstract: This semiconductor device manufacturing method comprises: a step of preparing a laminate in which multiple semiconductor chips are respectively fixed on a carrier by an adhesive layer, with respective connection terminals of the multiple semiconductor chips being fixed to a first carrier surface so as to face a side opposite from the carrier; a step of forming a redistribution layer to be connected to the respective connection terminals of the multiple semiconductor chips; and a step of grinding the carrier of the laminate from a second carrier surface, which is opposite from the first carrier surface, toward the first carrier surface. In the grinding step, a second chip surface, which is opposite from a first chip surface on which the redistribution layer for the multiple semiconductor chips is disposed, is exposed by shaving off the carrier and the adhesive layer.

(57) 要約: 半導体デバイスの製造方法は、複数の半導体チップのそれぞれが接着剤層によってキャリア上に固定された積層体を準備する工程であって、複数の半導体チップの各接続端子がキャリアとは反対側を向くようにキャリアの第1キャリア面に固定されている、工程と、複数の半導体チップの各接続端子に接続する再配線層を形成する工程と、積層体におけるキャリアを、第1キャリア面とは反対側の第2キャリア面から第1キャリア面に向かって研削する工程と、を備えている。研削する工程では、キャリア及び接着剤層を削り取って複数の半導体チップの再配線層が設けられた第1チップ面とは反対側の第2チップ面を露出させる。

[続葉有]

SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：半導体デバイスの製造方法

技術分野

[0001] 本開示は、半導体デバイスの製造方法に関する。

背景技術

[0002] 特許文献1には、ファンアウト型の半導体デバイスの一例が開示されている。この半導体デバイスでは、半導体チップと外部接続端子との間に再配線層が設けられ、再配線層により半導体チップの端子間隔が広げられて外部接続端子に接続される。

先行技術文献

特許文献

[0003] 特許文献1：特開2019-029557号公報

発明の概要

発明が解決しようとする課題

[0004] 従来の半導体デバイスの製造方法では、例えば、図5の(a)に示すように、複数の半導体チップ110を仮固定材112でガラスキャリア120上に仮留めして封止材130で封止する。そして、半導体チップ110の接続端子が露出するまで封止材130を研磨し、その上に再配線層140（図5の(b)を参照）を形成する。しかしながら、この半導体デバイスの製造方法では、半導体チップ110が仮固定材112によってキャリア120に仮留めされていることから、封止材130をモールド成型機で成形する際、その圧力で半導体チップ110が当初の設置位置から動いてしまう、いわゆるダイシフトS1が生じてしまうことがある。ダイシフトが生じた場合、その後の工程（例えば露光工程）のために個別のアライメント作業が必要になる。

[0005] また、仮固定材112がガラスキャリア120と封止材130との間に挟まれている外周部S2は、暴露していることから、使用する薬液の影響でダ

メージを受けることがある。これにより、プロセスの途中でガラスキャリア 120 と封止材 130 とが剥離してしまう虞もある。更に、図 5 の (b) に示すように、仮固定材 112 を封止材 130 から剥離する際に、剥がす際の力によって半導体チップ 110 と封止材 130 との間にクラックが生じることがある。仮固定材 112 の樹脂の残渣が封止材 130 又は半導体チップ 110 の表面に残ったり (S3)、プロセスを進めている中でガラスキャリア 120 にマイクロクラック S4 が発生したり、マイクロクラック S4 の中にプロセスで使用した金属 S5 が混入することがある。

[0006] 本開示は、半導体チップの位置ずれを抑制しつつチップ表面の清浄度を容易に向上することができる半導体デバイスの製造方法を提供することを目的とする。

課題を解決するための手段

[0007] 本開示は、一側面として、半導体デバイスの製造方法に関する。この製造方法は、複数の半導体チップのそれぞれが接着剤層によってキャリア上に固定された積層体を準備する工程であって、複数の半導体チップの各接続端子がキャリアとは反対側を向くようにキャリアの第 1 キャリア面に固定されている、工程と、複数の半導体チップの各接続端子に接続する再配線層を形成する工程と、積層体におけるキャリアを、第 1 キャリア面とは反対側の第 2 キャリア面から第 1 キャリア面に向かって研削する工程と、を備えている。研削する工程では、キャリア及び接着剤層を削り取って複数の半導体チップの再配線層が設けられた第 1 チップ面とは反対側の第 2 チップ面を露出させる。

[0008] この半導体デバイスの製造方法では、複数の半導体チップが接着剤層によってキャリア上に固定されている。このように半導体チップが仮固定でなく本固定を行う接着剤層でキャリアに固定されている。この場合、半導体チップの位置ずれが確実に抑制される。また、この半導体デバイスの製造方法では、研削する工程において、キャリアを削り取って複数の半導体チップの再配線層が設けられた第 1 チップ面とは反対側の第 2 チップ面を露出させるよ

うにしている。この場合、キャリアを削り取るため、樹脂の残渣等が残ることなく、チップ表面の清浄度を向上させることが可能となる。

[0009] 上記の半導体デバイスの製造方法では、接着剤層は、熱硬化性接着剤を硬化した層であり、複数の半導体チップのそれぞれに対応して設けられていてもよい。この場合、キャリアを研削する工程において接着剤層を容易に研削することができる。

[0010] 上記の半導体デバイスの製造方法では、接着剤層の厚さは、 $50\mu\text{m}$ 以下であることが好ましい。この場合、キャリアを研削する工程において接着剤層を容易に研削することができる。なお、接着剤層の厚さは、 $20\mu\text{m}$ 以下であることが更に好ましい。この場合、接着剤層を更に容易に研削することができる。

[0011] 上記の半導体デバイスの製造方法では、接着剤層は、硬化性樹脂成分と無機フィラとを含有し、無機フィラの含有量は、接着剤層が硬化する前の接着剤の全量を基準として、 $50\text{質量}\%\sim 95\text{質量}\%$ であることが好ましい。この場合、キャリアを研削する工程において接着剤層を容易に研削することができる。なお、無機フィラの含有量は、接着剤層が硬化する前の接着剤の全量を基準として、 $80\text{質量}\%\sim 95\text{質量}\%$ であることが更に好ましい。この場合、キャリアを研削する工程において接着剤層を更に容易に研削することができる。

[0012] 上記の半導体デバイスの製造方法では、積層体を準備する工程は、複数の半導体チップのそれぞれを接着剤層でキャリアに固定する工程と、キャリア上の複数の半導体チップを覆うように封止材で封止して封止材層を形成する工程と、を有していてもよい。この態様において、封止材は、硬化性樹脂成分と無機フィラとを含有し、封止材における無機フィラの含有量は、封止材の全量を基準として、 $50\text{質量}\%$ 以上であってもよく、 $80\text{質量}\%$ 以上であることが好ましい。この場合、封止材層の研削を確実に行うことが可能となる。

[0013] 上記の半導体デバイスの製造方法では、積層体を準備する工程は、封止す

る工程の後に、複数の半導体チップを覆う封止材層を複数の半導体チップの第1チップ面が露出するまで研削する工程を更に有してもよい。

[0014] 上記の半導体デバイスの製造方法では、キャリアを研削する工程は、キャリアの第2キャリア面を第1砥石で粗研削する工程と、粗研削されたキャリアを、第1砥石よりも高い番手の第2砥石で仕上げ研削する工程と、を有することが好ましい。この場合、粗研削によりキャリアの研削速度を早めることができると共に、仕上げ研削により研削された表面の仕上がりを向上することが可能となる。この態様において、第1砥石は、＃200～＃1000の番手の砥石であり、第2砥石は、＃2000～＃6000の番手の砥石であってもよい。これにより、研削速度の向上と研削面の仕上がり精度の向上をより確実に行うことが可能となる。この態様において、粗研削する工程では、第1砥石によってキャリアと接着剤層の少なくとも一部とを削り取ってもよいし、仕上げ研削する工程では、第2砥石によって封止材層と半導体チップの第2チップ面とを研磨してもよい。これにより、研削速度の向上と研削面の仕上がり精度の向上をより確実に行うことが可能となる。

[0015] 上記の半導体デバイスの製造方法では、キャリアは、シリコンキャリアであり、研削する工程は、研削したシリコンスラッジ（シリコン屑）を再利用のために回収する工程を更に有してもよい。この場合、使用したシリコンを再利用することができ、環境に優しい製造方法とすることが可能となる。例えば、この製造方法によれば、研削したシリコンスラッジから不純物を除去して、再生シリコンとして利用することができる。

発明の効果

[0016] 本開示によれば、半導体チップの位置ずれを抑制しつつチップ表面の清浄度を容易に向上することができる半導体デバイスの製造方法を提供することができる。

図面の簡単な説明

[0017] [図1]図1は、半導体デバイスの一例を示す断面図である。

[図2]図2の（a）～（c）は、半導体デバイスの製造方法を順に示す図であ

る。

[図3]図3の(a)及び(b)は、半導体デバイスの製造方法を順に示す図であり、図2の工程に続いて行われる工程を示す。

[図4]図4の(a)～(c)は、半導体デバイスの製造方法を順に示す図であり、図3の工程に続いて行われる工程を示す。

[図5]図5の(a)及び(b)は、比較例に係る半導体デバイスの製造方法を示す図である。

発明を実施するための形態

[0018] 以下、図面を参照しながら本実施形態について詳細に説明する。以下の説明では、同一又は相当部分には同一符号を付し、重複する説明は省略する。また、上下左右等の位置関係は、特に断らない限り、図面に示す位置関係に基づくものとする。さらに、図面の寸法比率は図示の比率に限られるものではない。

[0019] 本明細書及び請求項において「左」、「右」、「正面」、「裏面」、「上」、「下」、「上方」、「下方」、「第1」、「第2」等の用語が利用されている場合、これらは、説明を意図したものであり、必ずしも永久にこの相対位置である、という意味ではない。また、「層」との語は、平面図として観察したときに、全面に形成されている形状の構造に加え、一部に形成されている形状の構造も包含される。また、「工程」との語は、独立した工程だけでなく、他の工程と明確に区別できない場合であっても、その工程の所期の目的が達成されれば、本用語に含まれる。また、「～」を用いて示された数値範囲は、「～」の前後に記載される数値をそれぞれ最小値及び最大値として含む範囲を示す。更に、本明細書中に段階的に記載されている数値範囲において、ある段階の数値範囲の上限値又は下限値は、他の段階の数値範囲の上限値又は下限値に置き換えてもよい。

[0020] 図1は、半導体デバイスの一例を示す断面図である。図1に示すように、半導体デバイス1は、半導体チップ2、保護部3、再配線層4、及び、 bumps 5を備えている。半導体チップ2は、例えば、プロセッサ又はメモリ等の

半導体チップである。保護部 3 は、封止樹脂等から構成される部分であり、半導体チップ 2 を保護する。再配線層 4（RDL：Re-distribution Layer）は、絶縁部分と絶縁部分内に形成された配線（例えば銅配線）とを有する配線層である。再配線層 4 は、半導体チップ 2 の接続端子と bumps 5 との間を接続する。bumps 5 は、例えば、半田等の金属材料から形成されている。

[0021] 次に、図 2～図 4 を参照して、半導体デバイス 1 の製造方法について説明する。図 2～図 4 は、半導体デバイス 1 の製造方法を順に示す図である。半導体デバイス 1 は、例えば、以下の工程（a）～工程（d）を経て製造される。

（a）複数の半導体チップ 10 のそれぞれが接着剤層 12 によってキャリア 20 上に固定された積層体 T1 を準備する工程。この工程（a）では、複数の半導体チップ 10 の各接続端子 10c がキャリア 20 とは反対側を向くようにキャリア 20 の第 1 キャリア面 20a に固定されている。

（b）複数の半導体チップ 10 の各接続端子 10c に接続する再配線層 40 を形成する工程。

（c）積層体 T2 におけるキャリア 20 を、第 1 キャリア面 20a とは反対側の第 2 キャリア面 20b から第 1 キャリア面 20a に向かって研削する工程。この工程（c）では、キャリア 20 及び接着剤層 12 を削り取って複数の半導体チップ 10 の再配線層 40 が設けられた第 1 チップ面 10a とは反対側の第 2 チップ面 10b を露出させる。

（d）キャリア 20 が削り取られた積層体 T3 を個片化して、半導体チップ 10 を備える半導体デバイスとする工程。この工程（d）では、個片化する前に、再配線層 40 に所定数の bumps（図 1 における bumps 5 に対応）を形成する。

[0022] 工程（a）では、まずは、図 2 の（a）に示すように、複数の半導体チップ 10 を準備する。各半導体チップ 10 には、接着剤層 12 が接着されている。半導体チップ 10 は、図 1 に示す半導体デバイス 1 における半導体チップ 2 に対応する。半導体チップ 10 は、接続端子 10c が設けられた第 1 チップ面 10a に向くようにキャリア 20 の第 1 キャリア面 20a に固定されている。

ップ面10aと、第1チップ面10aとは反対側の第2チップ面10bとを有している。第2チップ面10bには、接着剤層12が貼り付けられている。つまり、接着剤層12は、各半導体チップ10に対応して設けられている。接着剤層12は、準備された段階では未硬化の状態である。

[0023] 接着剤層12は、例えば、ダイアタッチフィルム(DAF)などの熱硬化性接着剤を含むフィルムである。接着剤層12を構成する熱硬化性接着剤は、例えば、高分子樹脂成分と、熱硬化性成分とを含む。接着剤層12の厚さは、例えば、50 μ m以下である。接着剤層12の厚さが50 μ m以下であることにより、工程(c)での切削の際に接着剤層12を容易に削り取ることが可能となる。接着剤層12の厚さは、20 μ m以下、10 μ m以下、9 μ m以下、8 μ m以下又は7 μ m以下であってもよく、1 μ m以上、2 μ m以上、3 μ m以上、4 μ m以上、又は5 μ m以上であってもよい。なお、ここでいう接着剤層12の厚さは、硬化後の厚みを意味する。

[0024] 接着剤層12に含まれる高分子量樹脂成分は、例えば、アクリルゴム、ポリイミド、及びフェノキシ樹脂からなる群から選ばれる少なくとも1種の樹脂を含んでもよい。高分子量樹脂成分がエポキシ基等の反応性基を有していてもよい。高分子量樹脂成分の重量平均分子量(GPC法による標準ポリスチレン換算値)が、10万~300万であってもよい。高分子量樹脂成分の含有量が、接着剤層12の全体質量10質量部に対して30~80質量部であってもよい。

[0025] 接着剤層12に含まれ得る熱硬化性成分は、自己重合及び／又は硬化剤との反応により架橋構造を形成する反応性基を有する化合物である。熱硬化性成分は、例えば、エポキシ樹脂、ビスマレイミド樹脂、トリアジン樹脂、及びフェノール樹脂からなる群から選ばれる少なくとも1種を含んでもよい。熱硬化性成分の含有量が、接着剤層12の量100質量部に対して1~30質量部であってもよい。

[0026] 接着剤層12を構成する熱硬化性接着剤は、必要により他の成分を含んでもよい。他の成分の例としては、熱硬化性成分と反応する硬化剤、熱硬化性

成分と硬化剤との反応を促進する硬化促進剤、カップリング剤（例えばシランカップリング剤）、及びフィラ（例えばシリカ）が挙げられる。

[0027] 接着剤層 1 2 に含まれるフィラは、無機フィラであってよい。無機フィラ
の具体例としては、水酸化アルミニウム、水酸化マグネシウム、炭酸カルシ
ウム、炭酸マグネシウム、ケイ酸カルシウム、ケイ酸マグネシウム、酸化カ
ルシウム、酸化マグネシウム、酸化アルミニウム、窒化アルミニウム、ホウ
酸アルミウイスカ、窒化ホウ素、結晶質シリカ、非晶質シリカが挙げられる
。これらは 1 種を単独で使用してもよく、2 種以上を併用してもよい。接着
剤層 1 2 に含まれるフィラの含有量は、硬化前の接着剤層 1 2（接着剤）の
全量を基準として、50 質量%～95 質量%であってもよい。なお、接着剤
層 1 2 に含まれるフィラの含有量は、硬化前の接着剤層 1 2（接着剤）の全
量を基準として、60 質量%以上であることが好ましく、70 質量%以上で
あることが更に好ましく、80 質量%以上であることが特に好ましく、80
質量%～95 質量%であることが好ましい。

[0028] また、工程（a）では、キャリア 20 を準備する。キャリア 20 は、例え
ば、シリコンキャリアなどを用いることができる。シリコンキャリアは、単
結晶シリコンであってもよいし、多結晶シリコンであってもよい。キャリア
20 は、例えば、厚さが 0.6～1.1 mm であり、算出平均粗さが 50 nm
以下の平坦度を有している。キャリア 20 は、例えばウェハ状またはパネル
状であり、特に限定されないが、例えば、直径 200 mm、直径 300 mm
若しくは直径 450 mm の円形ウェハ、又は、一辺が 200～700 mm
以下の矩形パネルであってもよい。キャリア 20 としては、銅箔を有しない
プリプレグを用いてもよい。

[0029] 続いて、複数の半導体チップ 10 及びキャリア 20 の準備が終了すると、
図 2 の（b）に示すように、複数の半導体チップ 10 の各接続端子 10c が
キャリア 20 とは反対側を向くように（いわゆるフェイスアップの状態）
複数の半導体チップ 10 をキャリア 20 の第 1 キャリア面 20a に固定する
。この固定は、各半導体チップ 10 をキャリア 20 に硬化前の接着剤層 1 2

によって貼り付けた後、各半導体チップ10に貼り付けられている接着剤層12を硬化することにより行われる。この固定が強固であることから、半導体チップ10は、キャリア20の第1キャリア面20aに固定された後は移動することができないようになっている。なお、キャリア20の第1キャリア面20aとは反対側の面は第2キャリア面20bである。

[0030] 続いて、半導体チップ10がキャリア20に固定されると、図2の(c)に示すように、キャリア20上の複数の半導体チップ10を覆うように封止材により封止する。この封止材による封止は、例えば金型で成型することによって行うことができる。本実施形態に係る製造方法では、半導体チップ10が接着剤層12によりキャリア20に強固に固定されているため、モールド成型機で封止材を封止した場合でも、半導体チップ10がずれる現象（ダイシフト）が生じないようになっている。これにより、半導体チップ10を覆う封止材層30が形成される。

[0031] 封止材層30として用いられる封止材は、例えば、エポキシ樹脂を含む封止材であってもよく、硬化性樹脂成分と無機フィラとを含有してもよい。封止材における無機フィラの含有量は、硬化前の封止材の全量を基準として、50質量%以上であってもよい。封止材における無機フィラの含有量は、硬化前の封止材の全量を基準として、60質量%以上であることが好ましく、70質量%以上であることが更に好ましく、80質量%以上であることが特に好ましい。一例として、封止材における無機フィラの含有量は、硬化前の封止材の全量を基準として、60質量%～90質量%であってもよい。封止材層30に含まれるフィラは、無機フィラであってよい。無機フィラの実例としては、水酸化アルミニウム、水酸化マグネシウム、炭酸カルシウム、炭酸マグネシウム、ケイ酸カルシウム、ケイ酸マグネシウム、酸化カルシウム、酸化マグネシウム、酸化アルミニウム、窒化アルミニウム、ホウ酸アルミウイスカ、窒化ホウ素、結晶質シリカ、非晶質シリカが挙げられる。これらは1種を単独で使用してもよく、2種以上を併用してもよい。

[0032] 続いて、半導体チップ10が封止材で封止されると、図3の(a)に示す

ように、半導体チップ10の接続端子10c（第1チップ面10a）が露出するまで封止材層30を研削し、封止材層30Aとする。この研削する工程では、封止材層30を、例えば30 μ m以上の研削量となるように研削してもよい。また、研削された封止材層30Aの厚みは、50 μ m以上であってもよく、100 μ m以上であってもよく、150 μ m以上であってもよい。以上により、工程（a）において、複数の半導体チップ10のそれぞれが接着剤層12によってキャリア20上に固定された積層体T1が形成される。

[0033] 工程（b）では、図3の（b）に示すように、複数の半導体チップ10の各接続端子10cに接続する再配線層40を形成する。この再配線層40を形成する工程では、導体部である配線間の距離が、半導体チップ10から離れるにしたがって（図示上方に向かうにつれて）、徐々に広がるように形成される。再配線層40は、図3の（b）に示す例では、複数の半導体チップ10の第1チップ面10a及び封止材層30Aの表面に形成される。なお、再配線層40の形成は、従来の方法を用いて行えるため、詳細な説明は省略する。以上により、再配線層40が設けられた積層体T2が形成される。

[0034] 工程（c）では、再配線層40が形成されると、再配線層40をBGテープ45（バックグラインドテープ）等によって保護しながら、積層体T2におけるキャリア20を、第2キャリア面20bから第1キャリア面20aに向かって研削する。この研削工程は、まず、図4の（a）及び（b）に示すように、キャリア20を第2キャリア面20bから第1キャリア面20aに向かって第1砥石50で粗研削する。第1砥石50は、例えば、＃200～＃1000の番手の砥石である。粗研削では、キャリア20をまずは削り取り、その後、接着剤層12及び封止材層30Aの表面部分（接着剤層12と同層の領域）を削り取る。この際、半導体チップ10の第2チップ面10bが露出するまで研削してもよいし、半導体チップ10の第2チップ面10bが露出する直前まで研削してもよい。なお、シリコン製のキャリア20を研削する場合、主に粗研削で研削したシリコンスラッジ（屑）を回収して再利用してもよい。

[0035] 続いて、粗研削によって半導体チップ10の第2チップ面10bが露出する直前又は露出すると、図4の(c)に示すように、粗研削されたキャリア20Aを、第1砥石50よりも高い番手の第2砥石55で仕上げ研削する。第2砥石55は、#2000～#6000の番手の砥石である。仕上げ研削する工程では、半導体チップ10の第2チップ面10bと封止材層30Aの表面とを研磨する。これにより、封止材層30A内に封止されている半導体チップ10の第2チップ面10bの清浄度が向上する。以上により、再配線層40が設けられた複数の半導体チップ10を含む積層体T3が形成される。

[0036] 工程(d)では、キャリア20が削り取られた積層体T3を個片化して、半導体チップ10を備える半導体デバイスとする。なお、個片化する前に再配線層40にバンプを取り付けてもよい。以上により、図1に示す半導体デバイス1を複数得ることが可能となる。

[0037] 以上、本実施形態に係る半導体デバイスの製造方法では、複数の半導体チップ10が接着剤層12によってキャリア20上に固定されている。このように半導体チップ10が仮固定でなく本固定を行う接着剤層12でキャリア20に強固に固定されている。この場合、半導体チップ10の位置ずれが確実に抑制される。また、この半導体デバイスの製造方法では、研削する工程において、キャリア20を削り取って複数の半導体チップ10の再配線層40が設けられた第1チップ面10aとは反対側の第2チップ面10bを露出させるようにしている。この場合、キャリア20を削り取るため、樹脂の残渣等が残ることなく、チップ表面の清浄度を向上させることが可能となる。

[0038] 本実施形態に係る半導体デバイスの製造方法では、接着剤層12は、熱硬化性接着剤を硬化した層であり、複数の半導体チップ10のそれぞれに対応して設けられていてもよい。これにより、キャリア20を研削する際に接着剤層12を容易に研削することができる。

[0039] 本実施形態に係る半導体デバイスの製造方法では、接着剤層12の厚さは、50 μ m以下とすることができる。この場合、キャリア20を研削する際

に接着剤層 12 を容易に研削することができる。

[0040] 本実施形態に係る半導体デバイスの製造方法では、接着剤層 12 は、硬化性樹脂成分と無機フィラとを含有し、無機フィラの含有量は、接着剤層 12 が硬化する前の接着剤の全量を基準として、50 質量%～95 質量%とすることができる。この場合、キャリア 20 を研削する際に接着剤層 12 を容易に研削することができる。

[0041] 本実施形態に係る半導体デバイスの製造方法では、積層体 T1 を準備する工程は、複数の半導体チップ 10 のそれぞれを接着剤層 12 でキャリア 20 に固定する工程と、キャリア 20 上の複数の半導体チップ 10 を覆うように封止材により封止して封止材層 30 を形成する工程と、を備えている。封止材は、硬化性樹脂成分と無機フィラとを含有し、封止材における無機フィラの含有量は、硬化前の封止材の全量を基準として、50 質量%以上であってもよい。この場合、封止材層 30 の研削を確実に行うことが可能となる。

[0042] 本実施形態に係る半導体デバイスの製造方法では、積層体 T1 を準備する工程は、封止する工程の後に、複数の半導体チップ 10 を覆う封止材層 30 を複数の半導体チップ 10 の第 1 チップ面 10a が露出するまで研削する工程を更に有してもよい。

[0043] 本実施形態に係る半導体デバイスの製造方法では、キャリア 20 を研削する工程は、キャリア 20 の第 2 キャリア面 20b を第 1 砥石 50 で粗研削する工程と、粗研削されたキャリア 20A を、第 1 砥石 50 よりも高い番手の第 2 砥石 55 で仕上げ研削する工程と、を有する。粗研削によりキャリア 20 の研削速度を早めることができると共に、仕上げ研削により研削された表面の仕上がりを向上することが可能となる。第 1 砥石は、#200～#1000 の番手の砥石であり、第 2 砥石は、#2000～#6000 の番手の砥石であってもよい。これにより、研削速度の向上と研削面の仕上がり精度の向上をより確実に行うことが可能となる。また、粗研削する工程では、第 1 砥石 50 によってキャリア 20 と接着剤層 12 の少なくとも一部とを削り取ってもよい。仕上げ研削する工程では、第 2 砥石 55 によって封止材層 30

Aと半導体チップ10の第2チップ面10bとを研磨してもよい。これにより、研削速度の向上と研削面の仕上がり精度の向上をより確実に行うことが可能となる。

[0044] 本実施形態に係る半導体デバイスの製造方法では、キャリア20は、シリコンキャリアであってもよい。研削する工程は、研削したシリコンスラッジを再利用のために回収する工程を更に有してもよい。この場合、使用したシリコンを再利用することができ、環境に優しい製造方法とすることができる。

[0045] 以上、本開示の一実施形態に係る半導体デバイスの製造方法について説明したが、本開示は上述した実施形態に限定されるものではなく、その趣旨を逸脱しない範囲で適宜変更を行うことが可能である。

符号の説明

[0046] 1…半導体デバイス、10…半導体チップ、10a…第1チップ面、10b…第2チップ面、10c…接続端子、12…接着剤層、20, 20A…キャリア、20a…第1キャリア面、20b…第2キャリア面、30, 30A…封止材層、40…再配線層、50…第1砥石、55…第2砥石、T1, T2…積層体。

請求の範囲

- [請求項1] 複数の半導体チップのそれぞれが接着剤層によってキャリア上に固定された積層体を準備する工程であって、前記複数の半導体チップの各接続端子が前記キャリアとは反対側を向くように前記キャリアの第1キャリア面に固定されている、工程と、
- 前記複数の半導体チップの前記各接続端子に接続する再配線層を形成する工程と、
- 前記積層体における前記キャリアを、前記第1キャリア面とは反対側の第2キャリア面から前記第1キャリア面に向かって研削する工程と、を備え、
- 前記研削する工程では、前記キャリア及び前記接着剤層を削り取って前記複数の半導体チップの前記再配線層が設けられた第1チップ面とは反対側の第2チップ面を露出させる、半導体デバイスの製造方法。
- [請求項2] 前記接着剤層は、熱硬化性接着剤を硬化した層であり、前記複数の半導体チップのそれぞれに対応して設けられている、
- 請求項1に記載の半導体デバイスの製造方法。
- [請求項3] 前記接着剤層の厚さは、 $50\mu\text{m}$ 以下である、
- 請求項1又は2に記載の半導体デバイスの製造方法。
- [請求項4] 前記接着剤層の厚さは、 $20\mu\text{m}$ 以下である、
- 請求項3に記載の半導体デバイスの製造方法。
- [請求項5] 前記接着剤層は、硬化性樹脂成分と無機フィラとを含有し、
- 前記無機フィラの含有量は、前記接着剤層が硬化する前の接着剤の全量を基準として、 $50\text{質量}\%\sim 95\text{質量}\%$ である、
- 請求項1～4の何れか一項に記載の半導体デバイスの製造方法。
- [請求項6] 前記無機フィラの含有量は、前記接着剤層が硬化する前の接着剤の全量を基準として、 $80\text{質量}\%\sim 95\text{質量}\%$ である、
- 請求項5に記載の半導体デバイスの製造方法。

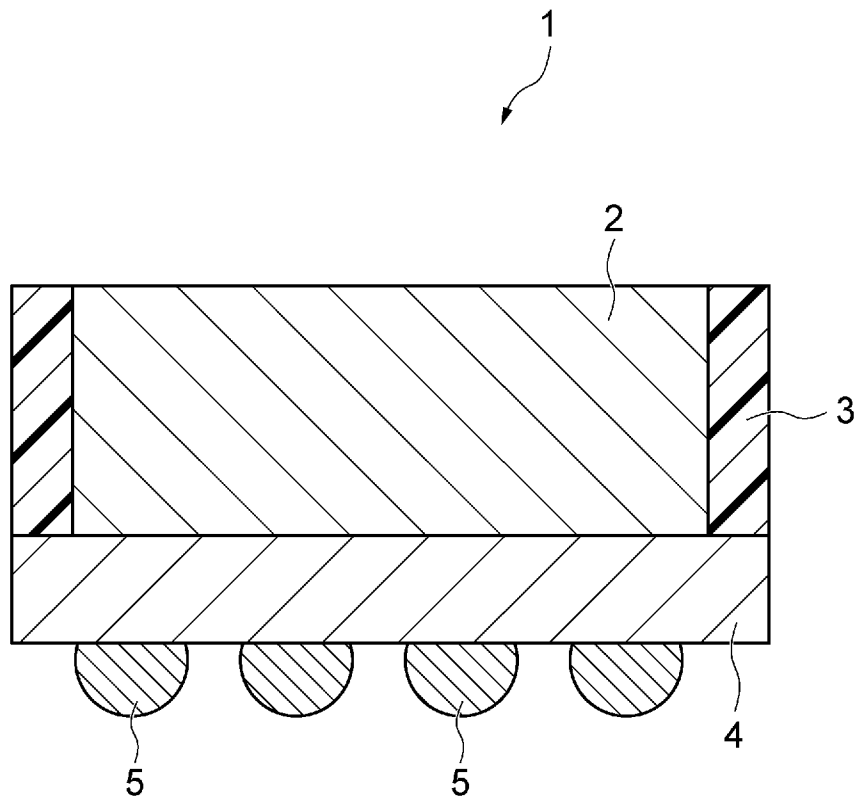
- [請求項7] 前記積層体を準備する工程は、
前記複数の半導体チップのそれぞれを前記接着剤層で前記キャリアに固定する工程と、
前記キャリア上の前記複数の半導体チップを覆うように封止材で封止して封止材層を形成する工程と、を有する、
請求項1～6の何れか一項に記載の半導体デバイスの製造方法。
- [請求項8] 前記封止材は、硬化性樹脂成分と無機フィラとを含有し、
前記封止材における前記無機フィラの含有量は、前記封止材の全量を基準として、50質量%以上である、
請求項7に記載の半導体デバイスの製造方法。
- [請求項9] 前記積層体を準備する工程は、
前記封止材層を形成する工程の後に、前記複数の半導体チップを覆う前記封止材層を前記複数の半導体チップの前記第1チップ面が露出するまで研削する工程を更に有する、
請求項7又は8に記載の半導体デバイスの製造方法。
- [請求項10] 前記キャリアを研削する工程は、
前記キャリアの前記第2キャリア面を第1砥石で粗研削する工程と、
前記粗研削された前記キャリアを、前記第1砥石よりも高い番手の第2砥石で仕上げ研削する工程と、を有する、
請求項1～9の何れか一項に記載の半導体デバイスの製造方法。
- [請求項11] 前記第1砥石は、＃200～＃1000の番手の砥石であり、
前記第2砥石は、＃2000～＃6000の番手の砥石である、
請求項10に記載の半導体デバイスの製造方法。
- [請求項12] 前記粗研削する工程では、前記第1砥石によって前記キャリアと前記接着剤層の少なくとも一部とを削り取る、
請求項10又は11に記載の半導体デバイスの製造方法。
- [請求項13] 前記仕上げ研削する工程では、前記第2砥石によって封止材層と前

記半導体チップの前記第2チップ面とを研磨する、
請求項10～12の何れか一項に記載の半導体デバイスの製造方法。

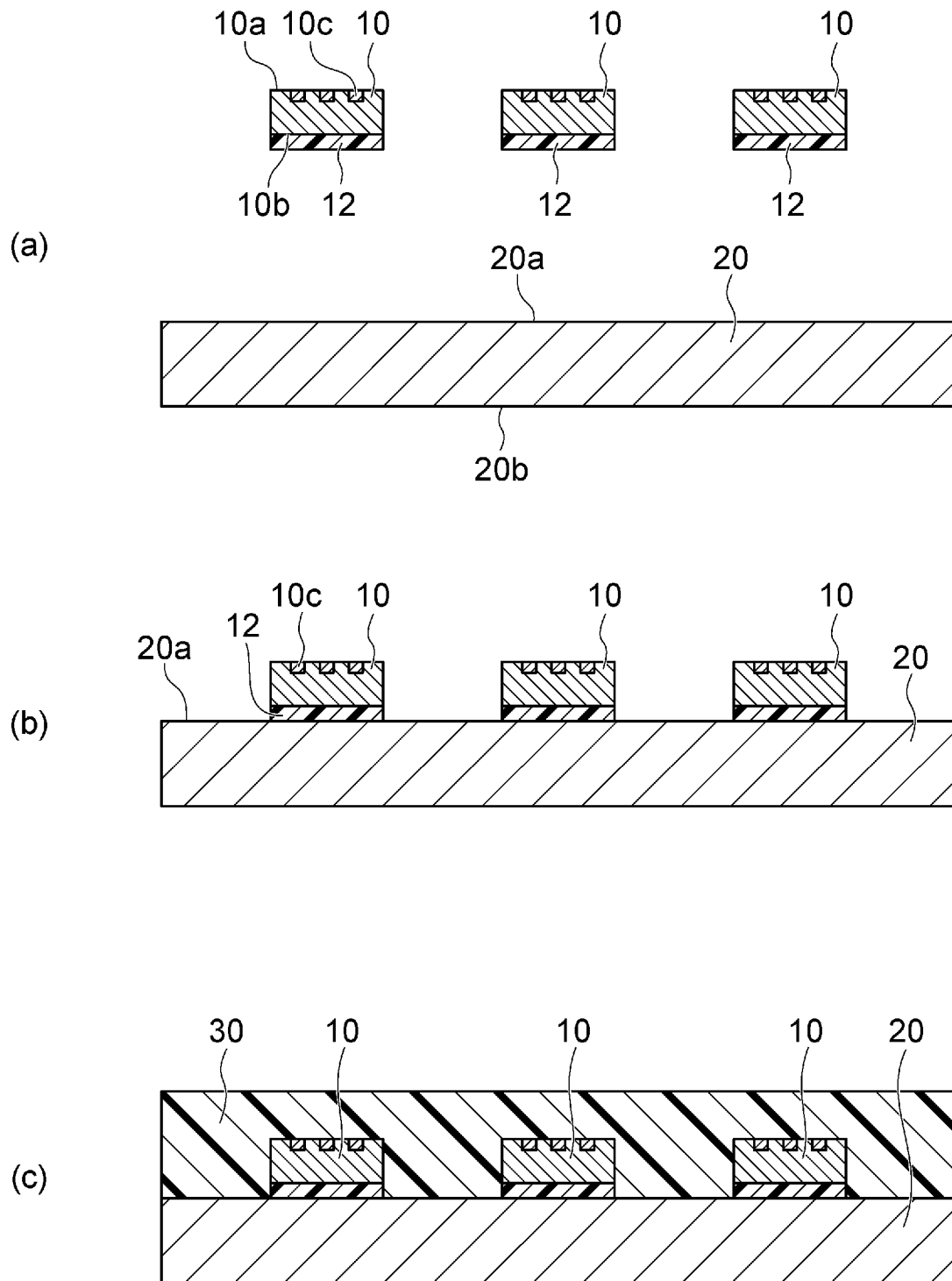
[請求項14]

前記キャリアは、シリコンキャリアであり、
前記研削する工程は、研削したシリコンスラッジを再利用のために
回収する工程を更に有する、
請求項1～13の何れか一項に記載の半導体デバイスの製造方法。

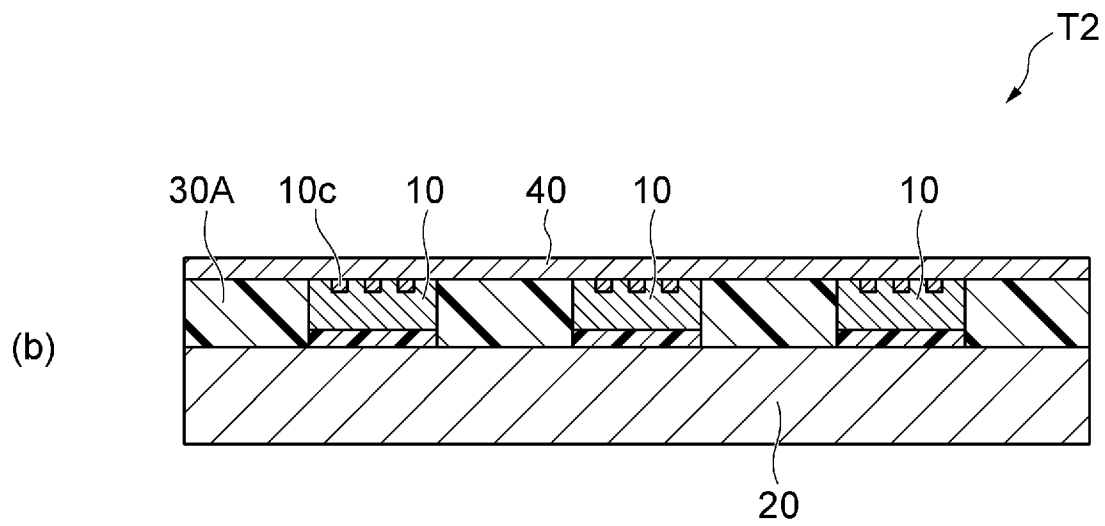
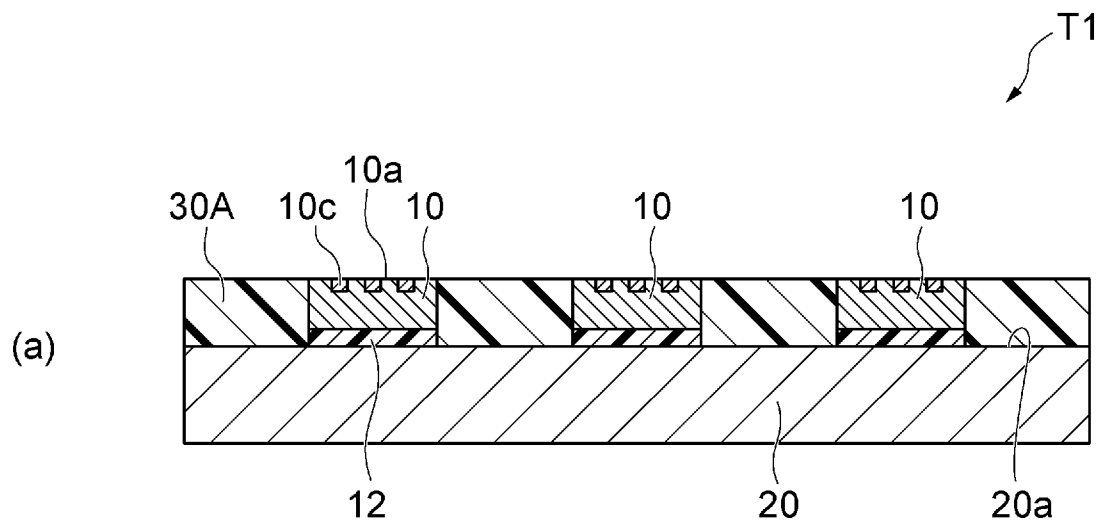
[図1]



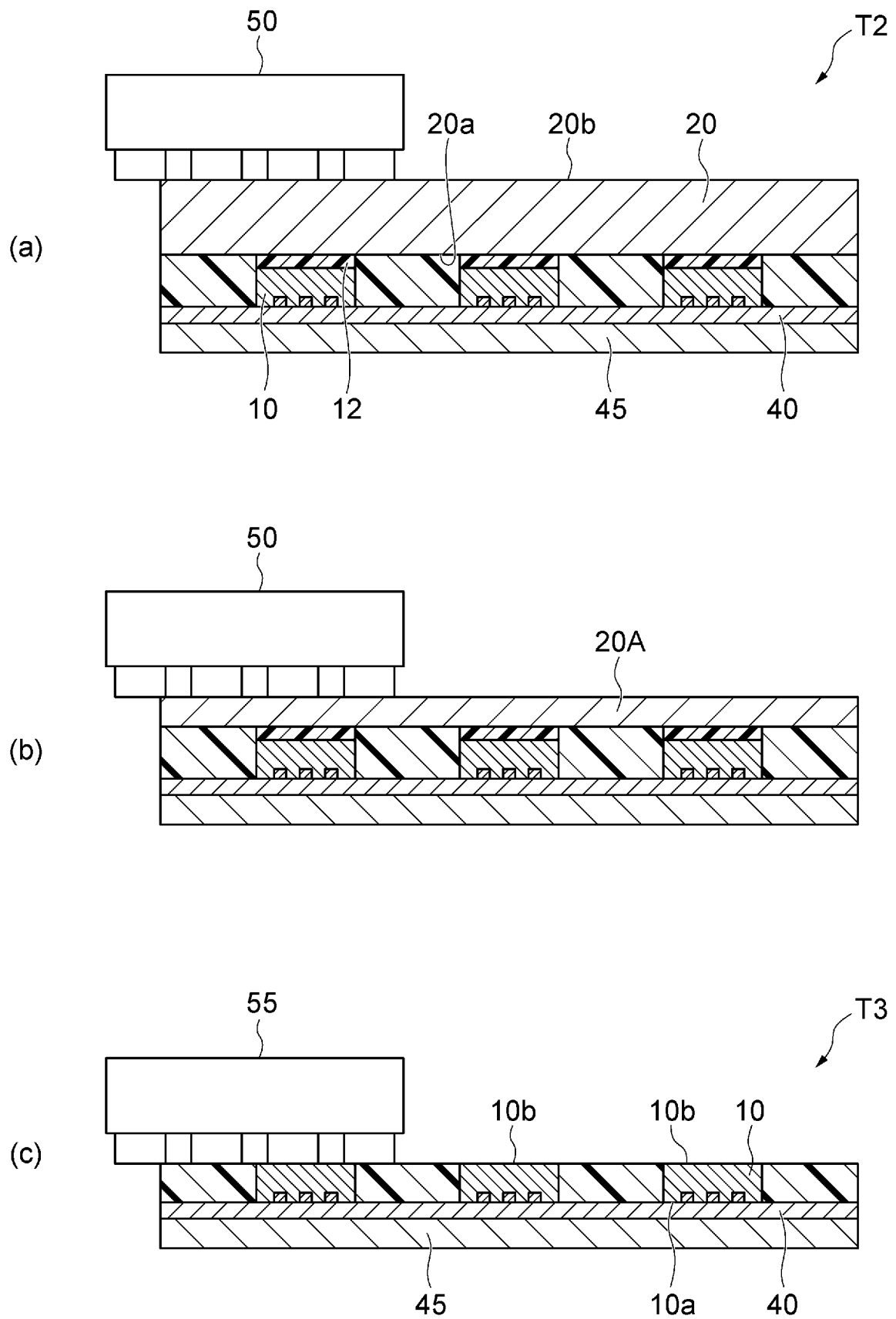
[図2]



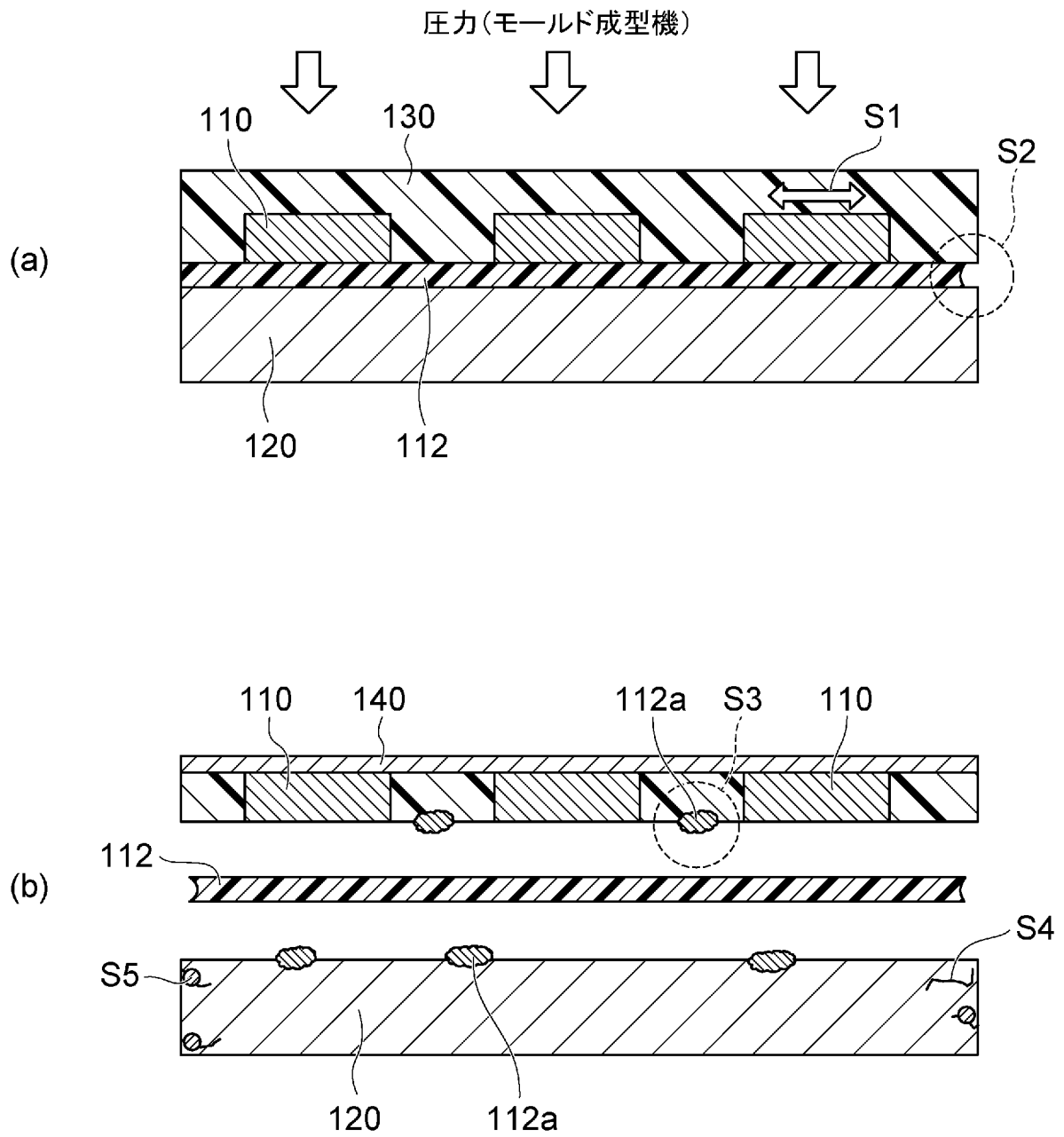
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/041199

A. CLASSIFICATION OF SUBJECT MATTER**H01L 23/12**(2006.01)i

FI: H01L23/12 501P

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2023

Registered utility model specifications of Japan 1996-2023

Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2019-33124 A (LINTEC CORP.) 28 February 2019 (2019-02-28) entire text, all drawings	1-14
A	JP 2015-213201 A (NITTO DENKO CORP.) 26 November 2015 (2015-11-26) entire text, all drawings	1-14
A	JP 2009-283607 A (HITACHI CHEM. CO., LTD.) 03 December 2009 (2009-12-03) entire text, all drawings	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

05 January 2023

Date of mailing of the international search report

17 January 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)

3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915

Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/041199

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2019-33124	A	28 February 2019	KR 10-2019-0015117 A CN 109390240 A TW 201921606 A	
JP	2015-213201	A	26 November 2015	(Family: none)	
JP	2009-283607	A	03 December 2009	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/12(2006.01)i FI: H01L23/12 501P										
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L23/12 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2023年									
日本国実用新案登録公報	1996 - 2023年									
日本国登録実用新案公報	1994 - 2023年									
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
A	JP 2019-33124 A（リンテック株式会社）28.02.2019（2019 - 02 - 28） 全文, 全図	1-14								
A	JP 2015-213201 A（日東電工株式会社）26.11.2015（2015 - 11 - 26） 全文, 全図	1-14								
A	JP 2009-283607 A（日立化成工業株式会社）03.12.2009（2009 - 12 - 03） 全文, 全図	1-14								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
<table border="0"> <tr> <td> * 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 </td> <td> “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献 </td> </tr> </table>			* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献						
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献									
国際調査を完了した日 05.01.2023		国際調査報告の発送日 17.01.2023								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 佐藤 靖史 5F 5895 電話番号 03-3581-1101 内線 3516								

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2022/041199

引用文献			公表日	パテントファミリー文献	公表日
JP	2019-33124	A	28.02.2019	KR 10-2019-0015117	A
				CN 109390240	A
				TW 201921606	A
JP	2015-213201	A	26.11.2015	(ファミリーなし)	
JP	2009-283607	A	03.12.2009	(ファミリーなし)	