



(12) 发明专利

(10) 授权公告号 CN 101171680 B

(45) 授权公告日 2010. 10. 13

(21) 申请号 200680015675. 7

H01L 27/088 (2006. 01)

(22) 申请日 2006. 12. 05

H01L 21/8234 (2006. 01)

(30) 优先权数据

H03K 19/003 (2006. 01)

353163/2005 2005. 12. 07 JP

H01L 27/04 (2006. 01)

(85) PCT申请进入国家阶段日

2007. 11. 08

(56) 对比文件

CN 1492505 A, 2004. 04. 28, 全文.

JP 平 11-54711 A, 1999. 02. 26, 全文.

(86) PCT申请的申请数据

US 2003/0197543 A1, 2003. 10. 23, 全文.

PCT/JP2006/324193 2006. 12. 05

JP 平 10-224201 A, 1998. 08. 21, 全文.

(87) PCT申请的公布数据

CN 1399386 A, 2003. 02. 26, 全文.

W02007/066626 JA 2007. 06. 14

JP 平 5-327456 A, 1993. 12. 10, 全文.

(73) 专利权人 罗姆股份有限公司

审查员 施曙东

地址 日本京都府

(72) 发明人 土桥正典

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

代理人 朱进桂

(51) Int. Cl.

H01L 21/822 (2006. 01)

H02H 9/04 (2006. 01)

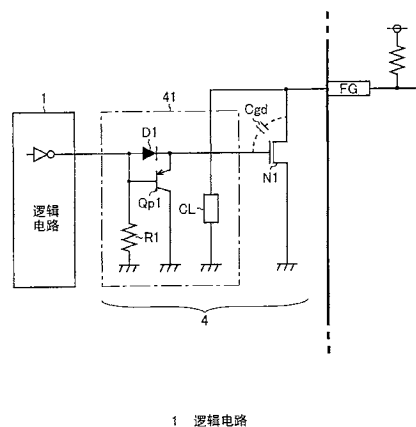
权利要求书 2 页 说明书 6 页 附图 4 页

(54) 发明名称

静电击穿保护电路及半导体集成电路设备

(57) 摘要

根据本发明的保护电路包括:二极管(D1),其阳极与栅极信号输入端子连接,其阴极与输出晶体管(N1)的栅极连接;电阻器(R1),其一端与所述栅极信号输入端子连接,其另一端接地;PNP双极型晶体管(Qp1),其发射极、基极、集电极分别与所述输出晶体管(N1)的栅极、电阻器(R1)的所述一端和地连接。采用这种配置,可以在不需要电能的情况下,防止开漏输出晶体管由于施加其上的静电脉冲等而错误地导通,从而保护开漏输出晶体管免受静电击穿。



1. 一种用于保护开漏输出晶体管免受静电击穿的静电击穿保护电路,包括:
二极管,其阳极与信号输入端子连接,阴极与所述输出晶体管的栅极连接;
第一电阻器,其一端与所述二极管的阳极连接,其另一端接地;以及
PNP 双极型晶体管或 P 沟道场效应晶体管,
其发射极或源极与所述输出晶体管的栅极连接,
其基极或栅极与所述二极管和所述第一电阻器的连接点连接,以及
其集电极或漏极接地。
2. 根据权利要求 1 所述的静电击穿保护电路,还包括:
箝位元件,与所述输出晶体管并联连接,所述箝位元件的触发电压设为低于所述输出晶体管的设计耐压。
3. 根据权利要求 1 所述的静电击穿保护电路,还包括:
第二电阻器,连接在所述 PNP 双极型晶体管的集电极或所述 P 沟道场效应晶体管的漏极与地之间;
第一 NPN 双极型晶体管,其集电极与所述二极管的阴极连接,其基极与所述 PNP 双极型晶体管或所述 P 沟道场效应晶体管和所述第二电阻器的连接点连接;
第三电阻器,连接在所述第一 NPN 双极型晶体管的发射极与地之间;以及
第二 NPN 双极型晶体管,其集电极与所述二极管的阴极连接,其基极与所述第一 NPN 双极型晶体管和所述第三电阻器的连接点连接,其发射极与地连接。
4. 根据权利要求 3 所述的静电击穿保护电路,还包括:
箝位元件,与所述输出晶体管并联连接,所述箝位元件的触发电压设为低于所述输出晶体管的设计耐压。
5. 根据权利要求 1 所述的静电击穿保护电路,还包括:
第一 NPN 双极型晶体管,其集电极和基极与所述 PNP 双极型晶体管的集电极连接,其发射极与地连接;以及
第二 NPN 双极型晶体管,其基极与所述第一 NPN 双极型晶体管的基极连接,其集电极与
所述二极管的阴极连接,其发射极与地连接。
6. 根据权利要求 5 所述的静电击穿保护电路,还包括:
箝位元件,与所述输出晶体管并联连接,所述箝位元件的触发电压设为低于所述输出晶体管的设计耐压。
7. 根据权利要求 1 所述的静电击穿保护电路,还包括:
第一 N 沟道场效应晶体管,其漏极和栅极与所述 P 沟道场效应晶体管的漏极连接,其源极与地连接;以及
第二 N 沟道场效应晶体管,其栅极与所述第一 N 沟道场效应晶体管的栅极连接,其漏极与
所述二极管的阴极连接,其源极与地连接。
8. 根据权利要求 7 所述的静电击穿保护电路,还包括:
箝位元件,与所述输出晶体管并联连接,所述箝位元件的触发电压设为低于所述输出晶体管的设计耐压。
9. 一种半导体集成电路设备,包括:
开漏输出晶体管;反相器,用于向信号输入端子输入信号;以及静电击穿保护电路,用

于保护所述输出晶体管免受静电击穿，

其中所述半导体集成电路设备包括根据权利要求 1 所述的静电击穿保护电路，作为所述静电击穿保护电路。

静电击穿保护电路及半导体集成电路设备

技术领域

[0001] 本发明涉及用于保护开漏 (open-drain) 输出晶体管免受静电击穿的静电击穿保护电路、以及结合有该静电击穿保护电路的半导体集成电路设备。

背景技术

[0002] 通常在半导体集成电路设备中,广泛采用结合有开漏输出晶体管的输出电路,作为逻辑信号输出手段。

[0003] 然而,上述输出电路的不利之处在于,如果将剧烈上升的脉冲(例如静电脉冲)施加到输出端子(即,输出晶体管的漏极),则通过输出晶体管的栅极与漏极之间存在的寄生电容等,使输出晶体管的栅极电势升高。因此,输出晶体管错误地导通,引起过电流在其源极与漏极之间流动。这可能导致输出晶体管的击穿。

[0004] 如上所述,结合有开漏输出晶体管的输出电路提供了简单的电路配置,然而不利之处是对静电击穿的抵抗力较差。因此,传统半导体集成电路设备采用设计来减小上述过电流的多种配置,例如在输出晶体管与输出端子之间设置限流电阻器或在输出晶体管与地之间设置类似齐纳二极管的箝位电路,作为保护输出晶体管免受静电击穿的装置。

[0005] 作为与本发明相关的另一传统技术,本发明的申请人公开并提出了一种包括开关电路的输出电路(见如下专利文献1),其中当输出端子与电源线之间的电势差超过预定水平时,所述开关电路进行操作;当所述开关电路进行操作时,驱动输出晶体管,以将地与输出端子之间导通。

[0006] 专利文献1:JP-A-H02-274124

发明内容

[0007] 本发明要解决的问题

[0008] 的确,对于采用上述任何传统技术的半导体集成电路设备,通过减小流经输出晶体管的过电流,可以降低输出晶体管遭受损坏的可能性。

[0009] 然而,所有这些传统技术简单地减小流经输出晶体管的过电流的前提是,假设输出晶体管错误导通是由施加至其上的静电脉冲等引起的。因此,这些传统技术都不能从根本上防止静电击穿(从根本上防止输出晶体管错误地导通)。

[0010] 专利文献1的传统技术的研发仅考虑到在半导体集成电路设备的正常工作状态下(在向其提供电能的状态下)防止该设备中的静电击穿,而未考虑在半导体集成电路设备的隔离状态下(未向其提供电能的状态下)防止该装置中的静电击穿。

[0011] 本发明的目的是提供一种静电击穿保护电路,该静电击穿保护电路在不需要电能的情况下,防止开漏输出晶体管由于施加其上的静电脉冲等而错误地导通,从而保护开漏输出晶体管免受静电击穿,本发明的目的还在于提供一种具有这种静电击穿保护电路的半导体击穿电路装置。

[0012] 解决问题的手段

[0013] 为了实现上述目的,根据本发明一个方面,用于保护开漏输出晶体管免受静电击穿的静电击穿保护电路包括:二极管,其阳极与所述输出晶体管的信号输入端子连接,其阴极与所述输出晶体管的栅极连接;第一电阻器,其一端与所述信号输入端子连接,其另一端接地;以及PNP双极型晶体管或P沟道场效应晶体管,其发射极或源极、基极或栅极、集电极或漏极分别与所述输出晶体管的栅极、第一电阻器的所述一端和地连接(第一配置)。

[0014] 第一配置的静电击穿保护电路还可以包括:箝位元件,与所述输出晶体管并联,所述箝位元件的触发电压设为低于所述输出晶体管的设计耐压(第二配置)。

[0015] 第一或第二配置的静电击穿保护电路还可以包括:第二电阻器,连接在所述PNP双极型晶体管的集电极或所述P沟道场效应晶体管的漏极与地之间;以及多级NPN双极型晶体管,以达林顿组态(Darlington configuration)连接在所述输出晶体管的栅极与地之间,所述NPN双极型晶体管的第一级的基极与第二电阻器的一端连接(第三配置)。

[0016] 根据本发明另一方面,半导体集成电路设备包括:开漏输出晶体管;反相器,用于向所述输出晶体管的栅极输入信号;以及静电击穿保护电路,用于保护所述输出晶体管免受静电击穿。这里,所述半导体集成电路设备包括第一和第二配置中任何一种静电击穿保护电路,作为上述静电击穿保护电路(第四配置)。

[0017] 本发明有益效果

[0018] 采用根据本发明的静电击穿保护电路,可以在不需要电能的情况下,防止开漏输出晶体管由于施加其上的静电脉冲等而错误地导通,从而保护开漏输出晶体管免受静电击穿。这提高了具有这种静电击穿保护电路的半导体集成电路设备的可靠性和易操作性。

附图说明

[0019] 图1是示意性地示出了根据本发明的电机驱动器IC的配置的布局图;

[0020] 图2是示出了作为第一实施例的静电击穿保护电路41的电路图;

[0021] 图3是示出了作为第二实施例的静电击穿保护电路41的电路图;

[0022] 图4是示出了静电击穿保护电路41的修改示例的电路图;

[0023] 图5A是示出了静电击穿保护电路41的另一修改示例的电路图;以及

[0024] 图5B是示出了静电击穿保护电路41的再一修改示例的电路图。

[0025] 附图标记列表

- | | | |
|--------|-------|------------------|
| [0026] | 1 | 逻辑电路 |
| [0027] | 2 | 前置驱动器 |
| [0028] | 3 | 驱动器 |
| [0029] | 4 | FG信号输出电路 |
| [0030] | 5 | 调节器 |
| [0031] | 6 | 霍尔比较器 |
| [0032] | 41 | 静电击穿保护电路 |
| [0033] | N1 | N沟道场效应晶体管(输出晶体管) |
| [0034] | N2和N3 | N沟道场效应晶体管 |
| [0035] | P1 | P沟道场效应晶体管 |
| [0036] | D1 | 二极管 |

[0037]	R1 到 R3	电阻器
[0038]	Qp1 PNP	双极型晶体管
[0039]	Qn1 到 Qn4	NPN 双极型晶体管
[0040]	CL	箝位元件

具体实施方式

[0041] 下面将描述将本发明应用于对电机（例如打印机或传真机的送纸电机）的驱动进行控制的电机驱动器 IC 的示例。

[0042] 图 1 是示意性地示出了根据本发明的电机驱动器 IC 的配置的布局图。如图 1 所示，本实施例的电机驱动器 IC 具有多种外部端子（U, V, W, VCC, FG, VREG, HU+, HU-, HV+, HV-, HW+ 和 HW-），作为与 IC 外部进行电连接的装置。

[0043] 本实施例的电机驱动器 IC 的电路元件有逻辑电路 1、前置驱动器 2、驱动器 3、FG 信号输出电路 4、调节器 5 和霍尔比较器 6。

[0044] U, V 和 W 端子用作外部端子，通过这些外部端子将驱动信号分别馈送至电机的三相（U, V 和 W 相）电机线圈。因为施加高电压作为这些外部端子的驱动信号，所以这些外部端子设计为耐高电压。

[0045] VCC 端子用作通过其从 IC 外部的电源线接收电能的外部端子。因为施加高电压（例如，最大 36V）作为 VCC 端子的输入电压，所以 VCC 端子设计为耐高电压。

[0046] FG 端子用作通过其向 IC 外部馈送控制脉冲信号（FG 信号）的外部端子。在 FG 端子与电源线之间外部地连接上拉电阻器。

[0047] VREG 端子用作通过其馈送由调节器电路 5 产生的恒定电压以作为针对各个相的霍尔元件的电源电压的外部端子。

[0048] HU+, HU-, HV+, HV-, HW+ 和 HW- 端子用作通过其从 IC 外部的三相霍尔元件（HU, HV 和 HW）接收各个相的霍尔信号的外部端子。

[0049] 逻辑电路 1 用作集中式地对电机驱动器 IC 中的整个操作（例如通过使用 FG 信号输出电路 4 的 FG 信号输出控制，基于来自霍尔比较器 6 的各个相的输出信号的电机恒速驱动控制和相控制，以及多种电路保护控制）进行控制的装置。这里，将具体描述电机的恒速驱动控制和相控制。逻辑电路 1 产生电机的各个相的前置驱动信号（uh, ul, vh, vl, wh 和 wl），以将这些信号馈送至前置驱动器 2，同时基于来自霍尔比较器 6 的各个相的输出信号，控制电机转动速度和相反馈。

[0050] 前置驱动器 2 用作对从逻辑电路 1 接收的前置驱动信号（uh, ul, vh, vl, wh 和 wl）进行电平移动和波形成形以产生电机各个相的驱动信号（UH, UL, VH, VL, WH 和 WL）、并将这些信号馈送至驱动器 3 的装置。

[0051] 驱动器 3 用作通过使用以 H 桥配置连接的功率晶体管（未示出）来驱动电机的装置。功率晶体管根据馈送至其栅极的驱动信号（UH, UL, VH, VL, WH 和 WL）导通和截止，以驱动与 U, V 和 W 端子外部连接的电机。

[0052] FG 信号输出电路 4 包括开漏 N 沟道场效应晶体管 N1，作为输出晶体管。FG 信号输出电路 4 根据来自逻辑电路 1 的输入信号使晶体管 N1 导通和截止，以产生频率与电机的转动速率成比例的 FG 信号，并经由 FG 端子将该 FG 信号馈送 IC 外部。本实施例的 FG 信号输

出电路 4 包括根据本发明的静电击穿保护电路 41, 作为用于保护输出晶体管 N1 免受静电击穿的装置。稍后将详细描述静电击穿保护电路 41 的配置和操作。

[0053] 调节器 5 用作电压转换装置, 用于根据经由 VCC 端子施加到其上的输入电压, 产生所需输出电压, 以经由 VREG 端子将该输出电压作为电源电压馈送至各个相的霍尔元件。

[0054] 霍尔比较器 6 对经由 HU(+/-)、HV(+/-) 和 HW(+/-) 端子施加到其上的各个相的正弦霍尔信号(+/-) 进行相互比较, 以产生各个相的矩形输出信号, 并将这些各个相的矩形输出信号馈送至逻辑电路 1。

[0055] 接下来, 将参照图 2 详细描述第一实施例的静电击穿保护电路 41 的配置和操作。

[0056] 图 2 是示出了作为第一实施例的静电击穿保护电路 41 的电路图。

[0057] 如图 2 所示, 本实施例的静电击穿保护电路 41 包括二极管 D1、电阻器 R1、PNP 双极型晶体管 Qp1 和箝位元件 CL。

[0058] 二极管 D1 的阳极与输出晶体管 N1 的信号输入端子 (包括在逻辑电路 1 的输出级中的反相器的输出端子) 连接。二极管 D1 的阴极与输出晶体管 N1 的栅极连接。

[0059] 电阻器 R1 的一端与信号输入端子连接。电阻器 R1 的另一端接地。电阻器 R1 的电阻设为几十千欧姆。

[0060] 晶体管 Qp1 的发射极与输出晶体管 N1 的栅极连接。晶体管 Qp1 的基极与电阻器 R1 的一端连接。晶体管 Qp1 的集电极接地。

[0061] 箝位元件 CL 在 FG 端子与地之间与输出晶体管 N1 并联。箝位元件 CL 用作在超过触发电压的过电压施加至 FG 端子时将 FG 端子与地之间短路、以对该端子处的电压进行箝位的触发元件。箝位元件 CL 的触发电压设为低于输出晶体管 N1 的设计耐压。例如, 在本实施例的静电击穿保护电路 41 中, 当输出晶体管的设计耐压是 50V 时, 箝位元件 CL 的触发电压设为 42V。此外, 箝位元件设计为能够忍耐足够高的电压, 以在施加有瞬时过电压 (例如静电脉冲) 时不会遭到损坏。

[0062] 下面将描述如上配置的静电击穿保护电路 41 是如何操作的。

[0063] 首先对电机驱动器 IC 处于隔离状态 (未向其提供电能的状态) 的情况进行详细描述。

[0064] 在这种情况下, 如果向 FG 端子施加静电脉冲等, 则通过输出晶体管 N1 的栅极与漏极之间存在的寄生电容 Cgd, 使输出晶体管 N1 的栅极电势升高。这里, 当输出晶体管 N1 的栅极与源极之间的电压超过预定导通阈值电压 (大约 1.8V) 时, 输出晶体管 N1 错误地导通, 从而引起过电流在其源极与漏极之间流动。这可能导致输出晶体管 N1 的击穿。

[0065] 另一方面, 对于晶体管 Qp1, 如果向 FG 端子施加静电脉冲等, 则通过输出晶体管 N1 的栅极与漏极之间存在的寄生电容 Cgd, 使晶体管 Qp1 的发射极电势升高。这里, 当晶体管 Qp1 的基极与发射极之间的电压超过预定导通阈值电压 (大约 0.7V) 时, 晶体管 Qp1 从截止变为导通。具体地, 晶体管 Qp1 在输出晶体管 N1 导通之前导通, 从而使晶体管 N1 的栅极接地。因此, 输出晶体管 N1 的栅极与源极之间的电压不会超过导通阈值电压, 防止了输出晶体管 N1 错误地导通。

[0066] 采用包括无源静电击穿保护电路 41 的 FG 信号输出电路 4, 可以在不需要电能的情况下, 防止通过寄生电容 Cgd 升高栅极电势。因此, 防止了开漏输出晶体管 N1 由于施加至其上的静电脉冲等而错误地导通。这有助于保护开漏输出晶体管 N1 免受静电击穿。因

此,采用本实施例的电机驱动器 IC,可以在电机驱动器 IC 处于隔离状态时,有效地保护输出晶体管 N1 免受静电击穿。此外,采用本实施例的静电击穿保护电路 41,可以进一步提供栅极-源极保护,达到显著的下拉效果。

[0067] 采用本实施例的电机驱动器 IC,如果向 FG 端子施加超过箝位元件 CL 的触发电压的过电压,则箝位元件 CL 导通,以允许将 FG 端子处的电压向地转移。因此,相比于静电击穿保护仅取决于输出晶体管 N1 的设计耐压的配置,这种配置可以更加有效地保护输出晶体管 N1 免受静电击穿。

[0068] 下面对电机驱动器 IC 处于正常工作状态(向其提供电能的状态)的情况进行详细描述。

[0069] 在这种情况下,当从逻辑电路 1 施加高电平输入信号时,电流通过电阻器 R1 流向地,因此使晶体管 Qp1 的基极电势升高,以使晶体管 Qp1 截止,从而向输出晶体管 N1 的栅极正常施加高电平输入信号。相反,当从逻辑电路 1 施加低电平输入信号时,无论晶体管 Qp1 是导通还是截止,均向输出晶体管 N1 的栅极正常施加低电平输入信号。

[0070] 如上所述,当电机驱动器 IC 处于正常工作状态时,静电击穿保护电路 41 不会阻止输出晶体管 N1 导通和截止。

[0071] 即使在电机驱动器 IC 处于正常工作状态时,如果向 FG 端子施加超过箝位元件 CL 的触发电压的过电压,箝位元件 CL 也导通,以允许将 FG 端子处的电压向地转移。因此,相比于静电击穿保护仅取决于输出晶体管 N1 的设计耐压的配置,这种配置可以更加有效地保护输出晶体管 N1 免受静电击穿。

[0072] 下面将参照图 3,详细描述第二实施例的静电击穿保护电路 41 的配置和操作。

[0073] 图 3 是示出了作为第二实施例的静电击穿保护电路 41 的电路图。

[0074] 本实施例的静电击穿保护电路 41 的配置基本上与前述第一实施例的配置相似。因此,使用图 2 中相同的附图标记对第一实施例中也存在的部分进行标识,并不再重复对其的详细描述。以下描述集中于本实施例的特征。

[0075] 如图 3 所示,相比于前述第一实施例,本实施例的静电击穿保护电路 41 还包括电阻器 R2 和 R3 以及 NPN 双极型晶体管 Qn1 和 Qn2。

[0076] 电阻器 R2 的一端与晶体管 Qp1 的集电极连接。电阻器 R2 的另一端接地。

[0077] 晶体管 Qn1 的集电极与输出晶体管 N1 的栅极连接。晶体管 Qn1 的发射极经由电阻器 R3 接地。晶体管 Qn1 的基极与电阻器 R2 的一端连接。

[0078] 晶体管 Qn2 的集电极与输出晶体管 N1 的栅极连接。晶体管 Qn2 的发射极接地。晶体管 Qn2 的基极与电阻器 R3 的一端连接。

[0079] 换言之,相比于前述第一实施例,本实施例的静电击穿保护电路 41 包括:电阻器 R2,连接在 PNP 双极型晶体管 Qp1 的集电极与地之间;以及多级(在本实施例中,两级)NPN 双极型晶体管 Qn1 和 Qn2,以达林顿组态连接在输出晶体管 N1 的栅极与地之间,第一级 NPN 双极型晶体管 Qn1 的基极与电阻器 R2 的一端相连。

[0080] 采用这种配置,当电机驱动器 IC 处于隔离状态时,如果向 FG 端子施加静电脉冲等,则晶体管 Qp1 导通,引起晶体管 Qn1 和 Qn2 相继地导通。这允许从输出晶体管 N1 的栅极快速汲取电流。因此,即使施加了尖锐上升的静电脉冲等,也能够毫无延迟地防止通过寄生电容 Cgd 使栅极电势升高。因此,可以防止输出晶体管 N1 错误地导通,从而保护输出晶

体管 N1 免受静电击穿。

[0081] 虽然上述实施例论述了将本发明应用于电机驱动器 IC,但是决不意欲对实施本发明的配置进行限制;本发明可广泛应用于一般具有开漏输出晶体管的半导体集成电路中。

[0082] 除了通过上述实施例的具体描述之外,在不背离本发明精神的前提下,可以存在多种修改和变体。

[0083] 例如,虽然上述实施例论述了包括 PNP 双极型晶体管 Qp1 来作为防止输出晶体管 N1 的栅极电势升高的装置,但是本发明不限于这种配置。如图 4 所示,可以使用具有更高耐压的 P 沟道场效应晶体管 P1 取代晶体管 Qp1。在采用这种配置的情况下,建议将晶体管 P1 的源极、漏极和栅极分别与输出晶体管 N1 的栅极、地和电阻器 R1 的一端连接。

[0084] 在采用这种配置的情况下,还建议将晶体管 P1 的导通阈值电压降低到小于输出晶体管 N1 的导通阈值电压,以便在输出晶体管 N1 的栅极电势升高时,晶体管 P1 在输出晶体管 N1 导通之前导通。例如,如果输出晶体管 N1 的导通阈值电压是 1.8V,则晶体管 P1 的导通阈值电压建议设为 1.0V,以低于输出晶体管 N1 的导通阈值电压。

[0085] 虽然上述实施例论述了使用以达林顿组态连接的多级双极型晶体管 Qn1 和 Qn2 作为从输出晶体管 N1 的栅极快速汲取电流的装置,但是这并不旨在限制实施本发明的配置;取而代之的,如图 5A 和 5B 所示,可以设置包括双极型晶体管 Qn3 和 Qn4 或场效应晶体管 N2 和 N3 的电流反射镜电路。

[0086] 工业实用性

[0087] 本发明提供了在对具有开漏输出晶体管作为逻辑信号输出装置的半导体集成电路设备的可靠性和易操作性进行改进方面十分有用的技术。

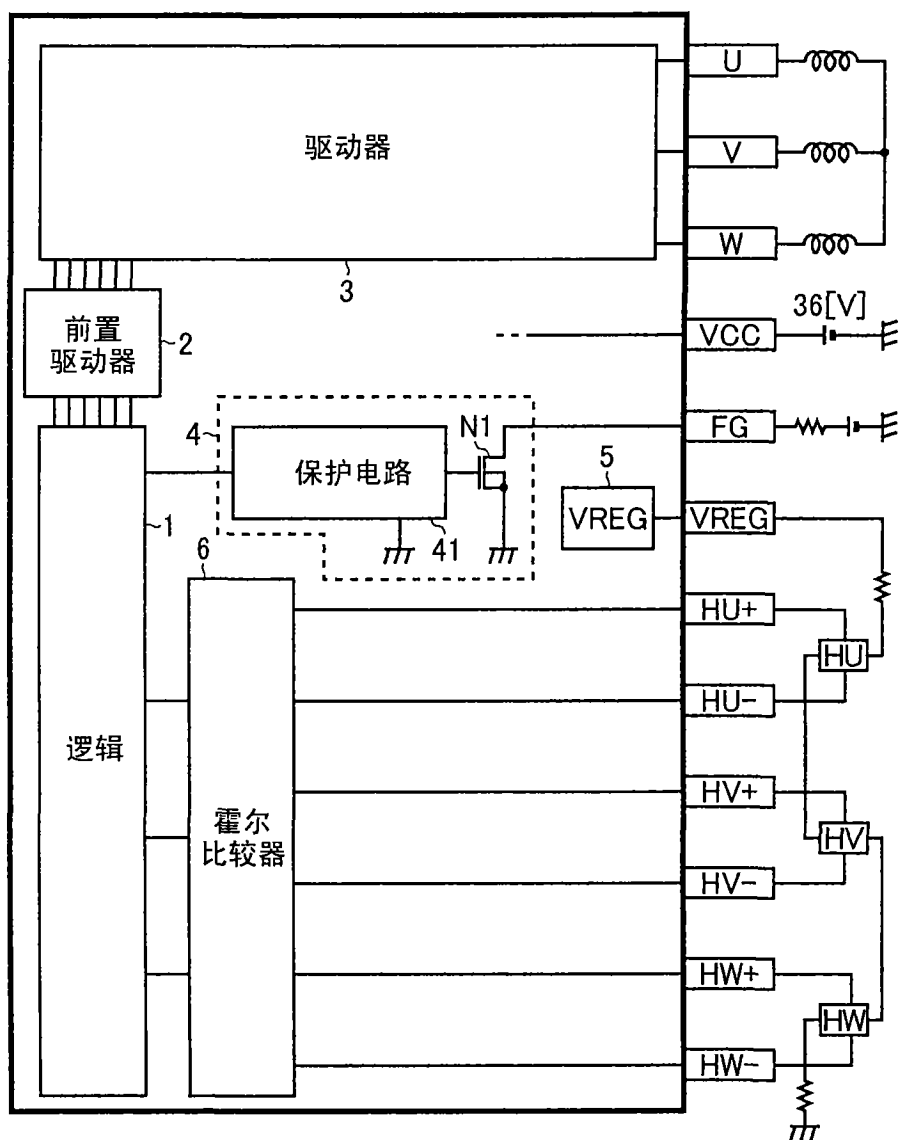


图 1

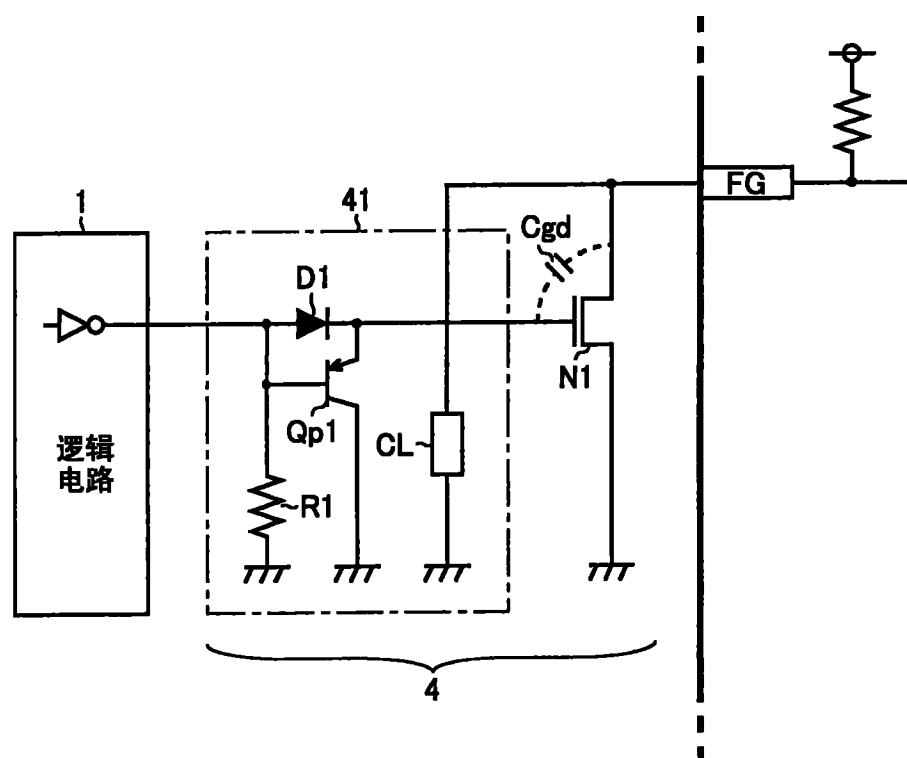


图 2

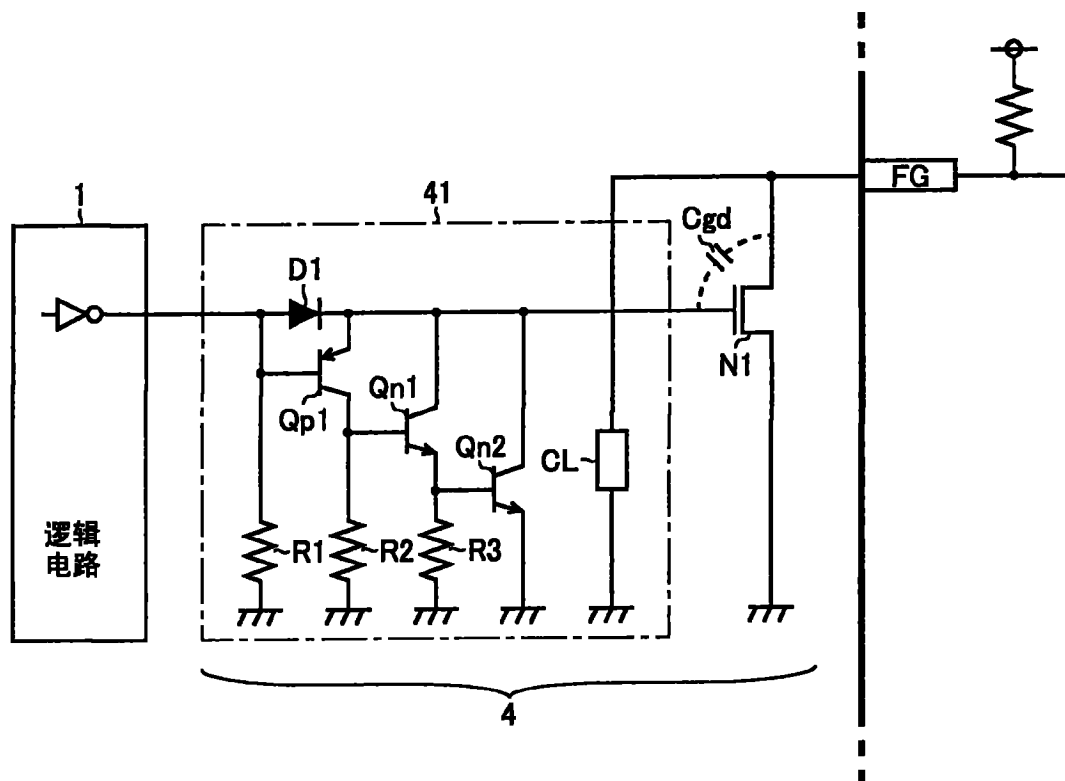


图 3

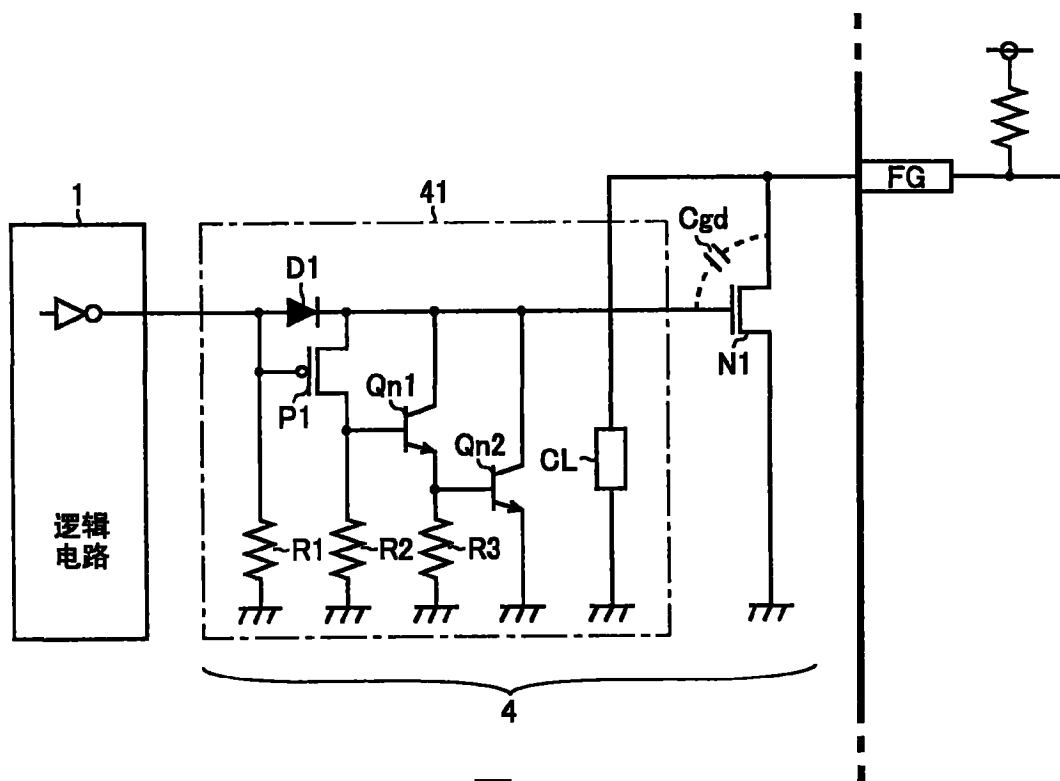


图 4

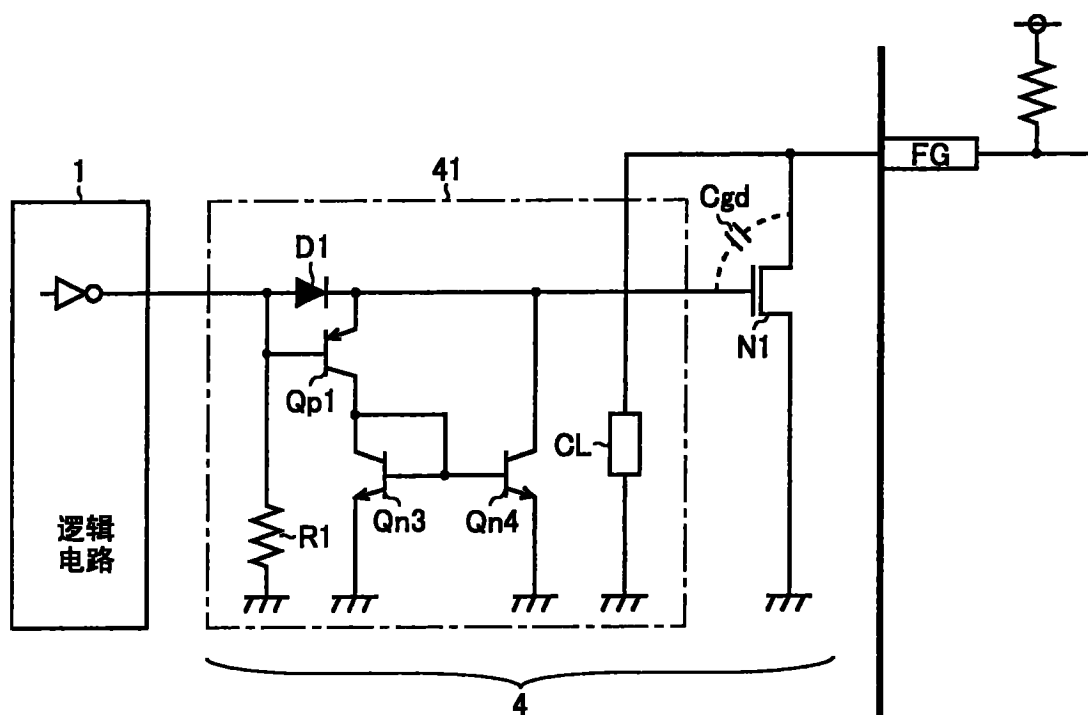


图 5 A

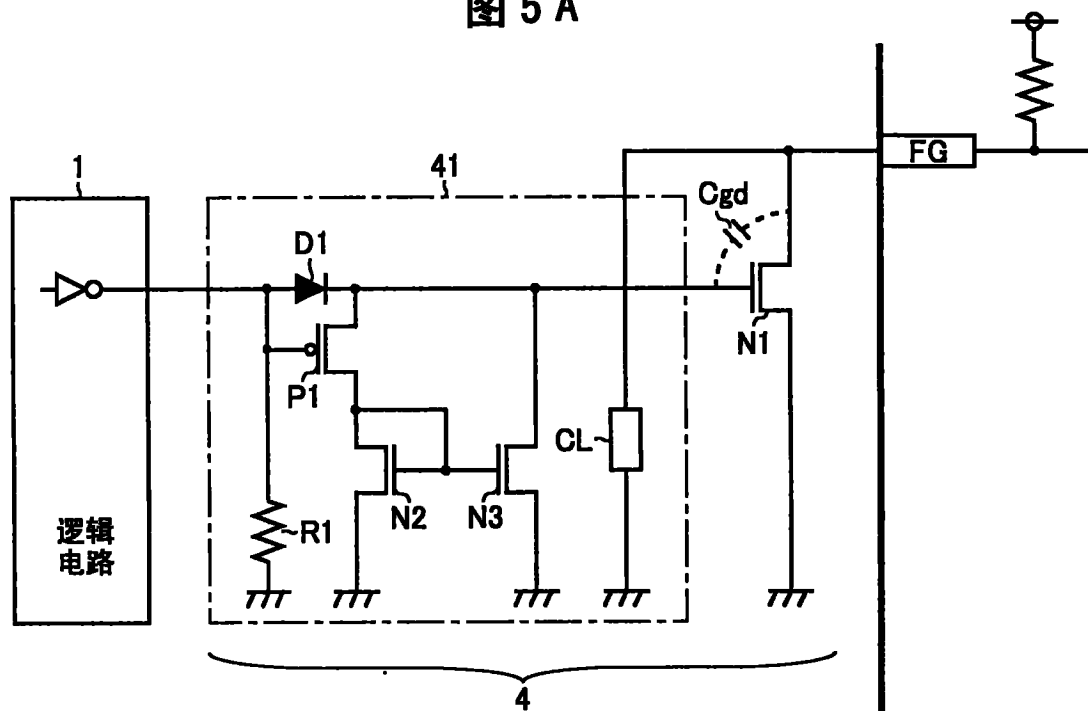


图 5 B