

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4457648号
(P4457648)

(45) 発行日 平成22年4月28日(2010.4.28)

(24) 登録日 平成22年2月19日(2010.2.19)

(51) Int.Cl.	F I	
GO 1 R 31/28 (2006.01)	GO 1 R 31/28	V
HO 1 L 23/12 (2006.01)	HO 1 L 23/12	P
HO 1 L 25/04 (2006.01)	HO 1 L 25/04	Z
HO 1 L 25/18 (2006.01)	HO 1 L 23/12	5 O 1
HO 1 L 21/822 (2006.01)	HO 1 L 27/04	T
請求項の数 4 (全 10 頁) 最終頁に続く		

(21) 出願番号 特願2003-390168 (P2003-390168)
 (22) 出願日 平成15年11月20日(2003.11.20)
 (65) 公開番号 特開2005-148026 (P2005-148026A)
 (43) 公開日 平成17年6月9日(2005.6.9)
 審査請求日 平成18年10月13日(2006.10.13)

(73) 特許権者 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号
 (74) 代理人 100084250
 弁理士 丸山 隆夫
 (72) 発明者 奥住 哲也
 東京都港区芝五丁目7番1号 日本電気株式会社内
 審査官 藤原 伸二

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

複数のLSIチップ同士を電気的に接続して一つのパッケージ内に内蔵した半導体装置において、

前記各LSIチップの間に配置され、テスト時に前記パッケージの外部からの信号により前記各LSIチップの出力信号を接続先の他のLSIチップから前記パッケージの外部に出力自在に切り替えるセレクタ回路と、

前記パッケージの通常動作時用の端子とは異なる位置に配置され、テスト時に前記パッケージの外部と信号の授受が行われる複数のテスト用の端子と、

前記テスト用の端子のうち外部からの信号が入力される端子と前記各LSIチップの入力用の端子との間に配置され、通常動作時には前記テスト用の端子と前記各LSIチップの入力用の端子との間を切断する他のセレクタ回路を有し、前記テスト用の端子から前記各LSIチップとの間の分布容量を減少させることにより、前記各LSIチップ間の伝送信号を高速に送るようにしたことを特徴とする半導体装置。

【請求項2】

前記セレクタ回路は、前記テスト用端子のうち出力端子に接続される出力端子が通常時にはハイインピーダンスを出力するような信号が入力されることを特徴とする請求項1記載の半導体装置。

【請求項3】

前記パッケージはBGA用若しくはPGA用のパッケージであると共に、前記複数のテ

スト用端子はボールグリッド若しくはピンに包囲された面内に配置されていることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】

前記パッケージはフルグリッドアレイの BGA 用若しくは PGA 用のパッケージであると共に、前記複数のテスト用端子は通常時には使用されないボール若しくはピングリッドに設定されていることを特徴とする請求項 1 から 3 のいずれか 1 項記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の LSI チップを一つのパッケージに内蔵させた半導体装置に関する。

10

【背景技術】

【0002】

図 6 は、従来の半導体装置の概念図である。

近年、高密度、高集積度、高機能を得るため、同図に示すように、複数の LSI チップ (LSI チップ A51、LSI チップ B52) を一つのパッケージ 91 に入れた半導体装置が開発されている。この種の半導体装置 90 のテストは、複数の LSI チップ A51、LSI チップ B52 が接続された状態で行われていた (例えば、特許文献 1 参照)。

この為、LSI チップ B52 をテスト (例えば、動作テスト) する場合、一部の端子 in1 (62) がパッケージ 91 の外部端子として存在しない為、その端子 in1 (62) への信号入力は、LSI チップ A51 を動作させて与える必要がある。

20

【0003】

また、テストに使用するテストパターンとしては、LSI チップ A51 および LSI チップ B52 の両方の動作について考える必要がある。例えば、LSI チップ B52 の入力信号用の端子 in1 (62) を Hi (以下「H」という。) から Low (以下「L」という。) に変化させたい場合は、LSI チップ A51 の出力端子である端子 out2 (55) を H から L の状態に変化させる必要があり、さらに LSI チップ B52 の出力端子である端子 out1 (61) が LSI チップ A51 の in2 (56) にのみ接続され、パッケージ 91 の外部端子に接続されていない為、LSI チップ A51 の動作についても考えなければならない。

この事は、LSI チップ B52 を単体でテストする場合に比べ、テストパターン数が増えてしまう可能性につながり、場合によっては十分なテストが行えない事も考えられる。テストパターン数の増加は、半導体装置の検査コストの上昇にもつながり、十分なテストを行えない事は、不良品を検出する選別ができない事を意味する。

30

【0004】

図 7 は、他の従来の半導体装置の概念図である。

同図に示すように、LSI チップ A51 及び LSI チップ B52 の全ての端子をパッケージ 101 の外部に露出させ、LSI チップ A51 と LSI チップ B52 との接続を波線で示すようにパッケージ 101 の外部で端子 16、17 間、端子 20、21 間をそれぞれ接続する場合、外部端子の増加による、パッケージ 101 の大型化につながる事が懸念される。

40

このため、テストパターン数を少なくすることができ、試験時間の短縮により製品コストの低減を図ることができる半導体集積回路が提案されている (例えば、特許文献 2 参照)。

【特許文献 1】特開 2003 - 4808 号公報

【特許文献 2】特開平 1 - 196158 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、図 7 に示した従来の技術は、一つの半導体装置 100 に内蔵された LSI チップ A51、LSI チップ B52 の複数の機能ブロックについてのテストを、機能ブ

50

ロックごとに分割して行っているため、LSIチップA51、LSIチップB52を一つずつ電氣的に切り離してテストを行うものではない。

そこで、本発明の目的は、一つのパッケージに内蔵された複数のLSIチップの個別テストを同時に行うことができる半導体装置を提供することにある。

【課題を解決するための手段】

【0007】

上記課題を解決するために、請求項1記載の発明は、複数のLSIチップ同士を電氣的に接続して一つのパッケージ内に内蔵した半導体装置において、前記各LSIチップの間に配置され、テスト時に前記パッケージの外部からの信号により前記各LSIチップの出力信号を接続先の他のLSIチップから前記パッケージの外部に出力自在に切り替えるセクタ回路と、前記パッケージの通常動作時用の端子とは異なる位置に配置され、テスト時に前記パッケージの外部と信号の授受が行われる複数のテスト用の端子と、前記テスト用の端子のうち外部からの信号が入力される端子と前記各LSIチップの入力用の端子との間に配置され、通常動作時には前記テスト用の端子と前記各LSIチップの入力用の端子との間を切断する他のセクタ回路を有し、前記テスト用の端子から前記各LSIチップとの間の分布容量を減少させることにより、前記各LSIチップ間の伝送信号を高速に送るようにしたことを特徴とする。

10

【0011】

請求項2記載の発明は、請求項1記載の発明において、前記セクタ回路は、前記テスト用端子のうち出力端子に接続される出力端子が通常時にはハイインピーダンスを出力するような信号が入力されることを特徴とする。

20

【0012】

請求項3記載の発明は、請求項1または2記載の発明において、前記パッケージはBGA用若しくはPGA用のパッケージであると共に、前記複数のテスト用端子はボールグリッド若しくはピンに包囲された面内に配置されていることを特徴とする。

【0013】

請求項4記載の発明は、請求項1から3のいずれか1項記載の発明において、前記パッケージはフルグリッドアレイのBGA用若しくはPGA用のパッケージであると共に、前記複数のテスト用端子は通常時には使用されないボール若しくはピングリッドに設定されていることを特徴とする。

30

【発明の効果】

【0014】

セクタ回路によりLSIチップの出力信号を接続先のLSIチップからパッケージの外部に出力自在に切り替えるので、一つのパッケージに内蔵された複数のLSIチップの個別テストを同時に行うことができる半導体装置の提供を実現することができる。

【発明を実施するための最良の形態】

【0015】

図1は、本発明の半導体装置の一実施の形態を示す概念図である。

図1に示すように、本半導体装置10は、複数(図では二つであるが限定されない。)のLSIチップA12、LSIチップB13を一つのパッケージ11に内蔵し、各LSIチップA12、LSIチップB13間の接続をパッケージ11の内部で行った半導体装置である。本半導体装置10は、それぞれのLSIチップA12、LSIチップB13が個別にされるテストと同様のテストがパッケージ化された状態であっても、同時に実施することができるようにする為に、それぞれのLSIチップA、B内にセクタ回路(以下「セクタ」という。)を内蔵している事、通常使用時からテスト状態に切り替える為のテスト切り替え端子を1本設けている事、LSIチップA12、LSIチップB13のテスト時だけに使用するテスト用端子をパッケージの通常使用しない端子箇所₁に設けている事を特徴とする。

40

【0016】

図1に示すように、セクタA14を内蔵するLSIチップA12と、セクタB15

50

を内蔵するLSIチップB13とが一つのパッケージ11に内蔵されている。LSIチップA12は、二つの端子in1(30)、in2(27)、制御端子である端子TESTA28、出力端子である端子out1(29)、out2(37)、およびセクタA14の出力端子に接続された二つの端子25、26を有する。LSIチップB13は、二つの端子in1(36)、in2(32)、端子TESTB33、端子out1(38)、out2(31)、およびセクタB15の出力端子に接続された二つの端子34、35を有する。

【0017】

パッケージ11は、通常の動作を行うための端子(図示せず)の他に複数(図では9本であるが限定されない。)のテスト用端子を有する。テスト用端子としては、セクタA14、セクタB15に制御用の信号を入力するための端子TEST22、テスト信号の入力端子である端子INA24、INB19、TinA21、TinB17、出力端子である端子OUTA23、OUTB18、ToutA16、ToutB20を有する。

セクタA14は、LSIチップA12の端子out2(37)に接続された一つの信号入力端子と、LSIチップA12の端子TESTAに接続された一つの制御信号入力端子と、LSIチップA12の出力端子25、26に接続された二つのデータ出力端子とを有する。セクタA14は、例えば、入力端子を共通接続した二つのトライステート(登録商標)バッファからなっている。

セクタA14は、制御信号入力端子に制御信号が入力されていないときは端子ToutA側の出力端子がハイインピーダンス状態(例えば、出力端子をオープンにした状態)になり、制御信号入力端子に制御信号が入力されているときは接続先のLSIチップB13側の出力端子がハイインピーダンス状態になる。

【0018】

セクタB15は、セクタA14と同様に、入力端子を共通接続した二つのトライステート(登録商標)バッファからなり、制御信号入力端子に制御信号が入力されていないときは出力端子ToutB側の出力端子がハイインピーダンス状態になり、制御信号入力端子に制御信号が入力されているときは接続先のLSIチップA12側の出力端子がハイインピーダンス状態になる。

【0019】

すなわち、本発明の半導体装置10は、図1に示すように、LSIチップA12、LSIチップB13にテスト専用の端子(TESTA28、TESTB33)をそれぞれ1本ずつ設け、それらのテスト専用の端子28、33を制御(セクタA14、セクタB15をON/OFFさせるための電圧のON/OFF)することで、LSIチップA12の指定された端子にテストする信号を入力し、さらに他のLSIチップB13に接続される出力端子をハイインピーダンス状態に設定する事を可能としており、LSIチップA12、LSIチップB13のテスト時にのみ使用するテスト用の端子をパッケージ11で通常使用しない端子箇所³⁰に設けていることを特徴とする。

【0020】

本発明の第1の実施の形態について図1を用いてさらに説明する。

図1に示す装置は、LSIチップA12およびLSIチップB13の二つのLSIチップが、一つのパッケージ11に内蔵された半導体装置であり、それぞれのLSIチップA12およびLSIチップB13に設けられたテスト専用の端子(TESTA28、TESTB33)を制御することで、LSIチップA12とLSIチップB13とを並列にテスト出来るよう、セクタA14、セクタB15と、LSIチップA12、LSIチップB13のテスト時にのみ使用する端子(TinA21、ToutA16、TinB17、ToutB20)を設けている。

【0021】

ここで、「並列にテスト出きる」とは、二つのセクタA14およびセクタB15を同時に動作させ、二つのLSIチップA12、LSIチップB13を同時にそれぞれのテスト用の端子TinA21、ToutA16、TinB17、ToutB20に接続し、⁴⁰

10

20

30

40

50

それぞれのテスト用の端子 $T_{in}A21$ 、 $T_{in}B17$ にテスト信号（例えば、「1」論理レベルの信号、すなわち H）を入力し、それぞれの出力端子である端子 $T_{out}A16$ 、 $T_{out}B20$ 、 $OUTA23$ 、 $OUTB18$ で電圧や波形等を測定することをいう。

【0022】

図2は、図1に示した半導体装置のパッケージの底面図である。

図2において、LSIチップA12とLSIチップB13とが内蔵されたパッケージ11の例として、BGA（Ball Grid Array）の端子配置を表した底面が示されており、パッケージ11の中心部分41の端子42が、LSIチップA12、LSIチップB13のテスト時にのみ使用する端子（ $T_{in}A21$ 、 $T_{out}A16$ 、 $T_{in}B17$ 、 $T_{out}B20$ ）として用いられている。この事は、通常時に使用される端子40はパッケージ11の外周に設けられている為、本発明の半導体装置10を、他の部品や他のLSIパッケージとプリント基板等に搭載して接続する場合などは、接続がし易くなり、検査効率が向上するので有利である。

尚、図2に示す半導体装置は端子数（ボール数）が計200個の場合を示しているが、本発明はこれに限定されるものではなく、ボール数が200個以上であっても200個未満であってもよい。また、本実施の形態では端子40がパッケージ11の外周部に設けられ、テスト用の端子42がパッケージ11の中央部に設けられた場合を示しているが、本発明はこれに限定されるものではなく、フルグリッドアレイタイプであってもよい。さらに、本実施の形態ではBGA型の半導体装置の場合で説明したが、本発明はこれに限定されるものではなく、PGA（Pin Grid Array）型の半導体装置であってもよい。

【0023】

LSIチップA12とLSIチップB13とをテストする場合、端子TEST22の論理レベルが半導体装置10を製品として機能動作する時と反対となるよう指定する事で、セクタA14は、端子out2（37）からの信号を端子 $T_{out}A16$ に出力し、LSIチップB13の端子in1（36）に接続されるセクタA14の出力端子は、ハイインピーダンスを出力する。

同様に、セクタB15は、端子out1（29）からの信号を端子 $T_{out}B20$ に出力し、LSIチップA12の端子in2（27）に接続されるセクタB15の出力端子は、ハイインピーダンスを出力する。

【0024】

以上のような接続を実現することで、LSIチップA12をテストする時は、端子INA24および端子 $T_{in}A21$ によりテスト信号を入力し、端子OUTA23および端子 $T_{out}A16$ にてテスト結果を判定することができる。LSIチップB13をテストする時は、INB19および $T_{in}B17$ よりテスト信号を入力し、端子OUTB18および端子 $T_{out}B20$ にてテスト結果を判定する。

【0025】

また、テスト時以外の各LSIチップA12、LSIチップB13が製品として機能動作する通常動作においては、端子TESTの論理をテスト時とは反対になるように指定し、LSIチップA12の端子out2（37）からの信号をセクタA14の切り替えによりLSIチップB13の端子in1（36）に接続するようにし、端子 $T_{out}A16$ に接続されるセクタA14の出力をハイインピーダンス状態にする。

同様に、LSIチップB13の端子out1（38）からの信号をセクタB15の切り替えによりLSIチップA12のin2（27）に接続するようにし、端子 $T_{out}B20$ に接続されるセクタB15の出力は、ハイインピーダンス状態にする。

このように、テスト時に使用する端子は、通常動作時はハイインピーダンス状態となるので、端子処理としてもオープン扱いが可能となる。

【0026】

（効果の説明）

複数のLSIチップを一つのパッケージに内蔵した半導体装置の状態においても、それぞれのLSIチップが1個ずつ個別部品としてテストされる時と同じテストを同時に行う

10

20

30

40

50

事を可能とし、十分なテストを行える状況にすることで、検査コストの上昇を防ぐ効果と、最終製品への不良品の混入を低減できる効果とが得られる。

【 0 0 2 7 】

(第2の実施の形態)

第2の実施の形態について図3を用いて説明する。

図3は、本発明の半導体装置の他の実施の形態を示す概念図である。尚、図1に示した実施の形態と同様の部材には共通の符号を用いた。

第2の実施の形態は、第1の実施の形態においてのLSIチップA12に内蔵されていたセクタA14をLSIチップA12の外部に出し、テスト専用の端子TESTA28(図1参照)を削除し、同様にLSIチップB13に内蔵されていたセクタB15をLSIチップB13の外部に出し、テスト専用の端子TESTB3(図1参照)を削除し、LSIチップA51、LSIチップB52、セクタA53およびセクタB54をパッケージ11に内蔵したものである。図3に示す半導体装置50は、LSIチップA51およびLSIチップB52をテストする場合の動作及びテスト以外の通常の動作については、第1の実施の形態と同様である。

10

【 0 0 2 8 】

(第3の実施の形態)

図4は、本発明の半導体装置の他の実施の形態を示す概念図である。

第3の実施の形態としての半導体装置70は、セクタA53およびセクタB54の機能を、LSIチップA51およびLSIチップB52とは別のLSIチップとして実現する事も可能である。

20

【 0 0 2 9 】

(第4の実施の形態)

図5は、本発明の半導体装置の他の実施の形態を示す概念図である。

第4の実施の形態としての半導体装置80は、端子TinA21とLSIチップA51の端子in2(56)の間に新たに別のセクタ82を設け、端子TEST22の制御にて通常動作時は、端子TinA21からの信号を電氣的に切断し、端子TinA21にぶら下がる配線容量(分布容量)を少なくする事で、LSIチップB52の端子out1(61)とLSIチップA51の端子in2(56)との間の伝送信号を高速に送る事が可能となる。同様にTinB端子17とLSIチップB52の端子in1(62)との間に新たに別のセクタ81を設け端子TEST22の制御にて通常動作時は、端子TinB17にぶら下がる配線容量(分布容量)を少なくし、LSIチップA51の端子out2(55)とLSIチップB52の端子in1(62)との間の伝送信号を高速に送る事が可能となる。

30

尚、本実施の形態では、セクタ81、82がLSIチップA51、LSIチップB52の外部に設けられた場合で説明したが、本発明はこれに限定されるものではなく、第1の実施の形態のように各LSIチップA51、LSIチップB52にそれぞれ内蔵されていてもよく、第3の実施の形態のようにLSIチップ70の中に内蔵されていてもよい。

【 図面の簡単な説明 】

【 0 0 3 0 】

【 図 1 】 本発明の半導体装置の一実施の形態を示す概念図である。

40

【 図 2 】 図1に示した半導体装置のパッケージの底面図である。

【 図 3 】 本発明の半導体装置の他の実施の形態を示す概念図である。

【 図 4 】 本発明の半導体装置の他の実施の形態を示す概念図である。

【 図 5 】 本発明の半導体装置の他の実施の形態を示す概念図である。

【 図 6 】 従来半導体装置の概念図である。

【 図 7 】 他の従来半導体装置の概念図である。

【 符号の説明 】

【 0 0 3 1 】

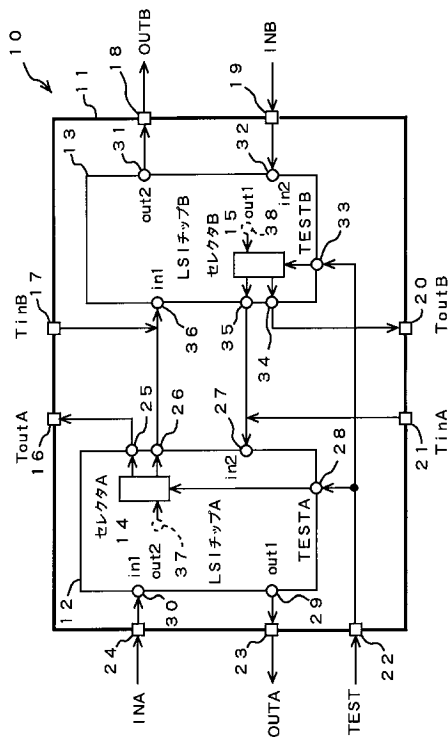
10 半導体装置

11 パッケージ

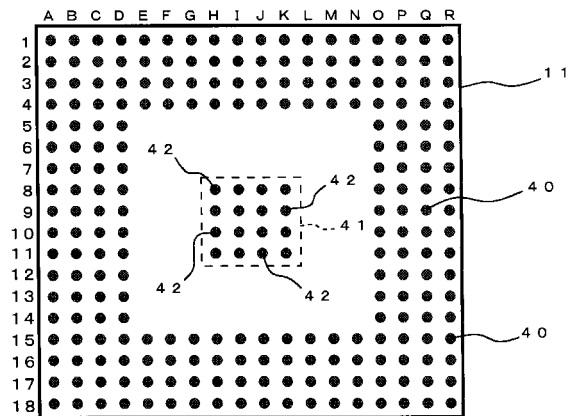
50

- 1 2 L S Iチップ A
- 1 3 L S Iチップ B
- 1 4 セレクタ A (セレクタ回路 A)
- 1 5 セレクタ B (セレクタ回路 B)
- 1 6 T o u t A (端子)
- 1 7 T i n B (端子)
- 1 8 O U T B (端子)
- 1 9 I N B (端子)
- 2 0 T o u t B (端子)
- 2 1 T i n A (端子)
- 2 2 T E S T (端子)
- 2 3 O U T A (端子)
- 2 4 I N A (端子)

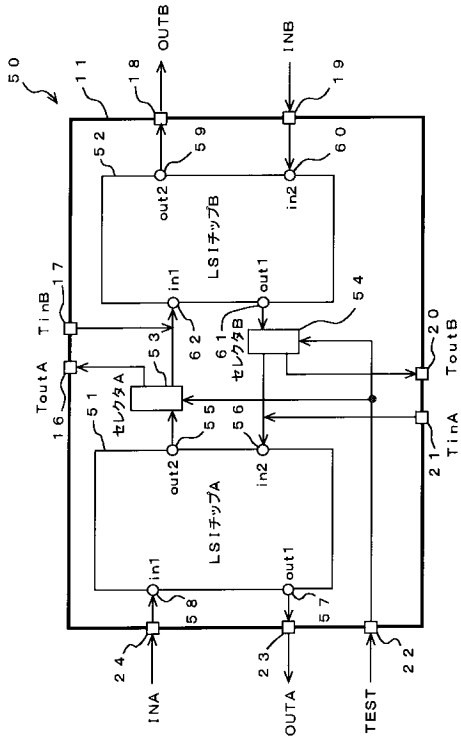
【図 1】



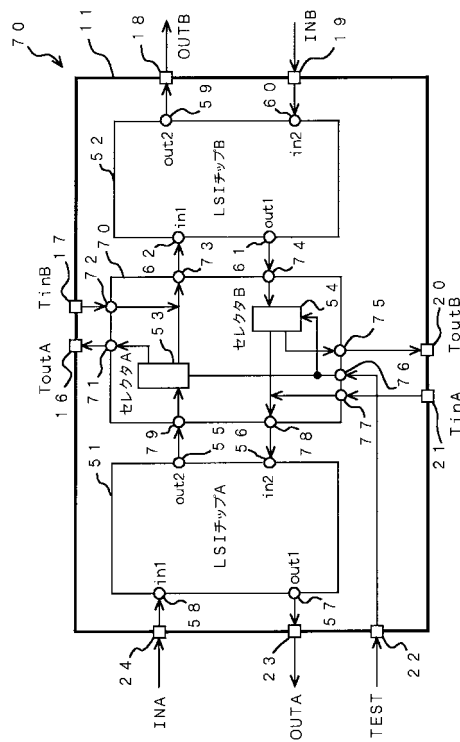
【図 2】



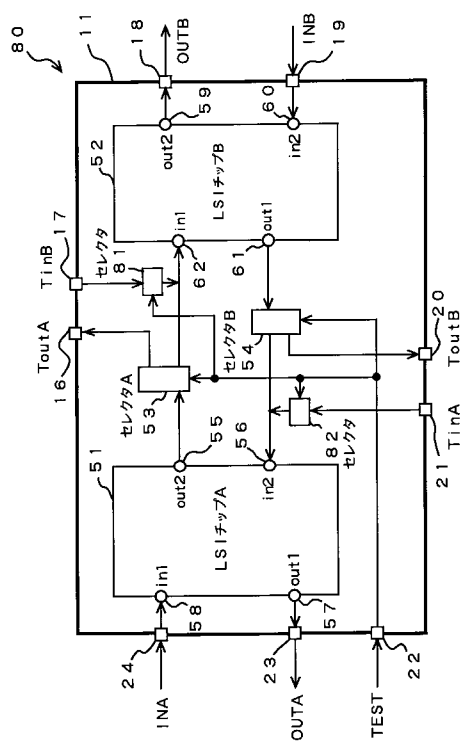
【図3】



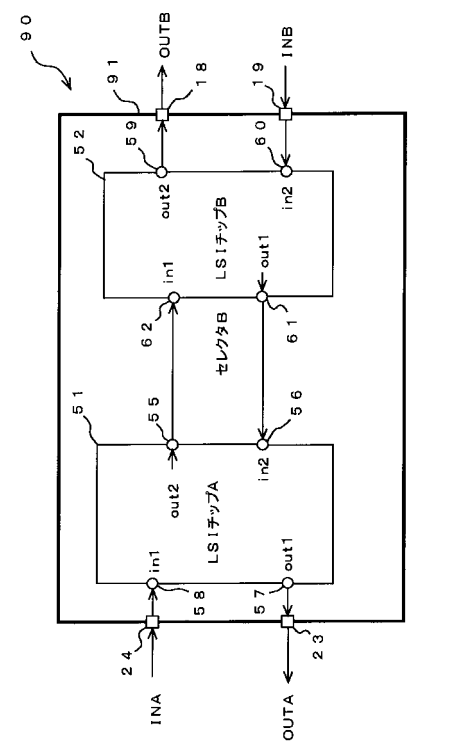
【図4】



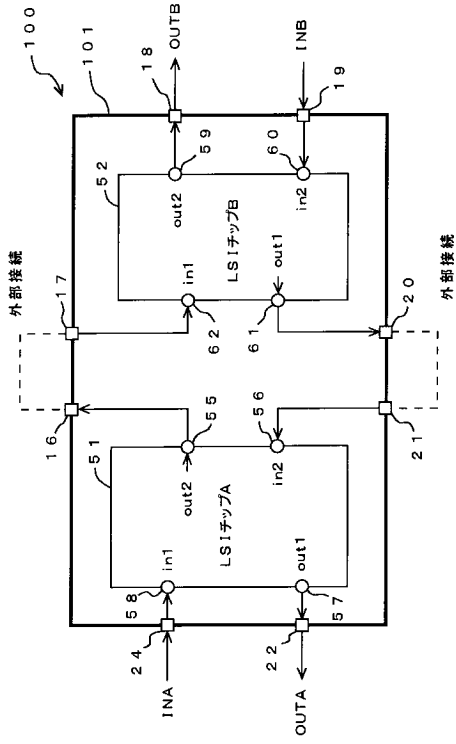
【図5】



【図6】



【図7】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 27/04 (2006.01)

(56)参考文献 特開平04 - 250644 (JP, A)
特開平11 - 344537 (JP, A)
特開2002 - 372568 (JP, A)
特開2002 - 040113 (JP, A)
特開平09 - 106698 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 1 R 3 1 / 2 8 - 3 1 / 3 1 9 3
H 0 1 L 2 1 / 8 2 2
H 0 1 L 2 7 / 0 4
H 0 1 L 2 3 / 1 2
H 0 1 L 2 5 / 0 4