



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0116702  
(43) 공개일자 2009년11월11일

(51) Int. Cl.

*H01L 29/861* (2006.01)

(21) 출원번호 10-2009-7014376

(22) 출원일자 2008년01월08일  
심사청구일자 없음

(85) 번역문제출일자 2009년07월09일

(86) 국제출원번호 PCT/US2008/050532

(87) 국제공개번호 WO 2008/086366  
국제공개일자 2008년07월17일(30) 우선권주장  
60/879,434 2007년01월09일 미국(US)

(71) 출원인

맥스파워 세미컨덕터 인크.

미국 캘리포니아 (우편번호: 95008) 캠프벨 리가  
스 드라이브 675

(72) 별명자

다위시, 모하메드, 엔.

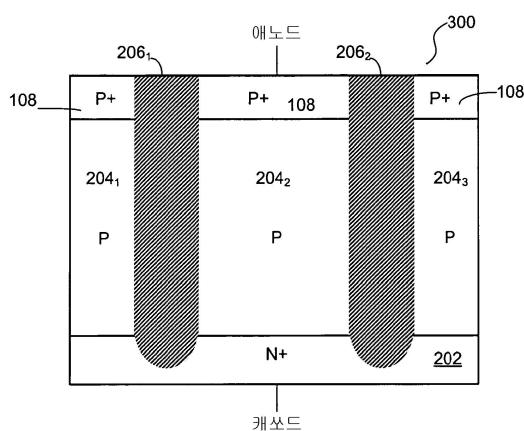
미국, 캘리포니아 95008, 캠프벨, 리가스 드라이  
브 375(74) 대리인  
박경재

전체 청구항 수 : 총 71 항

(54) 반도체 디바이스

**(57) 요 약**

반도체 구조는 다수의 반도체 영역, 한 쌍의 유전체 영역 및 한 쌍의 단자를 포함한다. 구조의 제 1 및 제 2 영역은 각각 제 1 단자와 제 2 단자에 결합된다. 구조의 제 3 영역은 제 1 영역과 제 2 영역 사이에 배치된다. 유전체 영역은 제 3 영역까지 연장된다. 제 3 영역 내에 존재하는 도핑 불순물의 농도 및 유전체 영역 사이의 거리는 구조의 전기적 특성을 정의한다. 구조의 전기적 특성은 유전체 영역 너비의 너비에 독립적이다. 제 1 및 제 2 영역은 서로 정반대의 전도성 타입이다. 구조는 제 3 영역까지 연장되고 한 쌍의 유전체 영역의 일부를 둘러싸는 제 4 영역을 선택적으로 포함한다. 유전체 영역과 제 4 영역 사이의 인터페이스 영역은 의도적으로 도입된 전하를 포함한다.

**대 표 도 - 도3**

## 특허청구의 범위

### 청구항 1

반도체 구조(semiconductor structure)에 있어서,

상기 구조의 제 1 단자(first terminal)에 결합된 제 1 영역(first region);

상기 구조의 제 2 단자(second terminal)에 결합된 제 2 영역(second region);

상기 제 1 영역과 상기 제 2 영역 사이에 배치된 싱글 전도성 타입(single conductivity type)의 제 3 영역(third region); 및

상기 제 3 영역의 깊이(depth)를 따라서 제 1 거리(first distance)를 연장하는 적어도 제 1 유전체 영역과 제 2 유전체 영역으로서, 상기 제 3 영역 내에 존재하는 도핑 불순물들(doping impurities)의 농도(concentration)와 상기 적어도 제 1 유전체 영역과 제 2 유전체 영역 사이의 거리는 상기 반도체 구조의 전기적 특성을 정의하며, 상기 전기적 특성은 상기 유전체 영역 너비와 독립적이며, 상기 제 1 영역과 상기 제 2 영역은 서로 정반대의 전도성 타입인, 제 1 유전체 영역과 제 2 유전체 영역을 포함하는, 반도체 구조.

### 청구항 2

제 1항에 있어서, 상기 적어도 제 1 유전체 영역과 제 2 유전체 영역은 상기 제 1 영역과 상기 제 2 영역까지 연장되는, 반도체 구조.

### 청구항 3

제 1항에 있어서, 상기 적어도 제 1 유전체 영역과 제 2 유전체 영역의 표면에 평행인 라인을 따라서 상기 제 3 영역 내 도핑 불순물들의 집적도(integrated density)는 약  $1 \times 10^{12}/\text{cm}^2$  내지 약  $5 \times 10^{12}/\text{cm}^2$ 의 범위인, 반도체 구조.

### 청구항 4

제 1항에 있어서, 각각의 상기 적어도 제 1 유전체 영역과 제 2 유전체 영역은 제 1 물질과 제 2 물질을 더 포함하는, 반도체 구조.

### 청구항 5

제 1항에 있어서, 각각의 상기 적어도 제 1 유전체 영역과 제 2 유전체 영역은 주입된 포지티브 전하들(implanted positive charges)을 더 포함하는, 반도체 구조.

### 청구항 6

제 1항에 있어서, 각각의 상기 적어도 제 1 유전체 영역과 제 2 유전체 영역은 주입된 네거티브 전하들(implanted negative charges)을 더 포함하는, 반도체 구조.

### 청구항 7

제 4항에 있어서, 각각의 상기 적어도 제 1 유전체 영역과 제 2 유전체 영역 내 상기 제 2 물질은 불화 알루미늄(aluminum fluoride)을 포함하는, 반도체 구조.

### 청구항 8

제 4항에 있어서, 각각의 상기 적어도 제 1 유전체 영역과 제 2 유전체 영역은 제 3 물질을 더 포함하고, 상기 제 3 물질은 유전체 물질인, 반도체 구조.

### 청구항 9

제 8항에 있어서, 각각의 유전체 영역 내 상기 제 1 물질과 상기 제 3 물질은 서로 동일한 물질인, 반도체

구조.

### 청구항 10

제 1항에 있어서, 상기 제 1 영역과 상기 제 2 영역은 각각 p+ 타입과 n+ 타입 영역이고, 상기 제 1 단자와 상기 제 2 단자는 각각 애노드 단자(anode terminal)와 캐소드 단자(cathode terminal)이며, 상기 제 3 영역은 p-타입 영역인, 반도체 구조.

### 청구항 11

제 10항에 있어서, 상기 제 3 영역은 상기 제 2 영역 위에 형성되고, 상기 제 1 영역은 상기 제 3 영역 위에 형성되는, 반도체 구조.

### 청구항 12

제 1항에 있어서, 상기 제 1 영역과 상기 제 2 영역은 각각 p+ 타입 영역과 n+ 타입 영역이며, 상기 제 1 단자와 상기 제 2 단자는 각각 애노드 단자(anode terminal)와 캐소드 단자(cathode terminal)이며, 상기 제 3 영역은 n-타입 영역인, 반도체 구조.

### 청구항 13

제 12항에 있어서, 상기 제 3 영역은 상기 제 2 영역 위에 형성되고, 상기 제 1 영역은 상기 제 3 영역 위에 형성되는, 반도체 구조.

### 청구항 14

제 1항에 있어서, 상기 적어도 제 1 유전체 영역과 제 2 유전체 영역은 서로 절연되는, 반도체 구조.

### 청구항 15

제 1항에 있어서, 상기 반도체 구조는 상기 제 2 영역과 상기 제 3 영역 사이에 배치된 제 4 영역을 더 포함하고, 상기 제 2 영역과 상기 제 4 영역은 서로 동일한 전도성 타입인, 반도체 구조.

### 청구항 16

제 1항에 있어서, 상기 제 1 영역과 상기 제 2 영역은 각각 n+ 타입과 p+ 타입 영역이고, 상기 제 1 단자와 상기 제 2 단자는 각각 캐소드 단자와 애노드 단자이며, 상기 제 3 영역은 p-타입 영역인, 반도체 구조.

### 청구항 17

제 14항에 있어서, 상기 제 3 영역은 상기 제 2 영역 위에 형성되고, 상기 제 1 영역은 상기 제 3 영역 위에 형성되는, 반도체 구조.

### 청구항 18

제 1항에 있어서, 상기 제 1 영역과 상기 제 2 영역은 각각 n+ 타입과 p+ 타입 영역이고, 상기 제 1 단자와 상기 제 2 단자는 각각 캐소드 단자와 애노드 단자이며, 상기 제 3 영역은 n-타입 영역인, 반도체 구조.

### 청구항 19

제 16항에 있어서, 상기 제 3 영역은 상기 제 2 영역 위에 형성되고, 상기 제 1 영역은 상기 제 3 영역 위에 형성되는, 반도체 구조.

### 청구항 20

제 1항에 있어서, 각각의 상기 적어도 제 1 유전체 영역과 제 2 유전체 영역은 상기 유전체 영역의 타 단부(end)보다 상기 유전체 영역의 일 단부(end) 근처에서 보다 넓은 너비(width)를 갖도록 테이퍼되는, 반도체 구조.

### 청구항 21

제 1항에 있어서, 상기 제 1 영역, 상기 제 2 영역 및 상기 제 3 영역은 반도체 구조가 형성되는 반도체 기판(semiconductor substrate)의 동일 표면을 따라서 형성되는, 반도체 구조.

#### 청구항 22

제 21항에 있어서, 상기 제 2 영역이 형성되는 제 4 영역을 더 포함하고, 상기 제 3 영역은 상기 제 1 영역 및 상기 제 4 영역에 인접하는, 반도체 구조.

#### 청구항 23

제 22항에 있어서, 상기 제 1 영역은 p+ 타입 영역, 상기 제 2 영역은 n+ 타입 영역, 상기 제 3 영역은 p-타입 영역이며, 상기 제 4 영역은 n-타입 영역인, 반도체 구조.

#### 청구항 24

제 22항에 있어서, 상기 제 1 영역은 p+-타입 영역, 상기 제 2 영역은 n+-타입 영역, 상기 제 3 영역은 n-타입 영역이며, 상기 제 4 영역은 p+ 타입 영역인, 반도체 구조.

#### 청구항 25

반도체 구조(semiconductor structure)에 있어서,

상기 구조의 제 1 단자(first terminal)에 결합된 제 1 영역(first region);

상기 구조의 제 2 단자(second terminal)에 결합된 제 2 영역(second region);

상기 제 1 영역과 상기 제 2 영역 사이에 배치된 제 3 영역(third region); 및

상기 제 3 영역의 깊이(depth)를 따라서 제 1 거리(first distance)를 연장하는 적어도 제 1 유전체 영역과 제 2 유전체 영역으로서, 상기 제 1 영역과 상기 제 2 영역은 서로 정반대의 전도성 타입이고, 상기 적어도 제 1 유전체 영역과 제 2 유전체 영역 또는 각각의 상기 적어도 제 1 유전체 영역과 제 2 유전체 영역과 상기 제 3 영역 사이의 인터페이스 영역(interface region)은 의도적으로 도입된 전하들을 포함하는, 상기 제 1 유전체 영역 및 제 2 유전체 영역을

포함하는, 반도체 구조.

#### 청구항 26

제 25항에 있어서, 상기 적어도 제 1 유전체 영역과 제 2 유전체 영역은 상기 제 1 영역과 상기 제 2 영역까지 연장되는, 반도체 구조.

#### 청구항 27

제 25항에 있어서, 상기 적어도 제 1 유전체 영역과 제 2 유전체 영역의 표면에 평행인 라인을 따라서 상기 제 3 영역 내 도핑 불순물들의 집적도(integrated density)는 약  $1 \times 10^{12}/\text{cm}^2$  내지 약  $5 \times 10^{12}/\text{cm}^2$ 의 범위인, 반도체 구조.

#### 청구항 28

제 25항에 있어서, 각각의 상기 적어도 제 1 유전체 영역과 제 2 유전체 영역은 제 1 물질과 제 2 물질을 더 포함하는, 반도체 구조.

#### 청구항 29

제 25항에 있어서, 상기 의도적으로 도입된 전하들은 주입된 포지티브 전하들(implanted positive charges)인, 반도체 구조.

#### 청구항 30

제 25항에 있어서, 상기 의도적으로 도입된 전하들은 주입된 네거티브 전하들(implanted negative charges)인, 반도체 구조.

**청구항 31**

제 28항에 있어서, 각각의 상기 적어도 제 1 유전체 영역과 제 2 유전체 영역 내 상기 제 2 물질은 불화 알루미늄을 포함하는, 반도체 구조.

**청구항 32**

제 28항에 있어서, 각각의 상기 적어도 제 1 유전체 영역과 제 2 유전체 영역은 제 3 물질을 더 포함하고, 상기 제 3 물질은 유전체 물질인, 반도체 구조.

**청구항 33**

제 32항에 있어서, 각각의 유전체 영역 내 상기 제 1 물질과 제 3 물질은 서로 동일한 물질인, 반도체 구조.

**청구항 34**

제 25항에 있어서, 상기 제 1 영역과 상기 제 2 영역은 각각 p+ 타입과 n+ 타입 영역이고, 상기 제 1 단자와 상기 제 2 단자는 각각 애노드 단자(anode terminal)와 캐소드 단자(cathode terminal)이며, 상기 제 3 영역은 p-타입 영역인, 반도체 구조.

**청구항 35**

제 34항에 있어서, 상기 제 3 영역은 상기 제 2 영역 위에 형성되고, 상기 제 1 영역은 상기 제 3 영역 위에 형성되는, 반도체 구조.

**청구항 36**

제 25항에 있어서, 상기 제 1 영역과 상기 제 2 영역은 각각 p+ 타입과 n+ 타입 영역이고, 상기 제 1 단자와 상기 제 2 단자는 각각 애노드 단자(anode terminal)와 캐소드 단자(cathode terminal)이며, 상기 제 3 영역은 n-타입 영역인, 반도체 구조.

**청구항 37**

제 36항에 있어서, 상기 제 3 영역은 상기 제 2 영역 위에 형성되고, 상기 제 1 영역은 상기 제 3 영역 위에 형성되는, 반도체 구조.

**청구항 38**

제 25항에 있어서, 상기 적어도 제 1 유전체 영역과 제 2 유전체 영역은 서로 절연되는, 반도체 구조.

**청구항 39**

제 25항에 있어서, 상기 반도체 구조는 상기 제 2 영역과 상기 제 3 영역 사이에 배치된 제 4 영역을 더 포함하고, 상기 제 2 영역과 상기 제 4 영역은 동일한 전도성 타입인, 반도체 구조.

**청구항 40**

제 25항에 있어서, 상기 제 1 영역과 상기 제 2 영역은 각각 n+ 타입과 p+ 타입 영역이고, 상기 제 1 단자와 상기 제 2 단자는 각각 캐소드 단자(cathode terminal)와 애노드 단자(anode terminal)이며, 상기 제 3 영역은 p-타입 영역인, 반도체 구조.

**청구항 41**

제 34항에 있어서, 상기 제 3 영역은 상기 제 2 영역 위에 형성되고, 상기 제 1 영역은 상기 제 3 영역 위에 형성되는, 반도체 구조.

**청구항 42**

제 25항에 있어서, 상기 제 1 영역과 상기 제 2 영역은 각각 n+ 타입과 p+ 타입 영역이고, 상기 제 1 단자와 상기 제 2 단자는 각각 캐소드 단자(cathode terminal)와 애노드 단자(anode terminal)이며, 상기 제 3 영역은

n-타입 영역인, 반도체 구조.

#### 청구항 43

제 34항에 있어서, 상기 제 3 영역은 상기 제 2 영역 위에 형성되고, 상기 제 1 영역은 상기 제 3 영역 위에 형성되는, 반도체 구조.

#### 청구항 44

제 34항에 있어서, 각각의 상기 적어도 제 1 유전체 영역과 제 2 유전체 영역은 상기 유전체 영역의 타 단부(end)보다 상기 유전체 영역의 일 단부(end) 근처에서 보다 넓은 너비(width)를 갖도록 테이퍼되는, 반도체 구조.

#### 청구항 45

제 34항에 있어서, 상기 제 1 영역, 상기 제 2 영역 및 상기 제 3 영역은 반도체 구조가 형성되는 반도체 기판의 동일 표면을 따라서 형성되는, 반도체 구조.

#### 청구항 46

제 45항에 있어서, 상기 제 2 영역이 형성되는 제 4 영역을 더 포함하고, 상기 제 3 영역은 상기 제 1 영역과 상기 제 4 영역에 인접하는, 반도체 구조.

#### 청구항 47

제 46항에 있어서, 상기 제 1 영역은 p+ 타입 영역, 상기 제 2 영역은 n+ 타입 영역, 상기 제 3 영역은 p-타입 영역이고, 상기 제 4 영역은 n-타입 영역인, 반도체 구조.

#### 청구항 48

제 46항에 있어서, 상기 제 1 영역은 p+-타입 영역, 상기 제 2 영역은 n+-타입 영역, 상기 제 3 영역은 n-타입 영역이며, 상기 제 4 영역은 p- 타입 영역인, 반도체 구조.

#### 청구항 49

반도체 구조에 있어서,

상기 구조의 제 1 단자(first terminal)에 결합된 제 1 영역(first region);

상기 구조의 제 2 단자(second terminal)에 결합된 제 2 영역(second region);

상기 제 1 영역과 상기 제 2 영역 사이에 배치된 제 3 영역(third region);

상기 제 3 영역의 깊이를 따라서 제 1 거리를 연장하고 상기 제 3 영역의 전도성 타입과 서로 정반대의 전도성 타입을 가지며, 상기 제 1 영역과 상기 제 2 영역에 인접하는 제 4 영역; 및

상기 제 3 영역의 깊이를 따라서 제 2 거리를 연장하는 적어도 제 1 유전체 영역과 제 2 유전체 영역으로서, 상기 제 1 영역과 상기 제 2 영역은 서로 정반대의 전도성 타입이고, 상기 제 4 영역은 상기 적어도 제 1 유전체 영역과 제 2 유전체 영역의 일부를 둘러싸며, 상기 적어도 제 1 유전체 영역과 제 2 유전체 영역 또는 각각의 상기 적어도 제 1 유전체 영역과 제 2 유전체 영역과 상기 제 4 영역 사이의 인터페이스 영역(interface region)은 의도적으로 도입된 전하들을 포함하는, 제 1 유전체 영역과 제 2 유전체 영역을 포함하는, 반도체 구조.

#### 청구항 50

제 49항에 있어서, 상기 적어도 제 1 유전체 영역과 제 2 유전체 영역은 상기 제 1 영역과 상기 제 2 영역까지 연장되는, 반도체 구조.

#### 청구항 51

제 49항에 있어서, 각각의 상기 적어도 제 1 유전체 영역과 제 2 유전체 영역은 제 1 단자와 제 2 단자를 더 포

함하는, 반도체 구조.

### 청구항 52

제 49항에 있어서, 상기 의도적으로 도입된 전하들은 주입된 포지티브 전하들(implanted positive charges)인, 반도체 구조.

### 청구항 53

제 49항에 있어서, 상기 의도적으로 도입된 전하들은 주입된 네거티브 전하들(implanted negative charges)인, 반도체 구조.

### 청구항 54

제 51항에 있어서, 각각의 상기 제 1 유전체 영역과 제 2 유전체 영역 내 상기 제 2 물질은 불화 알루미늄을 포함하는, 반도체 구조.

### 청구항 55

제 51항에 있어서, 각각의 상기 제 1 유전체 영역과 제 2 유전체 영역은 제 3 물질을 더 포함하고, 상기 제 3 물질은 유전체 물질인, 반도체 구조.

### 청구항 56

제 55항에 있어서, 각각의 유전체 영역 내 상기 제 1 물질과 상기 제 3 물질은 서로 동일한 물질인, 반도체 구조.

### 청구항 57

제 49항에 있어서, 상기 제 1 영역과 상기 제 2 영역은 각각 p+ 타입과 n+ 타입 영역이고, 상기 제 1 단자와 상기 제 2 단자는 각각 애노드 단자(anode terminal)와 캐소드 단자(cathode terminal)이며, 상기 제 3 영역은 p-타입 영역인, 반도체 구조.

### 청구항 58

제 57항에 있어서, 상기 제 3 영역은 상기 제 2 영역 위에 형성되고, 상기 제 1 영역은 상기 제 3 영역 위에 형성되는, 반도체 구조.

### 청구항 59

제 49항에 있어서, 상기 제 1 영역과 상기 제 2 영역은 각각 p+ 타입과 n+ 타입 영역이고, 상기 제 1 단자와 상기 제 2 단자는 각각 애노드 단자(anode terminal)와 캐소드 단자(cathode terminal)이며, 상기 제 3 영역은 n-타입 영역인, 반도체 구조.

### 청구항 60

제 59항에 있어서, 상기 제 3 영역은 상기 제 2 영역 위에 형성되고, 상기 제 1 영역은 상기 제 3 영역 위에 형성되는, 반도체 구조.

### 청구항 61

제 49항에 있어서, 상기 적어도 제 1 유전체 영역과 제 2 유전체 영역은 서로 절연되는, 반도체 구조.

### 청구항 62

제 49항에 있어서, 상기 반도체 구조는 상기 제 2 영역, 상기 제 3 영역, 그리고 상기 제 4 영역 사이에 배치된 제 5 영역을 더 포함하고, 상기 제 2 영역과 상기 제 5 영역은 서로 동일한 전도성 타입인, 반도체 구조.

### 청구항 63

제 49항에 있어서, 상기 제 1 영역과 상기 제 2 영역은 각각 n+ 타입과 p+ 타입 영역이고, 상기 제 1 단자와 상

기 제 2 단자는 각각 캐소드 단자와 애노드 단자이며, 상기 제 3 영역은 p-타입 영역인, 반도체 구조.

#### 청구항 64

제 63항에 있어서, 상기 제 3 영역은 상기 제 2 영역 위에 형성되고, 상기 제 1 영역은 상기 제 3 영역 위에 형성되는, 반도체 구조.

#### 청구항 65

제 49항에 있어서, 상기 제 1 영역과 상기 제 2 영역은 각각 n+ 타입과 p+ 타입 영역이고, 상기 제 1 단자와 상기 제 2 단자는 각각 캐소드 단자와 애노드 단자이며, 상기 제 3 영역은 n-타입 영역인, 반도체 구조.

#### 청구항 66

제 65항에 있어서, 상기 제 3 영역은 상기 제 2 영역 위에 형성되고, 상기 제 1 영역은 상기 제 3 영역 위에 형성되는, 반도체 구조.

#### 청구항 67

제 49항에 있어서, 각각의 상기 적어도 제 1 유전체 영역과 제 2 유전체 영역은 상기 유전체 영역의 타 단부(end)보다 상기 유전체 영역의 일 단부(end) 근처에서 보다 넓은 너비(width)를 갖도록 테이퍼되는, 반도체 구조.

#### 청구항 68

제 49항에 있어서, 상기 제 1 영역, 상기 제 2 영역 및 상기 제 3 영역은 반도체 구조가 형성되는 반도체 기판(semiconductor substrate)의 동일 표면을 따라서 형성되는, 반도체 구조.

#### 청구항 69

제 68항에 있어서, 상기 제 2 영역이 형성되는 제 5 영역을 더 포함하고, 상기 제 3 영역은 상기 제 1 영역과 제 5 영역에 인접하는, 반도체 구조.

#### 청구항 70

제 69항에 있어서, 상기 제 1 영역은 p+ 타입 영역, 상기 제 2 영역은 n+ 타입 영역, 상기 제 3 영역은 p-타입 영역이고, 상기 제 4 영역은 n-타입 영역인, 반도체 구조.

#### 청구항 71

제 69항에 있어서, 상기 제 1 영역은 p+-타입 영역, 상기 제 2 영역은 n+-타입 영역, 상기 제 3 영역은 n-타입 영역이고, 상기 제 4 영역은 p-타입 영역인, 반도체 구조.

### 명세서

#### 기술 분야

- <1> 본 발명 출원은 "Power MOS Transistor"란 제목으로 2007년 1월 9일 출원된 미합중국 가출원 제 60/879,434 호의 35 U.S.C. § 119(e)에 따른 이익을 주장하며, 출원의 내용 그대로 본 명세서에 참조로서 포함된다.
- <2> 본 발명은 전자 디바이스(electronic device)에 관한 것으로, 특히 고전압(high voltage)을 견디는데 적합한 반도체 디바이스(semiconductor device)에 관한 것이다.

#### 배경 기술

- <3> 전자 시스템에서, 한 쌍의 노드(node)에 걸쳐 상대적으로 높은 고전압(high voltage)을 유지해야 할 필요가 종종 있다. 고전압을 유지하기 위해 리버스-바이어스 모드(reverse-bias mode)에서 반도체 p-n 접합 다이오드(semiconductor p-n junction diode)가 폭넓게 사용된다. p-n 접합에 걸쳐 높은 절연파괴 전압(hight breakdown voltage)을 견디기 위해, 상대적으로 두꺼우며 전압 유지 층(voltage sustaining layer)을 형성하는 저농도 도핑 영역(lightly doped region)이 필요하다. 이러한 p-n 접합은 MOSFET, IGBT 및 JFET와 같은 많은 반도체 디

바이스에서 상대적으로 보다 높은 절연파괴 전압을 제공한다. 더욱이, 이러한 반도체 디바이스는 전형적으로 온-상태(on-state)에서 상대적으로 낮은 온-저항(on-resistance:Ron)과 리버스 바이어스 조건하에서 상대적으로 높은 절연파괴 전압( $V_B$ )을 가질 필요가 있다. 잘 알려진 바와 같이, 높은 절연파괴 전압( $V_B$ )과 낮은 Ron 모두를 달성하는 것은 다수의 도전 과제(number of tasks)를 제기한다. 종래의 디바이스에서, 절연파괴 전압을 증가시키기 위해 사용될 수 있는 도핑 농도(doping density) 또는 층 두께(layer thickness)와 같은 설계 파라미터는 온-저항을 증가시키거나, 그 반대이다.

<4> 높은 절연파괴 전압과 같은 낮은 온-저항 모두를 달성하기 위해 사용된 하나의 알려진 디바이스는 일반적으로 수퍼제트(SuperJunction: SJ) 디바이스로서 지칭된다. 도 1에 도시된 바와 같이, SJ 디바이스(구조)는 종종 다수의 교번 p-타입과 n-타입 층 또는 전하 균형이 이루어진 필러(pillar)를 포함한다. SJ 구조에서, Ron\*A로서 정의되는 비(specific) 온-저항( $R_{SP}$ )을 낮추기 위해 주어진 단위 영역에 많은 필러들 또는 셀들을 채워넣는 것이 바람직하며, 여기서 A는 디바이스 영역이다.

<5> SJ 구조에서, n-타입과 p-타입 필러의 너비(width)는 셀 피치(cell pitch)와 구조의 스케일링 다운=scaling down에 관한 제한을 설정한다. 또한, 다중 애피택시 층(multiple epitaxial layer)을 성장시키고 다수의 주입 및 확산 공정(number of implant and diffusion steps)을 수행하기 위한 필요조건과 같은 SJ 구조의 제조와 연관된 다수의 결점이 존재한다. 높은 절연파괴 전압, 낮은  $R_{SP}$ , 낮은 커페시턴스와 낮은 리버스 복구 전하(low reverse recovery charge: Qrr)를 가지며, 쉽게 스케일 다운되고 제조가 보다 쉬운 반도체 디바이스에 대한 필요성이 계속해서 존재한다.

### 발명의 상세한 설명

<6> 본 발명의 일 실시예에 따라서, 반도체 디바이스는 다수의 반도체 영역, 적어도 한 쌍의 유전체 영역 및 한 쌍의 단자를 일부 포함한다. 반도체 구조의 제 1 및 제 2 영역은 각각 제 1 및 제 2 단자에 결합된다. 반도체 구조의 제 3 영역은 싱글 전도성 타입이고 제 1 영역과 제 2 영역 사이에 배치된다. 유전체 영역은 제 3 영역까지 연장된다. 제 3 영역에 존재하는 도핑 불순물의 농도와 유전체 영역 사이의 거리는 반도체 구조의 전기적 특성을 정의한다. 반도체 구조의 전기적 특성은 유전체 영역의 너비에 독립적이다. 제 1 및 제 2 영역은 서로 정반대의 전도성 타입이다.

<7> 일 실시예에서, 유전체 영역은 제 1 및 제 2 영역까지 연장된다. 일 실시예에서, 유전체 영역의 표면에 평행한 라인을 따라서 제 3 영역 내 도핑 불순물의 집적도(integrated density)는 약  $1 \times 10^{12} / \text{cm}^2$ 에서 약  $5 \times 10^{12} / \text{cm}^2$ 의 범위이다. 일 실시예에서, 각각의 유전체 영역은 제 2 물질을 더 포함한다. 일 실시예에서, 각각의 유전체 영역 내 제 2 물질은 불화 알루미늄을 일부 포함한다. 일 실시예에서, 각각의 유전체 영역은 유전체 물질인 제 3 물질을 일부 더 포함한다. 일 실시예에서, 각각의 유전체 영역 내 제 2 및 제 3 물질은 동일한 물질이다.

<8> 일 실시예에서, 제 1 및 제 2 영역은 각각 p+ 타입과 n+ 타입 영역이고, 제 1 및 제 2 단자는 각각 애노드와 캐소드 단자다. 일 실시예에서, 제 3 영역은 p-타입 영역이다. 다른 실시예에서, 제 3 영역은 n-타입 영역이다. 일 실시예에서, 제 3 영역은 제 2 영역 위에 형성되고, 상기 제 1 영역은 제 3 영역 위에 형성된다. 일 실시예에서, 유전체 영역은 서로 절연된다.

<9> 일 실시예에서, 반도체 구조는 제 2 영역과 제 3 영역 사이에 배치된 제 4 영역을 일부 더 포함한다. 제 2 및 제 4 영역은 동일한 전도성 타입이다.

<10> 일 실시예에서, 제 1 및 제 2 영역은 각각 n+ 타입과 p+ 타입 영역이고, 제 1 및 제 2 단자는 각각 캐소드와 애노드 단자다. 일 실시예에서, 제 3 영역은 p-타입 영역이다. 다른 실시예에서, 제 3 영역은 n-타입 영역이다. 일 실시예에서, 제 3 영역은 제 2 영역 위에 형성되고, 제 1 영역은 제 3 영역 위에 형성된다. 일 실시예에서, 각각의 유전체 영역은 유전체 영역의 다른 쪽 종단(end)보다 유전체 영역의 일 단부(end) 근처에서 보다 넓은 너비를 갖도록 테이퍼 된다.

<11> 일 실시예에서, 제 1, 제 2 및 제 3 영역은 반도체 구조가 형성되는 반도체 기판(semiconductor substrate)의 동일 표면을 따라서 형성된다. 이러한 일 실시예에서, 반도체 구조는 제 2 영역이 형성되는 제 4 영역을 포함한다. 이러한 일 실시예에서, 제 3 영역은 제 1 및 제 4 영역과 인접한다. 이러한 일 실시예에서, 제 1 영역은 p+ 타입 영역, 제 2 영역은 n+ 타입 영역, 제 3 영역은 p-타입 영역이고 제 4 영역은 n-타입 영역이다. 이러한 다른 실시예에서, 제 1 영역은 p+-타입 영역, 제 2 영역은 n+-타입 영역, 제 3 영역은 n-타입 영역이고 제 4 영역

은 p-타입 영역이다.

<12> 본 발명의 다른 실시예에 따라서, 반도체 구조는 다수의 반도체 영역, 적어도 한 쌍의 유전체 영역 및 한 쌍의 단자를 일부 포함한다. 반도체 구조의 제 1 영역 및 제 2 영역은 각각 제 1 및 제 2 단자에 결합된다. 제 3 및 제 4 영역은 제 1 및 제 2 영역 사이에 배치되고 제 1 및 제 2 영역에 인접한다. 유전체 영역은 제 3 영역까지 연장된다. 제 4 영역은 제 3 영역까지 연장되며, 제 3 영역의 전도성 타입과 서로 정반대의 전도성 타입을 가지며, 적어도 제 1 및 제 2 유전체 영역의 일부를 둘러싼다. 제 3 영역에 존재하는 도핑 불순물의 농도 및 유전체 영역 간의 거리는 반도체 구조의 전기적 특성을 정의한다. 반도체 구조의 전기적 특성은 유전체 영역의 너비에 관계없다. 제 1 영역과 제 2 영역은 서로 정반대의 전도성 타입이다. 유전체 영역과 제 4 영역 사이의 인터페이스 영역은 의도적으로 도입된 전하를 포함한다.

<13> 일 실시예에서, 유전체 영역은 제 1 및 제 2 영역까지 연장된다. 일 실시예에서, 유전체 영역의 표면에 평행한 라인을 따라서 제 3 영역 내 도핑 불순물의 집적도는 약  $1 \times 10^{12}/\text{cm}^2$ 에서 약  $5 \times 10^{12}/\text{cm}^2$ 의 범위이다. 일 실시예에서, 각각의 유전체 영역은 제 2 물질을 더 포함한다. 일 실시예에서, 각각의 유전체 영역 내 제 2 물질은 불화 알루미늄을 일부 포함한다. 일 실시예에서, 각각의 유전체 영역은 유전체 물질인 제 3 물질을 일부 더 포함한다. 일 실시예에서, 각각의 유전체 영역 내 제 2 및 제 3 물질은 동일한 물질이다.

<14> 일 실시예에서, 제 1 및 제 2 영역은 각각 p+ 타입과 n+ 타입 영역이고, 제 1 및 제 2 단자는 각각 애노드와 캐소드 단자다. 일 실시예에서, 제 3 영역은 p-타입 영역이다. 다른 실시예에서, 제 3 영역은 n-타입 영역이다. 일 실시예에서, 제 3 영역은 제 2 영역 위에 형성되고, 상기 제 1 영역은 제 3 영역 위에 형성된다. 일 실시예에서, 유전체 영역은 서로 절연된다.

<15> 일 실시예에서, 반도체 구조는 제 2 영역과 제 3 영역 사이에 배치된 제 4 영역을 일부 더 포함한다. 제 2 및 제 4 영역은 동일한 전도성 타입이다.

<16> 일 실시예에서, 제 1 및 제 2 영역은 각각 n+ 타입과 p+ 타입 영역이고, 제 1 및 제 2 단자는 각각 캐소드와 애노드 단자다. 일 실시예에서, 제 3 영역은 p-타입 영역이다. 다른 실시예에서, 제 3 영역은 n-타입 영역이다. 일 실시예에서, 제 3 영역은 제 2 영역 위에 형성되고, 제 1 영역은 제 3 영역 위에 형성된다. 일 실시예에서, 각각의 유전체 영역은 유전체 영역의 타 단부(end)보다 유전체 영역의 일 단부(end) 근처에서 보다 큰 너비를 갖도록 테이퍼된다.

<17> 일 실시예에서, 제 1, 제 2 및 제 3 영역은 반도체 구조가 형성되는 반도체 기판(semiconductor substrate)의 동일 표면을 따라서 형성된다. 이러한 일 실시예에서, 반도체 구조는 제 2 영역이 형성되는 제 4 영역을 포함한다. 이러한 일 실시예에서, 제 3 영역은 제 1 및 제 4 영역과 인접한다. 이러한 일 실시예에서, 제 1 영역은 p+ 타입 영역, 제 2 영역은 n+ 타입 영역, 제 3 영역은 p-타입 영역이고 제 4 영역은 n-타입 영역이다. 이러한 다른 실시예에서, 제 1 영역은 p+-타입 영역, 제 2 영역은 n+-타입 영역, 제 3 영역은 n-타입 영역이고 제 4 영역은 p-타입 영역이다.

## 실 시 예

<40> 본 발명의 일 예시적인 실시예에 따라서, 반도체 구조는 상대적으로 높은 절연파괴 전압( $V_B$ )을 일부 특징으로 한다. 반도체 구조는 의도적으로 도입된 전하( $Q_f$ )를 갖는 유전체 층을 포함한다. 전하 균형이 이루어진 유전체 층과 실리콘 층을 교번시킴으로써, 구조는 소정의 전압 유지 영역 도핑 농도 및/또는 두께에 대해 종래의 디바이스 보다 높은 절연파괴 전압을 견딘다. 몇몇 실시예에서, 유전체 층 사이에 배치된 실리콘 층은 애피택시 성장(epitaxial growth), 주입(implantation) 또는 저농도 도핑 애피택시 성장 lightly doping epitaxial growth에 뒤이어 주입 등을 이용하여 형성된다. 본 발명의 실시예에 의해 제공된 디바이스 성능은 애피택시 층(epitaxial layer) 또는 전압 유지 층의 동일한 도핑 및 두께에 대한 1차원 실리콘 절연파괴 전압 한계(one dimensional silicon breakdown voltage limit)를 넘어선다.

<41> 다음의 설명에서, 고정(fixed) 전하(들)는 제조 공정의 부산물로서 생기는 전하에 더하여 이온 주입(ion implantation), 확산(diffusion), 증착(deposition) 등과 같은 공정을 이용하여 의도적으로 도입된 전하를 지칭한다. 더욱이, 비록 참조가 일반적으로 아래의 계면 전하(interfacial charge), 즉, 유전체 영역과 반도체 영역 사이의 인터페이스 영역 내 전하에 관하여 이루어졌지만, 이러한 전하는 또한 유전체 영역이 형성되는 반도체 영역과 마찬가지로 유전체 영역에 모두 존재할 수 있다는 것이 이해된다.

- <42> 리버스 바이어스에서, 유전체 층의 전하는 공핍 영역(depletion region) 내 전하에 의해 균형이 이루어진다. 제로 바이어스(zero bias)에서, 유전체 층의 전하는 반도체-유전체 층 인터페이스에서 형성되는 인버전 층(inversion layer)에 존재하는 전하에 의해 일부 균형이 이루어진다. 일 실시예에서, 유전체 층내 전하는 최대 효과를 위해 반도체-유전체 인터페이스에 또는 반도체-유전체 인터페이스에 가까이 위치된다. 일 실시예에서, 전하는 전형적인 디바이스 작동 온도에서 움직이지 못한다. 네거티브 또는 포지티브 전하 모두가 반도체 층의 이온화된 불순물의 공핍 전하가 균형을 이루기 위해 필요한 전하를 제공하는데 사용될 수 있다. 이것은 전압 유지 영역을 따라서 보다 균일한 전계를 이루며 따라서 보다 높은 절연파괴 전압의 결과를 가져온다.
- <43> 본 발명은 반도체 영역이 인접한 유전체 층의 유전율(permittivity)과 너비에 주로 의존하는 종래의 반도체 구조보다 뛰어난 다수의 장점을 제공한다. 본 발명에 따라서, 전하 균형을 위해 제공된 고정 전하는 트렌치 너비(trench width)의 함수가 아니다. 따라서, 보다 높은 절연파괴 전압을 달성하기 위해, 유전체 층의 너비는 단지 고정 전하를 유도하고 트렌치를 보충하기 위해 필요한 공정에 의해서만 제한되며, 이것은 종래의 SJ 또는 비SJ 타입 구조에 의해 획득될 수 있는 셀 피치(cell pitch) 보다 작은 셀 피치를 이네이블 한다. 더욱이, 유전체 층내 전하와 비p-n 접합 또는 필드 플레이트(field plate)를 이용하여 전하 균형을 구현함으로써, 보다 낮은 커패시턴스가 달성된다. 본 명세서에 기술된 바와 같이 본 발명의 구조는 제조하기가 보다 쉬우며 비용 효과가 보다 크다.
- <44> 네거티브 또는 포지티브 전하 모두가 필요한 전하 균형을 제공하기 위해 사용될 수 있다. 본 발명에 따라서, 유전체 층내 전하를 이용하여 달성된 전하 균형은 다른 전하 균형 기법보다 낮은 커패시턴스 값을 제공한다. 본 발명에 따라서, 구조는 제조하기가 보다 쉬우며 비용 효과가 보다 크다.
- <45> 몇몇 실시예에서, 트렌치의 반도체-유전체 인터페이스 근처의 네거티브 전하는 보다 높은 전압을 견디기 위해 n-타입 반도체 층내 포지티브 공핍 전하의 균형을 이룬다. 예를 들어, 네거티브 유전체 전하는 이산화 규소(silicon dioxide)와 불화 알루미늄( $AlF_3$  또는  $AlF_x$ )과 같은 화합물 절연 층(compound insulating layer)을 이용하거나 요오드(iodine), 브롬(bromine), 염소(chlorine), 크롬(chromium), 알루미늄, 또는 다른 적절한 이온을 주입하여 발생될 수 있다. 이산화 규소와 불화 알루미늄( $AlF_3$  또는  $AlF_x$ )의 화합물 절연층을 이용한 네거티브 전하 발생 효과는 실험적으로 입증되었으며 네거티브 인터페이스 전하는 프랙션(fraction)(x)의 강한 함수인 것이 발견되었다. 또 다른 실시예에서, 트렌치의 반도체-유전체 인터페이스 근처의 포지티브 전하는 보다 높은 전압을 견디기 위해 p-타입 반도체 층내 네거티브 공핍 전하의 균형을 이룬다. 예를 들어, 포지티브 전하는 세슘(cesium) 또는 칼륨(potassium)과 같은 포지티브 이온을 벽과 트렌치의 하부를 따라서 형성되는 유전체 층 내로 주입함으로써 발생 될 수 있다. 대안으로, 질화 규소(silicon-nitride) 또는 산질화 규소(silicon-oxynitride)와 같은 포지티브 전하를 포함하는 다른 유전체 층이 벽과 트렌치의 하부를 따라서 형성되는 유전체 층위에 증착된다. 유전체 층내 포지티브 또는 네거티브 전하를 발생하는 또 다른 해결책, 예를 들어, 산화물을 산화물 층위에 불순물의 기상 증착(vapor deposition)에 뒤이은 드라이브-인(drive-in) 또는 어닐링 처리(annealing step)와 같은 기법을 이용하여 산화물내로 불순물을 확산시키는 것이다.
- <46> 도 2A는 본 발명의 일 실시예에 따른 (본 명세서에서 대안으로 디바이스로서 지칭하는)반도체 구조(200)의 단면도이다. 디바이스(200)는 n+ 영역(202)에 결합된 캐소드 단자, p+ 영역(208)에 결합된 애노드 단자, p+ 영역(208)과 n+ 영역(202) 사이에 배치된 p 영역(204), 그리고 트렌치(206)로서 이하 본 명세서에서 집합적이고 대안적으로 지칭되는 p 영역(204) 내에 형성된 다수의 트렌치( $206_1, 206_2, \dots, 206_N$ )를 포함하는 것으로 도시된다. 간단히, 트렌치( $206_1$ )의 좌측에 위치된 p-영역은 참조 번호(204<sub>1</sub>)로 식별되고, 트렌치( $206_2$ )의 우측에 위치된 p-영역은 참조 번호(204<sub>3</sub>)로 식별되며, 트렌치( $206_1$ 과  $206_2$ )의 사이에 위치된 p-영역은 참조 번호(204<sub>2</sub>)로 식별된다. 비록 단지 2개의 트렌치( $206_1, 206_2$ )만이 도 2에 도시되지만, 본 발명에 따른 높은 절연파괴 전압 디바이스는 트렌치(206)를 얼마든지 포함할 수 있다는 것이 이해된다. 더욱이, 트렌치(206)는 n+ 영역(202)까지 연장되는 것으로 도시된다.
- <47> 도 2B는 본 발명의 실시예에 따른 반도체(250)의 단면도이다. 디바이스(250)는 디바이스(250)에서 n-타입 영역(252)이 n+ 영역(202)과 p-영역(204) 사이에 배치되는 것을 제외하고는 디바이스(200)와 유사하다. 이러한 실시예에서, 트렌치(206)는 n-타입 영역(252)까지 연장된다. 이어서, 유사한 소자(element)의 상이한 보기는 대안으로 상이한 인덱스를 갖는 유사한 참조 번호에 의해 식별되며, 인덱스는 참조 번호에 대한 아래첨자로서 표현된다. 예를 들어, 트렌치(206)의 2개의 도시된 보기는 대안으로  $206_1$ 과  $206_2$ 로서 식별된다.

- <48> 일 실시예에서, 각각의 트렌치(206)는 하나 이상의 유전체 층(210)을 포함한다. 본 발명에 따라서, 각각의 유전체 층 전 트렌치(206)와 p-영역(204) 사이에 배치된 인터페이스 영역은 포지티브 전하를 포함한다. 포지티브 전하는 트렌치(206) 내, 트렌치와 p-타입 영역(204) 사이의 (도시되지 않은) 전이 영역(transition region), P-영역(204), 또는 이들의 조합내에 존재할 수 있다는 것이 이해된다. 본 발명에 따라서, 트렌치((206<sub>1</sub>, 206<sub>2</sub>)의 마주하는 표면((212<sub>1</sub>과 212<sub>2</sub>)에 걸쳐 존재하는 포지티브 인터페이스 전하는 이들 2개의 트렌치 사이에 배치된 p 영역(204<sub>2</sub>)이 리버스 바이어스하에서 부분적으로 또는 완전히 공핍되도록 하기에 충분하다. p-영역(204<sub>2</sub>)의 부분적 또는 완전한 공핍은 도 2B에 도시된 라인(xx')을 따라서 전계가 이들 두 단자 사이에 외부적으로 인가된 리버스 바이어스하에서 상대적으로 균일하게 유지되도록 한다.
- <49> 리버스 바이어스에서, 포지티브 전하는 공핍된 반도체 전압 유지 영역 내 전하에 의해 균형이 이루어진다. 전술한 바와 같이, 일 실시예에서, 포지티브 전하는 전형적인 디바이스 작동 온도에서 움직이지 않는다. 본 발명에 따라서, 반도체 구조는 많은 종래의 SJ 구조보다 작고 얇은 전압 유지 층을 갖는 셀 피치를 달성한다. 더욱이, 종래의 p-n 접합과는 대조적으로 유전체 층내 전하를 이용함으로써, 보다 낮은 커패시턴스가 달성되고 보다 적은 전하가 리버스 복구 조건하에서 저장된다. 본 발명의 구조는 또한 보다 제조하기 쉬우며 보다 비용 효과적이다.
- <50> 도 2A를 참조하면, p-영역(204<sub>2</sub>)은 트렌치(206)와 p-영역(204<sub>2</sub>) 사이의 인터페이스 영역에 존재하는 포지티브 전하로 인해 공핍된다. 라인(xx')이 p-영역(204<sub>2</sub>)의 중심을 관통하여 가로지르는 것으로 가정한다. 따라서, 표면(212<sub>1</sub>) 근처에 존재하는 포지티브 전하는 p-영역(204<sub>2</sub>) 내 라인(xx')의 좌측에 존재하는 네거티브 전하에 의해 균형이 이루어진다. 유사하게, 표면(212<sub>2</sub>) 근처에 존재하는 포지티브 전하는 p-영역(204<sub>2</sub>) 내 라인(xx')의 우측에 존재하는 네거티브 전하에 의해 균형이 이루어진다. 따라서, 라인(xx')을 따라서 전계는 거의 균일하다. 따라서, p<sup>+</sup> 영역(208), p-영역(204<sub>2</sub>), 그리고 n<sup>+</sup> 영역(206<sub>2</sub>)은 디바이스(200)의 캐소드와 애노드 단자 사이에 인가된 리버스 전압으로부터 p-영역(204<sub>2</sub>)까지 전계 라인의 종료를 금지하거나 그 밖에 감소시키는 구조를 집합적으로 정의한다. 예를 들어, 포지티브 전하는 트렌치 벽과 하부를 커버하는 산화물 층내로 세슘 또는 칼륨과 같은 포지티브 이온을 주입함으로써 실현될 수 있다. 일례에서, 디바이스(200)는 각각 1μm의 너비와 10μm의 깊이를 갖는 트렌치를 특징으로 한다. 이러한 예에서, 이웃하는 트렌치간의 거리는 2μm일 수 있고, p-타입 영역(204)은 10<sup>16</sup> atoms/cm<sup>3</sup>의 도핑 농도를 가질 수 있으며, 트렌치-반도체의 인터페이스에서 전하는 10<sup>12</sup> cm<sup>-2</sup>의 밀도 (Qf/q)를 가지고, 여기서 q는 전자 전하(electron charge)이다. 이러한 실시예에서, 220V의 리버스 절연파괴 전압이 달성될 수 있다. 트렌치-반도체의 인터페이스에서 전하없이, 절연파괴 전압은 단지 34V이다.
- <51> 도 2C는 도 2A에 도시된 라인(yy')을 따라서 바라본 디바이스(200)의 예시적인 평면도이다. 비록 디바이스(200)가 도면에 도시되지 않은 보다 많은 트렌치를 포함할 수 있다는 것이 이해되더라도, 3개의 트렌치(206<sub>1</sub>, 206<sub>2</sub> 및 206<sub>3</sub>)가 p-영역(204) 내에 형성되는 것으로 도시된다. 도 2D는 도 2A에 도시된 라인(yy')을 따라서 바라본 디바이스(200)의 예시적인 평면도이다. 이러한 예에 따라서, p-영역(204)은 직사각형 평면도를 갖는 9개의 트렌치(206)를 포함하는 것으로 도시된다. 도 2E는 원형 평면도를 갖는 것으로서 도시되는 트렌치(206)에 따른 디바이스(200)의 다른 예시적인 평면도이다. 트렌치(206)가 6각형 등과 같은 어떠한 다른 평면도를 가질 수 있다는 것이 이해된다.
- <52> 도 2F는 라인(yy')을 따라서 바라본 디바이스(200)의 또 다른 예시적인 평면도이다. 이러한 예에 따라서, 트렌치는 p-영역(204)을 도 2F에 도시된 바와 같이 다수의 절연된 영역으로 나눈다.
- <53> 도 3은 본 발명의 또 다른 실시예에 따른 예시적인 반도체 디바이스(300)의 단면도이다. 디바이스(300)는 디바이스(300)에서 트렌치(206)가 P<sup>+</sup> 영역(208)의 최상면(top surface)까지 연장되는 것을 제외하고는 디바이스(200)와 유사하다. 그 밖에 디바이스(300)는 디바이스(200)의 절연파괴 특성과 유사한 절연파괴 특성을 갖는다.
- <54> 도 4는 본 발명의 또 다른 실시예에 따른 예시적인 반도체 디바이스(400)의 단면도이다. 디바이스(400)는 디바이스(400)에서 캐소드 단자가 n<sup>+</sup>-타입 영역(408)에 결합되고, 애노드 단자가 p<sup>+</sup> 타입 영역(402)에 결합되는 것을 제외하고 디바이스(200)와 유사하다. 그 밖에 디바이스(400)는 디바이스(200)의 절연파괴 특성과 유사한 절연파괴 특성을 갖는다.
- <55> 도 5는 본 발명의 또 다른 실시예에 따른 예시적인 반도체 디바이스(500)의 단면도이다. 디바이스(500)는 디바

이스(500)에서 트렌치(206)가 n+ 타입 영역(408)의 최상면(top surface)까지 연장되는 것을 제외하고 디바이스(400)와 유사하다. 디바이스(500)는 디바이스(400)의 온-저항(on-resistance) 특성과 유사한 온-저항 특성을 갖는다.

<56> 도 6A는 본 발명의 또 다른 실시예에 따른 예시적인 반도체 디바이스(600)의 단면도이다. 디바이스(600)에서, 다중 트렌치(206)는 다중 n-타입 영역{필러(pillar)(602)} 내에 형성되고, 차례로, P-타입 영역(pillar)(204) 내에 형성된다. 예를 들어, 도시된 바와 같이, 트렌치(206<sub>1</sub>)는 n-타입 필러(602<sub>1</sub>) 내에 형성되는 것으로 도시되고, 트렌치(206<sub>2</sub>)는 n-타입 필러(602<sub>2</sub>) 내에 형성되는 것으로 도시된다. 교번 P와 N 필러(204, 602)는 이웃하는 트렌치의 마주하는 표면과 이들의 공핍된 N-영역 내 전하의 합이 공핍된 P-영역 내 네거티브 전하와 동일하도록 수퍼집합 구조(SuperJunction structure)를 형성한다. 예를 들어, 트렌치(206<sub>1</sub> 및 206<sub>2</sub>)의 마주하는 표면과 N-영역(602<sub>1</sub> 및 602<sub>2</sub>)의 공핍 영역 내 포지티브 전하의 합은 이를 두 N-영역 사이에 배치된 P-영역(204)의 공핍 영역 내 네거티브 전하의 합과 실질적으로 동일하다. 디바이스(600)에서, 상당한 양의 포지티브 전하가 고정 트렌치-반도체 인터페이스 전하에 의해 공급되며, 따라서 종래의 SJ 디바이스에 비해 n 필러를 이용한 디바이스(600)에서 전하 균형을 달성하기가 보다 쉽다. n 필러는 이온-주입법 또는 기상 페이즈 도핑(vapor phase doping)을 이용하여 형성될 수 있다. 또한, 디바이스(600)는 기존의 구조에 비해 향상된 캐리어 이동도(improved carrier mobility)을 제공할 수 있다. 도 6A에 도시된 바와 같이, 트렌치는 N-영역(602)에 형성되고, 차례로, P-영역(204)에 형성된다. 도 6B는 본 발명의 또 다른 실시예에 따른 예시적인 반도체 디바이스(650)의 단면도이다. 실시예(650)에서, 트렌치는 P-타입 영역(604) 내에 형성되고, 차례로, N-타입 영역(608) 내에 형성된다.

<57> 도 7은 본 발명의 또 다른 실시예에 따른 예시적인 반도체 디바이스(700)의 단면도이다. 디바이스(700)는 디바이스(700)에서 트렌치(206)가 p+ 타입 영역(208)의 최상면까지 연장되는 것을 제외하고 디바이스(600)와 유사하다. 디바이스(700)는 디바이스(600)의 절연파괴 및 온-저항(on-resistance) 특성과 유사한 절연파괴 및 온-저항 특성을 갖는다.

<58> 도 8은 본 발명의 또 다른 실시예에 따른 예시적인 반도체 디바이스(800)의 단면도이다. 디바이스(800)는 디바이스(800)에서 트렌치가 트렌치의 하부에서 보다 트렌치의 상부 근처에서 보다 넓도록 테이퍼되는 것을 제외하고는 디바이스(300)와 유사하다. 트렌치는 설계에 의해 테이퍼되거나 트렌치를 형성하기 위해 사용될 수 있는 에칭(etching)과 같은 공정 단계 또는 장비의 결과로서 테이퍼 된다. 따라서, 디바이스(800)에서, 반도체내 불순물의 도핑 프로파일(doping profile)이 이러한 효과를 제거하도록 조절되지 않는 한 전계는 트렌치(206)의 상부 근처에서 보다 트렌치(206)의 하부 근처에서 보다 높다.

<59> 도 9는 본 발명의 또 다른 실시예에 따른 예시적인 반도체 디바이스(900)의 단면도이다. 디바이스(900)에서, 각각의 트렌치(206)는 2개의 상이한 층, 즉 제 1 층(902), 그리고 제 2 층(904)을 포함하는 것으로서 도시된다. 제 2 층(904)은 고정 전하를 발생하기 위해 사용되거나 p-영역(204)을 공핍시키기 위해 사용되는 전하가 디바이스 제조동안 표면(212) 근처에 유지되도록 보장하기 위한 캡 층(cap layer)으로서 사용된다.

<60> 본 발명의 몇몇 실시예에 따라서, 트렌치는 트렌치가 부분적으로 형성되는 N 영역을 공핍시키기에 적합한 네거티브 전하를 포함하는 물질을 포함한다. 도 10은 본 발명의 일 실시예에 따른 반도체 디바이스(1000)의 단면도이다. 디바이스(1000)는 n+ 영역(202)에 결합된 캐소드 단자, p 영역(1014)을 오버레잉하는 p+ 영역(208)에 결합된 애노드 단자, 그리고 N+ 영역(202)을 오버레잉하는 N 영역(1004) 내에 형성된 이하 본 명세서에서 트렌치(1006)로서 집합적이고 대안적으로 지칭되는 다수의 트렌치(1006<sub>1</sub>, 1006<sub>2</sub> 및 1006<sub>N</sub>)를 포함하는 것으로서 도시된다. 비록 3개의 트렌치(1006<sub>1</sub>, 1006<sub>2</sub> 및 1006<sub>3</sub>)만이 도 10에 도시되었지만, 본 발명에 따른 높은 절연파괴 전압 디바이스는 트렌치(1006)를 얼마든지 포함할 수 있다는 것이 이해된다. 더욱이, 트렌치(1006)가 n+ 영역(202)까지 연장되는 것으로 도시되지만, 다른 실시예에서, 트렌치(1006)는 n+ 영역(202)까지 연장되지 않을 수도 있다는 것이 이해된다.

<61> 도 10에 도시된 예시적인 실시예에서, 각각의 트렌치(1006)는 제 1 유전체 층(1008), 제 2 층(1010)을 포함하는 것으로서 도시된다. 일 실시예에서, 제 2 층(1010)은 유전체 물질을 포함하거나 포함하지 않을 수 있는 디수의 물질을 포함한다. 도 10에 도시된 바와 같이, 각각의 트렌치(1006)와 인접한 N 영역(1004) 사이에 배치된 인터페이스 영역은 네거티브 전하를 포함한다. 게다가 본 발명에 따라서, 이웃하는 트렌치의 마주하는 표면에 걸쳐 존재하는 네거티브 인터페이스 전하는 이러한 이웃하는 트렌치 사이에 배치된 N 영역(1004)이 리버스 바이어스

하에서 완전히 또는 부분적으로 공핍되도록 하기에 충분하다. 예를 들어, 이웃하는 트렌치( $1006_1$  및  $1006_2$ )에 존재하는 네거티브 전하는 이를 두 트렌치 사이에 배치된 N 영역( $1004$ )이 리버스 바이어스에서 공핍되도록 하기에 충분하다. N 영역( $1004_2$ )의 공핍은 애노드 단자와 캐소드 단자간에 효과적인 반도체-절연체-반도체 구조를 제공함으로써, 그 밖에 이들 두 단자 사이에 외부에서 인가된 리버스 전압으로부터 공핍된 N 영역( $1004$ )까지 종료될 전계 라인을 제한한다.

<62> 일 실시예에서, n-타입 영역( $1004$ )은 고농도 도핑된 n+기판( $202$ ) 위에 성장된 에피택시 층(epitaxial layer)이다. 일 실시예에서, n-타입 에피택시 층( $1004$ )이 균일하게 도핑된다. 또 다른 실시예에서, n-타입 에피택스 층( $1004$ )은 비균일하게 도핑된다. 예를 들어, 도핑 프로파일은 표면에 비례하여 기판에서 보다 높은 도핑을 갖도록 등급이 나누어질 수 있거나 또는 그 반대이다.

<63> 도 10에 예시된 실시예에서, 제 1 유전체 물질( $1008$ ), 예를 들어, 열적 성장 산화물 층이 트렌치의 하부와 벽을 따라서 형성된다. 일 실시예에서, 제 1 유전체 물질은 약  $2\text{nm}$ 에서 약  $200\text{nm}$ 의 두께의 범위이다. 예를 들어, 제 1 유전체 물질의 두께는 약  $30\text{nm}$ 이다. 트렌치( $1006$ )는 트렌치의 내부 영역 내에 하나 이상의 물질/화합물 층을 포함할 수 있는 제 2 물질( $1010$ )을 포함하는 것으로 도시되고, 제 1 유전체 물질( $1008$ ) 안쪽에 둘러싸인다. 불화 알루미늄일 수 있는 제 2 물질( $1010$ )은  $\text{AlF}_x$  층과 제 1 유전체 물질( $1008$ ) 사이의 인터페이스에서 네거티브 전하를 제공한다.

<64> 도 11은 본 발명의 또 다른 실시예에 따른 반도체 디바이스( $1100$ )의 단면도이다. 디바이스( $1100$ )는 디바이스( $1100$ )에서 각각의 트렌치( $1006$ )가 제 1 유전체 층( $1020$ ), 제 2 층( $1022$ ), 그리고 제 3 층( $1024$ )을 포함하는 것으로 도시된 것을 제외하고는 디바이스( $1000$ )와 유사하다. 일 실시예에서, 각각의 제 3 층( $1024$ )은 유전체 물질을 포함하거나 포함하지 않을 수 있는 다수의 물질을 포함한다. 그 밖에는 실시예( $1100$ )는 실시예( $1000$ )와 유사하다.

<65> 디바이스( $1100$ )에서, 각각의 트렌치( $1006$ )는 유전체 층인 제 1 층( $1020$ ), 제 2 층( $1022$ ), 그리고 유전체 층인 제 3 층( $1024$ )을 포함한다. 제 1 층( $1020$ )은 트렌치의 벽과 하부상에 형성된다. 하나 보다 많은 물질을 포함할 수 있는 제 2 층( $1022$ )은 제 1 층( $1020$ ) 안쪽에 둘러싸이도록 형성된다. 제 3 층( $1024$ )은 제 2 층( $1022$ ) 안쪽에 둘러싸이도록 형성된다. 일 실시예에서, 제 3 층( $1024$ )은 제 1 층( $1020$ )과 동일한 물질로 형성된다. 다른 실시예에서, 제 1 및 제 2 유전체 층은 상이한 물질을 이용하여 형성된다. 2개의 유전체 층( $1020$  및  $1024$ ) 사이에, 예를 들어, 불화 알루미늄을 포함할 수 있는 디스포징 층(disposing layer)( $1022$ )은 유전체 층( $1020$ ,  $1024$ )과 층( $1022$ ) 사이의 인터페이스에서 네거티브 전하를 제공한다. 디바이스( $1100$ )의 다양한 n+, p+, n 및 p-타입 층이 주입, 확산, 어닐링 등과 같은 종래의 제조 공정을 이용하여 형성된다.

<66> 도 12A는 본 발명의 또 다른 실시예에 따른 횡 고전압 반도체 디바이스( $1200$ )의 단순 평면도이다. 디바이스( $1200$ )는 n+ 영역( $202$ )에 결합된 캐소드 단자, p+ 영역( $208$ )에 결합된 애노드 단자, p+ 영역( $208$ )과 n+ 영역( $202$ ) 사이에 배치된 p-타입 영역( $204$ ), 그리고 p 영역( $204$ ) 내에 형성된 이하 집합적이고 대안적으로 트렌치( $206$ )로서 지칭되는 다수의 트렌치( $206_1$ ,  $206_2$ , ...,  $206_N$ )를 포함하는 것으로서 도시된다. 비록 3개의 트렌치( $206_1$ ,  $206_2$  및  $206_3$ )만이 도 12A에 도시되었지만, 본 발명에 따른 높은 절연파괴 전압 디바이스가 트렌치( $206$ )를 얼마든지 포함할 수 있다는 것이 이해된다.

<67> 일 실시예에서, 각각의 트렌치( $206$ )는 하나 이상의 유전체 층( $210$ )을 포함한다. 본 발명에 따라서, 포지티브 전하가 트렌치( $206$ ) 내로 의도적으로 도입된다. 이러한 전하는 트렌치내, 트렌치와 p-타입 영역( $204$ ) 사이의 전이 영역 내, P-영역( $204$ ), 또는 이들의 조합내에 존재할 수 있으며, 본 명세서에서 집합적이고 대안적으로 인터페이스 전하로서 지칭된다. 트렌치의 마주하는 표면에 걸쳐 존재하는 이러한 포지티브 인터페이스 전하는 이러한 두 트렌치 사이에 배치된 p 영역( $204$ )이 리버스 바이어스에서 부분적으로 또는 완전히 공핍되도록 하기에 충분하다. 예를 들어, 트렌치( $206_1$ ,  $206_2$ )의 마주하는 표면( $212_1$ ,  $212_2$ ) 근처에 존재하는 전하는 이를 두 트렌치 사이에 배치된 p-타입 영역( $204$ )이 리버스 바이어스에서 부분적으로 또는 완전히 공핍되도록 하기에 충분하다. 유사하게, 트렌치( $206_2$ ,  $206_3$ )의 마주하는 표면( $212_3$ ,  $212_4$ ) 근처에 존재하는 전하는 이를 두 트렌치 사이에 배치된 p-타입 영역( $204$ )이 리버스 바이어스에서 부분적으로 또는 완전히 공핍되도록 하기에 충분하다. 리버스 바이어스에서 p-타입 영역( $204$ )의 부분적 또는 완전한 공핍은, 예를 들어, 마주하는 표면( $212_1$ ,  $212_2$ )의 중점에 위치된 라인(AA')에 수직인 평면을 따라서 전계가 캐소드와 애노드 단자 사이에 외부적으로 인가된 리버스 바이어스 하에서 상대적으로 균일하게 유지되도록 한다. 리버스 바이어스에서, 포지티브 인터페이스 전하는 P-타입 영역

(204)의 공핍된 전하내 전하에 의해 균형이 이루어진다. 전술한 바와 같이, 일 실시예에서, 포지티브 전하는 전형적인 디바이스 작동 온도에서 움직이지 않는다.

<68> 도 12B는 라인(AA')을 따라서 바라본 구조(1200)의 단순 단면도이다. 도 12B를 참조하면, p-타입 영역(204)은 리버스 바이어스 하에서 완전히 또는 부분적으로 공핍된다. 유전체 층(220)은 전체 구조를 커버하고 반도체 디바이스에 보호막을 씌우기 위해 사용된다. 도 12C는 디바이스(1200)의 트렌치(206<sub>3</sub>) 및 다양한 다른 영역을 도시하는 라인(BB')을 따라서 바라본 구조의 단순 단면도이다.

<69> 도 13A는 본 발명의 또 다른 실시예에 따른 횡 고전압 반도체 디바이스(1300)의 단순 평면도이다. 디바이스(1300)는 n<sup>+</sup> 영역(202)에 결합된 캐소드 단자, n<sup>+</sup> 영역(208)에 결합된 애노드 단자, n<sup>+</sup> 영역(208)과 n<sup>+</sup> 영역(202) 사이에 배치된 n-타입 영역(1302), 그리고 n-타입 영역(1302) 내에 형성된 이하 집합적이고 대안적으로 트렌치(206)로서 지정되는 다수의 트렌치(206<sub>1</sub>, 206<sub>2</sub>, ..., 206<sub>N</sub>)를 포함하는 것으로서 도시된다. 비록 2개의 트렌치(206<sub>1</sub>, 206<sub>2</sub>)만이 도 13A에 도시되었지만, 본 발명에 따른 높은 절연파괴 전압 디바이스가 트렌치(206)를 얼마든지 포함할 수 있다는 것이 이해된다. 도 13B는 라인(AA')을 따라서 바라본 구조(1300)의 단면도이다. 도 13B를 참조하면, n-타입 영역(1302)은 리버스 바이어스하에서 완전히 또는 부분적으로 공핍된다. 유전체 층(220)은 전체 구조를 커버하고 반도체 디바이스에 보호막을 씌우기 위해 사용된다.

<70> 도 13C 및 13D는 라인(BB' 및 CC')을 따라서 바라본 반도체 디바이스(1300)의 단면도이다. 디바이스(1300)는 디바이스(1300)에서 각각의 트렌치(1006)가 제 1 유전체 층(1020), 제 2 층(1022), 그리고 제 3 층(1024)(도 13D)을 포함하는 것으로서 도시되는 것을 제외하고는 디바이스(1200)와 유사하다. 더욱이, 디바이스(1200)와 달리, 디바이스(1300)에서 트렌치는 N-영역(1302)을 공핍시키기 위해 네거티브 전하를 포함하도록 형성된다. 일 실시예에서, 각각의 제 3 층(1024)은 유전체 물질을 포함하거나 포함하지 않을 수 있는 다수의 물질을 포함한다.

<71> 디바이스(1300)에서 그리고 전술한 바와 같이, 각각의 트렌치(1006)는 유전체 층인 제 1 층(1020), 제 2 층(1022), 그리고 유전체 층인 제 3 층(1024)을 포함한다. 제 1 층(1020)은 트렌치의 벽과 하부에 형성된다. 하나보다 많은 물질을 포함할 수 있는 제 2 층(1022)은 제 1 층(1020) 안쪽에 둘러싸이도록 형성된다. 제 3 층(1024)은 제 2 층(1022) 안쪽에 둘러싸이도록 형성된다. 일 실시예에서, 제 3 층(1024)은 제 1 층(1020)과 동일한 물질로 형성된다. 다른 실시예에서, 제 1 및 제 2 유전체 층은 상이한 물질을 이용하여 형성된다. 2개의 유전체 층(1020 및 1024) 사이에, 예를 들어, 불화 알루미늄을 포함할 수 있는 디스포징 층(disposing layer)(1022)은 유전체 층(1020, 1024)과 층(1022) 사이의 인터페이스에서 네거티브 전하를 제공한다. 디바이스(1300)의 다양한 층이 주입, 확산, 어닐링 등과 같은 종래의 제조 공정을 이용하여 형성된다.

<72> 도 14는 본 발명의 또 다른 실시예에 따른 횡 고전압 반도체 디바이스(1400)의 단순 평면도이다. 디바이스(1400)는 디바이스(1400)에서 트렌치가 p-기판에서 발생된 공핍 전하를 보상하기 위해 캐소드 단자 근처에서 보다 애노드 단자 근처에서 보다 넓은 너비를 갖도록 테이퍼되는 것을 제외하고는 디바이스(1200)와 유사하다.

<73> 도 15A 및 15B는 종래의 구조(1510), 그리고 본 발명의 하나의 예시적인 실시예에 따른 구조(1520)에 대해 각각 절연파괴 전압에서 등전위선을 도시한다. 각각의 이소-콘투어(iso-contour)는 본 시뮬레이션에서 10V를 나타낸다. 구조(1510)는 다이오드 결합 애노드와 캐소드 단자 사이에 배치된 반도체 영역(1502)을 포함한다. 구조(1520)는 트렌치(206)를 포함하는 것으로서 도시된다.  $1 \times 10^{12} \text{ cm}^{-2}$ 의 전하 밀도( $Q_f/q$ )( $q$ 는 전자 전하)를 갖는 포지티브 인터페이스 전하는 본 발명에 따라서 트렌치(206)와 P-영역(204)의 인터페이스에 존재한다.  $1\mu\text{m}$  너비의 트렌치(206), 그리고  $10\mu\text{m}$ 의 애노드에서 캐소드까지의 거리가 본 시뮬레이션을 위해 사용되었다. 반도체 영역(1502 및 204)의 도핑 레벨은  $2 \times 10^{16} \text{ cm}^{-3}$  이었다. 본 시뮬레이션에 따라서, 종래 구조(1510)의 절연파괴 전압은 약 34V인 반면에, 본 발명의 구조(1520)의 절연파괴 전압은 220V이다.

<74> 도 15C는 도 15A-B에 도시된 구조에 대해 단면선(AA')을 따라서 전계를 도시한다. 구조(1510)에 대한 전계 분포는 플롯(1530)을 이용하여 도시된다. 구조(1520)에 대해 상당히 개선된 전계 분포가 플롯(1535)을 이용하여 도시된다. 리버스 바이어스에서 p-타입 영역(204)의 부분적 또는 완전한 공핍은 마주하는 표면(212 및 212)의 중점에 위치된 단면선(AA')을 따라서 전계가 캐소드와 애노드 단자 사이의 외부적으로 인가된 리버스 바이어스하에서 상대적으로 균일하게 유지되도록 한다. 구조(1510)에 대해, 리버스 바이어스하에서, 영역(1502) 내 이온화된 도편트(dopant)로부터의 전계는 애노드에서 종료됨으로써, 전계로 하여금 삼각 프로파일(triangular profile)을 갖도록 한다.

- <75> 도 15D는 구조(1510)(플롯 1540) 및 구조(1520)(플롯 1545)에 대한 리버스 바이어스 전류-전압 특성을 도시한다. 도시된 바와 같이, 구조(1510)의 절연파괴 전압은 34V이고, 구조(1520)의 절연파괴 전압은 220V이다.
- <76> 본 발명의 상기 실시예는 예시적이며 제한적이지 않다. 다양한 대안과 등가물이 가능하다. 본 발명은 본 발명의 개시된 발명이 처리될 수 있는 디바이스 또는 집적 회로의 타입에 제한되지 않는다. 아울러, 본 발명의 개시된 발명을 제조하기 위해 사용될 수 있는 CMOS, Bipolar, 또는 BICMOC와 같은 어떠한 특정한 타입의 공정 기술에 제한되지 않는다. 기타 추가, 삭제 또는 변경은 본 발명의 개시된 발명에 비추어 명백하며 첨부된 청구항의 범주 내에 속하도록 하기 위함이다.

### 산업상 이용 가능성

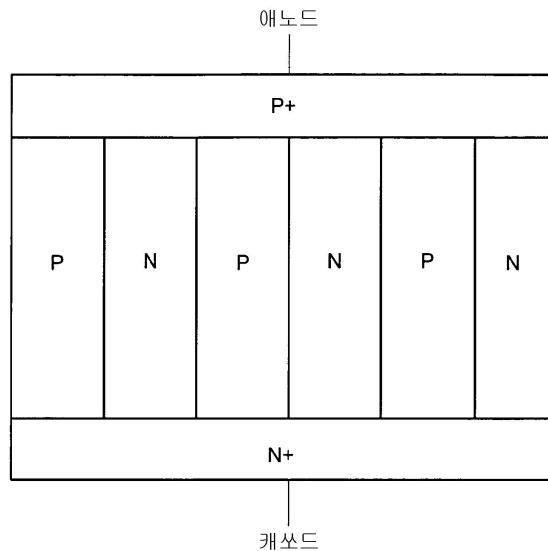
- <77> 상술한 바와 같이, 본 발명은, 고전압(high voltage)을 견디는데 적합한 반도체 디바이스(semiconductor device)를 제공하는데 사용된다.

### 도면의 간단한 설명

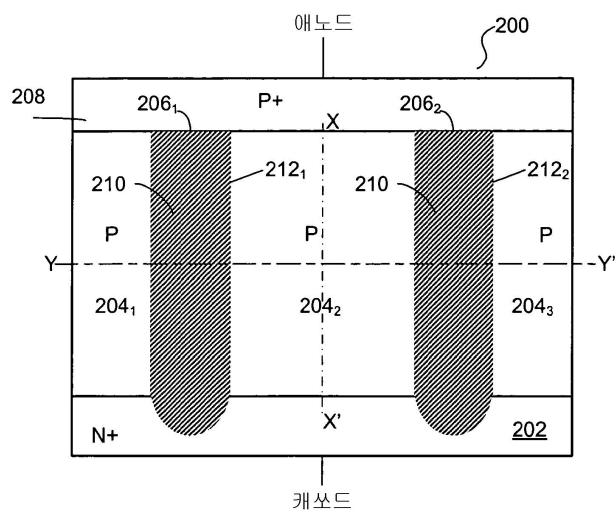
- <18> 도 1은 종래 기술에 알려진 바와 같은 수퍼ჯ\_ctio(SuperJunction) 디바이스의 단면도;
- <19> 도 2A는 본 발명의 일 실시예에 따른 예시적인 전압 유지 반도체 구조의 단면도;
- <20> 도 2B는 본 발명의 일 실시예에 따른 예시적인 전압 유지 반도체 구조의 단면도;
- <21> 도 2C, 2D, 2E, 2F는 본 발명의 일 실시예에 따른 도 2A의 디바이스의 예시적인 평면도;
- <22> 도 3은 본 발명의 다른 실시예에 따른 예시적인 전압 유지 반도체 구조의 단면도;
- <23> 도 4는 본 발명의 또 다른 실시예에 따른 예시적인 전압 유지 반도체 구조의 단면도;
- <24> 도 5는 본 발명의 또 다른 실시예에 따른 예시적인 전압 유지 반도체 구조의 단면도;
- <25> 도 6A는 본 발명의 또 다른 실시예에 따른 예시적인 전압 유지 반도체 구조의 단면도;
- <26> 도 6B는 본 발명의 또 다른 실시예에 따른 예시적인 전압 유지 반도체 구조의 단면도;
- <27> 도 7은 본 발명의 또 다른 실시예에 따른 예시적인 전압 유지 반도체 구조의 단면도;
- <28> 도 8은 본 발명의 또 다른 실시예에 따른 예시적인 전압 유지 반도체 구조의 단면도;
- <29> 도 9는 본 발명의 또 다른 실시예에 따른 예시적인 전압 유지 반도체 구조의 단면도;
- <30> 도 10은 본 발명의 또 다른 실시예에 따른 예시적인 전압 유지 반도체 구조의 단면도;
- <31> 도 11은 본 발명의 또 다른 실시예에 따른 예시적인 전압 유지 반도체 구조의 단면도;
- <32> 도 12A는 본 발명의 또 다른 실시예에 따른 횡 전압 유지 반도체 구조의 단면도;
- <33> 도 12B 및 12C는 도 12A에 도시된 디바이스의 다양한 단면도;
- <34> 도 13A는 본 발명의 또 다른 실시예에 따른 횡 전압 유지 반도체 구조의 평면도;
- <35> 도 13B, 13C 및 13D는 도 13A에 도시된 디바이스의 다양한 단면도;
- <36> 도 14는 본 발명의 또 다른 실시예에 따른 횡 전압 유지 반도체 구조의 평면도;
- <37> 도 15A 및 15B는 종래의 구조, 그리고 본 발명의 일 예시적인 실시예에 따른 구조에 대해 각각 절연파괴 전압에서 등전위선(equipotential line)을 도시하는 컴퓨터 시뮬레이션;
- <38> 도 15C는 도 15A-B에 도시된 구조에 대해 절단선(AA')을 따라서 전계(electric field)를 도시하는 도면; 및
- <39> 도 15D는 도 15A-B에 도시된 구조에 대해 리버스 바이어스 전류 대 전압 특성을 도시하는 도면.

도면

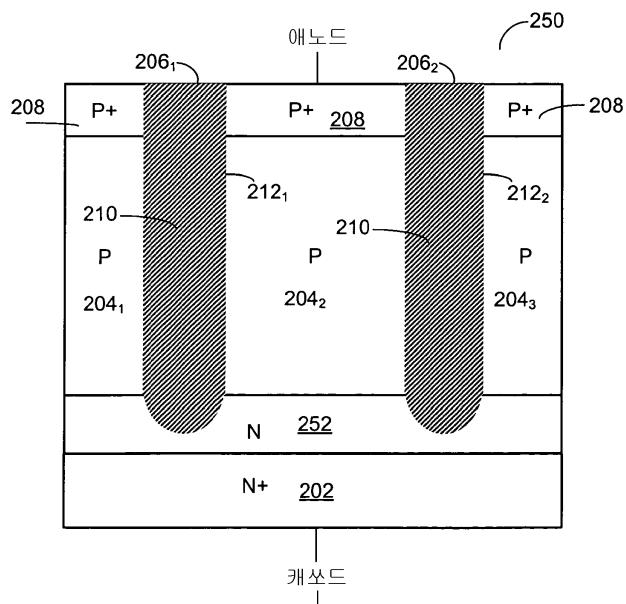
도면1



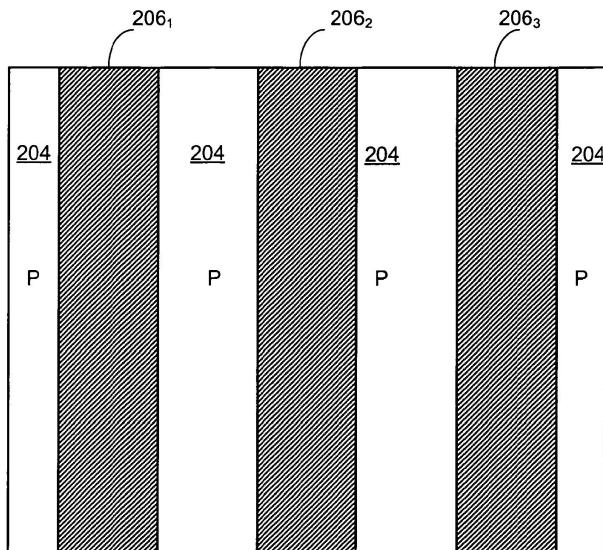
## 도면2a



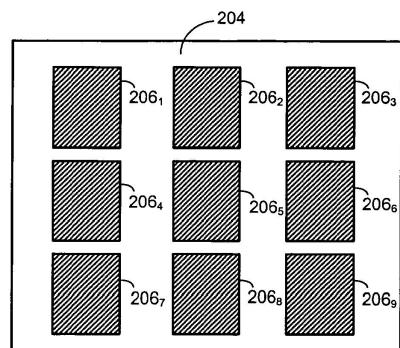
도면2b



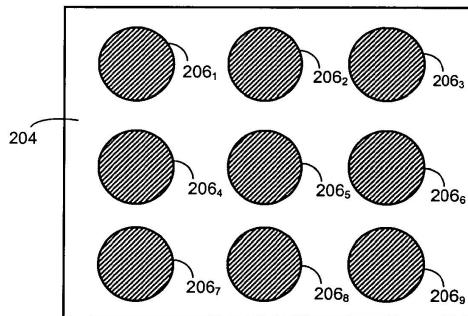
도면2c



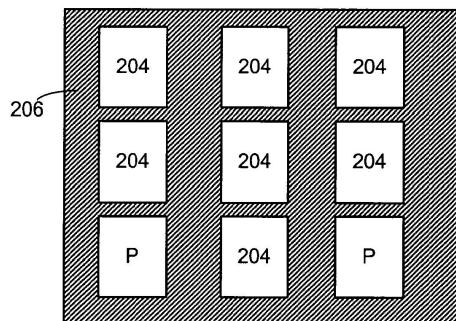
도면2d



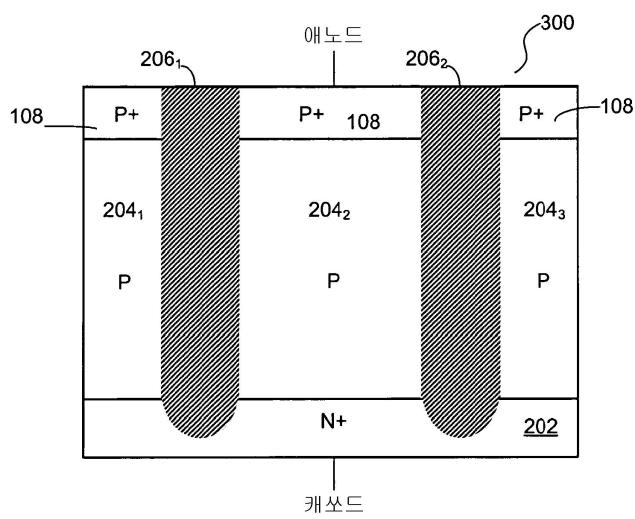
도면2e



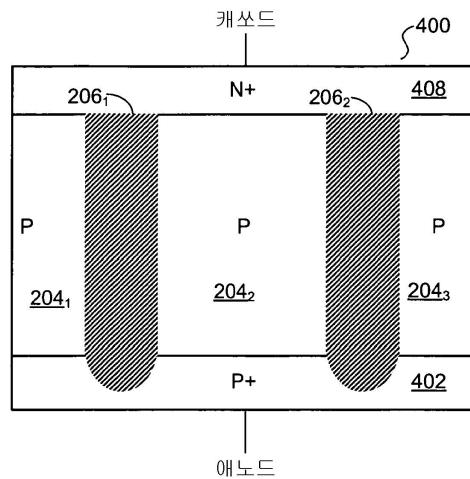
도면2f



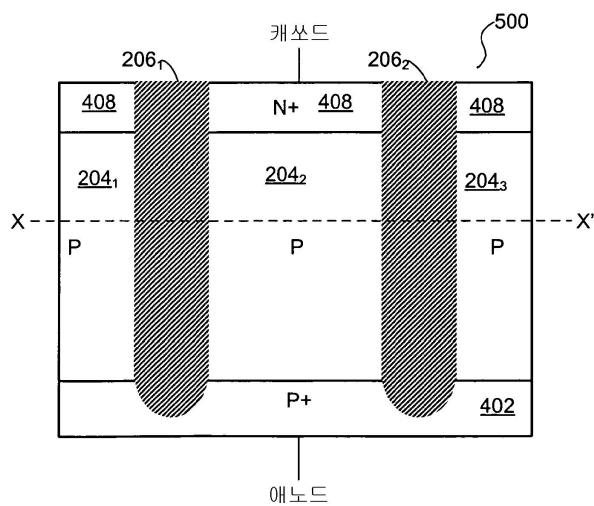
도면3



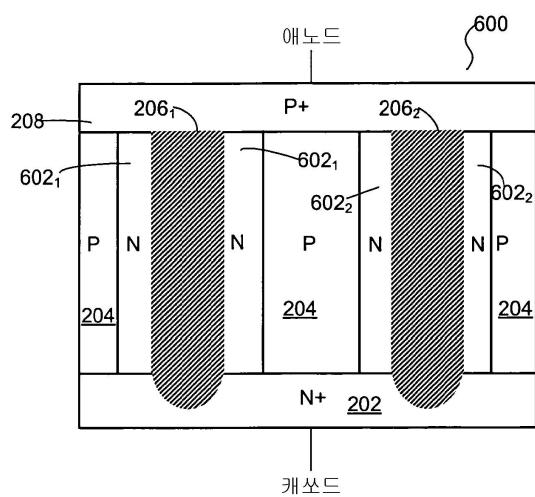
도면4



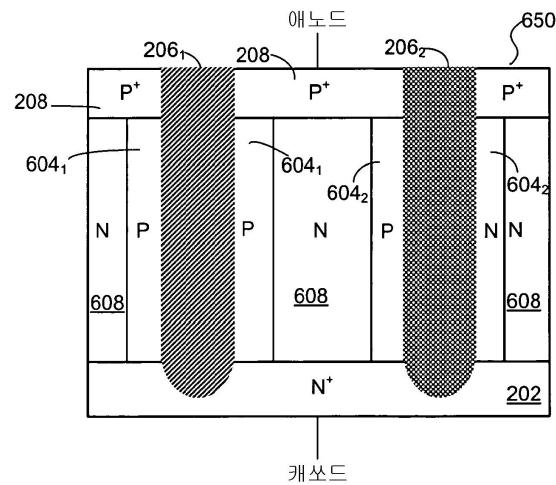
도면5



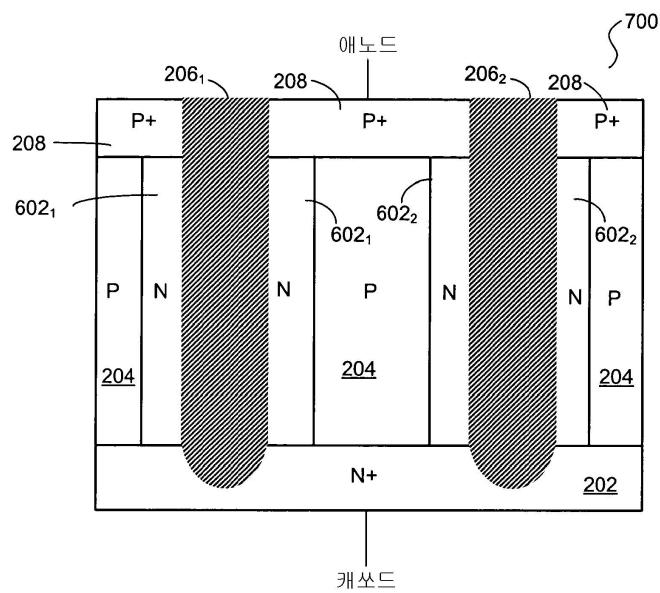
도면6a



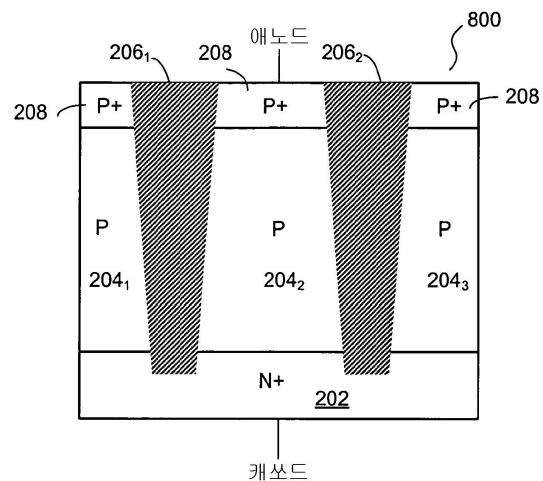
도면6b



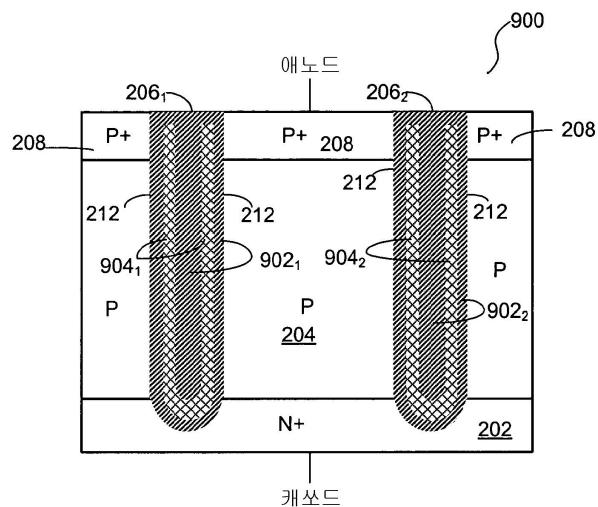
도면7



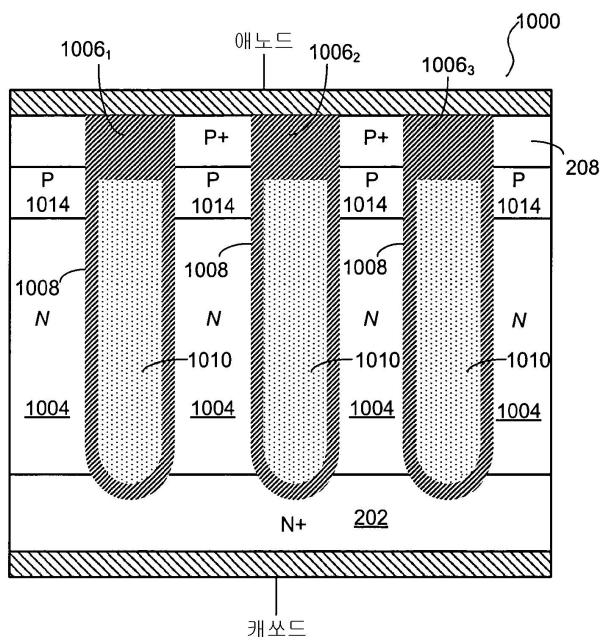
도면8



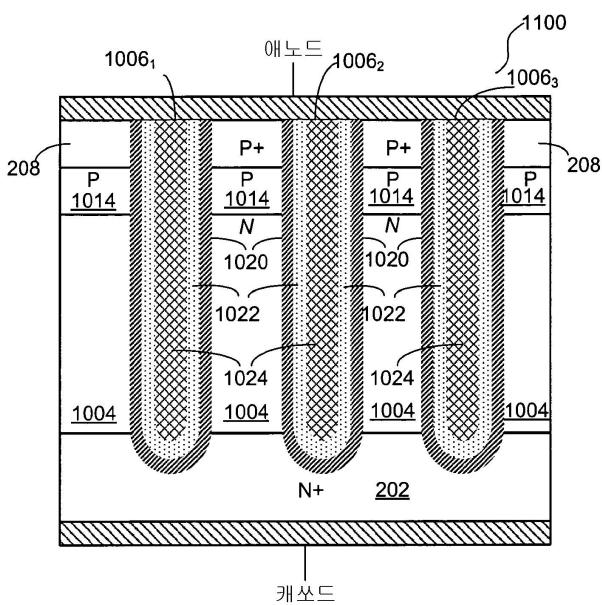
도면9



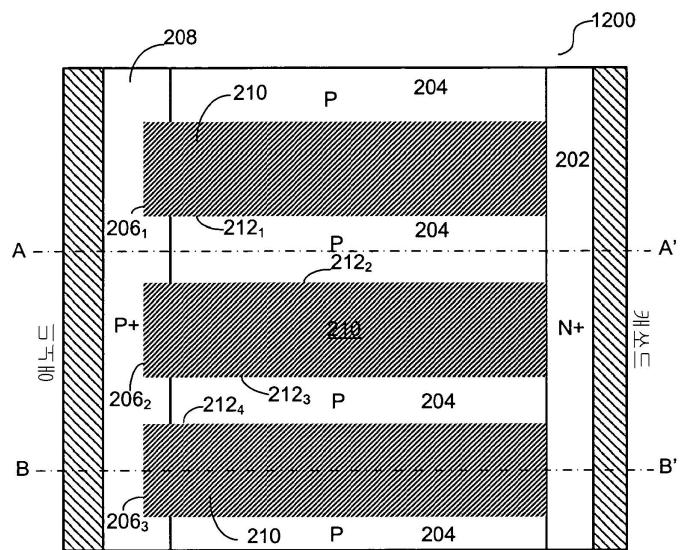
도면10



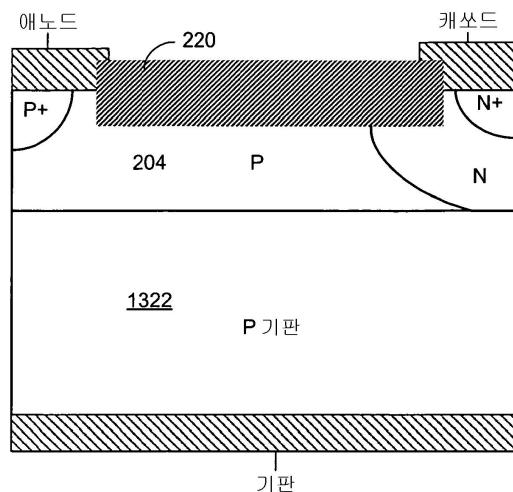
도면11



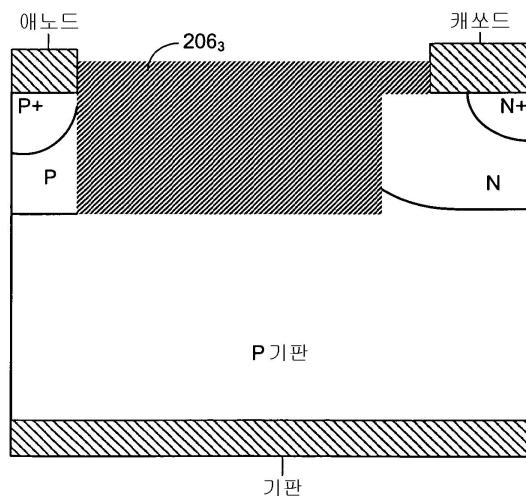
도면12a



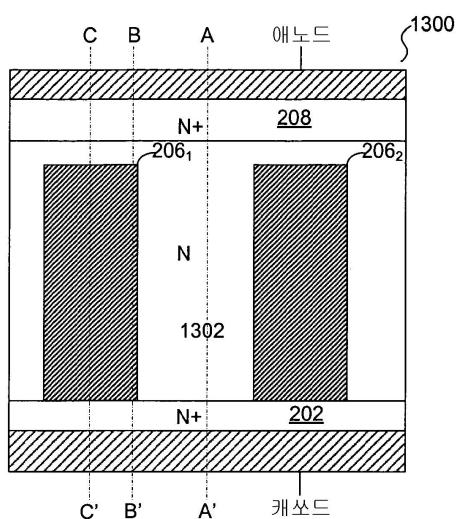
도면12b



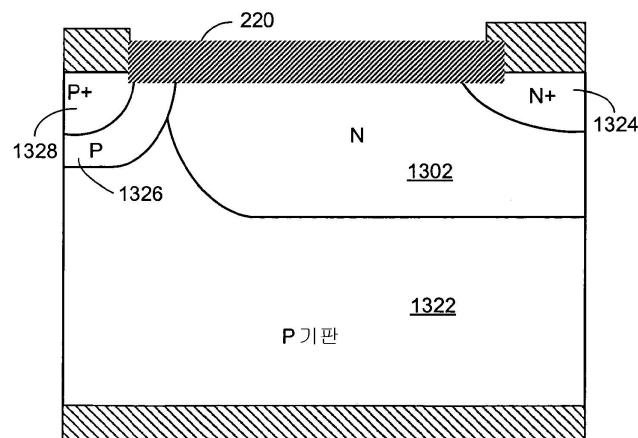
도면12c



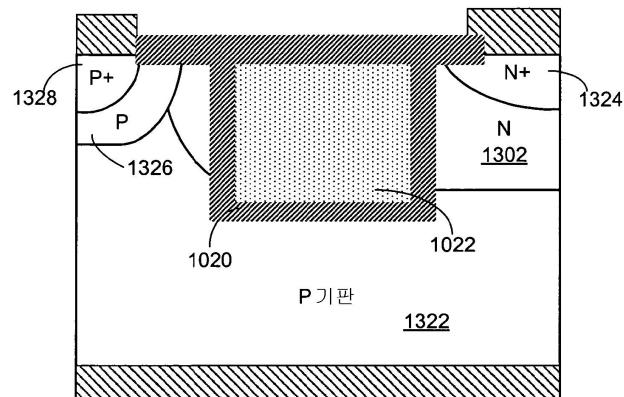
도면13a



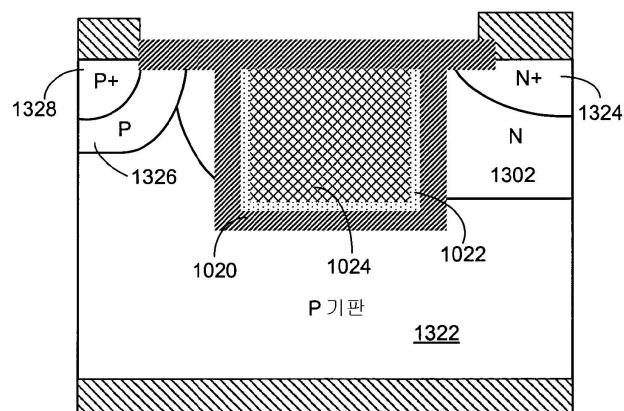
도면13b



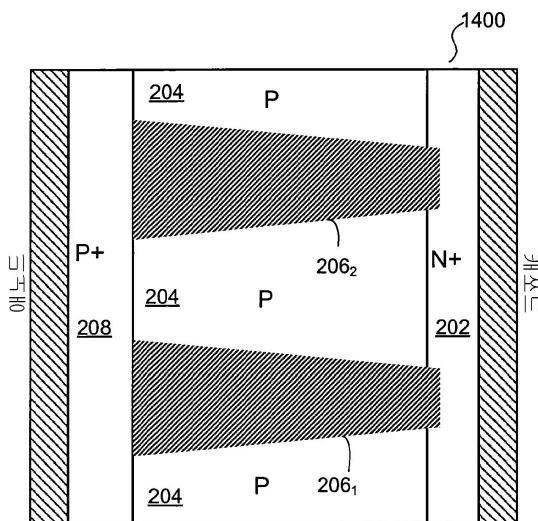
도면13c



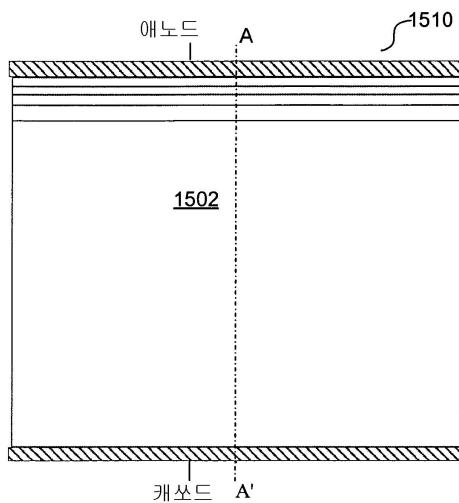
도면13d



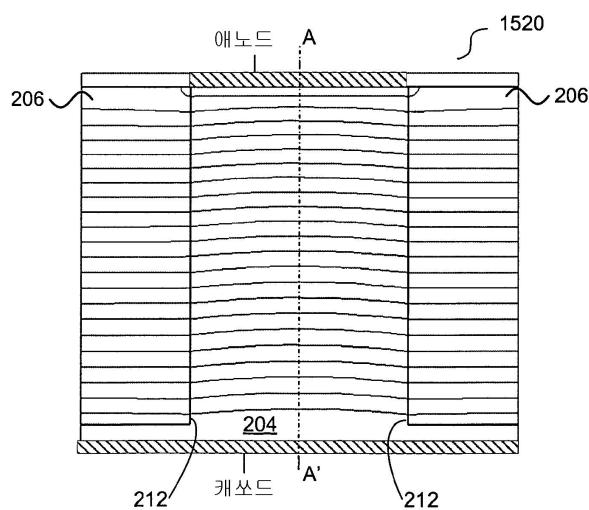
도면14



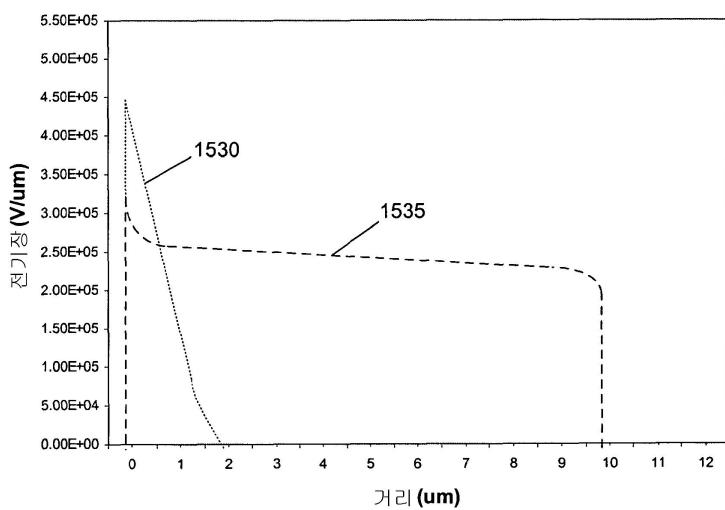
도면15a



도면15b



도면15c



도면15d

