

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5601001号
(P5601001)

(45) 発行日 平成26年10月8日 (2014. 10. 8)

(24) 登録日 平成26年8月29日 (2014. 8. 29)

(51) Int. Cl.

F I

H O 4 N 5/357 (2011. 01)

H O 4 N 5/335 5 7 O

H O 4 N 5/374 (2011. 01)

H O 4 N 5/335 7 4 O

H O 1 L 27/146 (2006. 01)

H O 1 L 27/14 A

請求項の数 13 (全 40 頁)

(21) 出願番号 特願2010-80524 (P2010-80524)
 (22) 出願日 平成22年3月31日 (2010. 3. 31)
 (65) 公開番号 特開2011-216969 (P2011-216969A)
 (43) 公開日 平成23年10月27日 (2011. 10. 27)
 審査請求日 平成25年3月8日 (2013. 3. 8)

前置審査

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100121131
 弁理士 西川 孝
 (74) 代理人 100082131
 弁理士 稲本 義雄
 (72) 発明者 高塚 孝文
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 (72) 発明者 加藤 昭彦
 東京都港区港南1丁目7番1号 ソニー株
 式会社内

最終頁に続く

(54) 【発明の名称】 固体撮像素子および駆動方法、並びに電子機器

(57) 【特許請求の範囲】

【請求項 1】

入射した光を電荷に変換する光電変換部と、前記光電変換部で得られた電荷に対応する信号電圧を保持する電荷保持部とを有する複数の単位画素からなる固体撮像素子であって、

前記光電変換部で得られた電荷に対応する前記信号電圧を、信号レベルとして前記電荷保持部から読み出した後、所定の電圧にリセットされたときの電圧を前記電荷保持部からリセットレベルとして読み出して、前記信号レベルと前記リセットレベルの差分を算出して画素信号を生成する読み出し手段と、

前記単位画素に供給される、前記画素信号を読み出す前記単位画素を選択するための選択パルスであって、前記電荷保持部において生じるカップリングに影響を与える選択パルスの状態が、前記光電変換部から前記電荷保持部への電荷の転送の直前における前記電荷保持部の第1のリセット時と、前記リセットレベル読み出し直前の前記電荷保持部の第2のリセット時とで同じ状態となり、かつ前記信号レベル読み出し時と、前記リセットレベル読み出し時における前記選択パルスの状態が同じとなるように、前記選択パルスの前記単位画素への供給を制御し、前記単位画素に供給される、前記単位画素に設けられ、前記光電変換部に蓄積された電荷を排出する電荷排出部を駆動する制御パルスであって、前記電荷保持部において生じるカップリングに影響を与える制御パルスの状態が、前記第1のリセット時と、前記第2のリセット時とで同じ状態となり、かつ前記信号レベル読み出し時と、前記リセットレベル読み出し時における前記制御パルスの状態が同じとなるように

10

20

、前記制御パルスの前記単位画素への供給をさらに制御する制御手段とを備える固体撮像素子。

【請求項 2】

前記読み出し手段に接続された、前記電荷保持部から前記信号レベルおよび前記リセットレベルを読み出すための信号線には、所定の電圧が印加される

請求項 1 に記載の固体撮像素子。

【請求項 3】

前記制御手段は、前記第 1 のリセットが、所定方向に並ぶ前記単位画素からなる複数の画素行において同時に行なわれるように、前記複数の画素行を構成する前記単位画素を制御する

請求項 1 に記載の固体撮像素子。

【請求項 4】

前記制御手段は、所定方向に並ぶ前記単位画素からなる複数の画素行において、前記光電変換部から前記電荷保持部への電荷の転送が同時に行なわれるように、前記複数の画素行を構成する前記単位画素を制御する

請求項 1 に記載の固体撮像素子。

【請求項 5】

前記制御手段は、前記選択パルスを出力し、前記選択パルスをオンさせる第 1 のトランジスタと、前記選択パルスをオフさせる第 2 のトランジスタとを有する出力手段を備え、前記第 1 のトランジスタと前記第 2 のトランジスタの駆動タイミングがずれるように前記出力手段を制御する

請求項 3 または請求項 4 に記載の固体撮像素子。

【請求項 6】

前記出力手段は、前記第 1 のトランジスタに接続される電源のゆれ、および前記第 2 のトランジスタに接続される電源のゆれを抑制する電流リミッタをさらに備える

請求項 5 に記載の固体撮像素子。

【請求項 7】

前記電流リミッタを構成する第 3 のトランジスタのゲートは、スイッチまたは抵抗により所定電圧のバイアス線と接続され、前記ゲートと、前記第 1 のトランジスタまたは前記第 2 のトランジスタのソースとの間に電気容量を持たせることで、前記第 3 のトランジスタを流れる電流が一定となるようにされている

請求項 6 に記載の固体撮像素子。

【請求項 8】

前記制御手段は、複数の前記画素行を同時に駆動する場合、前記電流リミッタが動作し、単一の前記画素行のみを駆動する場合、前記電流リミッタが動作しないように、前記電流リミッタを制御する

請求項 7 に記載の固体撮像素子。

【請求項 9】

入射した光を電荷に変換する光電変換部と、前記光電変換部で得られた電荷に対応する信号電圧を保持する電荷保持部とを有する複数の単位画素からなる固体撮像素子の駆動方法であって、

前記光電変換部で得られた電荷に対応する前記信号電圧を、信号レベルとして前記電荷保持部から読み出した後、所定の電圧にリセットされたときの電圧を前記電荷保持部からリセットレベルとして読み出して、前記信号レベルと前記リセットレベルの差分を算出して画素信号を生成する読み出しステップと、

前記単位画素に供給される、前記画素信号を読み出す前記単位画素を選択するための選択パルスであって、前記電荷保持部において生じるカップリングに影響を与える選択パルスの状態が、前記光電変換部から前記電荷保持部への電荷の転送の直前における前記電荷保持部の第 1 のリセット時と、前記リセットレベル読み出し直前の前記電荷保持部の第 2 のリセット時とで同じ状態となり、かつ前記信号レベル読み出し時と、前記リセットレベ

10

20

30

40

50

ル読み出し時における前記選択パルスの状態が同じとなるように、前記選択パルスの前記単位画素への供給を制御し、前記単位画素に供給される、前記単位画素に設けられ、前記光電変換部に蓄積された電荷を排出する電荷排出部を駆動する制御パルスであって、前記電荷保持部において生じるカップリングに影響を与える制御パルスの状態が、前記第1のリセット時と、前記第2のリセット時とで同じ状態となり、かつ前記信号レベル読み出し時と、前記リセットレベル読み出し時における前記制御パルスの状態が同じとなるように、前記制御パルスの前記単位画素への供給をさらに制御する制御ステップとを含む駆動方法。

【請求項10】

読み出し手段に接続された、前記電荷保持部から前記信号レベルおよび前記リセットレベルを読み出すための信号線には、所定の電圧が印加される
請求項9に記載の駆動方法。

10

【請求項11】

前記第1のリセットが、所定方向に並ぶ前記単位画素からなる複数の画素行において同時に行なわれるように、前記複数の画素行を構成する前記単位画素が制御される
請求項9に記載の駆動方法。

【請求項12】

所定方向に並ぶ前記単位画素からなる複数の画素行において、前記光電変換部から前記電荷保持部への電荷の転送が同時に行なわれるように、前記複数の画素行を構成する前記単位画素が制御される
請求項9に記載の駆動方法。

20

【請求項13】

入射した光を電荷に変換する光電変換部と、前記光電変換部で得られた電荷に対応する信号電圧を保持する電荷保持部とを有する複数の単位画素を備える電子機器であって、
前記光電変換部で得られた電荷に対応する前記信号電圧を、信号レベルとして前記電荷保持部から読み出した後、所定の電圧にリセットされたときの電圧を前記電荷保持部からリセットレベルとして読み出して、前記信号レベルと前記リセットレベルの差分を算出して画素信号を生成する読み出し手段と、

前記単位画素に供給される、前記画素信号を読み出す前記単位画素を選択するための選択パルスであって、前記電荷保持部において生じるカップリングに影響を与える選択パルスの状態が、前記光電変換部から前記電荷保持部への電荷の転送の直前における前記電荷保持部の第1のリセット時と、前記リセットレベル読み出し直前の前記電荷保持部の第2のリセット時とで同じ状態となり、かつ前記信号レベル読み出し時と、前記リセットレベル読み出し時における前記選択パルスの状態が同じとなるように、前記選択パルスの前記単位画素への供給を制御し、前記単位画素に供給される、前記単位画素に設けられ、前記光電変換部に蓄積された電荷を排出する電荷排出部を駆動する制御パルスであって、前記電荷保持部において生じるカップリングに影響を与える制御パルスの状態が、前記第1のリセット時と、前記第2のリセット時とで同じ状態となり、かつ前記信号レベル読み出し時と、前記リセットレベル読み出し時における前記制御パルスの状態が同じとなるように、前記制御パルスの前記単位画素への供給をさらに制御する制御手段と

30

40

を備える電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は固体撮像素子および駆動方法、並びに電子機器に関し、特に、よりカップリングノイズを低減できるようにした固体撮像素子および駆動方法、並びに電子機器に関する。

【背景技術】

【0002】

従来、フォトダイオード、浮遊拡散領域、および転送ゲートを有する単位画素を、複数

50

備える固体撮像素子が知られている。

【0003】

このような固体撮像素子に備えられる単位画素では、図1に示すように、画像の撮像時に、被写体からの光がフォトダイオード11により受光されて、フォトダイオード11に電荷が蓄積される。そして、フォトダイオード11に接続された転送ゲート12に転送パルス（電圧）が印加されると、フォトダイオード11に蓄積された電荷は、転送ゲート12を介して浮遊拡散領域13に転送されて電圧に変換される。

【0004】

また、垂直信号線14に接続された選択トランジスタ15に選択パルス（電圧）が印加されると、浮遊拡散領域13の電圧が信号レベルとして、増幅トランジスタ16、選択トランジスタ15、および垂直信号線14を介して読み出される。

10

【0005】

さらに、その後、選択パルスが印加されたままの状態、リセットトランジスタ17にリセットパルス（電圧）が印加されると、浮遊拡散領域13の電圧が所定電圧 V_r にリセットされる。そして、リセット後の浮遊拡散領域13の電圧がリセットレベルとして、増幅トランジスタ16から垂直信号線14を介して読み出される。

【0006】

このようにして信号レベルとリセットレベルが読み出されると、読み出された信号レベルとリセットレベルの差分が算出され、得られた差分が、1画素分の画素信号とされる。なお、浮遊拡散領域13で電荷を保持する必要がない場合には、信号レベルの読み出しの前に、リセットレベルの読み出しを予め行なっておくことが可能である。

20

【0007】

一般的に、固体撮像素子では、画素信号の読み出し時に、増幅トランジスタの閾値ばらつきなどのノイズを除去することを目的として、信号レベルとリセットレベルの差分を求めて画素信号とする相関二重サンプリングが行なわれる。

【0008】

このとき、リセットレベルの読み出しと、信号レベルの読み出しとは、同一のリセットトランジスタ、増幅トランジスタ、垂直信号線を介して行なわれるため、トランジスタの閾値ばらつき等の固定パターンノイズを除去することができる。

【0009】

30

ところで、固体撮像素子には、グローバルシャッタ（グローバル露光）と呼ばれる機能を有するものもある（例えば、特許文献1および特許文献2参照）。このような固体撮像素子では、全単位画素により同時に露光が行なわれ、全単位画素で同時に、フォトダイオードの電荷が浮遊拡散領域に転送され、浮遊拡散領域で電荷が保持された状態から、順次浮遊拡散領域から画素信号が読み出される。

【0010】

グローバルシャッタ機能を有する固体撮像素子では、全単位画素一括での電荷の転送時、または露光開始時などに、浮遊拡散領域が一旦リセットされており、画素信号を読み出すタイミングでは、既に浮遊拡散領域に電荷が蓄積されている。したがって、増幅トランジスタの閾値ばらつき等の固定パターンノイズを除去するには、信号レベルを読み出した後、浮遊拡散領域を所定電圧にリセットし、リセットレベルを読み出す必要がある。

40

【0011】

例えば、図2に示すように、固体撮像素子の受光面において、 $(i-1)$ 行目に配置された単位画素と、 i 行目に配置された単位画素から順番に画素信号を読み出すとする。

【0012】

なお、図2において、横方向は時間を示しており、 SEL_{i-1} および RST_{i-1} は、 $(i-1)$ 行目の単位画素の選択トランジスタに印加される選択パルスの電圧、およびリセットトランジスタに印加されるリセットパルスの電圧を示している。また、 TG_{i-1} および FD_{i-1} は、 $(i-1)$ 行目の単位画素の転送ゲートに印加される転送パルスの電圧、および浮遊拡散領域の電圧を示している。

50

【 0 0 1 3 】

同様に、 SEL_i 、 RST_i 、 TRG_i 、および FD_i は、 i 行目の単位画素の選択パルスの電圧、リセットパルスの電圧、転送パルスの電圧、および浮遊拡散領域の電圧を示している。さらに、 V_{out} は、 $(i-1)$ 行目および i 行目の単位画素、より詳細には選択トランジスタに接続された垂直信号線の電圧を示している。

【 0 0 1 4 】

まず、固体撮像素子では、期間 $TM11$ において、全画素同時電子シャッタ動作が行なわれて、全ての単位画素において同時に露光が開始される。

【 0 0 1 5 】

すなわち、各単位画素のリセットパルスの電圧 RST_{i-1} と電圧 RST_i 、および転送パルスの電圧 TRG_{i-1} と電圧 TRG_i が立ち上げられ、フォトダイオードおよび浮遊拡散領域がリセットされる。このとき、画素信号の読み出しは行われないので、各単位画素の選択パルスの電圧 SEL_{i-1} および電圧 SEL_i はローとされる。

【 0 0 1 6 】

なお、以下、リセットトランジスタに電圧が印加されて、電圧 RST_{i-1} または電圧 RST_i がハイとされることを、リセットトランジスタのリセットパルスが活性化されるとも称する。同様に、転送ゲートに電圧が印加されて、電圧 TRG_{i-1} または電圧 TRG_i がハイとされることを、転送ゲートの転送パルスが活性化されるとも称する。

【 0 0 1 7 】

全画素同時電子シャッタ動作がされると、期間 $TM12$ において全ての単位画素で露光が行なわれる。期間 $TM12$ においては、露光開始から一定時間経過後、 $(i-1)$ 行目および i 行目の単位画素でリセットパルスが活性化されて、浮遊拡散領域がリセットされる。そして、その後、全単位画素の転送パルスが活性化され、各単位画素でフォトダイオードから浮遊拡散領域への電荷の転送が行われる。

【 0 0 1 8 】

例えば、 $(i-1)$ 行目の単位画素では、リセットパルスの活性化により、浮遊拡散領域の電圧 FD_{i-1} は、 $VFD1_{i-1}$ にリセットされた後、フォトダイオードからの電荷の転送により $VFD1_{i-1}$ となる。

【 0 0 1 9 】

さらに、期間 $TM12$ 後の期間 $TM13$ においては、各単位画素から、順次、画素信号、つまり信号レベルとリセットレベルの読み出しが行なわれる。

【 0 0 2 0 】

まず、 $(i-1)$ 行目の単位画素の選択トランジスタに電圧が印加されて、電圧 SEL_{i-1} がローからハイとされ、 $(i-1)$ 行目の浮遊拡散領域の電圧 $FD_{i-1} = VFD1_{i-1}$ の信号レベルの読み出しが行なわれる。これにより、垂直信号線の電圧 V_{out} は $V_{sig-i-1}$ となり、この電圧 $V_{sig-i-1}$ が期間 $RD11$ において、 $(i-1)$ 行目の単位画素の信号レベルとして読み出される。

【 0 0 2 1 】

また、期間 $RD11$ 後、 $(i-1)$ 行目の単位画素のリセットパルスが活性化されて、浮遊拡散領域が電圧 $FD_{i-1} = VFD2_{i-1}$ にリセットされると、垂直信号線の電圧 V_{out} は立ち上がって $V_{rst-i-1}$ となる。そして、この電圧 $V_{rst-i-1}$ が期間 $RD12$ において、 $(i-1)$ 行目の単位画素のリセットレベルとして読み出され、このようにして得られた信号レベルとリセットレベルの差分が画素信号として出力される。

【 0 0 2 2 】

$(i-1)$ 行目の単位画素での画素信号の読み出しが終了すると、 $(i-1)$ 行目の単位画素の選択トランジスタの電圧 SEL_{i-1} がハイからローとされ、続いて、次の i 行目の単位画素からの画素信号の読み出しが行なわれる。

【 0 0 2 3 】

すなわち、 i 行目の単位画素の選択トランジスタに電圧が印加されて、 i 行目の浮遊拡散領域の電圧 $FD_i = VFD1_i$ の信号レベルが読み出される。すなわち、選択トランジ

10

20

30

40

50

スタへの電圧の印加により、垂直信号線の電圧 V_{out} は V_{sig-i} となり、この電圧 V_{sig-i} が期間 RD13 において、 i 行目の単位画素の信号レベルとして読み出される。

【0024】

その後、 i 行目の単位画素のリセットパルスにより浮遊拡散領域が電圧 $FD_i = VFD2_i$ にリセットされると、垂直信号線の電圧 V_{out} は立ち上がって V_{rst-i} となる。そして、この電圧 V_{rst-i} が期間 RD14 において、 i 行目の単位画素のリセットレベルとして読み出される。

【0025】

このような画素信号の読み出しでは、信号レベルとリセットレベルとが同一経路で読み出されて差分が算出されるため、増幅トランジスタの閾値ばらつきなどの固定パターンノイズを除去することができる。

10

【先行技術文献】

【特許文献】

【0026】

【特許文献1】特開2001-238132号公報

【0027】

【特許文献2】特開2009-268083号公報

【発明の概要】

【発明が解決しようとする課題】

20

【0028】

上述した浮遊拡散領域で電荷を保持する方式は、例えば少数素子小面積での全画素一括露光を実現可能とする有用な方式である。しかしながら、浮遊拡散領域で電荷を保持する方式の固体撮像素子では、固定パターンノイズを除去することはできるが、浮遊拡散領域が他の信号線等から受けるカップリングノイズを除去することはできなかった。

【0029】

例えば、図3に示すように、フォトダイオードから浮遊拡散領域への電荷の転送のための浮遊拡散領域のリセット時には、選択トランジスタの選択パルスの電圧 SEL_i はローとされる。これに対して、信号レベル読み出し後、リセットレベルを読み出すための浮遊拡散領域のリセット時には、選択パルスの電圧 SEL_i はハイとなっている。

30

【0030】

なお、図3において、横方向は時間を示しており、 SEL_i 、 RST_i 、 FD_i 、および V_{out} は、単位画素の選択パルスの電圧、リセットパルスの電圧、浮遊拡散領域の電圧、および垂直信号線の電圧を示している。また、図3では、説明を分かり易くするため、信号電荷は暗時信号とされている。すなわち、実質的にフォトダイオードから浮遊拡散領域への電荷の転送は行なわれないものとする。

【0031】

まず、信号レベルの読み出し前に、浮遊拡散領域のリセットのため、リセットパルス $RST1$ がリセットトランジスタに与えられると、浮遊拡散領域の電圧 FD_i は $V_{fd1'}$ となる。その後、信号レベルの読み出しのため、選択パルスの電圧 SEL_i をローからハイに遷移させると、垂直信号線の電圧 V_{out} は、0V から V_{sig0} まで遷移しようとする。

40

【0032】

浮遊拡散領域は増幅トランジスタのゲートに接続され、垂直信号線は増幅トランジスタのソースに接続されているため、電圧 V_{out} が0V から V_{sig0} に遷移すると、カップリングフィードスルーにより、浮遊拡散領域の電圧は変調を受け、 $V_{fd1'}$ から V_{fd1} へと変化する。すると、垂直信号線の電圧 V_{out} は V_{sig0} ではなく、最終的に浮遊拡散領域の電圧 $FD_i = V_{fd1}$ から定まる電圧 V_{sig} に持ち上げられ、期間 RD21 に電圧 $V_{out} = V_{sig}$ が信号レベルとして読み出される。

【0033】

一方、信号レベル読み出し後、リセットレベル読み出しのため、リセットパルス RST

50

2 がリセットトランジスタに与えられると、浮遊拡散領域はリセットされ、浮遊拡散領域の電圧 $F D_i$ は V_{fd1} から V_{fd2} に遷移し、垂直信号線の電圧 V_{out} は V_{sig} から V_{rst} となる。そして、期間 $R D 2 2$ において、垂直信号線の電圧 $V_{out} = V_{rst}$ がリセットレベルとして読み出される。なお、リセットパルス $R S T 2$ の印加時において、選択パルスの電圧 $S E L_i$ はハイのままであるため、垂直信号線の電圧 V_{out} のカップリングによる遷移はなく、浮遊拡散領域の電圧は V_{fd2} から変調を受けない。

【0034】

ここで、読み出された信号レベル V_{sig} とリセットレベル V_{rst} とを比較してみる。以上においては、浮遊拡散領域への電荷の転送が実質的にされない暗時信号と仮定したので、本来、読み出された信号レベル V_{sig} とリセットレベル V_{rst} とは等しくなるべきである。

10

【0035】

図3の例では、リセットパルス $R S T 1$ の印加時には、選択パルスはローであったが、リセットパルス $R S T 2$ の印加前に、選択パルスがハイとされている。そのため、リセットパルス $R S T 1$ によるリセット後の浮遊拡散領域が、選択パルスのレベルの遷移に伴う垂直信号線の電圧 V_{out} からのカップリングを受ける。

【0036】

これに対して、リセットパルス $R S T 2$ の印加後は、継続して選択パルスはハイのままであるため、リセットパルス $R S T 2$ によるリセット後の浮遊拡散領域は、垂直信号線の電圧 V_{out} からのカップリングを受けない。

【0037】

20

その結果、本来等しくなるはずの信号レベル V_{sig} とリセットレベル V_{rst} とに V_{cup} だけ差が生じてしまい、この差分 V_{cup} がノイズとなる。このようにして生じたノイズは、特にカップリングノイズと呼ばれている。

【0038】

このカップリングノイズは、浮遊拡散領域と垂直信号線との間に限らず、例えば、浮遊拡散領域と、ブルーミング防止用のオーバーフローゲートとの間など、浮遊拡散領域と寄生容量を持つような全ての部位との間において発生する。また、カップリングノイズは、浮遊拡散領域のリセットごとに異なる大きさとなり、その大きさは、他の素子を駆動する駆動信号の状態によっても変化する。

【0039】

30

以上のように、浮遊拡散領域で電荷を保持する固体撮像素子では、浮遊拡散領域が他の信号線等から受けるカップリングで生じたカップリングノイズを、画素信号から除去することはできなかった。

【0040】

本発明は、このような状況に鑑みてなされたものであり、画素信号に含まれるカップリングノイズをより低減させることができるようにするものである。

【課題を解決するための手段】

【0041】

本発明の第1の側面の固体撮像素子は、入射した光を電荷に変換する光電変換部と、前記光電変換部で得られた電荷に対応する信号電圧を保持する電荷保持部とを有する複数の単位画素からなる固体撮像素子であって、前記光電変換部で得られた電荷に対応する前記信号電圧を、信号レベルとして前記電荷保持部から読み出した後、所定の電圧にリセットされたときの電圧を前記電荷保持部からリセットレベルとして読み出して、前記信号レベルと前記リセットレベルの差分を算出して画素信号を生成する読み出し手段と、前記単位画素に供給される、前記画素信号を読み出す前記単位画素を選択するための選択パルスであって、前記電荷保持部において生じるカップリングに影響を与える選択パルスの状態が、前記光電変換部から前記電荷保持部への電荷の転送の直前における前記電荷保持部の第1のリセット時と、前記リセットレベル読み出し直前の前記電荷保持部の第2のリセット時とで同じ状態となり、かつ前記信号レベル読み出し時と、前記リセットレベル読み出し時における前記選択パルスの状態が同じとなるように、前記選択パルスの前記単位画素へ

40

50

の供給を制御し、前記単位画素に供給される、前記単位画素に設けられ、前記光電変換部に蓄積された電荷を排出する電荷排出部を駆動する制御パルスであって、前記電荷保持部において生じるカップリングに影響を与える制御パルスの状態が、前記第1のリセット時と、前記第2のリセット時とで同じ状態となり、かつ前記信号レベル読み出し時と、前記リセットレベル読み出し時における前記制御パルスの状態が同じとなるように、前記制御パルスの前記単位画素への供給をさらに制御する制御手段とを備える。

【0044】

前記読み出し手段に接続された、前記電荷保持部から前記信号レベルおよび前記リセットレベルを読み出すための信号線には、所定の電圧を印加することができる。

【0045】

前記制御手段には、前記第1のリセットが、所定方向に並ぶ前記単位画素からなる複数の画素行において同時に行なわれるように、前記複数の画素行を構成する前記単位画素を制御させることができる。

【0046】

前記制御手段には、所定方向に並ぶ前記単位画素からなる複数の画素行において、前記光電変換部から前記電荷保持部への電荷の転送が同時に行なわれるように、前記複数の画素行を構成する前記単位画素を制御させることができる。

【0047】

前記制御手段には、前記選択パルスを出力し、前記選択パルスをオンさせる第1のトランジスタと、前記選択パルスをオフさせる第2のトランジスタとを有する出力手段を設け、前記第1のトランジスタと前記第2のトランジスタの駆動タイミングがずれるように前記出力手段を制御させることができる。

【0048】

前記出力手段には、前記第1のトランジスタに接続される電源のゆれ、および前記第2のトランジスタに接続される電源のゆれを抑制する電流リミッタをさらに設けることができる。

【0049】

前記電流リミッタを構成する第3のトランジスタのゲートを、スイッチまたは抵抗により所定電圧のバイアス線と接続し、前記ゲートと、前記第1のトランジスタまたは前記第2のトランジスタのソースとの間に電気容量を持たせることで、前記第3のトランジスタを流れる電流が一定となるようにすることができる。

【0050】

前記制御手段には、複数の前記画素行を同時に駆動する場合、前記電流リミッタが動作し、単一の前記画素行のみを駆動する場合、前記電流リミッタが動作しないように、前記電流リミッタを制御させることができる。

【0051】

本発明の第1の側面の駆動方法は、入射した光を電荷に変換する光電変換部と、前記光電変換部で得られた電荷に対応する信号電圧を保持する電荷保持部とを有する複数の単位画素からなる固体撮像素子の駆動方法であって、前記光電変換部で得られた電荷に対応する前記信号電圧を、信号レベルとして前記電荷保持部から読み出した後、所定の電圧にリセットされたときの電圧を前記電荷保持部からリセットレベルとして読み出して、前記信号レベルと前記リセットレベルの差分を算出して画素信号を生成する読み出しステップと、前記単位画素に供給される、前記画素信号を読み出す前記単位画素を選択するための選択パルスであって、前記電荷保持部において生じるカップリングに影響を与える選択パルスの状態が、前記光電変換部から前記電荷保持部への電荷の転送の直前における前記電荷保持部の第1のリセット時と、前記リセットレベル読み出し直前の前記電荷保持部の第2のリセット時とで同じ状態となり、かつ前記信号レベル読み出し時と、前記リセットレベル読み出し時における前記選択パルスの状態が同じとなるように、前記選択パルスの前記単位画素への供給を制御し、前記単位画素に供給される、前記単位画素に設けられ、前記光電変換部に蓄積された電荷を排出する電荷排出部を駆動する制御パルスであって、前記

10

20

30

40

50

電荷保持部において生じるカップリングに影響を与える制御パルスの状態が、前記第1のリセット時と、前記第2のリセット時とで同じ状態となり、かつ前記信号レベル読み出し時と、前記リセットレベル読み出し時における前記制御パルスの状態が同じとなるように、前記制御パルスの前記単位画素への供給をさらに制御する制御ステップとを含む。

【0054】

前記読み出し手段に接続された、前記電荷保持部から前記信号レベルおよび前記リセットレベルを読み出すための信号線には、所定の電圧を印加することができる。

【0055】

前記第1のリセットが、所定方向に並ぶ前記単位画素からなる複数の画素行において同時に行なわれるように、前記複数の画素行を構成する前記単位画素が制御されるようにすることができる。

10

【0056】

所定方向に並ぶ前記単位画素からなる複数の画素行において、前記光電変換部から前記電荷保持部への電荷の転送が同時に行なわれるように、前記複数の画素行を構成する前記単位画素を制御することができる。

【0057】

本発明の第1の側面においては、入射した光を電荷に変換する光電変換部と、前記光電変換部で得られた電荷に対応する信号電圧を保持する電荷保持部とを有する複数の単位画素からなる固体撮像素子において、前記光電変換部で得られた電荷に対応する前記信号電圧が、信号レベルとして前記電荷保持部から読み出された後、所定の電圧にリセットされたときの電圧が前記電荷保持部からリセットレベルとして読み出されて、前記信号レベルと前記リセットレベルの差分が算出されて画素信号が生成される。また、前記単位画素に供給される、前記画素信号を読み出す前記単位画素を選択するための選択パルスであって、前記電荷保持部において生じるカップリングに影響を与える選択パルスの状態が、前記光電変換部から前記電荷保持部への電荷の転送の直前における前記電荷保持部の第1のリセット時と、前記リセットレベル読み出し直前の前記電荷保持部の第2のリセット時とで同じ状態となり、かつ前記信号レベル読み出し時と、前記リセットレベル読み出し時における前記選択パルスの状態が同じとなるように、前記選択パルスの前記単位画素への供給が制御され、前記単位画素に供給される、前記単位画素に設けられ、前記光電変換部に蓄積された電荷を排出する電荷排出部を駆動する制御パルスであって、前記電荷保持部において生じるカップリングに影響を与える制御パルスの状態が、前記第1のリセット時と、前記第2のリセット時とで同じ状態となり、かつ前記信号レベル読み出し時と、前記リセットレベル読み出し時における前記制御パルスの状態が同じとなるように、前記制御パルスの前記単位画素への供給がさらに制御される。

20

30

【0058】

本発明の第2の側面の電子機器は、入射した光を電荷に変換する光電変換部と、前記光電変換部で得られた電荷に対応する信号電圧を保持する電荷保持部とを有する複数の単位画素を備える電子機器であって、前記光電変換部で得られた電荷に対応する前記信号電圧を、信号レベルとして前記電荷保持部から読み出した後、所定の電圧にリセットされたときの電圧を前記電荷保持部からリセットレベルとして読み出して、前記信号レベルと前記リセットレベルの差分を算出して画素信号を生成する読み出し手段と、前記単位画素に供給される、前記画素信号を読み出す前記単位画素を選択するための選択パルスであって、前記電荷保持部において生じるカップリングに影響を与える選択パルスの状態が、前記光電変換部から前記電荷保持部への電荷の転送の直前における前記電荷保持部の第1のリセット時と、前記リセットレベル読み出し直前の前記電荷保持部の第2のリセット時とで同じ状態となり、かつ前記信号レベル読み出し時と、前記リセットレベル読み出し時における前記選択パルスの状態が同じとなるように、前記選択パルスの前記単位画素への供給を制御し、前記単位画素に供給される、前記単位画素に設けられ、前記光電変換部に蓄積された電荷を排出する電荷排出部を駆動する制御パルスであって、前記電荷保持部において生じるカップリングに影響を与える制御パルスの状態が、前記第1のリセット時と、前記

40

50

第2のリセット時とで同じ状態となり、かつ前記信号レベル読み出し時と、前記リセットレベル読み出し時における前記制御パルスの状態が同じとなるように、前記制御パルスの前記単位画素への供給をさらに制御する制御手段とを備える。

【0059】

本発明の第2の側面においては、入射した光を電荷に変換する光電変換部と、前記光電変換部で得られた電荷に対応する信号電圧を保持する電荷保持部とを有する複数の単位画素を備える電子機器において、前記光電変換部で得られた電荷に対応する前記信号電圧が、信号レベルとして前記電荷保持部から読み出された後、所定の電圧にリセットされたときの電圧が前記電荷保持部からリセットレベルとして読み出されて、前記信号レベルと前記リセットレベルの差分が算出されて画素信号が生成される。また、前記単位画素に供給される、前記画素信号を読み出す前記単位画素を選択するための選択パルスであって、前記電荷保持部において生じるカップリングに影響を与える選択パルスの状態が、前記光電変換部から前記電荷保持部への電荷の転送の直前における前記電荷保持部の第1のリセット時と、前記リセットレベル読み出し直前の前記電荷保持部の第2のリセット時とで同じ状態となり、かつ前記信号レベル読み出し時と、前記リセットレベル読み出し時における前記選択パルスの状態が同じとなるように、前記選択パルスの前記単位画素への供給が制御され、前記単位画素に供給される、前記単位画素に設けられ、前記光電変換部に蓄積された電荷を排出する電荷排出部を駆動する制御パルスであって、前記電荷保持部において生じるカップリングに影響を与える制御パルスの状態が、前記第1のリセット時と、前記第2のリセット時とで同じ状態となり、かつ前記信号レベル読み出し時と、前記リセットレベル読み出し時における前記制御パルスの状態が同じとなるように、前記制御パルスの前記単位画素への供給がさらに制御される。

【発明の効果】

【0060】

本発明の第1の側面によれば、画素信号に含まれるカップリングノイズをより低減させることができる。また、本発明の第2の側面によれば、画素信号に含まれるカップリングノイズをより低減させることができる。

【図面の簡単な説明】

【0061】

【図1】従来の単位画素の構成を示す図である。

【図2】従来の固体撮像素子の動作を説明する図である。

【図3】従来の固体撮像素子で発生するカップリングノイズを説明する図である。

【図4】本発明の概要について説明する図である。

【図5】本発明を適用した固体撮像素子の一実施の形態の構成例を示す図である。

【図6】単位画素の構成を示す図である。

【図7】固体撮像素子の動作を説明する図である。

【図8】撮像処理を説明するフローチャートである。

【図9】固体撮像素子の動作を説明する図である。

【図10】単位画素の他の構成例を示す図である。

【図11】固体撮像素子の動作を説明する図である。

【図12】固体撮像素子の動作を説明する図である。

【図13】垂直駆動部の構成例を示す図である。

【図14】ドライバの構成例を示す図である。

【図15】ドライバの動作について説明する図である。

【図16】ドライバの構成例を示す図である。

【図17】ドライバの動作について説明する図である。

【図18】ドライバの構成例を示す図である。

【図19】ドライバの動作について説明する図である。

【図20】単位画素のその他の第1の構成例を示す図である。

【図21】単位画素のその他の第2の構成例を示す図である。

10

20

30

40

50

【図 2 2】単位画素のその他の第 3 の構成例を示す図である。

【図 2 3】単位画素のその他の第 4 の構成例を示す図である。

【図 2 4】単位画素のその他の第 5 の構成例を示す図である。

【図 2 5】本発明を適用した電子機器の一実施の形態の構成例を示す図である。

【発明を実施するための形態】

【0062】

以下、図面を参照して、本発明を適用した実施の形態について説明する。

【0063】

本発明の概要

本発明を適用した固体撮像素子は、複数の単位画素を有しており、各単位画素には、フォトダイオード、転送ゲート、リセットトランジスタ、および浮遊拡散領域が少なくとも設けられている。また、固体撮像素子では、フォトダイオードで光を受光して得られた電荷が、転送ゲートを介して、電荷電圧変換部としての浮遊拡散領域に転送されて電圧に変換され、その電圧が相関二重サンプリングにより読み出される。

【0064】

具体的には、図 4 に示すように、固体撮像素子の単位画素では、単位画素内の所定の素子に、その素子を駆動するための画素駆動信号が供給され、リセットトランジスタには、適宜、浮遊拡散領域をリセットするための電圧（リセットパルス）が供給される。なお、図中、横方向は時間を示しており、C 1 1 および C 1 2 は、それぞれ画素駆動信号の波形とリセットパルス R S T の波形を示している。

【0065】

固体撮像素子では、単位画素の露光期間において、一旦、リセットトランジスタにリセットパルス R S T 1 1 が印加され、浮遊拡散領域がリセットされる。そして、フォトダイオードから浮遊拡散領域に電荷が転送されて電圧に変換され、期間 R D 3 1 において、浮遊拡散領域の電圧が信号レベルとして読み出される。さらに、その後、リセットトランジスタにリセットパルス R S T 1 2 が印加されて、浮遊拡散領域がリセットされ、期間 R D 3 2 において、リセット後の浮遊拡散領域の電圧がリセットレベルとして読み出される。

【0066】

このとき、固体撮像素子は、浮遊拡散領域と、他の信号線や素子等の部位との間のカップリングに影響を与える画素駆動信号の状態を制御することにより、浮遊拡散領域と他の部位とのカップリングにより生じるカップリングノイズを低減させる。例えば、画素駆動信号は、選択トランジスタに印加される選択パルス、転送ゲートに印加される転送パルスなどとされる。

【0067】

具体的には、画素駆動信号の波形 C 1 1 における、リセットパルス R S T 1 1 の印加時と同じ時刻の部分 R 1 の状態と、波形 C 1 1 における、リセットパルス R S T 1 2 の印加時と同じ時刻の部分 R 2 の状態とが同じとなるようにされる。

【0068】

より詳細には、時刻 t 1 と時刻 t 2 における画素駆動信号の状態が同じ状態となるようにされる。ここで、時刻 t 1 は、リセットトランジスタにリセットパルス R S T 1 1 が印加されて、リセットパルス R S T が活性化された後、リセットパルス R S T が非活性化される時刻である。換言すれば、リセットパルス R S T の波形が立ち上がった後、立ち下がる瞬間の時刻である。

【0069】

同様に、時刻 t 2 は、リセットトランジスタにリセットパルス R S T 1 2 が印加されて、リセットパルス R S T が活性化された後、リセットパルス R S T が非活性化される時刻、つまりリセットパルス R S T の波形が立ち上がった後、立ち下がる瞬間の時刻である。

【0070】

なお、画素駆動信号の状態とは、例えば画素駆動信号のレベル（電圧）であり、時刻 t 1 と時刻 t 2 における画素駆動信号の電圧が等しくなるように、制御される。

【 0 0 7 1 】

さらに、時刻 t_1 と時刻 t_2 の画素駆動信号の状態に加えて、信号レベルが読み出される期間 $RD3_1$ における画素駆動信号の部分 B_1 の状態と、リセットレベルが読み出される期間 $RD3_2$ における画素駆動信号の部分 B_2 の状態とが同じとなるようにされる。

【 0 0 7 2 】

このように、信号レベル読み出し直前、つまりフォトダイオードから浮遊拡散領域への電荷の転送直前の浮遊拡散領域のリセット時と、リセットレベル読み出し直前の浮遊拡散領域のリセット時の画素駆動信号の状態が等しく、かつ信号レベル読み出し時とリセットレベル読み出し時の画素駆動信号の状態が等しくなるように制御される。これにより、信号レベル読み出し時に生じるカップリングノイズと、リセットレベル読み出し時に生じるカップリングノイズとを、ほぼ同じ大きさのノイズとすることができ、カップリングノイズによる画素信号への影響を低減させることができる。その結果、より正確な値の画素信号を得ることができる。

10

【 0 0 7 3 】

第 1 の実施の形態

[固体撮像素子の構成]

次に、本発明を適用した具体的な実施の形態について説明する。

【 0 0 7 4 】

図 5 は、本発明が適用される固体撮像素子としての CMOS (Complementary Metal Oxide Semiconductor) イメージセンサの構成例を示すブロック図である。

20

【 0 0 7 5 】

CMOS イメージセンサ 50 は、画素アレイ部 61、垂直駆動部 62、カラム処理部 63、水平駆動部 64、およびシステム制御部 65 を含んで構成される。画素アレイ部 61、垂直駆動部 62、カラム処理部 63、水平駆動部 64、およびシステム制御部 65 は、図示せぬ半導体基板 (チップ) 上に形成されている。

【 0 0 7 6 】

画素アレイ部 61 には、入射光量に応じた電荷量の光電荷 (以下、単に「電荷」と記述する場合もある) を発生して内部に蓄積する光電変換素子を有する単位画素 (図 6 の単位画素 90) が行列状に 2 次元配置されている。なお、以下では、入射光量に応じた電荷量の光電荷を、単に「電荷」と記述し、単位画素を、単に「画素」と記述する場合もある。

30

【 0 0 7 7 】

画素アレイ部 61 にはさらに、行列状の画素配列に対して行ごとに画素駆動線 66 が図の左右方向 (画素行の画素の配列方向) に沿って形成され、列ごとに垂直信号線 67 が図の上下方向 (画素列の画素の配列方向) に沿って形成されている。図 5 では、画素駆動線 66 について 1 本として示しているが、1 本に限られるものではない。画素駆動線 66 の一端は、垂直駆動部 62 の各行に対応した出力端に接続されている。

【 0 0 7 8 】

CMOS イメージセンサ 50 はさらに、信号処理部 68 およびデータ格納部 69 を備えている。信号処理部 68 およびデータ格納部 69 については、CMOS イメージセンサ 50 とは別の基板に設けられる外部信号処理部、例えば DSP (Digital Signal Processor) やソフトウェアによる処理でも構わないし、CMOS イメージセンサ 50 と同じ基板上に搭載しても構わない。

40

【 0 0 7 9 】

垂直駆動部 62 は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部 61 の各画素を、全画素同時あるいは行単位等で駆動する画素駆動部である。この垂直駆動部 62 は、その具体的な構成については図示を省略するが、読出し走査系と、掃出し走査系あるいは、一括掃き出し、一括転送を有する構成となっている。

【 0 0 8 0 】

読出し走査系は、単位画素から信号を読み出すために、画素アレイ部 61 の単位画素を行単位で順に選択走査する。行駆動の場合、掃き出しについては、読出し走査系によって

50

読出し走査が行われる読出し行に対して、その読出し走査よりもシャッタスピードの時間分だけ先行して掃出し走査が行なわれる。また、グローバル露光の場合は、一括転送よりもシャッタスピードの時間分先行して一括掃き出しが行なわれる。

【 0 0 8 1 】

この掃出しにより、読出し行の単位画素の光電変換素子から不要な電荷が掃き出される（リセットされる）。そして、不要電荷の掃き出し（リセット）により、いわゆる電子シャッタ動作が行われる。ここで、電子シャッタ動作とは、光電変換素子の光電荷を捨てて、新たに露光を開始する（光電荷の蓄積を開始する）動作のことを言う。

【 0 0 8 2 】

読出し走査系による読出し動作によって読み出される信号は、その直前の読出し動作または電子シャッタ動作以降に入射した光量に対応するものである。行駆動の場合は、直前の読出し動作による読出しタイミングまたは電子シャッタ動作による掃出しタイミングから、今回の読出し動作による読出しタイミングまでの期間が、単位画素における光電荷の蓄積時間（露光時間）となる。グローバル露光の場合は、一括掃き出しから一括転送までの時間が蓄積時間（露光時間）となる。

10

【 0 0 8 3 】

垂直駆動部 6 2 によって選択走査された画素行の各単位画素から出力される画素信号は、垂直信号線 6 7 の各々を通してカラム処理部 6 3 に供給される。カラム処理部 6 3 は、画素アレイ部 6 1 の画素列ごとに、選択行の各単位画素から垂直信号線 6 7 を通して出力される画素信号に対して所定の信号処理を行うとともに、信号処理後の画素信号を一時的に保持する。

20

【 0 0 8 4 】

具体的には、カラム処理部 6 3 は、信号処理として少なくとも、ノイズ除去処理、例えば C D S (Correlated Double Sampling; 相関二重サンプリング) 処理を行う。このカラム処理部 6 3 による相関二重サンプリングにより、リセットノイズや増幅トランジスタの閾値ばらつき等の画素固有の固定パターンノイズが除去される。カラム処理部 6 3 にノイズ除去処理以外に、例えば、A D (アナログ - デジタル) 変換機能を持たせ、信号レベルをデジタル信号で出力することも可能である。

【 0 0 8 5 】

水平駆動部 6 4 は、シフトレジスタやアドレスデコーダなどによって構成され、カラム処理部 6 3 の画素列に対応する単位回路を順番に選択する。この水平駆動部 6 4 による選択走査により、カラム処理部 6 3 で信号処理された画素信号が順番に信号処理部 6 8 に出力される。

30

【 0 0 8 6 】

システム制御部 6 5 は、各種のタイミング信号を生成するタイミングジェネレータ等によって構成され、タイミングジェネレータで生成された各種のタイミング信号を基に垂直駆動部 6 2、カラム処理部 6 3 および水平駆動部 6 4 などの駆動制御を行う。

【 0 0 8 7 】

信号処理部 6 8 は、少なくとも加算処理機能を有し、カラム処理部 6 3 から出力される画素信号に対して加算処理等の種々の信号処理を行う。データ格納部 6 9 は、信号処理部 6 8 での信号処理に当たって、その処理に必要なデータを一時的に格納する。

40

【 0 0 8 8 】

[単位画素の構造]

次に、図 5 の画素アレイ部 6 1 に行列状に配置されている単位画素の具体的な構造について説明する。単位画素は、光電変換素子から転送される光電荷を保持（蓄積）する浮遊拡散領域（容量）を有している。

【 0 0 8 9 】

図 6 は、単位画素の構成を示す図である。

【 0 0 9 0 】

単位画素 9 0 は、光電変換素子として例えばフォトダイオード (P D) 1 2 1 を有して

50

いる。フォトダイオード 1 2 1 は、例えば、N 型基板 1 3 1 上に形成された P 型ウェル層 1 3 2 に対して、P 型層 1 3 3 を基板表面側に形成して N 型埋め込み層 1 3 4 を埋め込むことによって形成される埋め込み型フォトダイオードである。

【 0 0 9 1 】

単位画素 9 0 は、フォトダイオード 1 2 1 に加えて、転送ゲート 1 2 2 および浮遊拡散領域 (F D : Floating Diffusion) 1 2 3 を有する。なお、浮遊拡散領域 1 2 3 は遮光されている。

【 0 0 9 2 】

転送ゲート 1 2 2 は、フォトダイオード 1 2 1 で光電変換され、その内部に蓄積された電荷を、ゲート電極 1 2 2 A に転送パルス T R G が印加されることによって転送する。浮遊拡散領域 1 2 3 は、N 型層からなる電荷電圧変換部であり、転送ゲート 1 2 2 によってフォトダイオード 1 2 1 から転送された電荷を電圧に変換する。

【 0 0 9 3 】

単位画素 9 0 はさらに、リセットトランジスタ 1 2 4、増幅トランジスタ 1 2 5 および選択トランジスタ 1 2 6 を有している。リセットトランジスタ 1 2 4、増幅トランジスタ 1 2 5 および選択トランジスタ 1 2 6 は、図 6 の例では、N チャネルの M O S トランジスタを用いている。しかし、図 6 で例示したリセットトランジスタ 1 2 4、増幅トランジスタ 1 2 5 および選択トランジスタ 1 2 6 の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

【 0 0 9 4 】

リセットトランジスタ 1 2 4 は、電源 V D B と浮遊拡散領域 1 2 3 との間に接続されており、ゲート電極にリセットパルス R S T が印加されることによって浮遊拡散領域 1 2 3 をリセットする。増幅トランジスタ 1 2 5 は、ドレイン電極が電源 V D O に接続され、ゲート電極が浮遊拡散領域 1 2 3 に接続されており、浮遊拡散領域 1 2 3 の電圧を読み出す。

【 0 0 9 5 】

選択トランジスタ 1 2 6 は、例えば、ドレイン電極が増幅トランジスタ 1 2 5 のソース電極に、ソース電極が垂直信号線 6 7 にそれぞれ接続されており、ゲート電極に選択パルス S E L が印加されることで、画素信号を読み出すべき単位画素 9 0 を選択する。なお、選択トランジスタ 1 2 6 については、電源 V D O と増幅トランジスタ 1 2 5 のドレイン電極との間に接続した構成を採ることも可能である。

【 0 0 9 6 】

なお、リセットトランジスタ 1 2 4、増幅トランジスタ 1 2 5 および選択トランジスタ 1 2 6 については、その一つあるいは複数を画素信号の読み出し方法によって省略したり、複数の画素間で共有したりすることも可能である。

【 0 0 9 7 】

このようにして構成される C M O S イメージセンサ 5 0 は、全画素同時に露光を開始し、全画素同時に露光を終了し、フォトダイオード 1 2 1 に蓄積された電荷を、遮光された浮遊拡散領域 1 2 3 へ転送することで、グローバル露光を実現する。このグローバル露光により、全画素一致した露光期間による歪みのない撮像が可能となる。

【 0 0 9 8 】

なお、本実施の形態での全画素とは、画像に現れる部分の画素の全てということであり、ダミー画素などは除外される。また、時間差や画像の歪みが問題にならない程度に十分小さければ、全画素同時の動作の代わりに複数行 (例えば、数十行) ずつに高速に走査するものも含まれる。

【 0 0 9 9 】

ここで、単位画素 9 0 におけるグローバル露光動作について説明する。

【 0 1 0 0 】

まず、全画素同時に埋め込みフォトダイオード 1 2 1 の蓄積電荷を空にする電荷排出動作が実行された後、露光が開始される。すなわち、ゲート電極 1 2 2 A に転送パルス T R

10

20

30

40

50

Gが印加されるとともに、リセットトランジスタ124のゲート電極にリセットパルスRSTが印加され、フォトダイオード121および浮遊拡散領域123がリセットされ、露光が開始される。

【0101】

これにより、フォトダイオード121のPN接合容量に光電荷が蓄積される。露光期間終了時点で、全画素同時に、転送ゲート122がオンされ、フォトダイオード121で蓄積された光電荷が全て浮遊拡散領域123へと転送される。転送ゲート122を閉じることで、全画素同一の露光期間で蓄積された光電荷が浮遊拡散領域123で保持される。

【0102】

その後、浮遊拡散領域123で保持された光電荷(電圧)が、信号レベルとして垂直信号線67を通してカラム処理部63に読み出される。そして、浮遊拡散領域123がリセットされ、しかる後、リセットレベルが垂直信号線67を通してカラム処理部63に読み出される。このような信号レベルの読み出しと、リセットレベルの読み出しとが、順次、各行について行われる。

【0103】

なお、以下、ゲート電極122A、リセットトランジスタ124のゲート電極、および選択トランジスタ126のゲート電極に、転送パルスTRG、リセットパルスRST、および選択パルスSELが印加された状態とすることを、各パルスオンするまたは活性化すると称する。また、ゲート電極122A、リセットトランジスタ124のゲート電極、および選択トランジスタ126のゲート電極に、転送パルスTRG、リセットパルスRST、および選択パルスSELが印加されていない状態とすることを、各パルスをオフするまたは非活性化すると称する。

【0104】

[カップリングノイズの低減について]

ところで、CMOSイメージセンサ50では、図4を参照して説明したように、垂直駆動部62が、各単位画素90を駆動する画素駆動信号を適切に制御することで、単位画素から読み出される画素信号に含まれるカップリングノイズを低減させる。

【0105】

以下では、画素駆動信号が、画素駆動線66を介して選択トランジスタ126のゲート電極に供給される選択パルスSELである場合を例として説明する。

【0106】

そのような場合、例えば、図7に示すように、垂直駆動部62は、浮遊拡散領域123のリセット直後における選択パルスSELの状態が等しくなり、かつ信号レベルおよびリセットレベルの読み出しの期間における選択パルスSELの状態が等しくなるようにする。

【0107】

なお、図7において、横方向は時間を示しており、図4における場合と対応する部分には、同一の符号を付してある。また、図7中、SEL、RST、FD、および V_{ut} は、選択パルスSELの電圧、リセットパルスRSTの電圧、浮遊拡散領域123の電圧、および垂直信号線67の電圧を示している。また、図7では、説明を分かり易くするため、信号電荷は暗時信号とされている。すなわち、実質的にフォトダイオード121から浮遊拡散領域123への電荷の転送は行なわれないものとする。

【0108】

図7では、選択パルスSELがオフ(非活性)である状態、つまり選択パルスSELの波形が下に凸である状態では、浮遊拡散領域123からの電圧(電荷)の読み出しは行なわれず、垂直信号線67の電圧 V_{ut} は0Vとされている。

【0109】

このような状態で、全単位画素90での同時露光期間中に、リセットパルスRSTとして、リセットパルスRST11がリセットトランジスタ124のゲート電極に印加されると、浮遊拡散領域123はリセットされ、浮遊拡散領域123の電圧FDは立ち上がる。

ここで、選択パルス $S E L$ の状態は、リセットパルス $R S T 1$ の印加直後の時刻 $t 1$ においてもオフ、つまりローのままである。

【 0 1 1 0 】

その後、単位画素 9 0 の露光が終了し、選択パルス $S E L$ がオンされると、選択パルス $S E L$ の波形は立ち上がり、垂直信号線 6 7 の電圧 V_{out} は 0 V から V_{sig0} まで遷移しようとする。

【 0 1 1 1 】

浮遊拡散領域 1 2 3 は増幅トランジスタ 1 2 5 のゲート電極に接続され、垂直信号線 6 7 は増幅トランジスタ 1 2 5 のソースに接続されている。そのため、電圧 V_{out} が 0 V から V_{sig0} に遷移すると、カップリングフィードスルーにより、浮遊拡散領域 1 2 3 の電圧は変調を受け、 V_{fd1} へと変化する。すると、垂直信号線 6 7 の電圧 V_{out} は V_{sig0} から、浮遊拡散領域 1 2 3 の電圧 $F D = V_{fd1}$ により定まる電圧 V_{sig} に遷移し、期間 $R D 3 1$ に電圧 $V_{out} = V_{sig}$ が信号レベルとしてカラム処理部 6 3 に読み出される。

【 0 1 1 2 】

一方、信号レベル読み出し後、垂直駆動部 6 2 は、選択パルス $S E L$ を一時的にオフ（非活性化）させる。これにより、垂直信号線 6 7 の電圧 V_{out} は V_{sig} から 0 V に遷移し、浮遊拡散領域 1 2 3 の電圧 $F D$ も V_{fd1} から立ち下がる。

【 0 1 1 3 】

その後、垂直駆動部 6 2 は、選択パルス $S E L$ をオフした状態のままで、リセットパルス $R S T$ として、リセットパルス $R S T 1 2$ をリセットトランジスタ 1 2 4 のゲート電極に印加する。つまり、リセットパルス $R S T$ がオン（活性化）される。これにより、浮遊拡散領域 1 2 3 がリセットされ、浮遊拡散領域 1 2 3 の電圧 $F D$ は立ち上がる。

【 0 1 1 4 】

なお、このとき、選択パルス $S E L$ はオフのままであるので、垂直信号線 6 7 の電圧は $V_{out} = 0 V$ のままである。また、選択パルス $S E L$ の状態は、リセットパルス $R S T 1 2$ の印加直後の時刻 $t 2$ においてもオフ、つまりローのままである。

【 0 1 1 5 】

そして、リセットレベルの読み出しのため、再び垂直駆動部 6 2 が選択パルス $S E L$ をオンすると、選択パルス $S E L$ の波形は立ち上がり、垂直信号線 6 7 の電圧 V_{out} は 0 V から V_{rst0} まで遷移しようとする。

【 0 1 1 6 】

この場合においても、信号レベルの読み出し時と同様に、電圧 V_{out} が 0 V から V_{rst0} に遷移すると、カップリングフィードスルーにより、浮遊拡散領域 1 2 3 の電圧は変調を受け、 V_{fd2} へと変化する。すると、垂直信号線 6 7 の電圧 V_{out} は V_{rst0} から、浮遊拡散領域 1 2 3 の電圧 $F D = V_{fd2}$ により定まる電圧 V_{rst} に遷移し、期間 $R D 3 2$ に電圧 $V_{out} = V_{rst}$ がリセットレベルとしてカラム処理部 6 3 に読み出される。

【 0 1 1 7 】

C M O S イメージセンサ 5 0 では、このようにして各単位画素 9 0 から信号レベルとリセットレベルが読み出される。このとき、C M O S イメージセンサ 5 0 では、選択パルス $S E L$ を適切に制御することにより、信号レベルとリセットレベルの読み出しの直前に選択パルス $S E L$ が活性化されたとき、ほぼ同じ条件下で垂直信号線 6 7 の電圧 V_{out} の遷移を発生させることができる。

【 0 1 1 8 】

図 7 の例では、信号レベルの読み出しの直前における選択パルス $S E L$ の活性化では、垂直信号線 6 7 の電圧 V_{out} は 0 V から V_{sig0} まで遷移し、リセットレベルの読み出し直前における選択パルス $S E L$ の活性化では、電圧 V_{out} は 0 V から V_{rst0} まで遷移する。

【 0 1 1 9 】

ここで、電圧 V_{sig0} と V_{rst0} は同じ値であるから、信号レベルの読み出し時と、リセットレベルの読み出し時とで、浮遊拡散領域 1 2 3 が受けるカップリングは等しくなり、同じ

10

20

30

40

50

大きさのカップリングノイズが、信号レベルとリセットレベルとに含まれることになる。その結果、信号レベルとして読み出される電圧 $V_{out} = V_{sig}$ と、リセットレベルとして読み出される電圧 $V_{out} = V_{rst}$ が等しくなり、それらの信号の差、つまり画素信号に含まれることになるカップリングノイズ $V_{cup} = 0V$ となる。すなわち、画素信号を得るために、信号レベルとリセットレベルとの差分を求めると、これらの信号レベルとリセットレベルに含まれているカップリングノイズが相殺され、より正確な値の画素信号が得られる。

【0120】

このように、CMOSイメージセンサ50によれば、各リセットパルスRSTの活性化時の選択パルスSELの状態を同じとし、かつ浮遊拡散領域123からの電圧の読み出し期間の選択パルスSELの状態を同じとすることで、よりカップリングノイズによる影響を低減させることができる。

10

【0121】

[撮像処理の説明]

次に、図8のフローチャートを参照して、CMOSイメージセンサ50がユーザの操作等に応じて、画像を撮像する処理である撮像処理について説明する。

【0122】

ステップS11において、垂直駆動部62は、電子シャッタ動作を行い、全単位画素90に同時に露光を開始させる。すなわち、垂直駆動部62は、全ての単位画素90に対して、リセットトランジスタ124のゲート電極にリセットパルスRSTを印加するとともに、転送ゲート122のゲート電極122Aに転送パルスTRGを印加する。

20

【0123】

これにより、これまでフォトダイオード121に蓄積されていた電荷が掃き出され、電子シャッタ動作後に新たに受光した、被写体からの光から得られた電荷がフォトダイオード121に蓄積されることになる。

【0124】

また、このとき、垂直駆動部62は、全ての単位画素90の選択トランジスタ126のゲート電極に供給される選択パルスSELをオフとする。

【0125】

ステップS12において、垂直駆動部62は、全ての単位画素90の浮遊拡散領域123を、同時にリセットする。すなわち、全ての単位画素90のリセットトランジスタ124に供給するリセットパルスRSTをオンし、浮遊拡散領域123に蓄積されている電荷を排出させる。

30

【0126】

ステップS13において、垂直駆動部62は、全ての単位画素90について、転送ゲート122のゲート電極122Aに供給する転送パルスを同時にオンし、フォトダイオード121に蓄積された電荷を、浮遊拡散領域123に転送させる。浮遊拡散領域123は、フォトダイオード121から転送されてきた電荷を電圧に変換し、保持する。

【0127】

ステップS14において、垂直駆動部62は、複数の単位画素90からなる各行のうちの1つを処理対象行として、処理対象行を構成する単位画素90について、選択トランジスタ126のゲート電極に供給する選択パルスSELをオンする。これにより、浮遊拡散領域123の電圧の読み出しが可能となる。

40

【0128】

ステップS15において、カラム処理部63は、処理対象行の各単位画素90について、垂直信号線67、選択トランジスタ126、および増幅トランジスタ125を介して、浮遊拡散領域123の電圧を信号レベルとして読み出す。

【0129】

ステップS16において、垂直駆動部62は、処理対象行の各単位画素90について、選択トランジスタ126のゲート電極に供給する選択パルスSELをオフする。

50

【 0 1 3 0 】

ステップ S 1 7 において、垂直駆動部 6 2 は、処理対象行の各单位画素 9 0 について、リセットトランジスタ 1 2 4 に供給するリセットパルス R S T をオンし、浮遊拡散領域 1 2 3 を所定電圧にリセットする。

【 0 1 3 1 】

ステップ S 1 8 において、垂直駆動部 6 2 は、処理対象行の各单位画素 9 0 について、選択トランジスタ 1 2 6 のゲート電極に供給する選択パルス S E L をオンする。そして、ステップ S 1 9 において、カラム処理部 6 3 は、処理対象行の各单位画素 9 0 について、垂直信号線 6 7、選択トランジスタ 1 2 6、および増幅トランジスタ 1 2 5 を介して、浮遊拡散領域 1 2 3 の電圧をリセットレベルとして読み出す。

10

【 0 1 3 2 】

ステップ S 2 0 において、垂直駆動部 6 2 は、処理対象行の各单位画素 9 0 について、選択トランジスタ 1 2 6 のゲート電極に供給する選択パルス S E L をオフする。

【 0 1 3 3 】

さらに、ステップ S 2 1 において、カラム処理部 6 3 は、処理対象行の各单位画素 9 0 について、読み出した信号レベルとリセットレベルとの差分を求めて画素信号を生成し、信号処理部 6 8 に出力する。このようにして出力された画素信号は、被写体の画像の各画素のデータとされる。

【 0 1 3 4 】

ステップ S 2 2 において、C M O S イメージセンサ 5 0 は、画素アレイ部 6 1 を構成する全ての行を処理対象行として処理したか否かを判定する。ステップ S 2 2 において、まだ全ての行を処理していないと判定された場合、処理はステップ S 1 4 に戻り、上述した処理が繰り返される。すなわち、次の行が新たな処理対象行とされて、処理対象行の各单位画素 9 0 から画素信号が読み出される。

20

【 0 1 3 5 】

これに対してステップ S 2 2 において、全ての行を処理したと判定された場合、撮像処理は終了する。

【 0 1 3 6 】

このようにして、C M O S イメージセンサ 5 0 は、全画素同時に電子シャッター動作を行い、被写体の画像を撮像する。また、C M O S イメージセンサ 5 0 は、画像の読み出し時において、適切に画素駆動信号としての選択パルス S E L を制御することで、画素信号に含まれるカップリングノイズを低減させる。

30

【 0 1 3 7 】

なお、以上においては、画素信号の読み出しが行ごとに行なわれると説明したが、画素ごと、または複数の画素ごとに行われるようにしてもよい。

【 0 1 3 8 】

変形例 1

[カップリングノイズの低減について]

また、以上においては、選択パルス S E L をオフとしたときの垂直信号線 6 7 のレベル（電圧）が 0 V であると説明したが、浮遊拡散領域 1 2 3 のリセットレベルにより近い値 V_{ini} としてもよい。

40

【 0 1 3 9 】

垂直信号線 6 7 に電圧 V_{ini} を印加しておくことで、選択パルス S E L をオンとしたときの垂直信号線 6 7 の電圧 V_{out} の遷移量をより小さくすることができ、カップリング電圧をより小さくすることができる。すなわち、カップリングノイズの大きさ自体を、より小さくすることができる。なお、垂直信号線 6 7 の電圧 V_{ini} の値は、内部発生または外部発生により最適な値に設定可能である。

【 0 1 4 0 】

このように、選択パルス S E L がオフであるときの垂直信号線 6 7 の電圧を V_{out} = V_{ini} とする場合、垂直駆動部 6 2 は、図 9 に示すように、選択パルス S E L およびリセッ

50

トパルス R S T の状態を制御する。

【 0 1 4 1 】

なお、図 9 において、横方向は時間を示しており、図中、S E L、R S T、F D、および V_{out} は、選択パルス S E L の電圧、リセットパルス R S T の電圧、浮遊拡散領域 1 2 3 の電圧、および垂直信号線 6 7 の電圧を示している。また、図中、図 7 と対応する部分には、同一の符号を付してあり、その説明は省略する。さらに、図 9 では、説明を分かり易くするため、信号電荷は暗時信号とされている。

【 0 1 4 2 】

図 9 の例では、選択パルス S E L の波形と、リセットパルス R S T の波形は、図 7 の選択パルス S E L およびリセットパルス R S T の波形と同じとなっている。すなわち、垂直駆動部 6 2 は、選択トランジスタ 1 2 6 およびリセットトランジスタ 1 2 4 に対して、図 7 を参照して説明した場合と全く同じ制御を行なう。

【 0 1 4 3 】

但し、図 9 の例では、選択パルス S E L がオフであるときの垂直信号線 6 7 の電圧 $V_{out} = V_{ini}$ が、0 V よりも大きい値とされている。そのため、選択パルス S E L がオンされたときに生じる、垂直信号線 6 7 の電圧 $V_{out} = V_{ini}$ から V_{sig} への遷移量と、電圧 V_{out} の V_{ini} から V_{rst} への遷移量とがより小さくなり、その分だけカップリングノイズも小さくなる。したがって、画素信号に含まれるカップリングノイズの影響をさらに低減させることができる。なお、図 9 では、電圧 V_{out} の V_{ini} から V_{sig} への遷移量と、 V_{ini} から V_{rst} への遷移量とは同じ大きさとなっている。

【 0 1 4 4 】

第 2 の実施の形態

[単位画素の構成]

なお、各単位画素 9 0 に、ブルーミング防止用のオーバーフローゲートが設けられるようにしてもよい。そのような場合、単位画素 9 0 は、例えば、図 1 0 に示すように構成される。なお、図 1 0 において、図 6 における場合と対応する部分には、同一の符号を付してあり、その説明は適宜省略する。

【 0 1 4 5 】

図 1 0 に示す単位画素 9 0 には、図 6 に示した単位画素 9 0 に加えて、さらにトランジスタなどからなるオーバーフローゲート 1 6 1 が設けられている。図 1 0 では、オーバーフローゲート 1 6 1 は、電源 V D A とフォトダイオード 1 2 1 との間に接続されている。オーバーフローゲート 1 6 1 は、垂直駆動部 6 2 から画素駆動線 6 6 を介して、制御パルス A B G が供給されると、フォトダイオード 1 2 1 をリセットする。すなわち、オーバーフローゲート 1 6 1 は、フォトダイオード 1 2 1 に蓄積されている電荷を排出する。

【 0 1 4 6 】

[オーバーフローゲートの動作の説明]

ところで、オーバーフローゲートは、フォトダイオードに蓄積された電荷が、浮遊拡散領域に漏れ込むことを防止するために設けられるので、通常、フォトダイオードから浮遊拡散領域に電荷が転送された後、画素信号の読み出しが完了するまで、継続して動作する。

【 0 1 4 7 】

特に、グローバル露光時においては、全単位画素において、同時に露光が行なわれ、フォトダイオードに蓄積された電荷が、浮遊拡散領域に転送されて蓄積される。浮遊拡散領域に蓄積された電荷は、信号レベルの読み出しまで保持されるが、グローバル露光では、行単位で順番に単位画素から画素信号が読み出されるため、読み出しの順番が遅い単位画素では、その分だけ長い時間、電荷が浮遊拡散領域に保持される。例えば、最終行では、約 1 フレーム分の期間だけ、浮遊拡散領域に電荷が保持されることになる。

【 0 1 4 8 】

そこで、浮遊拡散領域への電荷の転送後、浮遊拡散領域から信号レベルとリセットレベルが読み出されるまで、オーバーフローゲートに制御パルスが継続して印加され、フォト

10

20

30

40

50

ダイオードから浮遊拡散領域への電荷の漏れ（ブルーミング）が防止される。

【0149】

なお、以下、オーバーフローゲートに制御パルスが印加される状態とすることを、制御パルスをオンする、または制御パルスのレベルをハイとするという。同様に、オーバーフローゲートに制御パルスが印加されない状態とすることを、制御パルスをオフする、または制御パルスのレベルをローとするという。

【0150】

このように、オーバーフローゲートを設ければ、ブルーミングを防止することはできるが、浮遊拡散領域とオーバーフローゲートとの間に寄生容量がある場合、継続して制御パルスをオンさせると、信号レベルのみにカップリングノイズが含まれることになる。

10

【0151】

すなわち、選択パルスのカップリングノイズと同様の理由で、信号レベルの読み出し時には、制御パルスがオフ（非活性）からオン（活性）とされることで、浮遊拡散領域がカップリングを受ける。これに対して、リセットレベルの読み出し時には、制御パルスはオンとされたままであるので、浮遊拡散領域はカップリングを受けない。したがって、信号レベルのみにカップリングノイズが含まれることになる。

【0152】

このような浮遊拡散領域と、オーバーフローゲートの間の寄生容量により生じるカップリングノイズは、浮遊拡散領域とオーバーフローゲートの間にシールド用の配線を設ければ、低減させることができる。しかしながら、シールド用の配線を設けると、各単位画素の面積が増大することになる。そうすると、本来、浮遊拡散領域で電荷を保持する方式の固体撮像素子の利点であるはずの小型化が、実現できなくなってしまう。また、微細化、小画素化が進むと配線間の距離が短くなるため、信号（素子）間の寄生容量によるカップリングの影響は、より大きくなる。

20

【0153】

さらに、カップリングノイズは、電源ゆれや画素のレイアウトに依存するため、画像上ではパターンノイズのように見え、かつ暗時でも発生するノイズであるため、暗時のシェーディングとして問題となる。しかも、カップリングノイズは、電源ゆれの影響を受けるため、2次元的なシェーディングとなることが多く、いわゆるOPB（Optical Black）などで除去することが困難である。

30

【0154】

そこで、CMOSイメージセンサ50は、オーバーフローゲート161に供給される制御パルスABGを、図4で説明した画素駆動信号とし、この制御パルスABGの状態を制御することにより、画素信号に含まれるカップリングノイズを低減させる。

【0155】

具体的には、例えば垂直駆動部62は、図11に示すように、各単位画素90のオーバーフローゲート161の動作を制御する。

【0156】

なお、図11において、横方向は時間を示している。また、 $ABG(i-1)$ 、 $RST(i-1)$ 、および $FD(i-1)$ は、画素アレイ部61を構成する $(i-1)$ 行目の単位画素90に供給される制御パルスABGの電圧、リセットパルスRSTの電圧、および浮遊拡散領域123の電圧を示している。同様に、 $ABG(i)$ 、 $RST(i)$ 、および $FD(i)$ は、画素アレイ部61を構成する i 行目の単位画素90に供給される制御パルスABGの電圧、リセットパルスRSTの電圧、および浮遊拡散領域123の電圧を示している。さらに、図11では、説明を分かり易くするため、信号電荷は暗時信号とされている。

40

【0157】

CMOSイメージセンサ50では、全単位画素90で同時に電子シャッタ動作が行われた後、各単位画素90の浮遊拡散領域123が同時にリセットされる。すなわち、 $(i-1)$ 行目の単位画素90では、リセットパルスRST21により浮遊拡散領域123がリ

50

セットされ、 i 行目の単位画素 90 では、リセットパルス RST22 により浮遊拡散領域 123 がリセットされる。

【0158】

このとき、全ての行の単位画素 90 のオーバーフローゲート 161 に供給される制御パルス ABG はオフされている。例えば、制御パルス ABG は、リセットパルス RST21 およびリセットパルス RST22 が立ち下がる時刻 t_{21} においても、オフとされている。

【0159】

その後、露光期間が終了すると、全ての単位画素 90 において、同時にフォトダイオード 121 から浮遊拡散領域 123 への電荷の転送が行なわれる。そして、浮遊拡散領域 123 への電荷の転送が終了すると、時刻 t_{22} において、全ての単位画素 90 で、フォトダイオード 121 から浮遊拡散領域 123 への電荷の漏れを防止するために、制御パルス ABG がオン（活性化）される。これにより、オーバーフローゲート 161 と浮遊拡散領域 123 とのカップリングが生じ、 $(i-1)$ 行目および i 行目の浮遊拡散領域 123 の電圧 $FD(i-1)$ および $FD(i)$ は立ち上がり、 V_{fd1} に遷移する。

【0160】

さらに、その後、各行ごとに、画素信号の読み出しが開始される。このとき、各行の単位画素 90 において、制御パルス ABG は、オン（活性化）されたままである。図 11 の例では、まず、 $(i-1)$ 行目の単位画素 90 から画素信号が読み出され、次に、 i 行目の単位画素 90 から画素信号が読み出される。

【0161】

すなわち、期間 RD51 において、カラム処理部 63 により、 $(i-1)$ 行目の浮遊拡散領域 123 から信号レベルの読み出しが行なわれる。続いて、時刻 t_{23} において、 $(i-1)$ 行目の単位画素 90 の制御パルス ABG がオフされる。これにより、浮遊拡散領域 123 の電圧 $FD(i-1)$ は、立ち下がる。

【0162】

また、その後、 $(i-1)$ 行目のリセットパルス RST がオンされると、すなわち、リセットトランジスタ 124 にリセットパルス RST23 が印加されると、浮遊拡散領域 123 はリセットされ、浮遊拡散領域 123 の電圧 $FD(i-1)$ は、立ち上がる。ここで、リセットパルス RST23 が立ち下がる時刻 t_{24} において、 $(i-1)$ 行目の制御パルス ABG は、オフされたままであり、時刻 t_{24} で電圧 $FD(i-1)$ は立ち下がる。

【0163】

さらに、その後、 $(i-1)$ 行目の制御パルス ABG がオンされると、オーバーフローゲート 161 と浮遊拡散領域 123 とのカップリングが生じ、 $(i-1)$ 行目の浮遊拡散領域 123 の電圧 $FD(i-1)$ は立ち上がり、 V_{fd2} に遷移する。そして、期間 RD52 において、カラム処理部 63 により、 $(i-1)$ 行目の浮遊拡散領域 123 からリセットレベルの読み出しが行なわれる。このとき、 $(i-1)$ 行目の制御パルス ABG はオンのままとされ、以後、継続してオンの状態が維持される。

【0164】

このように、 $(i-1)$ 行目の単位画素 90 では、時刻 t_{21} および時刻 t_{24} において、制御パルス ABG はともにオフの状態とされる。そのため、信号レベルおよびリセットレベルの読み出しの前に制御パルス ABG をオンすると、信号レベルの読み出し前と、リセットレベルの読み出し前とで、カップリング時の電圧 $FD(i-1)$ の遷移量が同じとなる。その結果、遷移後の電圧 $FD(i-1)$ も $V_{fd1} = V_{fd2}$ となり、同じとなる。これにより、信号レベルとリセットレベルに含まれるカップリングノイズが同じ大きさとなり、画素信号の生成時に相殺される。

【0165】

$(i-1)$ 行目の単位画素 90 から画素信号が読み出されると、続いて i 行目の単位画素 90 からの画素信号の読み出しが行なわれる。 i 行目の単位画素 90 では、時刻 t_{22} で制御パルス ABG がオンされた後、画素信号の読み出しが開始されるまで、継続して制

10

20

30

40

50

御パルス A B G がオンされたままとされる。

【 0 1 6 6 】

まず、期間 R D 5 3 において、i 行目の制御パルス A B G がオンされたままの状態、カラム処理部 6 3 により、i 行目の浮遊拡散領域 1 2 3 から信号レベルの読み出しが行なわれる。続いて、時刻 t 2 5 において、i 行目の単位画素 9 0 の制御パルス A B G がオフされて、浮遊拡散領域 1 2 3 の電圧 F D (i) は、立ち下がる。

【 0 1 6 7 】

また、i 行目のリセットトランジスタ 1 2 4 にリセットパルス R S T 2 4 が印加されると、浮遊拡散領域 1 2 3 はリセットされ、浮遊拡散領域 1 2 3 の電圧 F D (i) は、立ち上がる。ここで、リセットパルス R S T 2 4 が立ち下がる時刻 t 2 6 において、i 行目の制御パルス A B G は、オフされたままである。

【 0 1 6 8 】

さらに、その後、i 行目の制御パルス A B G がオンされると、オーバーフローゲート 1 6 1 と浮遊拡散領域 1 2 3 とのカップリングが生じ、i 行目の浮遊拡散領域 1 2 3 の電圧 F D (i) は、V_{fd2}に遷移する。そして、期間 R D 5 4 において、カラム処理部 6 3 により、i 行目の浮遊拡散領域 1 2 3 からリセットレベルの読み出しが行なわれる。このとき、i 行目の制御パルス A B G はオンのままとされ、以後、継続してオンの状態が維持される。

【 0 1 6 9 】

このように、C M O S イメージセンサ 5 0 では、信号レベル読み出し直前の浮遊拡散領域 1 2 3 のリセット時、およびリセットレベル読み出し直前の浮遊拡散領域 1 2 3 のリセット時の制御パルス A B G の状態が等しくなるようにされる。また、信号レベル読み出し時およびリセットレベル読み出し時の制御パルス A B G の状態が等しくなるようにされる。

【 0 1 7 0 】

これにより、信号レベルとリセットレベルに含まれるカップリングノイズの大きさを、ほぼ同じ大きさとしてすることができ、カップリングノイズによる画素信号への影響を低減させることができる。

【 0 1 7 1 】

第 3 の実施の形態

[オーバーフローゲートの動作の説明]

なお、図 1 1 の例では、信号レベルとリセットレベルの読み出し時に、制御パルス A B G がオンの状態であると説明したが、信号レベルとリセットレベルの読み出し時に、制御パルス A B G がオフの状態とされるようにしもよい。

【 0 1 7 2 】

そのような場合、垂直駆動部 6 2 は、図 1 2 に示すように、各行の単位画素 9 0 の動作タイミングを制御する。

【 0 1 7 3 】

なお、図 1 2 において、横方向は時間を示しており、図 1 2 中、図 1 1 と対応する部分には、同じ符号を付してあり、その説明は適宜省略する。また、図 1 2 では、説明を分かり易くするため、信号電荷は暗時信号とされている。

【 0 1 7 4 】

図 1 2 では、全単位画素 9 0 で同時に電子シャッタ動作が行われた後、全単位画素 9 0 の浮遊拡散領域 1 2 3 が同時にリセットされる。このとき、リセットパルス R S T の活性化前後、特に時刻 t 2 1 において、全行のオーバーフローゲート 1 6 1 の制御パルス A B G がオフとされた状態とされる。

【 0 1 7 5 】

そして、浮遊拡散領域 1 2 3 への電荷の転送後、時刻 t 2 2 において、各行のオーバーフローゲート 1 6 1 の制御パルス A B G がオンされると、各行の浮遊拡散領域 1 2 3 は、オーバーフローゲート 1 6 1 とのカップリングを受ける。これにより、浮遊拡散領域 1 2

10

20

30

40

50

3の電圧FD($i-1$)およびFD(i)は立ち上がる。

【0176】

さらに、行ごとの画素信号の読み出しが開始されると、全ての行のオーバーフローゲート161の制御パルスABGがオフされ、これにより浮遊拡散領域123の電圧FD($i-1$)およびFD(i)は立ち下がり、Vfd1に遷移する。

【0177】

その後、期間RD51において、カラム処理部63により、($i-1$)行目の浮遊拡散領域123から信号レベルの読み出しが行なわれ、($i-1$)行目のリセットトランジスタ124に、リセットパルスRST23が供給(印加)される。リセットパルスRST23の印加により、($i-1$)行目の浮遊拡散領域123の電圧FD($i-1$)は、一旦、10

【0178】

さらに、期間RD52において、カラム処理部63により、($i-1$)行目の浮遊拡散領域123からリセットレベルの読み出しが行なわれる。なお、信号レベルの読み出しの期間RD51の直前から、リセットレベルの読み出しの期間RD52の終了後まで、($i-1$)行目の制御パルスABGは、継続してオフされたままの状態とされる。

【0179】

このように、($i-1$)行目の単位画素90では、時刻 t_{21} および時刻 t_{24} において、制御パルスABGはともにオフの状態であり、信号レベルおよびリセットレベルの読み出し時にも、制御パルスABGはオフの状態とされる。これにより、浮遊拡散領域123が、オーバーフローゲート161から受けるカップリングの影響を低減させ、その結果、画素信号に含まれるカップリングノイズを低減させることができる。20

【0180】

($i-1$)行目の単位画素90からの画素信号の読み出しが行なわれると、その後、同様にして、 i 行目の単位画素90からの画素信号の読み出しが行なわれる。

【0181】

すなわち、まず全ての行の制御パルスABGが同時にオンされた後、オフされる。このとき、($i-1$)行目および i 行目の浮遊拡散領域123の電圧FD($i-1$)および電圧FD(i)は、一旦、立ち上がってから、制御パルスABGのオフとともに立ち下がる。30

【0182】

そして、期間RD53で、 i 行目の浮遊拡散領域123から信号レベルが読み出され、リセットパルスRST24により i 行目の浮遊拡散領域123がリセットされた後、期間RD54で、 i 行目の浮遊拡散領域123からリセットレベルが読み出される。

【0183】

このように、CMOSイメージセンサ50では、信号レベル読み出し直前の浮遊拡散領域123のリセット時、およびリセットレベル読み出し直前の浮遊拡散領域123のリセット時の制御パルスABGの状態がオフとなるようにされる。また、信号レベル読み出し時およびリセットレベル読み出し時の制御パルスABGの状態がオフとなるようにされる。40

【0184】

これにより、信号レベルとリセットレベルに含まれるカップリングノイズを低減させることができ、カップリングノイズによる画素信号への影響を低減させることができる。

【0185】

図12の例では、図11の例よりも、浮遊拡散領域123のレベル(電圧)を低いレベルに保持することができるので、暗電流を低減できるという利点がある。しかしながら、図12の例では、制御パルスABGがオンの期間、つまりフォトダイオード121の電荷を排出する期間は、図11の例と比べて短くなるため、ブルーミング耐性は図11の例が、より優れている。50

【 0 1 8 6 】

第 4 の実施の形態

〔 垂直駆動部の構成 〕

ところで、信号レベルを読み出してから、リセットレベルを読み出す信号先読みの相關二重サンプリングは、浮遊拡散領域を利用したグローバル露光機能を有する固体撮像素子で行なわれる。

【 0 1 8 7 】

このような固体撮像素子では、露光時の浮遊拡散領域のリセット（以下、露光中リセットと称する）は、全行活性で実施されるのに対し、リセットレベルの読み出しのための浮遊拡散領域のリセット（以下、読み出しリセットと称する）は、行活性で実施される。

10

【 0 1 8 8 】

そのため、露光中リセットでは全行活性により電源ゆれが大きいのに対して、読み出しリセットでは、電源ゆれは小さい。したがって、これらの電源ゆれの効果を考慮すると、浮遊拡散領域が、露光中リセット時に受けるカップリングと、読み出しリセット時に受けるカップリングは異なってくる。

【 0 1 8 9 】

そこで、画素信号に含まれるカップリングノイズを低減させる画素駆動信号の制御だけでなく、垂直駆動部 6 2 自体にも電源ゆれを小さくする工夫をすれば、カップリングノイズの画素信号への影響をさらに低減させることができる。

【 0 1 9 0 】

20

例えば、電源ゆれを小さくする垂直駆動部 6 2 の構成として、図 1 3 に示す構成が考えられる。すなわち、図 1 3 は、垂直駆動部 6 2 の構成例を示す図である。

【 0 1 9 1 】

図 1 3 に示す垂直駆動部 6 2 は、ドライバ 1 9 1 - 1 ~ ドライバ 1 9 1 - N を含むように構成され、これらのドライバ 1 9 1 - 1 ~ ドライバ 1 9 1 - N は、並列に接続されている。なお、以下、ドライバ 1 9 1 - 1 ~ ドライバ 1 9 1 - N のそれぞれを個々に区別する必要のない場合、単にドライバ 1 9 1 と称する。

【 0 1 9 2 】

ドライバ 1 9 1 には電源 V D D と電源 V S S が接続されており、ドライバ 1 9 1 は、特定行を構成する各单位画素 9 0 に、画素駆動信号 S I G n（但し、 $0 \leq n \leq N - 1$ ）を供給する。ここで、電源 V D D のレベル（電圧）が画素駆動信号 S I G n のハイとされ、電源 V S S のレベルが、ハイよりもレベルの低い、画素駆動信号 S I G n のローとされる。垂直駆動部 6 2 には、このような各行に画素駆動信号を供給するドライバ 1 9 1 が、選択パルス S E L 等の画素駆動信号の種別ごとに設けられている。

30

【 0 1 9 3 】

〔 ドライバの構成 〕

このようなドライバ 1 9 1 は、例えば、図 1 4 に示すように、P 型のトランジスタ 2 2 1 と、N 型のトランジスタ 2 2 2 とから構成される。

【 0 1 9 4 】

トランジスタ 2 2 1 とトランジスタ 2 2 2 のソースには、それぞれ電源 V D D と電源 V S S が接続されている。また、トランジスタ 2 2 1 のドレインと、トランジスタ 2 2 2 のドレインとが互いに接続されており、それらのトランジスタ 2 2 1 とトランジスタ 2 2 2 の間の電圧が、画素駆動信号 S I G n として単位画素 9 0 に供給される。例えば、画素駆動信号 S I G n が選択パルス S E L であれば、画素駆動信号 S I G n は、ドライバ 1 9 1 から、選択トランジスタ 1 2 6 のゲート電極に印加される。

40

【 0 1 9 5 】

具体的には、トランジスタ 2 2 1 のゲートに供給される駆動信号 XDRP が活性されると、すなわち駆動信号 XDRP のレベルがローとされると、画素駆動信号 S I G n のレベルはハイとなる。また、トランジスタ 2 2 2 のゲートに供給される駆動信号 DRN が活性されると、すなわち駆動信号 DRN のレベルがハイとされると、画素駆動信号 S I G n のレベルはロー

50

となる。

【 0 1 9 6 】

[ドライバの動作]

このような構成のドライバ 1 9 1 においては、駆動信号 XDRP は、画素駆動信号 S I G n をオン（ハイ）に駆動する信号であり、駆動信号 DRN は、画素駆動信号 S I G n をオフ（ロー）に駆動する信号である。ところが、これらの駆動信号 XDRP と駆動信号 DRN が同時に活性されると、電源 V D D から電源 V S S に貫通電流が流れる電源ゆれが大きくなってしまう。

【 0 1 9 7 】

そこで、垂直駆動部 6 2 は、図 1 5 に示すように各ドライバ 1 9 1 を駆動し、貫通電流が流れることを抑制する。なお、図 1 5 において、横方向は時間を示しており、D R N、X D R P、V D D、および V S S は、駆動信号 DRN、駆動信号 XDRP、電源 V D D、および電源 V S S の各電圧を示している。

10

【 0 1 9 8 】

また、駆動信号 DRN および駆動信号 XDRP の波形において、図中、上に凸の区間は、それらの駆動信号のレベルがハイ（オン）である区間であり、下に凸の区間は、それらの駆動信号のレベルがロー（オフ）である区間である。

【 0 1 9 9 】

垂直駆動部 6 2 は、画素駆動信号 S I G n がオフの状態から、画素駆動信号 S I G n をオンとして、さらにその後、オフに切り替える場合、次のように動作する。

20

【 0 2 0 0 】

画素駆動信号 S I G n がオフである状態では、駆動信号 DRN と駆動信号 XDRP はオンの状態である。この状態から、画素駆動信号 S I G n をオンとするために、垂直駆動部 6 2 は、駆動信号 DRN をオフしてから、その後、駆動信号 XDRP をオフする。駆動信号 XDRP をオフしたとき、瞬時的に電源 V D D の電圧が降下する。

【 0 2 0 1 】

このようにして画素駆動信号 S I G n がオンとなった後、再び画素駆動信号 S I G n をオフしようとする場合、垂直駆動部 6 2 は、まず駆動信号 XDRP をオンさせてから、その後、駆動信号 DRN をオンさせる。駆動信号 DRN をオンしたとき、瞬時的に電源 V S S の電圧が上昇する。

30

【 0 2 0 2 】

このように、垂直駆動部 6 2 は、駆動信号 XDRP と駆動信号 DRN の立ち上がり、および立ち下りのタイミングをずらすことにより、トランジスタ 2 2 1 とトランジスタ 2 2 2 に同時に電流が流れないようにして、貫通電流の発生を抑制する。これにより、全行同時に単位画素 9 0 の画素駆動信号を活性化させるときに生じる電源ゆれを、抑制することができる。

【 0 2 0 3 】

第 5 の実施の形態

[ドライバの構成]

なお、図 1 4 に示したドライバ 1 9 1 に電流リミッタを設け、さらに電源ゆれを少なくするようにしてもよい。そのような場合、ドライバ 1 9 1 は、図 1 6 に示すように構成される。図 1 6 に示すドライバ 1 9 1 には、図 1 4 に示したドライバ 1 9 1 に、さらに電流リミッタ 2 5 1 が設けられており、電流リミッタ 2 5 1 は、トランジスタ 2 2 1 とトランジスタ 2 2 2 の間に配置されている。

40

【 0 2 0 4 】

電流リミッタ 2 5 1 は、P 型のトランジスタ 2 6 1 と、N 型のトランジスタ 2 6 2 とから構成され、トランジスタ 2 6 1 のドレインと、トランジスタ 2 6 2 のドレインとが互いに接続されている。これらのトランジスタ 2 6 1 とトランジスタ 2 6 2 の間の電圧が、画素駆動信号 S I G n として単位画素 9 0 に供給される。

【 0 2 0 5 】

50

また、トランジスタ261のソースは、トランジスタ221のドレインに接続され、トランジスタ262のソースは、トランジスタ222のドレインに接続されている。さらに、トランジスタ261のゲートに印加される駆動信号biaspは、トランジスタ261に一定の電流が流れるようにするためのバイアスである。同様に、トランジスタ262のゲートに印加される駆動信号biasnは、トランジスタ262に一定の電流が流れるようにするためのバイアスである。

【0206】

[ドライバの動作]

図16に示すように構成されるドライバ191は、垂直駆動部62によって、図17に示すように駆動される。なお、図17において、横方向は時間を示しており、DRN、XDRP、VDD、およびVSSは、駆動信号DRN、駆動信号XDRP、電源VDD、および電源VSSの各電圧を示している。また、図中、Biasp、Biasn、およびSIGは、駆動信号biasp、駆動信号biasn、および画素駆動信号SIGnの電圧を示している。

10

【0207】

図17の例では、垂直駆動部62は、図15の例と同じタイミングでトランジスタ221およびトランジスタ222を制御する。すると、図中、SIGにより示される画素駆動信号SIGnは、オフの状態からオンとなり、その後、再びオフとなる。

【0208】

ここで、曲線C31および曲線C32は、それぞれ図13の中央付近のドライバ191から出力される画素駆動信号SIGnの波形、および図13の端付近のドライバ191から出力される画素駆動信号SIGnの波形を表している。

20

【0209】

例えば、曲線C31はドライバ191-4の画素駆動信号の波形であり、曲線C32はドライバ191-1の画素駆動信号の波形である。電源付近にあるドライバ191の曲線C32は、波形の立ち上がり、および立下りが急峻であるが、中央付近にあるドライバ191の曲線C31は、曲線C32と比べて、波形がなまっている。これは、後述するように、中央付近のドライバ191ほど、トランジスタに電流が流れにくくなるからである。

【0210】

また、電流リミッタ251では、一定電圧値の駆動信号biasp、および駆動信号biasnが、継続してトランジスタ261のゲート、およびトランジスタ262のゲートに印加されている。これにより、ドライバ191の駆動時の貫通電流が抑制されるため、図17の例では、図15の場合と比較して、電源VDDおよび電源VSSのゆれが、より小さくなっている。

30

【0211】

第6の実施の形態

[ドライバの構成]

ところで、図16のドライバ191では、電流リミッタ251を設けることで、電源ゆれをより小さくすることはできるが、駆動信号biaspと駆動信号biasnは一定電圧であるので、電源のAC(Alternating Current)的なゆれに追従するような構成となっていない。

40

【0212】

すなわち、電源VDDおよび電源VSSから遠い位置にある、図13中、中央付近のドライバ191において電源ゆれが顕著となる。ところが、中央付近のドライバ191では、電源VDDや電源VSSがゆれるのにも関わらず、駆動信号biaspと駆動信号biasnの電圧は一定であるため、トランジスタ261とトランジスタ262における、ゲートとソース間の電圧Vgsは小さくなる。その結果、中央付近のドライバ191ほど、トランジスタ261やトランジスタ262に電流が流れにくくなってしまう。

【0213】

そのため、図17に示したように、電源VDDや電源VSSに近いドライバ191と、遠いドライバ191とで、画素駆動信号SIGnの遷移時間差が生じる。この遷移時間差

50

は、単位画素 90 ごとのカップリングの不均一性として現れるため、遷移時間を揃えることが望ましい。

【0214】

そこで、ドライバ 191 を図 18 に示す構成とすれば、各ドライバ 191 から出力される画素駆動信号 S I G n の立ち上がり、立下りの遷移時間をほぼ同じ時間とすることができる。なお、図 18 において、図 16 における場合と対応する部分には、同一の符号を付してあり、その説明は省略する。

【0215】

図 18 に示すドライバ 191 は、図 16 のドライバ 191 に加えて、さらにキャパシタ 291、スイッチ 292、キャパシタ 293、およびスイッチ 294 を備えている。

10

【0216】

すなわち、トランジスタ 261 のゲートには、スイッチ 292 とバイアス線である信号線 295 を介して、電源 Biasp が接続されている。この電源 Biasp から、トランジスタ 261 のゲートに供給される駆動信号 Biaspi は、トランジスタ 261 に一定の電流が流れるようにする電圧である。また、トランジスタ 261 のゲートは、電源 V D D と直列に、キャパシタ 291 により接続されている。

【0217】

同様に、トランジスタ 262 のゲートには、スイッチ 294 とバイアス線である信号線 296 を介して、電源 Biasn が接続されている。この電源 Biasn から、トランジスタ 262 のゲートに供給される駆動信号 Biasni は、トランジスタ 262 に一定の電流が流れるようにする電圧である。また、トランジスタ 262 のゲートは、電源 V S S と直列に、キャパシタ 293 により接続されている。

20

【0218】

なお、キャパシタ 291 およびキャパシタ 293 は、安定化電源のためではなく、駆動信号 Biaspi と駆動信号 Biasni を、電源 V D D および電源 V S S のゆれに追従させるために挿入されているものである。また、スイッチ 292 やスイッチ 294 に代えて、高抵抗がトランジスタ 261 と信号線 295 の間、およびトランジスタ 262 と信号線 296 の間に設けられてもよい。

【0219】

[ドライバの動作]

30

次に、図 18 に示すドライバ 191 の動作について説明する。

【0220】

ドライバ 191 では、予めスイッチ 292 がオンされ、電源 Biasp の電圧が、駆動信号 Biaspi として、トランジスタ 261 のゲートに印加されるようになされている。同様に、予めスイッチ 294 がオンされ、電源 Biasn の電圧が、駆動信号 Biasni として、トランジスタ 262 のゲートに印加されるようになされている。

【0221】

そして、垂直駆動部 62 は、全ての単位画素 90 が同時に、画素駆動信号により動作するグローバル駆動の直前に、スイッチ 292 およびスイッチ 294 をオフし、駆動信号 Biaspi および駆動信号 Biasni をホールド状態とする。

40

【0222】

その後、グローバル駆動が開始されると、電源 V D D や電源 V S S にゆれが発生するが、そのゆれの分だけ駆動信号 Biaspi および駆動信号 Biasni が変動する。これにより、ドライバ 191 の電源 V D D および電源 V S S からの距離によらず、トランジスタ 261 とトランジスタ 262 のゲートとソース間の電圧は一定に保たれる。その結果、各行のドライバ 191 から出力される画素駆動信号 S I G n の立ち上がり、および立下りの遷移時間を揃えることができ、画素駆動信号 S I G n に起因する各行の単位画素 90 のカップリングを、均一にすることができる。

【0223】

なお、図 18 に示す構成とされるドライバ 191 は、垂直駆動部 62 によって、図 19

50

に示すように駆動される。なお、図 19 において、横方向は時間を示しており、DRN、XDRP、VDD、およびVSSは、駆動信号DRN、駆動信号XDRP、電源VDD、および電源VSSの各電圧を示している。また、図中、Biaspi、Biasni、およびSIGは、駆動信号Biaspi、駆動信号Biasni、および画素駆動信号SIGnの電圧を示している。

【0224】

図 19 の例では、垂直駆動部 62 は、図 17 の例と同じタイミングでトランジスタ 221 およびトランジスタ 222 を制御する。すると、図中、SIGにより示される画素駆動信号 SIGn は、オフの状態からオンとなり、その後、再びオフとなる。

【0225】

このとき、VDDおよびVSSに示されるように、図 17 の場合と同様の電源VDDおよび電源VSSのゆれが生じる。しかし、図 18 のドライバ 191 には、キャパシタ 291 とキャパシタ 293 が設けられているので、図 19 中、BiaspiおよびBiasniに示されるように、駆動信号Biaspiと駆動信号Biasniは、電源のゆれに追従して変動する。その結果、トランジスタ 261 およびトランジスタ 262 には、ほぼ均一に電流が流れ、SIGにより示される画素駆動信号 SIGn は、なまることなく急峻に立ち上がり、また立ち下がっている。

【0226】

このように、図 14、図 16、および図 18 に示すようにドライバ 191 を構成すれば、グローバル駆動時の電源ゆれの影響をより少なくすることができ、グローバル駆動時に発生するカップリングノイズの行ごとの不均一性を、低減させることができる。

【0227】

なお、図 16 と図 18 に示したドライバ 191 には、電流リミッタ 251 が設けられているが、電源ゆれの大きいグローバル駆動時のみ電流リミッタ 251 が動作し、電源ゆれの小さい各行の単位画素 90 からの画素信号読み出し時には、電流リミッタ 251 が動作しないようにしてもよい。そのような場合、例えばグローバル駆動時には、トランジスタ 261 やトランジスタ 262 のゲートに所定の電圧が印加される。また、単一の行の画素信号読み出し時には、トランジスタ 261 やトランジスタ 262 のゲートに電源VDDや電源VSSのレベルに近い電圧が印加され、リミッタがかからないようにされる。

【0228】

また、トランジスタ 261 のゲートと、電源VDD（トランジスタ 221 のソース）との間にキャパシタ 291 を設けると説明したが、電気容量（カップリング容量）を待たせることのできる素子であれば、どのような素子であってもよい。同様に、トランジスタ 262 のゲートと、電源VSS（トランジスタ 222 のソース）との間に電気容量を持たせることができれば、キャパシタ 293 ではなく、他の素子であってもよい。

【0229】

以上のように、CMOSイメージセンサ 50 によれば、画素駆動信号による単位画素 90 の駆動を適切に制御することで、他の信号線遷移による浮遊拡散領域 123 のカップリングの影響をより少なくし、よりカップリングノイズの少ない画像を得ることができる。また、暗時のシェーディングも低減させることができる。

【0230】

さらに、画素駆動信号の適切な制御により、他の信号配線と浮遊拡散領域 123 との間の寄生容量によるカップリングの影響をより少なくすることができるので、他の信号配線と浮遊拡散領域 123 との間にシールド配線を設ける必要がない。したがって、単位画素 90 の小型化や、同じ面積での高開口率化を図ることができる。また、単位画素 90 内の各素子のレイアウトの自由度を向上させることが可能となる。

【0231】

単位画素のその他の構成例

[単位画素のその他の第 1 の構成例]

なお、本発明は、上述した実施の形態で説明した単位画素以外の構造にも採用することができる。以下、本発明が適用可能なその他の単位画素の構造について説明する。また、

10

20

30

40

50

以下の図において、図 6 または図 10 と対応する部分には同一符号を付してあり、その説明は適宜省略する。

【0232】

図 20 は、単位画素 90 のその他の第 1 の構成例を示す図である。

【0233】

図 20 の単位画素 90 B では、図 6 の構成に加えて、フォトダイオード 121 と転送ゲート 122 との間に、第 2 転送ゲート 321 とメモリ部 322 が設けられており、さらにフォトダイオード 121 の図中、左側に図 10 に示したオーバーフローゲート 161 が設けられている。

【0234】

第 2 転送ゲート 321 は、フォトダイオード 121 で光電変換され、その内部に蓄積された電荷を、ゲート電極 321 A に転送パルス TRX が印加されることによって転送する。メモリ部 322 は、遮光されており、ゲート電極 321 A の下に形成された N 型の埋め込みチャンネル 331 によって形成され、第 2 転送ゲート 321 によってフォトダイオード 121 から転送された電荷を蓄積する。メモリ部 322 が埋め込みチャンネル 331 によって形成されていることで、Si-SiO₂ 界面での暗電流の発生を抑えることができるため画質の向上に寄与できる。

【0235】

このメモリ部 322 において、その上部にゲート電極 321 A を配置し、そのゲート電極 321 A に転送パルス TRX を印加することでメモリ部 322 に変調をかけることができる。すなわち、ゲート電極 321 A に転送パルス TRX が印加されることで、メモリ部 322 のポテンシャルが深くなる。これにより、メモリ部 322 の飽和電荷量を、変調を掛けない場合よりも増やすことができる。

【0236】

また、図 20 の単位画素 90 B では、転送ゲート 122 は、ゲート電極 122 A に転送パルス TRG が印加されると、メモリ部 322 に蓄積された電荷を、浮遊拡散領域 123 に転送する。

【0237】

単位画素 90 B はさらに、フォトダイオード 121 の蓄積電荷を排出するための電荷排出部としてのオーバーフローゲート 161 を有している。このオーバーフローゲート 161 は、露光開始時にゲート電極 161 A に制御パルス ABG が印加されることで、フォトダイオード 121 の電荷を N 型層のドレイン部 332 に排出する。オーバーフローゲート 161 はさらに、露光終了後の読み出し期間中にフォトダイオード 121 が飽和して電荷が溢れるのを防ぐ作用をなす。ドレイン部 332 には、所定の電圧 VDA が印加されている。

【0238】

[メモリ部のゲート電極の電位]

ここで、電荷保持領域としてのメモリ部 322 のゲート電極、即ち、第 2 転送ゲート 321 のゲート電極 321 A の電位について説明する。

【0239】

本実施形態においては、電荷保持領域としてのメモリ部 322 のゲート電極の電位が、第 2 転送ゲート 321 および転送ゲート 122 のうち少なくともいずれか、たとえば第 2 転送ゲート 321 を非導通状態とする期間に、ピニング状態とする電位に設定される。より具体的には、第 2 転送ゲート 321 若しくは転送ゲート 122 のいずれか一方、または両方を非導通状態とする際に、ゲート電極 321 A, 122 A に印加する電圧が、ゲート電極直下の Si 表面にキャリアを蓄積できるピニング状態となるように設定される。

【0240】

本実施形態のように、転送ゲートを形成するトランジスタが N 型の場合、第 2 転送ゲート 321 を非導通状態とする際に、ゲート電極 321 A に印加する電圧が P 型ウェル層 132 に対しグラウンド GND よりも負電位となる電圧に設定される。なお、図示しないが、

10

20

30

40

50

転送ゲートを形成するトランジスタがP型である場合、P型ウェル層がN型ウェル層となり、このN型ウェル層に対して電源電圧VDDよりも高い電圧に設定される。

【0241】

第2転送ゲート321を非導通状態とする際に、ゲート電極321Aに印加する電圧を、ゲート電極直下のSi表面にキャリアを蓄積できるピニング状態となるような電圧に設定する理由は以下の通りである。

【0242】

第2転送ゲート321のゲート電極321Aの電位を、P型ウェル層132に対して同電位（例えば0V）とすると、Si表面の結晶欠陥から発生するキャリアがメモリ部322に蓄積され、暗電流となり画質を劣化させるおそれがある。このため、本実施形態においては、メモリ部322上に形成されるゲート電極321Aのオフ（OFF）電位を、P型ウェル層132に対して負電位、例えば-2.0Vとする。これにより、本実施形態においては、電荷保持期間中はメモリ部322のSi表面に正孔（ホール：Hole）を発生させ、Si表面で発生した電子（エレクトロン：Electron）を再結合させることが可能で、その結果、暗電流を低減することが可能である。

【0243】

なお、図20の構成においては、メモリ部322の端部に、転送ゲート122のゲート電極122Aが存在することから、このゲート電極122Aも負電位とすることで、メモリ部322の端部で発生す暗電流を同様に抑えることが可能である。

【0244】

[単位画素のその他の第2の構成例]

図21は、単位画素90のその他の第2の構成例である単位画素90Cの構造を示す図である。

【0245】

単位画素90Cでは、ゲート電極321Aの下で、かつ、フォトダイオード121とメモリ部322との境界部分に、P-の不純物拡散領域361を設けることによりオーバーフローパス362を形成した点が図20の単位画素90Bと異なる。

【0246】

オーバーフローパス362を形成するためには、不純物拡散領域361のポテンシャルを低くする必要がある。不純物拡散領域361に軽くN不純物をドーピングしてP不純物濃度を下げることで、P-の不純物拡散領域361を形成することができる。あるいはポテンシャルバリア形成の際に不純物拡散領域361にP不純物をドーピングする場合はその濃度を下げることで、P-の不純物拡散領域361を形成することができる。

【0247】

単位画素90Cでは、低照度での発生電荷を優先的にフォトダイオード121で蓄積する手段として、フォトダイオード121とメモリ部322との境界部分に形成されたオーバーフローパス362が用いられる。

【0248】

フォトダイオード121とメモリ部322との境界部分に、P-の不純物拡散領域361を設けることで境界部分のポテンシャルが下がる。このポテンシャルが下がった部分がオーバーフローパス362となる。そして、フォトダイオード121で発生し、オーバーフローパス362のポテンシャルを超えた電荷は、自動的にメモリ部322に漏れて、蓄積される。換言すれば、オーバーフローパス362のポテンシャル以下の発生電荷はフォトダイオード121に蓄積される。

【0249】

オーバーフローパス362は中間電荷転送部としての機能を持つ。すなわち、中間電荷転送部としてのオーバーフローパス362は、複数の単位画素の全てが同時に撮像動作を行う露光期間において、フォトダイオード121での光電変換によって発生し、オーバーフローパス362のポテンシャルで決まる所定電荷量を超える電荷を信号電荷としてメモリ部322へ転送する。

10

20

30

40

50

【 0 2 5 0 】

なお、図 2 1 の例では、P - の不純物拡散領域 3 6 1 を設けることによりオーバーフローパス 3 6 2 を形成した構造が採用されている。しかし、P - の不純物拡散領域 3 6 1 を設ける代わりに、N - の不純物拡散領域 3 6 1 を設けることによりオーバーフローパス 3 6 2 を形成した構造をとることも可能である。

【 0 2 5 1 】

[単位画素のその他の第 3 の構成例]

図 2 2 は、単位画素 9 0 のその他の第 3 の構成例である単位画素 9 0 D の構造を示す図である。

【 0 2 5 2 】

単位画素 9 0 D は、図 6 の単位画素 9 0 の構成に、浮遊拡散領域 1 2 3 と同様のメモリ部 3 2 2 が設けられた構成となっている。即ち、単位画素 9 0 D では、第 2 転送ゲート 3 2 1 のゲート電極 3 2 1 A がフォトダイオード 1 2 1 とメモリ部 3 2 2 の境界の P 型ウェル層 1 3 2 の上部に設けられている。また、単位画素 9 0 D では、メモリ部 3 2 2 が浮遊拡散領域 1 2 3 と同様の N 型層 3 9 1 によって形成される。

【 0 2 5 3 】

単位画素 9 0 D におけるグローバル露光動作は、例えば、次の手順で実行される。まず、電荷排出動作が全画素同時に実行され、同時露光が開始される。発生した光電荷がフォトダイオード 1 2 1 に蓄積される。露光終了時点で、第 2 転送ゲート 3 2 1 が全画素同時にオンされ、蓄積された光電荷がメモリ部 3 2 2 へ転送され、保持される。露光終了後、順次動作にてリセットレベルと信号レベルが読み出される。即ち、浮遊拡散領域 1 2 3 がリセットされ、次にリセットレベルが読み出される。続いて、メモリ部 3 2 2 の保持電荷が浮遊拡散領域 1 2 3 へ転送され、信号レベルが読み出される。

【 0 2 5 4 】

[単位画素のその他の第 4 の構成例]

図 2 3 は、単位画素 9 0 のその他の第 4 の構成例である単位画素 9 0 E の構造を示す図である。

【 0 2 5 5 】

図 2 0 の単位画素 9 0 B では、メモリ部 3 2 2 が埋め込みチャネル 3 3 1 によって形成された構成となっている。これに対して、図 2 3 の単位画素 9 0 E では、メモリ部 3 2 2 を、埋め込み型の N 型拡散領域 4 2 1 によって形成した構成が採用されている。

【 0 2 5 6 】

メモリ部 3 2 2 を N 型拡散領域 4 2 1 によって形成した場合であっても、埋め込みチャネル 3 3 1 によって形成した場合と同様の作用効果を得ることができる。具体的には、P 型ウェル層 1 3 2 の内部に N 型拡散領域 4 2 1 を形成し、基板表面側に P 型層 4 2 2 を形成することで、Si - SiO₂ 界面で発生する暗電流がメモリ部 3 2 2 の N 型拡散領域 4 2 1 に蓄積されることを回避できるため画質の向上に寄与できる。

【 0 2 5 7 】

ここで、メモリ部 3 2 2 の N 型拡散領域 4 2 1 の不純物濃度は、浮遊拡散領域 1 2 3 の不純物濃度よりも低くすることが好ましい。このような不純物濃度の設定により、転送ゲート 1 2 2 によるメモリ部 3 2 2 から浮遊拡散領域 1 2 3 への電荷の転送効率を高めることができる。単位画素 9 0 E におけるグローバル露光動作は、図 2 0 の単位画素 9 0 B と同様である。

【 0 2 5 8 】

なお、図 2 3 に示した単位画素 9 0 E の構成では、メモリ部 3 2 2 を埋め込み型の N 型拡散領域 4 2 1 によって形成したが、メモリ部 3 2 2 で発生する暗電流が増加することがあるものの、埋め込み型にしない構造としてもよい。

【 0 2 5 9 】

また、単位画素 9 0 E の構成において、オーバーフローゲート 1 6 1 を省略し、転送パルス TRX, TRG およびリセットパルス RST を全てアクティブ状態にする構成を採る

10

20

30

40

50

ことができる。この構成を採ることにより、オーバーフローゲート 161 と同等の作用効果、即ちフォトダイオード 121 の電荷を排出し、また、読み出し期間中にフォトダイオード 121 で溢れた電荷を基板側に逃がすことができる。

【0260】

[単位画素のその他の第 5 の構成例]

図 24 は、単位画素 90 のその他の第 5 の構成例である単位画素 90F の構造を示す図である。

【0261】

図 20 の単位画素 90B では、フォトダイオード 121 と浮遊拡散領域 123 の間に 1 つのメモリ部 (MEM) 322 が配置されていたが、図 24 の単位画素 90F では、さらにもう 1 つのメモリ部 (MEM2) 451 が配置されている。即ち、メモリ部が 2 段構成となっている。

【0262】

第 3 転送ゲート 452 は、メモリ部 322 に蓄積された電荷を、ゲート電極 452A に転送パルス TRX2 が印加されることによって転送する。メモリ部 451 は、ゲート電極 452A の下に形成された N 型の埋め込みチャネル 453 によって形成され、第 3 転送ゲート 452 によってメモリ部 322 から転送された電荷を蓄積する。メモリ部 451 が埋め込みチャネル 453 によって形成されていることで、Si-SiO₂ 界面での暗電流の発生を抑えることができるため画質の向上に寄与できる。

【0263】

メモリ部 451 は、メモリ部 322 と同様の構成とされているので、メモリ部 322 と同様、変調を掛けた場合には、メモリ部 451 の飽和電荷量を変調を掛けない場合よりも増やすことができる。

【0264】

単位画素 90F におけるグローバル露光動作では、全画素同時に蓄積された光電荷はフォトダイオード 121 またはメモリ部 322 で保持される。メモリ部 451 は、画素信号が読み出されるまでの間、光電荷を保持するために使用される。

【0265】

なお、上述した単位画素 90 におけるデバイス構造の導電型は一例に過ぎず、N 型、P 型が逆でも構わないし、また、基板 131 の導電型についても N 型、P 型のどちらでも構わない。

【0266】

[本発明を適用した電子機器の構成例]

なお、本発明は、固体撮像素子への適用に限られるものではない。即ち、本発明は、デジタルスチルカメラやビデオカメラ等の撮像装置や、撮像機能を有する携帯端末装置や、画像読取部に固体撮像素子を用いる複写機など、画像取込部 (光電変換部) に固体撮像素子を用いる電子機器全般に対して適用可能である。固体撮像素子は、ワンチップとして形成された形態であってもよいし、撮像部と信号処理部または光学系とがまとめてパッケージングされた撮像機能を有するモジュール状の形態であってもよい。

【0267】

図 25 は、本発明を適用した電子機器としての、撮像装置の構成例を示すブロック図である。

【0268】

図 25 の撮像装置 600 は、レンズ群などからなる光学部 601、上述した単位画素 90 の各構成が採用される固体撮像素子 (撮像デバイス) 602、およびカメラ信号処理回路である DSP (Digital Signal Processor) 回路 603 を備える。また、撮像装置 600 は、フレームメモリ 604、表示部 605、記録部 606、操作部 607、および電源部 608 も備える。DSP 回路 603、フレームメモリ 604、表示部 605、記録部 606、操作部 607 および電源部 608 は、バスライン 609 を介して相互に接続されている。

【0269】

光学部601は、被写体からの入射光（像光）を取り込んで固体撮像素子602の撮像面上に結像する。固体撮像素子602は、光学部601によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。この固体撮像素子602として、上述した実施の形態に係るCMOSイメージセンサ50等の固体撮像素子、即ちグローバル露光によって歪みのない撮像を実現できる固体撮像素子を用いることができる。

【0270】

表示部605は、例えば、液晶パネルや有機EL(electro luminescence)パネル等のパネル型表示装置からなり、固体撮像素子602で撮像された動画または静止画を表示する。記録部606は、固体撮像素子602で撮像された動画または静止画を、ビデオテープやDVD(Digital Versatile Disk)等の記録媒体に記録する。

10

【0271】

操作部607は、ユーザによる操作の下に、撮像装置600が持つ様々な機能について操作指令を発する。電源部608は、DSP回路603、フレームメモリ604、表示部605、記録部606および操作部607の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

【0272】

上述したように、固体撮像素子602として、上述した実施の形態に係るCMOSイメージセンサ50を用いることで、画素トランジスタの閾値バラツキに起因するノイズを低減し、高いS/Nを確保することができる。従って、ビデオカメラやデジタルスチルカメラ、さらには携帯電話機等のモバイル機器向けカメラモジュールなどの撮像装置600においても、撮像画像の高画質化を図ることができる。

20

【0273】

また、上述した実施形態においては、可視光の光量に応じた信号電荷を物理量として検知する単位画素が行列状に配置されてなるCMOSイメージセンサに適用した場合を例に挙げて説明した。しかしながら、本発明はCMOSイメージセンサへの適用に限られるものではなく、画素アレイ部の画素列ごとにカラム処理部を配置してなるカラム方式の固体撮像素子全般に対して適用可能である。

【0274】

また、本発明は、可視光の入射光量の分布を検知して画像として撮像する固体撮像素子への適用に限らず、赤外線やX線、あるいは粒子等の入射量の分布を画像として撮像する固体撮像素子や、広義の意味として、圧力や静電容量など、他の物理量の分布を検知して画像として撮像する指紋検出センサ等の固体撮像素子（物理量分布検知装置）全般に対して適用可能である。

30

【0275】

なお、本発明の実施の形態は、上述した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能である。

【符号の説明】

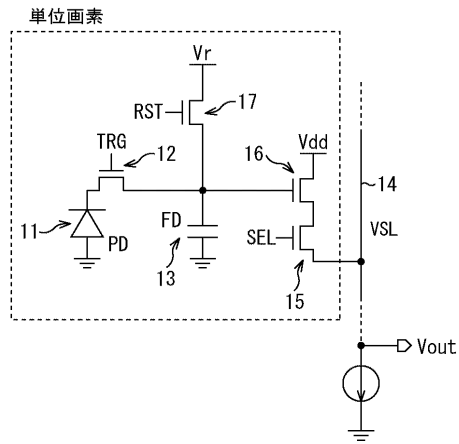
【0276】

50 CMOSイメージセンサ， 61 画素アレイ部， 62 垂直駆動部， 63 カラム処理部， 67 垂直信号線， 90 単位画素， 121 フォトダイオード， 122 転送ゲート， 123 浮遊拡散領域， 124 リセットトランジスタ， 126 選択トランジスタ， 161 オーバーフローゲート

40

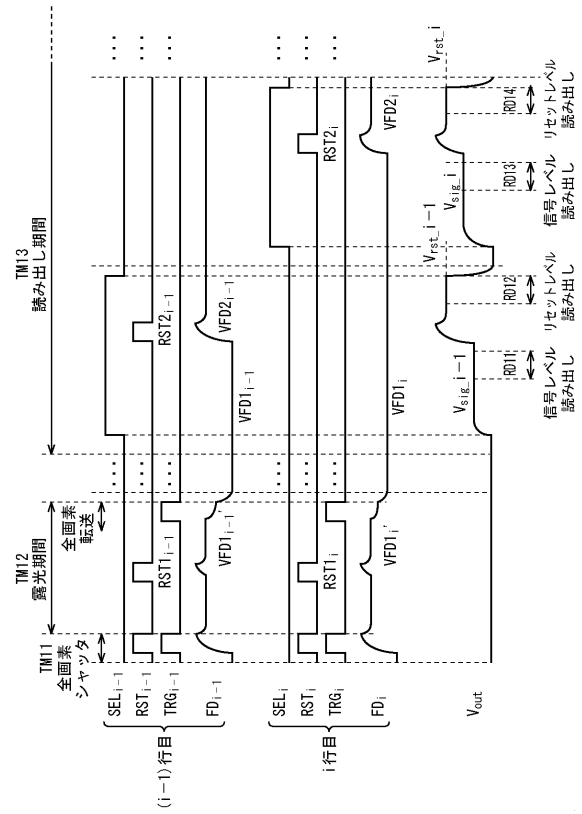
【 図 1 】

图1



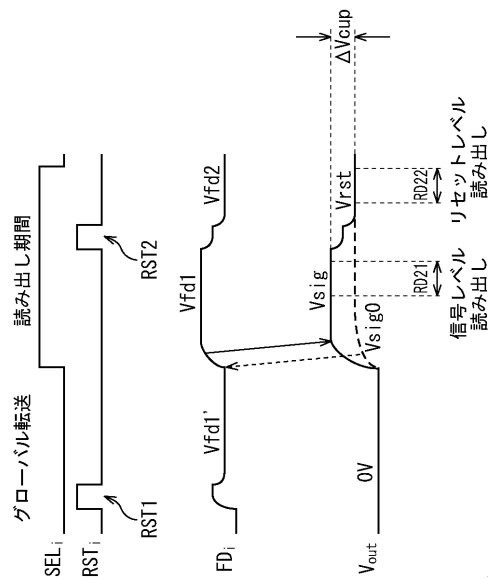
【 図 2 】

図2



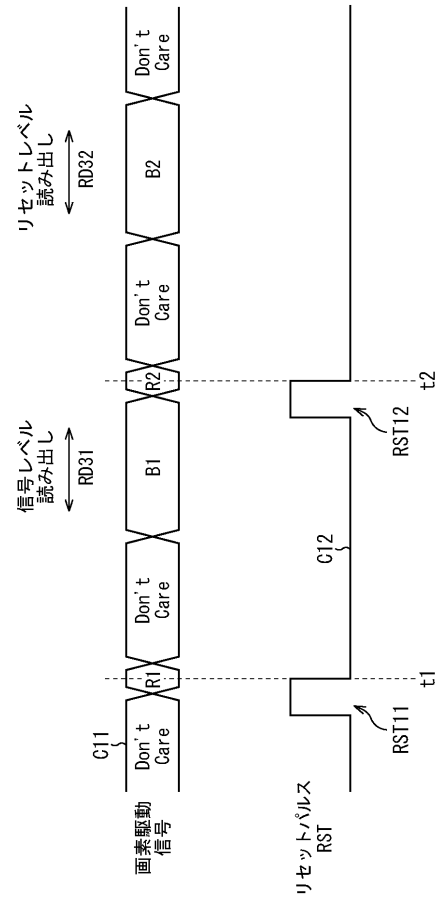
【 図 3 】

図3



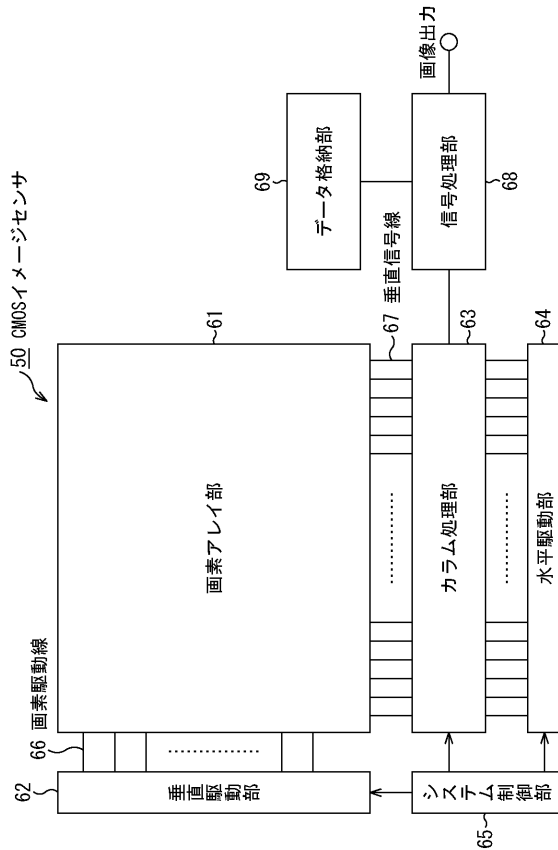
【 図 4 】

図4



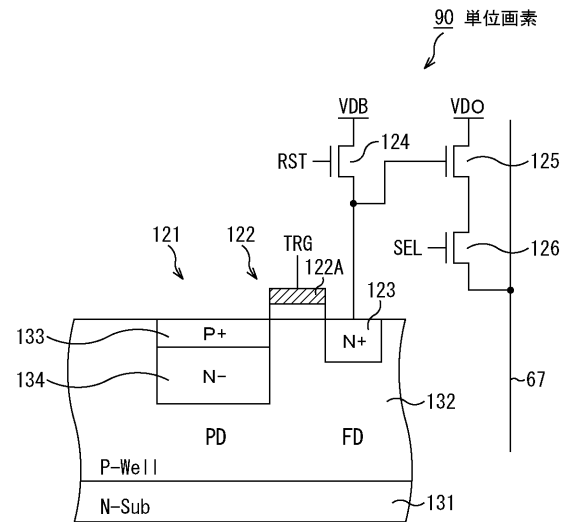
【図 5】

図5



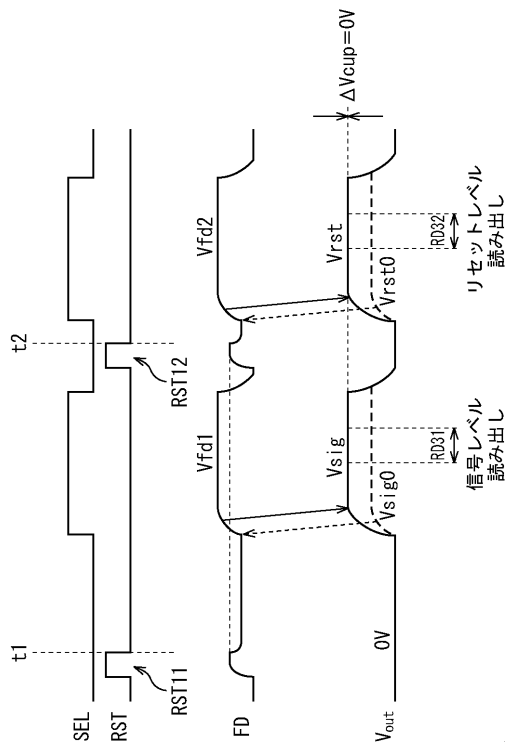
【図 6】

図6



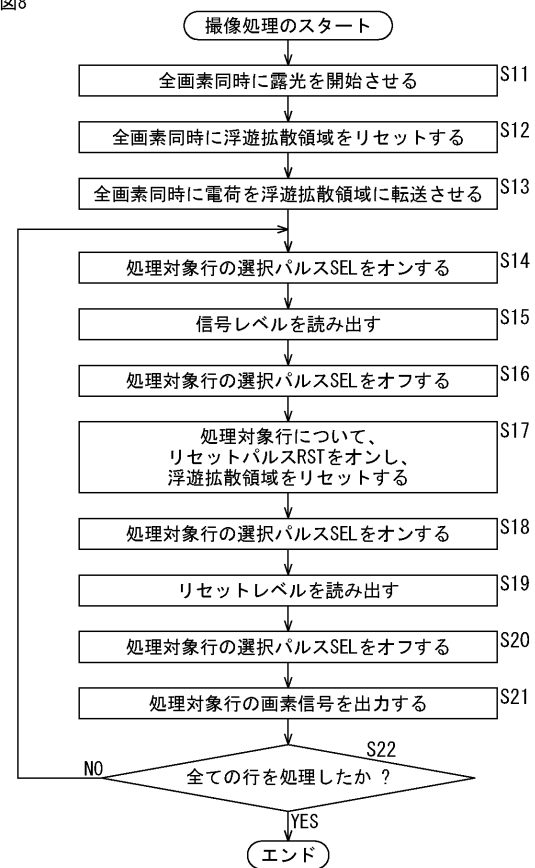
【図 7】

図7



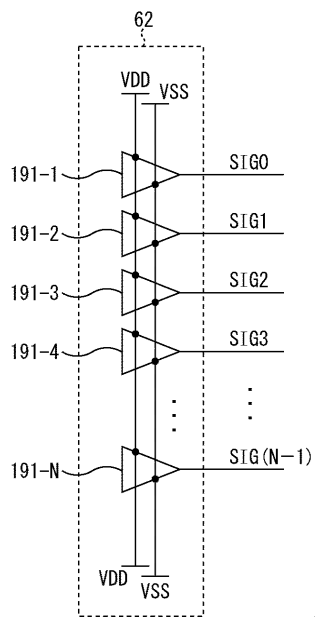
【図 8】

図8



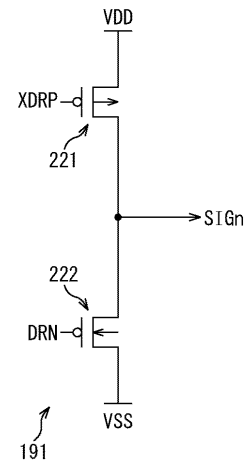
【図 13】

図13



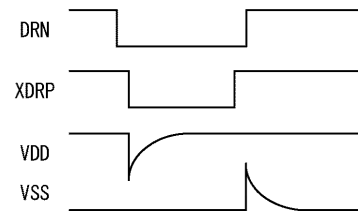
【図 14】

図14



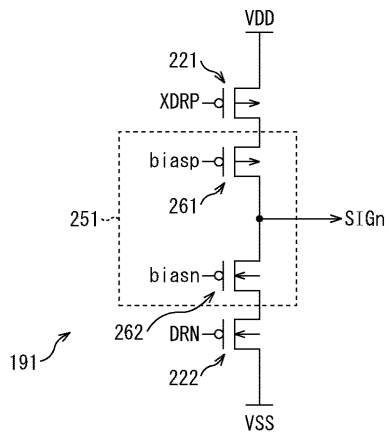
【図 15】

図15



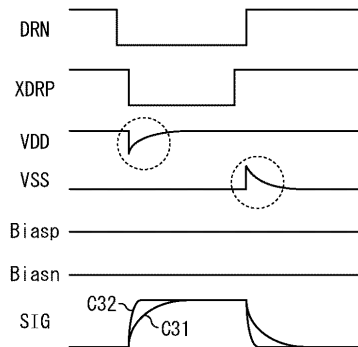
【図 16】

図16



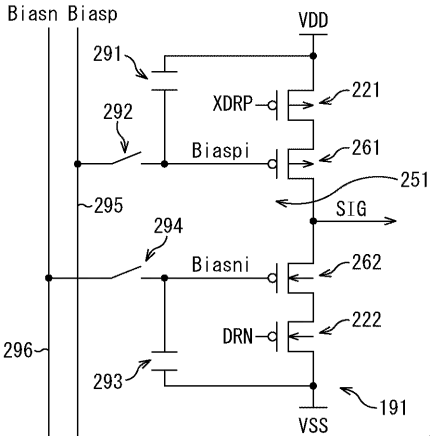
【図 17】

図17



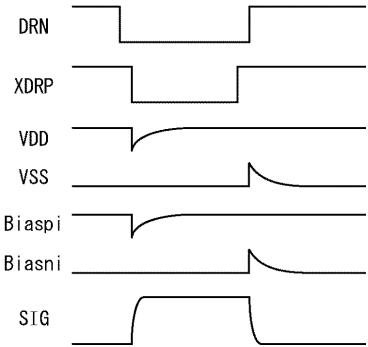
【図 18】

図18



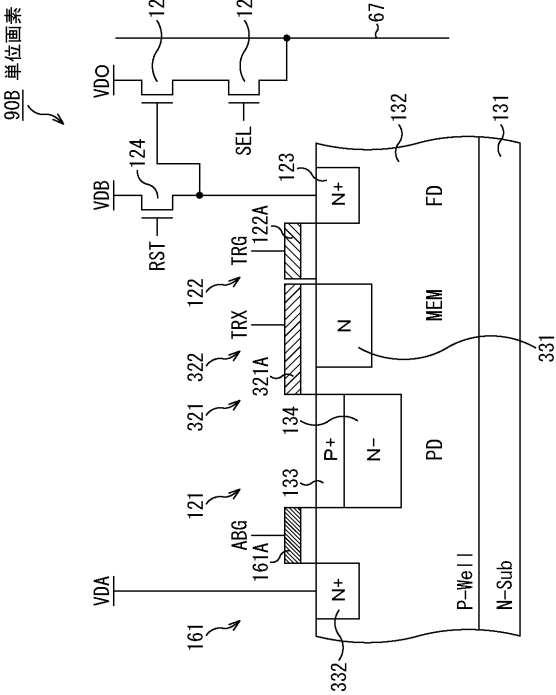
【図 19】

図19



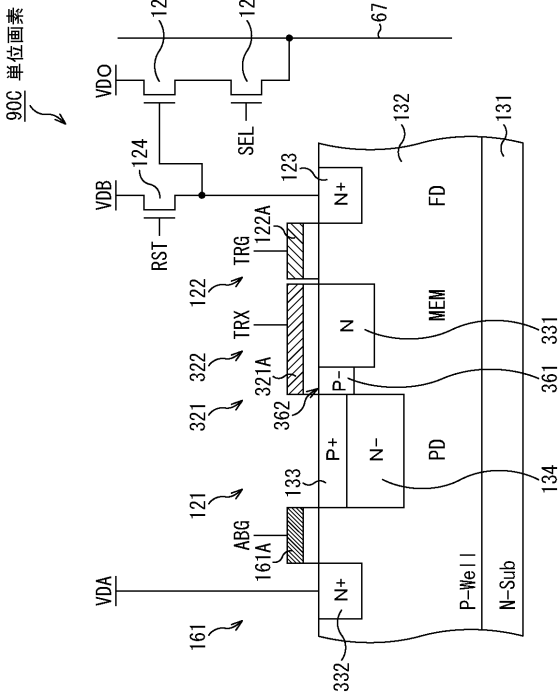
【図 20】

図20



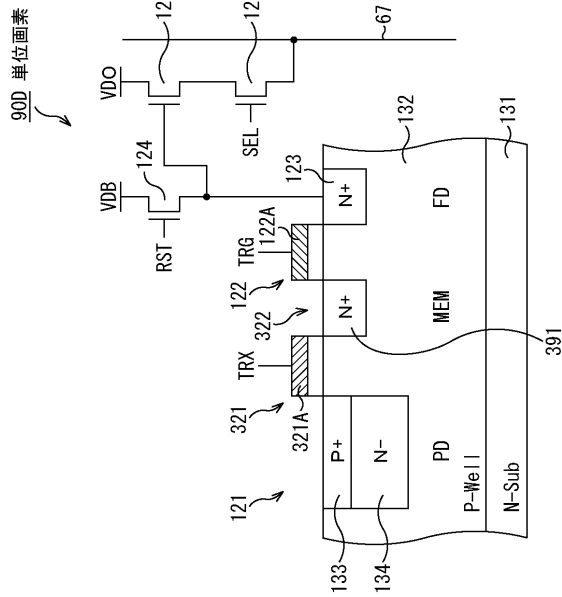
【図 21】

図21



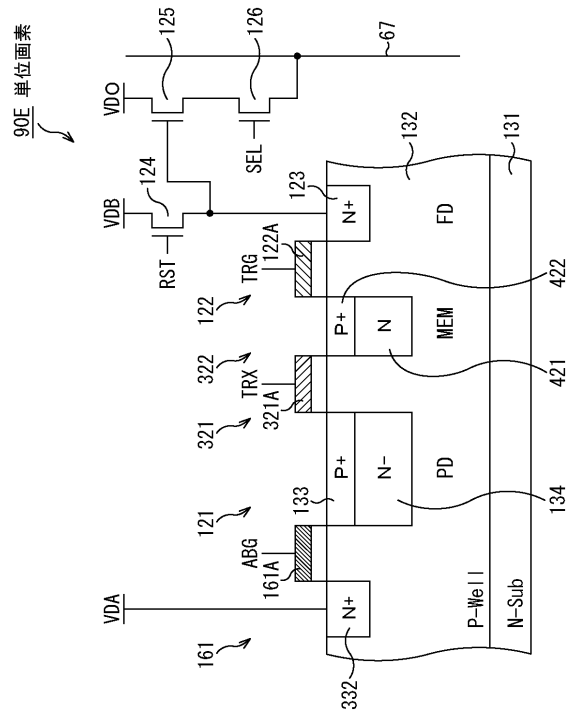
【 図 2 2 】

図22



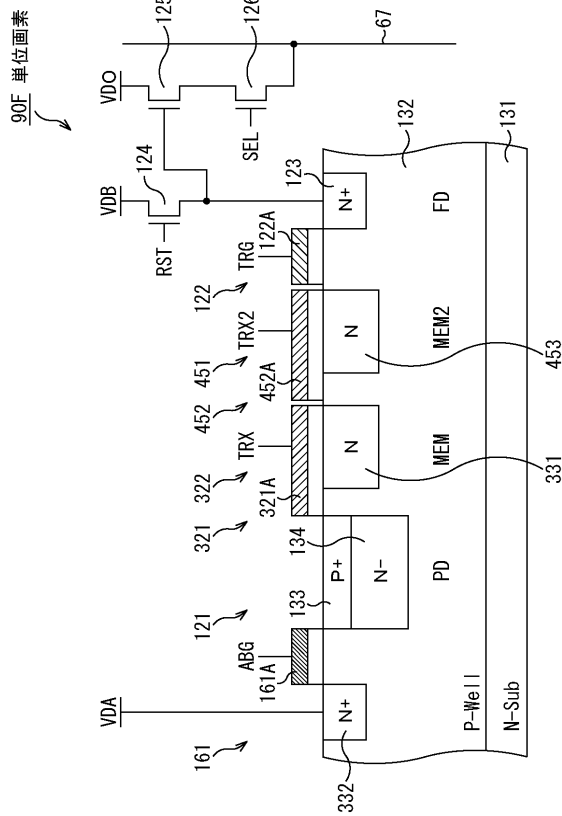
【 図 2 3 】

図23



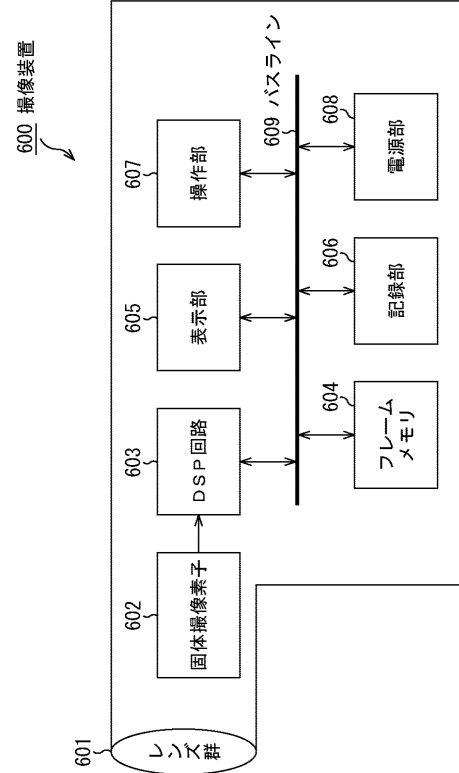
【 図 2 4 】

图24



【 図 2 5 】

図25



フロントページの続き

- (72)発明者 大池 祐輔
東京都港区港南1丁目7番1号 ソニー株式会社内
(72)発明者 榊原 雅樹
東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 木方 庸輔

- (56)参考文献 特開2007-019706(JP,A)
特開2002-320141(JP,A)
特開2006-253903(JP,A)
特開2001-217706(JP,A)
特開2009-296400(JP,A)
特開2001-197378(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N	5/30	-	5/378	,
H01L	21/339			,
H01L	27/14	-	27/148	,
H01L	29/762			,
H03K	3/64	-	3/86	,
H03K	17/00	-	17/04	,
H03K	17/06	-	17/08	,
H03K	17/10	-	17/60	,
H03K	17/61	-	17/687	,
H03K	17/693	-	17/70	,
H03K	19/00			,
H03K	19/01	-	19/082	,
H03K	19/094	-	19/096	