

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-253217

(P2012-253217A)

(43) 公開日 平成24年12月20日(2012.12.20)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 25/07 (2006.01)	H O 1 L 25/04 C	5 F 1 3 6
H O 1 L 25/18 (2006.01)	H O 1 L 23/36 Z	
H O 1 L 23/36 (2006.01)		

審査請求 未請求 請求項の数 20 O L (全 35 頁)

(21) 出願番号	特願2011-125141 (P2011-125141)	(71) 出願人	302062931
(22) 出願日	平成23年6月3日 (2011.6.3)		ルネサスエレクトロニクス株式会社
		(74) 代理人	100080001
			弁理士 筒井 大和
		(72) 発明者	工藤 勝美
			東京都中央区京橋二丁目14番1号 株式
			会社ルネサス東日本セミコンダクタ内
		(72) 発明者	山田 雅明
			東京都中央区京橋二丁目14番1号 株式
			会社ルネサス東日本セミコンダクタ内
		Fターム(参考)	5F136 BA30 DA09 DA27 EA05

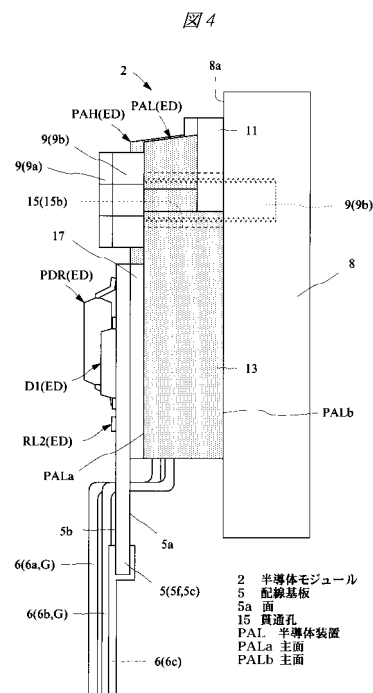
(54) 【発明の名称】 半導体モジュールおよびその製造方法

(57) 【要約】

【課題】 パワー半導体デバイスを含む、複数の電子部品を搭載した半導体モジュールの信頼性を向上させる。

【解決手段】 半導体モジュール2は、主面PALa、主面PALaとは反対側に位置する主面PALbを有し、配線基板（基材）5の一方の面（搭載面）5aに搭載される半導体装置（パワー半導体デバイス）PALを含む。また、側面視において、配線基板5の面5a側では、半導体装置PALの主面PALbが面5aから最も離れた位置に配置されている。また、半導体装置PALには、主面PALa、主面PALbのうち、いずれか一方から他方まで貫通する貫通孔15が形成され、半導体装置PALは、平面視において、貫通孔15が配線基板5の外側に配置される。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

第 1 面、前記第 1 面とは反対側に位置する第 2 面、および前記第 1 面と前記第 2 面の間に位置する側面を備える基材と、

前記基材に搭載される複数の電子部品と、

前記複数の電子部品と電氣的に接続された複数の外部端子と、

を含み、

前記複数の電子部品は、第 1 主面、前記第 1 主面とは反対側に位置する第 2 主面を備え、前記第 1 主面が前記基材の前記第 1 面と対向するように前記基材の前記第 1 面に搭載された第 1 パワー半導体デバイスと、前記基材の前記第 2 面に搭載され、かつ、前記第 1 パワー半導体デバイスを駆動する駆動回路が形成された第 1 電子部品と、を含み、

10

側面視において、前記基材の前記第 1 面側では、前記第 1 パワー半導体デバイスの前記第 2 主面が前記第 1 面から最も離れた位置に配置されており、

前記第 1 パワー半導体デバイスには、前記第 1 主面あるいは前記第 2 主面のうちのいずれか一方から他方まで貫通する第 1 貫通孔が形成され、

前記第 1 パワー半導体デバイスは、平面視において、前記第 1 貫通孔が前記基材の外側に位置するように前記第 1 面に搭載されていることを特徴とする半導体モジュール。

【請求項 2】

請求項 1 において、

前記第 1 パワー半導体デバイスは、

20

上面および前記上面の反対側に位置する下面を備え、金属から成るチップ搭載部と、

表面、前記表面とは反対側に位置する裏面、前記表面に形成される複数の表面電極、および前記裏面に形成される裏面電極を備え、前記裏面が前記チップ搭載部の前記上面と対向するように前記チップ搭載部に導電性部材を介して搭載される半導体チップと、

前記半導体チップの前記複数の表面電極および前記裏面電極と電氣的に接続される複数のリードと、

前記チップ搭載部の前記上面、前記半導体チップおよび前記導電性部材を封止する封止体と、を備え、

前記チップ搭載部の前記下面は、前記第 2 主面の一部を構成し、かつ、前記第 2 主面において、前記封止体から露出しており、

30

前記第 1 貫通孔は、前記封止体および前記チップ搭載部を貫通するように形成されていることを特徴とする半導体モジュール。

【請求項 3】

請求項 2 において、

前記第 1 パワー半導体デバイスには、前記第 1 貫通孔に挿入された第 1 ネジにより、前記第 2 主面側に配置された放熱板が固定されることを特徴とする半導体モジュール。

【請求項 4】

請求項 1 において、

第 3 主面、前記第 3 主面とは反対側に位置する第 4 主面、および前記第 3 主面、前記第 4 主面のうち、いずれか一方から他方まで貫通する第 2 貫通孔を備え、前記第 3 主面が前記基材の前記第 1 面と対向し、かつ、平面視において、前記第 2 貫通孔が前記基材の外側に位置するように前記基材の前記第 1 面に搭載された第 2 パワー半導体デバイス、をさらに有し、

40

前記第 1 および第 2 パワー半導体デバイスのそれぞれは、

上面および前記上面とは反対側に位置する下面を備え、金属から成るチップ搭載部と、

表面、前記表面とは反対側に位置する裏面、前記表面に形成される複数の表面電極、および前記裏面に形成される裏面電極を備え、前記裏面が前記チップ搭載部の前記上面と対向するように前記チップ搭載部に導電性部材を介して搭載される半導体チップと、

前記半導体チップの前記複数の表面電極および前記裏面電極と電氣的に接続される複数のリードと、

50

前記チップ搭載部の前記上面、前記半導体チップおよび前記導電性部材を封止する封止体を備え、

前記チップ搭載部の前記下面は、前記第2または第4主面の一部を構成し、かつ、前記第2または第4主面において、前記封止体から露出しており、

前記第1および第2貫通孔のそれぞれは、前記封止体および前記チップ搭載部を貫通するように形成されていることを特徴とする半導体モジュール。

【請求項5】

請求項4において、

前記第1パワー半導体デバイスは、前記第1貫通孔に挿入された第1ネジにより、前記第2主面側に配置された放熱板に固定され、

前記第2パワー半導体デバイスは、前記第2貫通孔に挿入された第2ネジにより、前記第4主面側に配置された前記放熱板に固定されることを特徴とする半導体モジュール。

【請求項6】

請求項5において、

前記放熱板は金属から成り、

前記第1パワー半導体デバイスは、前記チップ搭載部の前記下面と前記放熱板が接触するように固定され、

前記第2パワー半導体デバイスは、前記チップ搭載部の前記下面と前記放熱板が接触しないように絶縁シートを介して固定されることを特徴とする半導体モジュール。

【請求項7】

請求項6において、

前記第1パワー半導体デバイスの前記第1主面と前記基材の前記第1面の間には、スペーサ部材が配置され、

側面視において、前記第1パワー半導体デバイスの前記第2主面と、前記絶縁シートのうちの前記放熱板との対向面の位置は揃っていることを特徴とする半導体モジュール。

【請求項8】

請求項7において、

前記第1および第2パワー半導体デバイスが有する複数のリードは、前記基材の前記第1面側で形成された第1屈曲部、および前記第2面側で形成された第2屈曲部をそれぞれ有し、

前記第1パワー半導体デバイスの前記複数のリードに形成された前記第2屈曲部から前記基材の前記第2面までの第1距離は、前記第2パワー半導体デバイスの前記複数のリードに形成された前記第2屈曲部から前記基材の前記第2面までの第2距離よりも短いことを特徴とする半導体モジュール。

【請求項9】

請求項5において、

前記第1および第2パワー半導体デバイスを含む複数のパワー半導体デバイス以外の前記複数の電子部品は、それぞれ前記基材の前記第2面に搭載され、

前記複数のパワー半導体デバイスのそれぞれが備える複数のリードは、前記基材の前記第1面側から前記第2面側に導出されており、

前記第1電子部品には、前記複数のパワー半導体デバイスを駆動するドライバ回路が形成され、

前記複数のパワー半導体デバイス、前記複数の電子部品および前記複数の外部端子は、前記基材の前記第2面に形成された複数の配線を介して電氣的に接続されていることを特徴とする半導体モジュール。

【請求項10】

請求項5において、

前記第1および第2パワー半導体デバイス以外の前記複数の電子部品は、それぞれ前記基材の前記第2面に搭載され、

前記第1および第2パワー半導体デバイスのそれぞれが備える複数のリードは、前記基

10

20

30

40

50

材の前記第 1 面側から前記第 2 面側に導出されており、

前記第 1 電子部品には、前記第 1 および第 2 パワー半導体デバイスを駆動するドライバ回路が形成され、

前記複数のパワー半導体デバイス、前記複数の電子部品および前記複数の外部端子は、前記基材の前記第 2 面に形成された複数の配線を介して電氣的に接続され、

前記第 1 電子部品は、平面視において、前記第 1 および第 2 パワー半導体デバイスの間に配置されていることを特徴とする半導体モジュール。

【請求項 1 1】

請求項 5 において、

前記基材は第 1 辺、前記第 1 辺と対向する第 2 辺、前記第 1 辺および前記第 2 辺と交差する第 3 辺、および前記第 3 辺と対向する第 4 辺を有し、

前記複数の外部端子は、それぞれ前記第 1 辺に沿って配置され、前記第 1 および前記第 2 パワー半導体デバイスは、前記第 2 辺を跨いで前記基材の外側に突出するように搭載され、

前記複数の電子部品のそれぞれは、前記複数の外部端子よりも前記第 2 辺側に搭載されていることを特徴とする半導体モジュール。

【請求項 1 2】

請求項 1 1 において、

前記基材には、前記第 1 面、前記第 2 面のうち、いずれか一方から他方まで貫通する複数の貫通孔が形成され、

前記複数の貫通孔には前記第 1 および第 2 パワー半導体デバイスの複数のリードが挿入され、かつ、半田材を介して固定され、

前記複数の電子部品のそれぞれは、前記複数の貫通孔よりも前記基材の前記第 2 辺側に搭載されていることを特徴とする半導体モジュール。

【請求項 1 3】

請求項 1 1 において、

前記第 1 および第 2 パワー半導体デバイスは、平面視において、それぞれ前記第 2 辺を跨ぐように前記基材の外側に突出するように搭載されていることを特徴とする半導体モジュール。

【請求項 1 4】

第 1 面、前記第 1 面とは反対側に位置する第 2 面、および前記第 1 面と前記第 2 面の間に位置する側面を備える基材と、

前記基材に搭載される複数の電子部品と、

前記複数の電子部品と電氣的に接続された複数の外部端子と、

を含み、

前記複数の電子部品は、第 1 主面、前記第 1 主面とは反対側に位置する第 2 主面を備え、前記第 1 主面が前記基材の前記第 1 面と対向するように前記基材の前記第 1 面に搭載された第 1 パワー半導体デバイスと、第 3 主面、前記第 3 主面とは反対側に位置する第 4 主面を備え、前記第 3 主面が前記基材の前記第 1 面と対向するように前記基材の前記第 1 面に搭載された第 2 パワー半導体デバイスと、前記基材の前記第 2 面に搭載され、かつ、前記第 1 および第 2 パワー半導体デバイスを駆動する駆動回路が形成された第 1 電子部品と、を含み、

前記第 1 および第 2 パワー半導体デバイスのそれぞれは、

上面および前記上面とは反対側に位置する下面を備え、金属から成るチップ搭載部と、

表面、前記表面とは反対側に位置する裏面、前記表面に形成される複数の表面電極、および前記裏面に形成される裏面電極を備え、前記裏面が前記チップ搭載部の前記上面と対向するように前記チップ搭載部に導電性部材を介して搭載される半導体チップと、

前記半導体チップの前記複数の表面電極および前記裏面電極と電氣的に接続される複数のリードと、

前記チップ搭載部の前記上面、前記半導体チップおよび前記導電性部材を封止する封止

10

20

30

40

50

体と、を備え、

前記チップ搭載部の前記下面は、前記第 2 または第 4 主面の一部を構成し、かつ、前記第 2 または第 4 主面において、前記封止体から露出しており、

前記第 1 パワー半導体デバイスの前記第 2 主面側および前記第 2 パワー半導体デバイスの前記第 4 主面側には、金属から成る放熱板が配置され、

前記第 1 パワー半導体デバイスは、前記チップ搭載部の前記下面と前記放熱板が接触するように固定され、

前記第 2 パワー半導体デバイスは、前記チップ搭載部の前記下面と前記放熱板が接触しないように絶縁シートを介して固定されることを特徴とする半導体モジュール。

【請求項 15】

10

請求項 14 において、

前記第 1 パワー半導体デバイスの前記第 1 主面と前記基材の前記第 1 面の間には、スペーサ部材が配置され、

側面視において、前記第 1 パワー半導体デバイスの前記第 2 主面と、前記絶縁シートの前記放熱板との対向面の位置は揃っていることを特徴とする半導体モジュール。

【請求項 16】

(a) 第 1 面、前記第 1 面とは反対側に位置する第 2 面、および前記第 1 面と前記第 2 面の間に位置する側面を備える基材を準備する工程、

(b) 前記基材の前記第 2 面に複数の電子部品のうちの第 1 電子部品を搭載する工程、

(c) 前記基材に搭載される前記複数の電子部品と電気的に接続される複数の外部端子を前記基材に形成する工程、

20

(d) 前記複数の電子部品のうち、第 1 主面、前記第 1 主面とは反対側に位置する第 2 主面、前記第 1 主面と前記第 2 主面の間に配置される半導体チップ、前記半導体チップと電気的に接続される複数のリード、および前記複数のリードのそれぞれ一部が露出するように前記半導体チップを封止する封止体を備える第 1 パワー半導体デバイスを、前記第 1 主面が前記基材の前記第 1 面と対向するように前記基材の前記第 1 面に搭載する工程、

を含み、

前記第 1 電子部品には、前記第 1 パワー半導体デバイスを駆動する駆動回路が形成され

、

前記第 1 パワー半導体デバイスには、前記第 1 主面、前記第 2 主面のうち、いずれか一方から他方まで貫通する第 1 貫通孔が形成され、

30

前記 (d) 工程では、

側面視において、前記基材の前記第 1 面側で、前記第 1 パワー半導体デバイスの前記第 2 主面が前記基材の前記第 1 面から最も離れた位置に配置されるように、かつ、平面視において、前記第 1 貫通孔が前記基材の外側に位置するように、前記第 1 パワー半導体デバイスを前記第 1 面に搭載することを特徴とする半導体モジュールの製造方法。

【請求項 17】

請求項 16 において、

(e) 前記 (d) 工程の後、前記第 1 パワー半導体デバイスの前記第 1 貫通孔に第 1 ネジを挿入し、前記第 1 ネジにより前記第 2 主面側に放熱板を固定する工程、

40

をさらに含むことを特徴とする半導体モジュールの製造方法。

【請求項 18】

請求項 16 において、

(e) 前記 (d) 工程の後、前記複数の外部端子の表面に半田膜を形成する工程、

をさらに含み、

前記基材は第 1 辺、前記第 1 辺と対向する第 2 辺、前記第 1 辺および前記第 2 辺と交差する第 3 辺、および前記第 3 辺と対向する第 4 辺を有し、

前記複数の外部端子は、それぞれ前記第 1 辺に沿って配置され、前記第 1 パワー半導体デバイスは、前記第 2 辺を跨いで前記基材の外側に突出するように搭載され、

前記複数の電子部品のそれぞれは、前記複数の外部端子よりも前記第 2 辺側に搭載され

50

、

前記（e）工程では、

前記基材の前記第1辺側を半田溶液に浸し前記複数の外部端子のそれぞれの表面に前記半田膜を形成することを特徴とする半導体モジュールの製造方法。

【請求項19】

請求項18において、

前記（e）工程では、

前記基材の前記複数の外部端子を前記半田溶液に浸し、かつ、前記複数の電子部品は前記半田溶液に浸さないようにして、前記複数の外部端子のそれぞれの表面に前記半田膜を形成することを特徴とする半導体モジュールの製造方法。

10

【請求項20】

請求項19において、

前記基材には、前記第1面、前記第2面のうち、いずれか一方から他方まで貫通する複数の貫通孔が形成され、

前記複数の電子部品のそれぞれの、前記複数の貫通孔よりも前記基材の前記第2辺側に搭載され、

前記（d）工程では、

前記複数の貫通孔に、前記第1パワー半導体デバイスの複数のリードを挿入し、

前記（e）工程では、

前記基材の前記複数の外部端子、および前記複数の貫通孔を前記半田溶液に浸し、かつ、前記複数の電子部品は前記半田溶液に浸さないようにして、前記複数の貫通孔内に半田を埋め込むことを特徴とする半導体モジュールの製造方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体モジュールおよびその製造技術に関し、例えば電力の変換や制御を行うパワー半導体デバイスおよびパワー半導体デバイスと電氣的に接続される電子部品を一つの基材に搭載した半導体モジュールに適用して有効な技術に関するものである。

【背景技術】

【0002】

特開平7-236281号公報（特許文献1）には、ボードの一方の面に複数のパワーモジュールを配置し、他方の面に複数の抵抗器およびコンデンサを取り付け、複数のパワーモジュールのそれぞれを冷却フィンに接触させる構成が記載されている。

30

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開平7-236281号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

電子装置は、複数の電子部品を実装基板に搭載し、これらを電氣的に接続することでシステムを構成する。また複数のシステムを組み合わせることで電子装置に様々な機能を付加することができる。しかし、電子装置の多機能化を図る場合、使用する電子部品の数が多くなるので、電子部品の実装作業が煩雑になる。また、実装基板における配線設計が煩雑になる。また、電子装置の製造コストが上昇する。上記課題に対応する方法として、例えばシステム単位に必要な複数の電子部品を一つの基材（インタポーザ）に搭載することによりモジュール化し、必要なモジュール（システムモジュール）を選択して実装基板に実装する技術が有効である。

40

【0005】

本願発明者は上記モジュール化技術について検討を行い、以下の課題を見出した。すな

50

わち、モジュールに搭載する各電子部品のレイアウトによっては、モジュールの信頼性が低下する。例えば、電力の変換や制御を行うパワー半導体デバイス（半導体装置）およびパワー半導体デバイスと電氣的に接続される電子部品を一つの基材に搭載したパワーモジュール（半導体モジュール）の場合、例えば1 A（アンペア）以上の大電流が流れるため、発熱量が大きくなる。このため、パワーモジュールの主たる熱源を効率的に冷却しなければ熱影響によりモジュールの信頼性が低下する。また、モジュールの組み立て工程の効率が低下すれば、モジュールの製造コストが上昇するので、モジュール化のメリットが低下する。

【0006】

本発明は、上記課題に鑑みてなされたものであり、その目的は、パワー半導体デバイスを含む、複数の電子部品を搭載した半導体モジュールの信頼性を向上させる技術を提供することにある。

10

【0007】

また、本発明の他の目的は、上記半導体モジュールを効率的に製造する技術を提供することにある。

【0008】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0009】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

20

【0010】

すなわち、本願発明の一態様である半導体モジュールは、第1主面、前記第1主面とは反対側に位置する第2主面を有し、基材の一方の搭載面に搭載されるパワー半導体デバイスを含み、側面視において、前記基材の搭載面側では、前記パワー半導体デバイスの前記第2主面が前記搭載面から最も離れた位置に配置されている。また、前記パワー半導体デバイスには、前記第1主面、前記第2主面のうち、いずれか一方から他方まで貫通する貫通孔が形成され、前記パワー半導体デバイスは、平面視において、前記貫通孔が前記基材の外側に配置されるものである。

30

【発明の効果】

【0011】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下の通りである。

【0012】

すなわち、本願発明の一態様によれば、半導体デバイスを含む、複数の電子部品を搭載した半導体装置（モジュール）の信頼性を向上させることができる。

【図面の簡単な説明】

【0013】

【図1】本発明の一実施の形態である半導体モジュールを含む電力変換装置の例を示す回路図である。

40

【図2】図1に示す半導体モジュールの一方の面の外観を示す平面図である。

【図3】図2に示す半導体モジュールの反対側の面の外観を示す平面図である。

【図4】図1および図2に示す半導体モジュールに放熱板を固定した状態を示す側面図である。

【図5】図1および図2に示す半導体モジュールに放熱板を固定した状態を示す図4とは別の側面図である。

【図6】図2～図5に示すパワー半導体デバイスの内部構造を示す透視平面図である。

【図7】図6のA-A線に沿った断面図である。

【図8】本発明の一実施の形態である半導体モジュールの組立てフローの一例を示す説明

50

図である。

【図 9】図 8 に示す基材準備工程で準備する配線基板の一方の面の外観を示す平面図である。

【図 10】図 9 に示す配線基板の反対側の面の外観を示す平面図である。

【図 11】図 9 および図 10 の D-D 線に沿った拡大断面図である。

【図 12】図 10 に示す配線基板上に複数の電子部品を搭載した状態を示す平面図である。

【図 13】図 11 に示す配線基板の上下を反転し、ランド上に電子部品を搭載した状態を示す拡大断面図である。

【図 14】図 12 に示す外部端子取り付け用のパッドに外部端子を取り付けた状態を示す拡大平面図である。

【図 15】図 14 の F-F 線に沿った拡大断面図である。

【図 16】図 15 に示す配線基板にパワー半導体デバイスを取り付けた状態を示す平面図である。

【図 17】図 16 に示す H-H 線に沿った拡大断面図である。

【図 18】図 16 に示す配線基板とパワー半導体デバイスを固定した状態で保持する例を示す側面図である。

【図 19】図 16 に示す複数のリードの表面に半田膜を形成する工程を模式的に示す説明図である。

【図 20】図 16 に示す複数のリードの表面に半田膜を形成する工程を図 19 とは異なる面について模式的に示す説明図である。

【図 21】図 20 に示す半導体モジュールに放熱板を取り付けた状態を示す平面図である。

【図 22】図 21 に示す J-J 線に沿った拡大断面図である。

【図 23】図 2 に対する変形例である半導体モジュールを示す平面図である。

【図 24】図 23 に示す半導体モジュールに放熱板を固定した状態を示す側面図である。

【図 25】図 2 に対する別の変形例である半導体モジュールを示す平面図である。

【図 26】図 25 に示す半導体モジュールに放熱板を固定した状態を示す側面図である。

【発明を実施するための形態】

【0014】

(本願における記載形式・基本的用語・用法の説明)

本願において、実施の態様の記載は、必要に応じて、便宜上複数のセクション等に分けて記載するが、特にそうでない旨明示した場合を除き、これらは相互に独立別個のものではなく、記載の前後を問わず、単一の例の各部分、一方が他方の一部詳細または一部または全部の変形例等である。また、原則として、同様の部分は繰り返しの説明を省略する。また、実施の態様における各構成要素は、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、必須のものではない。

【0015】

同様に実施の態様等の記載において、材料、組成等について、「A からなる X」等であっても、特にそうでない旨明示した場合および文脈から明らかにそうでない場合を除き、A 以外の要素を含むものを排除するものではない。たとえば、成分についていえば、「A を主要な成分として含む X」等の意味である。たとえば、「シリコン部材」等といっても、純粋なシリコンに限定されるものではなく、SiGe (シリコン・ゲルマニウム) 合金やその他シリコンを主要な成分とする多元合金、その他の添加物等を含む部材も含むものであることはいうまでもない。また、金めっき、Cu 層、ニッケル・めっき等といっても、そうでない旨、特に明示した場合を除き、純粋なものだけでなく、それぞれ金、Cu、ニッケル等を主要な成分とする部材を含むものとする。

【0016】

さらに、特定の数値、数量に言及したときも、特にそうでない旨明示した場合、理論的

10

20

30

40

50

にその数に限定される場合および文脈から明らかにそうでない場合を除き、その特定の数値を超える数値であってもよいし、その特定の数値未満の数値でもよい。

【0017】

また、実施の形態の各図中において、同一または同様の部分は同一または類似の記号または参照番号で示し、説明は原則として繰り返さない。

【0018】

また、添付図面においては、却って、煩雑になる場合または空隙との区別が明確である場合には、断面であってもハッチング等を省略する場合がある。これに関連して、説明等から明らかである場合等には、平面的に閉じた孔であっても、背景の輪郭線を省略する場合がある。更に、断面でなくとも、空隙でないことを明示するため、あるいは領域の境界を明示するために、ハッチングやドットパターンを付すことがある。

10

【0019】

（実施の形態1）

本実施の形態では、パワー半導体デバイスを含む、複数の電子部品を搭載した半導体モジュールの一例として、例えば、電磁調理器具などの家庭用電気器具の電源回路に組み込まれる電力変換装置（インバータ）に用いるモジュールを取り上げて説明する。図1は、本実施の形態の半導体モジュールを含む電力変換装置の例を示す回路図である。

【0020】

＜電力変換装置＞

電力変換装置1は、例えば電磁調理器具などの家庭用電気器具の電源回路に用いられており、半導体モジュール2と、制御回路3と、入力コンデンサC_{in}と、出力コンデンサC_{out}と、コイルLとを有している。なお、符号のV_{IN}は入力電源、GNDは基準電位（例えばグラウンド電位で0V）、I_{out}は出力電流、V_{out}は出力電圧を示している。

20

【0021】

半導体モジュール2は、2つのドライバ回路（駆動回路）DR1、DR2と、2つのパワートランジスタQH1、QL1とを有している。2つのドライバ回路DR1、DR2は、一つの半導体装置（電子部品）PDR内に封止（収容）されている。また、パワートランジスタQH1、QL1は、それぞれ独立した半導体装置（電子部品、パッケージ、パワー半導体デバイス）PAH、PAL内に封止（収容）されている。また、半導体モジュール2は、4つの抵抗素子RH1、RH2、RL1、RL2および一つのダイオード素子D1を有している。抵抗素子RH1、RH2は、パワートランジスタQH1のバイアス回路を構成し、抵抗素子RL1、RL2は、パワートランジスタQL1のバイアス回路を構成する。これら4つの抵抗素子RH1、RH2、RL1、RL2および一つのダイオード素子D1は、それぞれ独立した電子部品として構成され、半導体モジュール2の基材である配線基板に搭載され、配線基板に形成された配線を介して電氣的に接続されている。パワートランジスタは、電源回路等に組み込まれ、電力の変換や制御を行う回路を構成する半導体素子であって、例えば、パワーMOSFET（Metal Oxide Semiconductor Field Effect Transistor）や、絶縁ゲートバイポーラトランジスタ（IGBT；Insulated Gate Bipolar Transistor）がこれに相当する。パワートランジスタには、例えば1A（アンペア）以上の大電流が流れるため、パワートランジスタは、並列接続で電氣的に接続した複数のトランジスタ素子で構成される。本実施の形態では、電力変換回路に組み込まれるスイッチング素子として、IGBTである2つのパワートランジスタQH1、QL1を用いた例について説明する。

30

40

【0022】

ドライバ回路DR1、DR2は、上記制御回路3から供給された制御信号に応じて、それぞれパワートランジスタQH1、QL1のゲート端子Gの電位を制御し、パワートランジスタQH1、QL1の動作を制御する回路である。一方のドライバ回路DR1の出力は、パワートランジスタQH1のゲート端子Gに電氣的に接続されている。他方のドライバ回路DR2の出力は、パワートランジスタQL1のゲート端子Gに電氣的に接続されてい

50

る。図 1 に示す例では、この 2 つのドライバ回路 D R 1、D R 2 は、例えば、同一の半導体チップに形成されている。そして、この 2 つのドライバ回路 D R 1、D R 2 が形成された半導体チップは半導体装置 P D R に内蔵されている。

【0023】

上記パワートランジスタ Q H 1、Q L 1 は、入力電源 V I N の高電位（第 1 の電源電位）供給用の端子（第 1 電源端子）E T 1 と、基準電位（第 2 の電源電位）G N D 供給用の端子（第 2 電源端子）E T 2 との間に直列に接続されている。すなわち、パワートランジスタ Q H 1 は、そのエミッタ・コレクタ経路が、入力電源 V I N の高電位供給用の端子 E T 1 と出力ノード（出力端子）N との間に直列に接続され、パワートランジスタ Q L 1 は、そのエミッタ・コレクタ経路が出力ノード N と基準電位 G N D 供給用の端子 E T 2 との間に直列に接続されている。なお、図 1 では、パワートランジスタ Q H 1、Q L 1 それぞれの寄生ダイオード（内部ダイオード）を図示している。

10

【0024】

パワートランジスタ Q H 1 は、ハイサイドスイッチ（高電位側：第 1 動作電圧；以下、単にハイサイドという）用のパワートランジスタであり、上記コイル L にエネルギーを蓄えるためのスイッチ機能を有している。コイル L は、電力変換装置 1 の出力（負荷 L D の入力）に電力を供給する素子である。このハイサイド用のパワートランジスタ Q H 1 は、ドライバ回路 D R 1、D R 2 が形成された半導体装置 P D R とは別の半導体装置 P A H に形成されている。

20

【0025】

一方、パワートランジスタ Q L 1 は、ローサイドスイッチ（低電位側：第 2 動作電圧；以下、単にローサイドという）用のパワートランジスタであり、制御回路 3 からの周波数に同期してトランジスタの抵抗を低くして整流を行う機能を有している。すなわち、パワートランジスタ Q L 1 は、電力変換装置 1 の整流用のトランジスタである。このローサイド用のパワートランジスタ Q L 1 は、ドライバ回路 D R 1、D R 2 が形成された半導体装置 P D R とは別の半導体装置 P A L に形成されている。

【0026】

上記制御回路 3 は、パワートランジスタ Q H 1、Q L 1 の動作を制御する回路であり、例えば P W M（Pulse Width Modulation）回路によって構成されている。この P W M 回路は、指令信号と三角波の振幅とを比較して P W M 信号（制御信号）を出力する。この P W M 信号により、パワートランジスタ Q H 1、Q L 1（すなわち、電力変換装置 1）の出力電圧（すなわち、パワートランジスタ Q H 1、Q L 1 の電圧スイッチオンの幅（オン時間））が制御されるようになっている。

30

【0027】

この制御回路 3 の出力は、ドライバ回路 D R 1、D R 2 の入力に電氣的に接続されている。ドライバ回路 D R 1、D R 2 のそれぞれの出力は、それぞれパワートランジスタ Q H 1 のゲート端子 G およびパワートランジスタ Q L 1 のゲート端子 G に電氣的に接続されている。詳しくは、ドライバ回路 D R 1 の出力は、抵抗素子 R H 1 を介してパワートランジスタ Q H 1 のゲート端子 G に電氣的に接続されている。また、ドライバ回路 D R 2 の出力は、抵抗素子 R L 1 を介してパワートランジスタ Q L 1 のゲート端子 G に電氣的に接続されている。

40

【0028】

上記入力コンデンサ C i n は、入力電源 V I N から供給されたエネルギー（電荷）を一時的に蓄えて、その蓄えたエネルギーを電力変換装置 1 の主回路に供給する電源であり、入力電源 V I N に並列に電氣的に接続されている。上記出力コンデンサ C o u t は、上記コイル L と負荷 L D とを結ぶ出力配線と基準電位 G N D 供給用の端子との間に電氣的に接続されている。

【0029】

電力変換装置 1 のパワートランジスタ Q H 1 のエミッタと、パワートランジスタ Q L 1 のコレクタとを結ぶ配線には、出力用電源電位を外部に供給する上記出力ノード N が設け

50

られている。この出力ノードNは、出力配線を介してコイルLと電氣的に接続され、さらに出力配線を介して負荷LDと電氣的に接続されている。

【0030】

このような電力変換装置1では、パワートランジスタQH1、QL1で同期を取りながら、このパワートランジスタQH1、QL1を交互にオン／オフすることにより電源電圧の変換を行っている。すなわち、ハイサイド用のパワートランジスタQH1がオンの時、端子ET1からパワートランジスタQH1を通じて出力ノードNに電流（第1電流）I1が流れる。一方、ハイサイド用のパワートランジスタQH1がオフの時、コイルLの逆起電圧により電流I2が流れる。この電流I2が流れている時にローサイド用のパワートランジスタQL1をオンすることで、電圧降下を少なくすることができる。

10

【0031】

<半導体モジュール>

次に、図1に示す半導体モジュール2の構造について説明する。図2は、図1に示す半導体モジュールの一方の面の外観を示す平面図、図3は図2に示す半導体モジュールの反対側の面の外観を示す平面図、図4および図5は、図1および図2に示す半導体モジュールに放熱板を固定した状態を示す側面図である。

【0032】

本実施の形態の半導体モジュール2は、基材である配線基板（インタポーザ）5と、配線基板5に搭載される複数の電子部品EDと、複数の電子部品EDと電氣的に接続される複数のリード（外部端子）6とを有している。

20

【0033】

配線基板5は、半導体モジュール2が備える複数の電子部品EDと図示しない実装基板とを電氣的に接続するためのインタポーザであって、図4に示すように面5a、面5aの反対側に位置する面5bおよび面5aと面5bの間に位置する側面5cを備えている。また、図2および図3に示すように、面5a、5bはそれぞれ四辺形の平面形状を成し、第1辺5d、第1辺5dと対向する第2辺5e、第1辺5dおよび第2辺の間に位置する第3辺5f、および第3辺5fと対向する第4辺5gを備えている。この第1辺5d、第2辺5e、第3辺5f、第4辺5gは配線基板5の側面5cを構成する。また、配線基板5は、例えば樹脂から成るコア材と、コア材上に形成された複数の配線7を備え、配線基板5に搭載された複数の電子部品EDは、配線7を介して電氣的に接続されている。また、複数の電子部品EDは、複数の配線7を介して複数のリード6と電氣的に接続されている。

30

【0034】

本実施の形態では、複数のリード6を配線基板5の一辺に集約して配置している。図2～図4に示す例では、複数のリード6は、配線基板5の第1辺5dに沿って並べて配置され、第2辺5e、第3辺5f、および第4辺5gにはリード6が、配置されていない。また、複数のリード6は、それぞれ、配線基板5の第1辺5dを跨いで配線基板5の外側に向かって突出するように形成されている。このように複数のリード6を配線基板5の一辺に集約して配置することにより、半導体モジュール2を図示しない実装基板に実装する際には、リード6が配置された配線基板5の側面5cを実装基板の実装面と対向させた状態で実装できる。この結果、配線基板5の面5aまたは面5bが実装基板の実装面と対向するように実装する場合と比較して、半導体モジュール2の実装面積を低減することができる。また、複数のリード6の表面は、実装基板に実装する際の接続材である半田材に覆われているが、リード6を配線基板5の一辺に集約して配置することにより、リード6の表面を容易に半田材で覆うことができる。この点については、後述する半導体モジュール2の製造方法において、詳しく説明する。ただし、半導体モジュール2の実装態様は上記に限定されない。例えば、半導体モジュール2の実装スペースに余裕がある場合には、配線基板5の面5aまたは面5bが実装基板の実装面と対向するように実装することもできる。この場合、配線基板5の四辺のうち、複数の辺に沿ってそれぞれ複数のリード6を配置する構成とすることができる。

40

50

【0035】

配線基板5の面5aおよび面5bには、それぞれ電子部品EDが搭載されている。本実施の形態では、面5a側には、パワー半導体デバイスである複数（図2、図3では2個）の半導体装置PAH、PALが搭載されている。一方、面5b側には、パワー半導体デバイス以外の電子部品ED、詳しくは、ドライバ回路が形成された半導体装置PDR、4つの抵抗素子RH1、RH2、RL1、RL2、および一つのダイオード素子D1が搭載されている。言い換えれば、半導体モジュール2は、一方の面5aにパワー半導体デバイスである半導体装置PAH、PALのみが搭載され、その他の電子部品EDは搭載されていない。また他方の面5bには、パワー半導体デバイス以外の電子部品EDが搭載され、パワー半導体デバイスである半導体装置PAH、PALは搭載されていない。半導体装置PAH、PALは、前記したように電源回路に組み込まれるスイッチング素子なので、例えば1A（アンペア）を超える大電流が流れる。このため、半導体装置PAH、PALの周囲に他の電子部品EDを配置すると、電氣的影響や熱影響によりノイズが発生し、他の電子部品EDが誤作動する懸念がある。特に、ドライバ回路が形成された半導体装置PDRが誤作動すると、半導体モジュール2のシステムが正しく動作せず、信頼性低下の原因となる。そこで、本実施の形態では、発熱量が相対的に大きいパワー半導体デバイス（半導体装置PAH、PAL）と、その他の電子部品ED（特に、半導体装置PDR）を反対側の面に搭載する。これにより、パワー半導体デバイスと、その他の電子部品EDの間には配線基板5が介在することとなるため、熱影響を低減することができる。この結果、半導体モジュール2の信頼性低下を抑制することができる。

10

20

【0036】

図2～図5に示すように、半導体装置PAH、PALが備える複数のリード6a、6bは、半導体モジュール2のリード6の一部を兼ねている。言い換えれば、半導体モジュール2が備える複数のリード6のうちの一部は、半導体装置PAH、PALと一体に形成されている。半導体装置PAH、PALは、本体部分（リード6以外の部分）が面5a側に配置され、半導体装置PAH、PALがそれぞれ備える複数のリード6a、6bの一部が面5b側に配置されている。詳しくは、配線基板5には、面5aおよび面5bのうち、いずれか一方から他方に向かって貫通する複数の貫通孔SHが形成され、リード6a、6bは、面5a側から面5b側に向かって配線基板5を貫通するように貫通孔SHに挿入される。また、半導体装置PAH、PALが備える複数のリード6a、6bは、貫通孔SH内に埋め込まれた半田（導体膜）SHMにより、貫通孔SHに固定され、これにより、半導体装置PAH、PALは配線基板5に固定されている。このようにリード6a、6bの一部が反対面側に配置される場合であっても、半導体装置PAH、PALが搭載される面は、半導体装置PAH、PALの主たる熱源が搭載される面で定義する。例えば、半導体装置PAH、PALの主たる熱源は、半導体装置PAH、PAL内に封止された半導体チップであるため、本実施の形態では、半導体装置PAH、PALは配線基板5の面5a側に搭載されている。

30

【0037】

また、本実施の形態では、半導体装置PAH、PAL、複数の電子部品EDおよび複数のリード6は、図3に示す配線基板5の面5bに形成された複数の配線7bを介して電氣的に接続されている。言い換えれば、半導体装置PAH、PAL、複数の電子部品EDおよび複数のリード6を電氣的に接続する配線7は、配線基板5の面5b側に優先的に形成し、面5a側の配線7は最小限に留めている。詳しくは、図3に示すように、配線基板5の面5b側に搭載された複数の電子部品EDと複数のリード6は、面5bに形成された複数の配線7bを介して電氣的に接続されている。また、図2に示すように配線基板5の面5a側に搭載された半導体装置PAH、PALが備える複数のリード6a、6bのうち、ハイサイドのスイッチである半導体装置PAHのエミッタ端子Eと、ローサイドのスイッチである半導体装置PALのコレクタ端子Cは、配線基板5の面5aに形成された配線（金属パターン）7aを介して電氣的に接続される。そして、面5a側に形成された配線7aは、配線基板5の面5a側の配線層と面5b側の配線層を電氣的に接続する層間導電路

40

50

であるビア（ビア配線）7c（図3参照）により面5b側に引き出され、面5b側の配線7bと電氣的に接続されている。また、図3に示すように、半導体装置PAH、PALが備える複数のリード6a、6bのうち、それぞれのゲート端子Gは、配線基板5の面5bにおいて、配線7bを介して電子部品EDと電氣的に接続されている。また、半導体装置PALの複数のリード6bのうち、エミッタ端子Eは、配線基板5の面5bにおいて、配線7bを介して半導体装置PDRの端子と電氣的に接続されている。

【0038】

このように、複数の電子部品EDと複数のリード6を電氣的に接続する配線7をパワー半導体デバイス以外の電子部品EDの搭載面である面5b側に優先的に形成することにより、各配線7の線路距離を短くすることができるので、配線7のインピーダンス成分を低減することができる。また、相対的に発熱量が大きいパワー半導体デバイスの搭載面である面5aに形成する配線7aの本数を最小限に留めることにより、パワー半導体デバイスからの熱影響を考慮した放熱設計を容易に行うことができる。この結果、半導体モジュール2の信頼性を向上させることができる。

【0039】

また、図3に示すように、半導体装置PAH、PALを駆動するドライバ回路が形成された半導体装置PDRは、平面視において、半導体装置PAHと半導体装置PALの間に配置されている。前記したように、半導体装置PAH、PALはそれぞれ、電力変換装置1（図1参照）のハイサイド、ローサイドのスイッチを構成し、半導体装置PDRには各スイッチを駆動するドライバ回路DR1、DR2（図1参照）が形成されている。このため、半導体装置PDRの複数の外部端子のうち、ハイサイド用の出力端子Houtからハイサイド用のゲート端子Gに至る経路（ハイサイド用ゲート線路）と、ローサイド用の出力端子Loutからローサイド用のゲート端子Gに至る経路（ローサイド用ゲート線路）のインピーダンス成分を揃えることが好ましい。つまり、ハイサイド用ゲート線路とローサイド用ゲート線路の線路距離を揃える（等長化する）ことが好ましい。本実施の形態では、ハイサイド用ゲート線路とローサイド用ゲート線路の線路距離はほぼ等しく、ハイサイド用ゲート線路中に直列接続される抵抗素子RH1とローサイド用ゲート線路に直列接続される抵抗素子RL1の抵抗値は、ほぼ等しい。したがって、ハイサイド用ゲート線路とローサイド用ゲート線路のインピーダンス成分は揃っている。

【0040】

ここで、単に、ハイサイド用ゲート線路とローサイド用ゲート線路の線路距離を揃える観点からは、配線基板5において、配線7を長く引き回せば半導体装置PDRの搭載位置によらず揃えることができる。しかし、ハイサイド用ゲート線路とローサイド用ゲート線路の線路距離が長くなると経路中での損失が増大するので、各ゲート線路の距離は短くすることが好ましい。そこで、図3に示すように、平面視において、半導体装置PAHと半導体装置PALの間に半導体装置PDRを配置することにより、ハイサイド用ゲート線路とローサイド用ゲート線路の線路距離を短くし、かつ、等長化することができる。なお、半導体装置PDRを半導体装置PAHのゲート端子Gと半導体装置PALのゲート端子Gの間に配置して、各ゲート線路を構成する配線7を直線的に配置すれば、ハイサイド用ゲート線路とローサイド用ゲート線路の線路距離を最短にすることができる。しかし、他の電子部品EDや他の配線7のレイアウトとの兼ね合いにより、図3に示すようにゲート線路が多少迂回していても良い。少なくとも、半導体装置PAHと半導体装置PALの間に半導体装置PDRが配置されていれば、各ゲート線路の距離は十分に短くすることができる。また、この場合、電子部品EDの搭載位置や配線7のレイアウトの設計上の自由度が向上する。

【0041】

また、図3に示すように、半導体モジュール2の複数のリード6のうち、半導体装置PAH、PALが備えるリード6a、6b以外のリード6cは、第1辺5dにおいてリード6a、6bの隣の領域に集約して配置されている。つまり、リード6a、6bとリード6cは混在せず、それぞれ離間した領域に配置されている。このように、半導体装置PAH

が備えるリード 6 a、半導体装置 P A L が備えるリード 6 b、およびその他のリード 6 c を分離した領域に配置することにより、配線 7 のレイアウトを単純化することができる。これにより、半導体モジュール 2 全体として、配線 7 の長さを短くすることができる。

【0042】

また、本実施の形態では、図 4 および図 5 に示すように、半導体装置 P A H、P A L に放熱板 8 が固定される。放熱板 8 は、配線基板 5 を構成する樹脂よりも熱伝導率が高い金属材料から成る板材であって、例えば本実施の形態ではアルミニウム (A l) から成る。なお、図 4 および図 5 では放熱板 8 を板状の部材として記載したが、半導体装置 P A H、P A L と対向させる面 8 a を備えていれば、放熱板 8 の形状は図 4 および図 5 に示す態様に限定されない。例えば、放熱効率を上昇させるため、面 8 a と異なる位置にフィン (図示は省略) を形成し、放熱面積を増大させることができる。このように、半導体装置 P A H、P A L に放熱板 8 を固定することにより、発熱量が相対的に大きいパワー半導体デバイス (半導体装置 P A H、P A L) からの熱を効率的に放熱させる。この結果、半導体モジュール 2 の信頼性を向上させることができる。本実施の形態では、図 4 および図 5 に示すように、放熱板 8 は、ネジ 9 により半導体装置 P A H、P A L にネジ止め固定されている。詳しくは、図 5 に示すように、半導体装置 P A H、P A L のそれぞれには、半導体装置 P A H、P A L を厚さ方向に貫通する貫通孔 1 5 が形成され、この貫通孔 1 5 には、主面 P A H a、P A L a 側からネジ 9 が挿入されている。そして、主面 P A H b、P A L b 側に配置される放熱板 8 の面 (デバイス対向面) 8 a には、貫通孔 1 5 と重なる位置にネジ穴 (側面にネジ 9 と組み合わせる螺旋状の溝が形成された穴) が形成され、ネジ 9 をこのネジ穴に挿入し、締め込むことで、放熱板 8 を半導体装置 P A H、P A L に固定している。

【0043】

以下、放熱板 8 の固定方法についてさらに詳しく説明する。図 5 に示すように半導体装置 P A H、P A L のそれぞれは、互いに反対側に位置する主面を備えている。半導体装置 P A H は主面 (基材対向面) P A H a、主面 P A H a とは反対側に位置する主面 (放熱板対向面) P A H b を有している。また、半導体装置 P A L は、主面 (基材対向面) P A L a、主面 P A L a とは反対側に位置する主面 (放熱板対向面) P A H b を備えている。ここで、側面視において、配線基板 5 の面 5 a 側では、半導体装置 P A L の主面 P A L b が面 5 a から最も離れた位置に配置されている。このため、放熱板 8 の面 8 a を半導体装置 P A L の主面 P A L b と密着させた状態で固定することができる。このように、放熱板 8 の面 8 a を半導体装置 P A L の主面 P A L b と密着させることで、半導体装置 P A L からの放熱効率を向上させることができる。

【0044】

また、半導体装置 P A H、P A L には、それぞれ半導体装置 P A H、P A L を厚さ方向に貫通する貫通孔 1 5 が形成されている。半導体装置 P A H には、主面 P A H a、P A H b のうち、いずれか一方から他方まで貫通する貫通孔 1 5 a が形成されている。また、半導体装置 P A L には、主面 P A L a、P A L b のうち、いずれか一方から他方まで貫通する貫通孔 1 5 b が形成されている。ここで、図 2 および図 3 に示すように、半導体装置 P A H、P A L のそれぞれは、平面視において、貫通孔 1 5 が配線基板 5 の外側に位置するように面 5 a (図 2 参照) に搭載されている。詳しくは、半導体装置 P A H、P A L のそれぞれは、配線基板 5 の辺 5 e から配線基板 5 の外側に突出するように配置され、突出した領域に貫通孔 1 5 が形成されている。言い換えれば、半導体装置 P A H、P A L のそれぞれは、配線基板 5 の辺 5 e を跨ぐように配置され、配線基板 5 の外側に貫通孔 1 5 が形成されている。このように半導体装置 P A H、P A L の貫通孔 1 5 を配線基板 5 の外側に配置することにより、図 5 に示すように、ネジ 9 は配線基板 5 を介さずに、半導体装置 P A H、P A L を直接的に固定することができる。

【0045】

本実施の形態のように、半導体装置 P A H、P A L に放熱板 8 をネジ止め固定する方法は、下記の点で好ましい。まず、図 4 および図 5 に示す半導体装置 P A L のように、放熱

性低下の原因となる接着層を介さず、主面 P A L b と放熱板 8 の面 8 a を接触させることができるため、放熱性を向上させることができる。また、ネジ 9 による固定方法は容易に固定することができるため、放熱板 8 を固定する工程を効率化することができる。また例えば、半導体モジュール 2 を図示しない実装基板に実装した後でも放熱板 8 を固定することができるので、放熱板 8 を固定しない状態で半導体モジュール 2 を実装基板に実装することができる。また、ネジ 9 を緩めれば、放熱板 8 を容易に取り外すことができるので、例えば放熱板 8 の交換などのメンテナンス作業を容易に行うことができる。

【0046】

また、本実施の形態のように、複数の半導体装置（パワー半導体デバイス）P A H、P A L を備える半導体モジュール 2 において、一つの放熱板 8 を固定する場合には、半導体装置 P A H、P A L のうち、いずれか一方をネジ止め固定し、他方は、ネジ止め固定しない実施態様とすることもできる。しかし、複数の半導体装置 P A H、P A L のそれぞれに、放熱板 8 を確実に固定する観点からは、半導体装置 P A H、P A L のそれぞれに貫通孔 1 5 a、1 5 b を形成し、ネジ 9 a、9 b を用いてそれぞれ個別に固定することが好ましい。

【0047】

＜パワー半導体デバイス＞

次に、半導体装置 P A H、P A L の詳細な構造について説明する。図 6 は、図 2 ～図 5 に示すパワー半導体デバイスの内部構造を示す透視平面図、図 7 は図 6 の A - A 線に沿った断面図である。なお、図 2 ～図 5 に示す半導体装置 P A H、P A L は、同じ構造となっているため、図 6 および図 7 を用いて半導体装置 P A H および半導体装置 P A L の構造を説明する。

【0048】

図 7 に示すように半導体装置 P A H は、主面 P A H a、主面 P A H a とは反対側に位置する主面 P A H b、および主面 P A H a と主面 P A H b の間に位置する側面 P A H c を備えている。主面 P A H a は半導体装置 P A H の搭載面であり、図 5 に示すように半導体装置 P A H は、主面 P A H a が配線基板 5 の面 5 a と対向するように配線基板 5 の面 5 a に搭載されている。また、半導体装置 P A L は、主面（基材対向面）P A L a、主面 P A L a とは反対側に位置する主面（放熱板対向面）P A L b、および主面 P A L a と主面 P A L b の間に位置する側面 P A L c を備えている。主面 P A L a は半導体装置 P A L の搭載面であり、図 5 に示すように半導体装置 P A L は、主面 P A L a が配線基板 5 の面 5 a と対向するように配線基板 5 の面 5 a に搭載されている。

【0049】

また、図 6 に示すように半導体装置 P A H、P A L のそれぞれは、半導体チップ 1 0 と、半導体チップ 1 0 を搭載するためのチップ搭載部（タブ、ダイパッド）1 1 と、半導体チップ 1 0 と電気的に接続される複数のリード（外部端子）6 と、半導体チップ 1 0 とリード 6 を電気的に接続する複数のワイヤ（導電性部材）1 2 と、半導体チップ 1 0 および複数のワイヤ 1 2 を封止する封止体（樹脂体）1 3 と、を備えている。

【0050】

チップ搭載部 1 1 は、半導体チップ 1 0 の搭載面となる上面 1 1 a および上面 1 1 a の反対側に位置する下面 1 1 b、および上面 1 1 a と下面 1 1 b の間に位置する側面 1 1 c を備え、金属から成る板状部材である。本実施の形態では、チップ搭載部 1 1 は、例えば銅（C u）から成る。また、チップ搭載部 1 1 は、上面 1 1 a および側面 1 1 c の一部が封止体 1 3 に覆われ、封止されている。チップ搭載部 1 1 の側面 1 1 c の一部を封止体 1 3 で覆うことにより、封止体 1 3 とチップ搭載部 1 1 の接着強度を向上させることができる。

【0051】

一方、チップ搭載部 1 1 の下面 1 1 b および側面 1 1 c の他部は、封止体 1 3 から露出している。言い換えれば、チップ搭載部 1 1 の下面 1 1 b は、半導体装置 P A H、P A L の主面 P A H b、P A L b の一部を構成し、かつ、主面 P A H b、P A L b において、封

止体 13 から露出している。このように金属から成るチップ搭載部 11 の一部を封止体 13 から露出させることにより、半導体装置 PAH、PAL の放熱性を向上させることができる。また、チップ搭載部 11 の下面 11b を、半導体装置 PAH、PAL の主面 PAHb、PALb の一部とすることで、放熱板 8 (図 5 参照) と、チップ搭載部 11b を直接的に接触させることができる。この結果、放熱効率をさらに向上させることができる。

【0052】

また、半導体チップ 10 は、表面 10a、表面 10a とは反対側に位置する裏面 10b (図 7 参照)、表面 10a に形成される複数 (図 6 では 2 個) のパッド (表面電極) 10c、および裏面 10b に形成される裏面電極 10d (図 7 参照) を備えている。図 7 および図 8 に示すように、半導体チップ 10 は裏面 10b がチップ搭載部 11 の上面 11a と対向するようにチップ搭載部 11 に導電性接着材 (導電性部材) 14 を介して搭載される。半導体チップ 10 には、複数のトランジスタ素子 (IGBT) が形成され、各トランジスタ素子を並列に接続している。そして、トランジスタ素子のゲート、およびエミッタは、半導体チップ 10 の表面 10a に形成されたパッド 10c に接続されている。つまり、図 6 に示す 2 個のパッド 10c は、一つがゲート用の電極、もう一つがエミッタ用の電極となっている。一方、トランジスタ素子のコレクタは、半導体チップ 10 の裏面 10b に形成された裏面電極 10d に接続されている。

【0053】

また、チップ搭載部 11 の近傍には、半導体チップ 10 と電氣的に接続される複数のリード (外部端子) 6 が配置されている。詳しくは、半導体チップ 10 のゲート用のパッド 10c は、ワイヤ 12 を介してゲート端子 G と電氣的に接続されている。また、半導体チップ 10 のエミッタ用のパッド 10c は、ワイヤ 12 を介してエミッタ端子 E と電氣的に接続されている。また、半導体チップ 10 のコレクタ用の電極である裏面電極 10d (図 7 参照) は、導電性接着材 14 を介して金属性のチップ搭載部 11 と接続され、コレクタ端子 C はチップ搭載部 11 と一体に形成されている。つまり、裏面電極 10d は導電性接着材 14 およびチップ搭載部 11 を介してコレクタ端子 C と電氣的に接続されている。導電性接着材 14 は、例えば半田材や銀ペースト (多数の銀 (Ag) 粒子を含むペースト状の樹脂を硬化させて用いる導電性接着材) を用いることができる。このように半導体チップ 10 の裏面 10b 側を、導電性接着材 14 を介してチップ搭載部 11 と接続すれば、チップ搭載部 11 を広い放熱経路として活用できるので、放熱性を向上させることができる。また、半導体チップ 10 のエミッタ電極とコレクタ電極を互いに反対側の面に形成することにより、少ない面積で、多くのトランジスタ素子を形成することができる。言い換えれば、単位面積当たりのトランジスタ素子の集積度を向上させることができる。

【0054】

また、図 6 に示すように半導体装置 PAH、PAL の複数のリード 6a、6b は、それぞれ封止体 13 の同じ側面で封止体 13 の外側に露出し、同じ方向に向かって延びる。詳しくは、半導体装置 PAH、PAL の封止体 13 は、第 1 側面 S1、第 1 側面 S1 と対向する第 2 側面 S2、第 1 側面 S1 と第 2 側面 S2 の間に位置する第 3 側面 S3 および第 3 側面 S3 と対向する第 4 側面 S4 を備え、複数のリード 6a、6b は、それぞれ第 1 側面 S1 から封止体 13 の外側に突出するように延びる。このように、複数のリード 6a、6b を一つの側面 S1 に沿って集約して配置することで、図 2 に示すように半導体装置 PAH、PAL を搭載した半導体モジュール 2 の複数のリード 6 を配線基板 5 の一辺に集約して配置することができる。

【0055】

また、図 6 に示すように半導体装置 PAH、PAL を厚さ方向に貫通する貫通孔 15a は、チップ搭載部 11 と重なる位置に形成され、封止体 13 およびチップ搭載部 11 を貫通するように形成されている。詳しくは、チップ搭載部 11 には、貫通孔 15 よりも開口径が大きい貫通孔 11d が形成され、貫通孔 15 は貫通孔 11d の内側に配置されている。このように貫通孔 15 をチップ搭載部 11 と重なる位置に形成することにより、ネジ 9 (図 5 参照) はチップ搭載部 11 の貫通孔 11d を貫通することとなる。半導体装置 PA

H、PALに放熱板8（図5参照）をネジ止め固定する際に、特に強い締め付け力が作用する領域は、ネジ9の周辺領域、すなわち、貫通孔15の周辺領域である。したがって、チップ搭載部11をネジ9が貫通することにより、チップ搭載部11の下面11b（図5参照）と放熱板8の面8a（図5参照）を確実に密着させることができる。

【0056】

＜複数のパワー半導体デバイスに一枚の放熱板を固定する方法について＞

本実施の形態では図5に示すように複数の半導体装置（パワー半導体デバイス）PAH、PALに一つの放熱板8を固定する。そして、半導体装置PAHの主面PAHbおよび半導体装置PALの主面PALbでは、半導体チップ10（図6参照）に電氣的に接続されるチップ搭載部11の下面11bが露出している。また、放熱板8は例えばアルミニウムなどの金属から成るため、導電性部材である。このため、半導体装置PAHの主面PAHaと半導体装置PALの主面PALaを一つの放熱板8と直接的に接触させると、半導体装置PAHと半導体装置PALが放熱板8を介して電氣的に接続されてしまう。詳しくは、チップ搭載部11は、前記したように、図6に示す半導体チップ10のコレクタ用の電極と電氣的に接続されているため、半導体装置PAHのコレクタ端子Cと半導体装置PALのコレクタ端子Cが放熱板8を介して短絡してしまう。

【0057】

そこで、本実施の形態では、複数の半導体装置PAH、PALのコレクタ端子C同士の短絡を防止するため、図5に示すように半導体装置PAH、PALのうちの一方に放熱板8を直接固定し、他方には絶縁シート16を介して放熱板8を固定している。図5に示す例では、2個の半導体装置PAH、PALのうち、半導体装置PALは、チップ搭載部11の下面11bと放熱板8が接触するように固定されている。一方、半導体装置PAHは、チップ搭載部11の下面11bと放熱板8が接触しないように、絶縁シート16を介して固定されている。絶縁シート16は、半導体装置PAHと放熱板8を絶縁するための部材であって、例えば、シート状に成形した樹脂フィルムを用いることができる。ただし、絶縁シート16の絶縁性を阻害しない範囲内で、例えば金属粒子などのフィラー材を添加して、絶縁シート16の熱伝導率を向上させることが好ましい。また、放熱板8は、前記したようにネジ止め固定方式により半導体装置PAHに固定されるので、絶縁シート16には高い接着強度は要求されない。したがって、絶縁シート16の半導体装置PAHの主面PAHbとの対向面、および放熱板8の面8aとの対向面には、粘着層は形成されていない、あるいは、粘着層が形成される場合であってもその厚さは非常に薄い。粘着層を厚く形成すると、絶縁シート16の放熱性を低下させる要因となるが、本実施の形態の絶縁シート16は、粘着層を形成しない、あるいは非常に薄く形成するので放熱性低下を抑制することができる。また、ネジ9を挿入する貫通孔15は、図6および図7に示すようにチップ搭載部11の貫通孔11dの内側に形成され、貫通孔11dと貫通孔15の間は封止体13が配置されている。このため、ネジ9とチップ搭載部11は接触しない構造となっている。したがって、金属性のネジ9を用いた場合であっても、ネジ9を介してチップ搭載部11と放熱板8が短絡することを防止できる。

【0058】

また、本実施の形態では半導体装置PAH、PALは同じ構造であるため、厚さ（主面間の距離）も同じである。このため、図5に示すように半導体装置PAHと放熱板8の間に絶縁シート16を配置し、半導体装置PALと放熱板8の間には絶縁シート16を配置しない場合、絶縁シート16の厚さに応じて、主面PAHbと主面PALbの位置をずらさなければ、放熱板8の面8aに、主面PALbと絶縁シート16の面16aを密着させることができない。そこで、本実施の形態では、配線基板5の面5aにおいて、主面PAHbと主面PALbの位置を補正するため、半導体装置PAHと配線基板5の間にスペーサ部材17を配置している。図5に示す例では、半導体装置PALの主面PALaと配線基板5の面5aの間には、スペーサ部材17が配置されている。そして、側面視において、半導体装置PALの主面PALbと、絶縁シート16の放熱板8との面16aの位置は揃っている。このため、半導体装置PALの主面PALbと絶縁シート16の面16aを

それぞれ放熱板 8 の面 8 a と密着させることができる。この結果、半導体装置 P A L からの熱は直接的に、半導体装置 P A H からの熱は絶縁シート 1 6 を介して、効率的に放熱板 8 に伝達することができる。なお、主面 P A L b と対向面 1 6 a の位置が揃っているとは、ネジ止め固定方式により、主面 P A L b と面 1 6 a のそれぞれを放熱板 8 の面 8 a と密着させることができる程度で同じ高さになっているという意味であり、加工精度等による僅かな位置ずれを排除するものではない。

【0059】

スペーサ部材 1 7 は、主面 P A L b と面 1 6 a の位置を揃えるための部材であるため、特に構成材料は限定されず、例えば、シート状に形成した樹脂フィルム、あるいは金属板を用いることができる。ただし、半導体装置 P A L からの熱が、配線基板 5 の面 5 b 側に伝達されることを抑制する観点からは、絶縁シート 1 6 よりも熱伝導率が低い、例えば樹脂フィルムを用いることが好ましい。また、スペーサ部材 1 7 は、図 5 に示すようにネジ止め固定するので、特に接着性は要求されないが、半導体装置 P A L をより確実に配線基板 5 に固定して、位置ずれを抑制する観点からは、スペーサ部材 1 7 の配線基板 5 との対向面である面 1 7 a、および半導体装置 P A L との対向面である面 1 7 b にそれぞれ粘着層（接着層）を形成し、スペーサ部材 1 7 を介して半導体装置 P A L を配線基板 5 に接着固定することが好ましい。また、図示は省略するが、図 5 に対する変形例として、半導体装置 P A H と配線基板 5 の面 5 a の間にもスペーサ部材 1 7 よりも厚さの薄い（絶縁シート 1 6 の厚さ分薄い）スペーサ部材を配置することができる。この場合、半導体装置 P A H からの熱が配線基板 5 の面 5 b 側に伝達されることを抑制することができる。また、半導体装置 P A H を図示しないスペーサ部材を介して配線基板 5 に接着固定すれば、半導体装置 P A H の位置ずれを抑制することができる。

【0060】

ところで、複数のパワー半導体デバイスのうち、いずれか一方の発熱量が、他方の発熱量よりも高い場合、発熱量が大きい方のパワー半導体デバイスを放熱板 8 と直接、接続することが好ましい。例えば、図 5 に示す例では、ローサイド側のスイッチング素子である半導体装置 P A L は、ハイサイド側のスイッチング素子である半導体装置 P A H よりも発熱量が大きい。この場合、相対的に発熱量が大きい半導体装置 P A L と放熱板 8 を接触させることにより、半導体モジュール 2 全体としての放熱効率が向上する。また、相対的に発熱量が大きい半導体装置 P A L と配線基板 5 の間にスペーサ部材 1 7 を介在させることにより、配線基板 5 の面 5 b 側への熱影響を低減することができる。

【0061】

<半導体モジュールの製造方法>

次に、図 1 ～図 7 を用いて説明した半導体モジュール 2 の製造工程について、説明する。図 1 ～図 5 に示す半導体モジュール 2 は、例えば図 8 に示す組立てフローに沿って製造される。図 8 は、本実施の形態の半導体モジュールの組立てフローの一例を示す説明図である。

【0062】

1. 基材準備工程；

まず、図 8 に示す基材準備工程では、図 9 ～図 1 1 に示す配線基板 5 を準備する。図 9 は、図 8 に示す基材準備工程で準備する配線基板の一方の面の外観を示す平面図、図 1 0 は図 9 に示す配線基板の反対側の面の外観を示す平面図、図 1 1 は図 9 および図 1 0 の D - D 線に沿った拡大断面図である。

【0063】

本工程で準備する配線基板 5 は、図 1 1 に示すように面 5 a、面 5 a の反対側に位置する面 5 b および面 5 a と面 5 b の間に位置する側面 5 c（図 9、図 1 0 参照）を備えている。また、図 9 および図 1 0 に示すように、面 5 a、5 b はそれぞれ四辺形の平面形状を成し、第 1 辺 5 d、第 1 辺 5 d と対向する第 2 辺 5 e、第 1 辺 5 d および第 2 辺の間に位置する第 3 辺 5 f、および第 3 辺 5 f と対向する第 4 辺 5 g を備えている。この第 1 辺 5 d、第 2 辺 5 e、第 3 辺 5 f、第 4 辺 5 g は配線基板 5 の側面 5 c を構成する。また、図

1 1 に示すように、配線基板 5 は、例えば樹脂から成るコア材 2 0 と、コア材 2 0 上に形成された複数の配線 7 を備え、面 5 a および面 5 b は、それぞれ絶縁膜（ソルダレジスト膜、保護膜）2 1 により覆われている。

【0064】

図 9 に示す面 5 a には、配線 7 a が形成され、絶縁膜 2 1 に覆われている。また、面 5 a には、図 2 に示す半導体モジュール 2 の外部端子となるリード 6（リード 6 c）を固定するためのパッド 2 2 が形成され、パッド 2 2 は絶縁膜 2 1 から露出している。パッド 2 2 は金属膜から成り、例えば配線 7 a と同じ、銅膜から成る。また、図 1 1 に示すように、配線 7 a は、面 5 a 側の配線層と面 5 b 側の配線層を電氣的に接続する層間導電路であるビア（ビア配線）7 c と接続され、ビア 7 c を介して面 5 b 側の配線 7 b と電氣的に接続されている。また、配線基板 5 には、面 5 a および面 5 b のうち、いずれか一方から他方に向かって貫通する複数の貫通孔 S H を有している。この貫通孔 S H は、図 2 に示す半導体装置 P A H、P A L のリード 6 a、6 b を挿入するための孔であり、図 9 の例では、6 個の貫通孔 S H が設けられている。また、図 1 1 に示すように貫通孔 S H の内壁には、配線 7 b と同じ導体膜 7 d が形成され、導体膜 7 d は配線 7 a または配線 7 b と一体に形成されている。つまり、貫通孔 S H は、配線基板 5 の面 5 a 側の配線層と面 5 b 側の配線層を電氣的に接続する層間導電路となっている。

10

【0065】

一方、図 1 0 に示す面 5 b には、複数の配線 7 b が形成され、絶縁膜 2 1 に覆われている。また、面 5 b には、図 2 に示す半導体モジュール 2 の外部端子となるリード 6（リード 6 c）を固定するためのパッド 2 2 が形成され、パッド 2 2 は絶縁膜 2 1 から露出している。面 5 b の複数のパッド 2 2 は、面 5 a の複数のパッド 2 2 の反対側の位置に配置され、図 1 0 に示すように面 5 b において、複数の配線 7 b と電氣的に接続されている。また、面 5 b には、図 2 に示す半導体モジュール 2 の複数の電子部品 E D を搭載するための実装端子である複数のランド（パッド、実装端子）2 3 が形成されている。この複数のランド 2 3 は配線 7 b と電氣的に接続され、面 5 b 側の絶縁膜 2 1 に形成された開口部において、絶縁膜 2 1 から露出している。これにより、ランド 2 3 に図 2 に示す電子部品 E D の外部端子を接続することができる。なお、図 2 に示す半導体装置 P A H、P A L は、複数のリード 6 a、6 b を貫通孔 S H に挿入し、半田 S H M により配線基板 5 と電氣的に接続する。したがって、図 9 および図 1 1 に示すように、配線基板 5 の面 5 a にはランド 2 3 は形成されていない。

20

30

【0066】

ここで、図 9 および図 1 0 に示すように、複数のランド 2 3 および複数の貫通孔 S H は、配線基板 5 の四辺のうち、第 1 辺 5 d に沿って並べて配置されている。これにより、図 2 に示す半導体モジュール 2 のように、複数のリード 6 を第 1 辺 5 d に沿って並べて配置することができる。

【0067】

また、図 1 0 に示すように、複数のランド 2 3 のそれぞれは、複数のパッド 2 2 および貫通孔 S H よりも第 2 辺 5 e 側に配置されている。詳しくは、全てのランド 2 3 は、全てのパッド 2 2 および全ての貫通孔 S H よりも第 2 辺 5 e 側に配置されている。言い換えれば、複数のパッド 2 2 のそれぞれは、複数の（全ての）ランド 2 3 よりも第 1 辺 5 d 側に配置される。また、複数の貫通孔 S H のそれぞれは、複数の（全ての）ランド 2 3 よりも第 1 辺 5 d 側に配置される。すなわち、複数のランド 2 3 は第 2 辺 5 e 側に、複数の貫通孔 S H および複数のパッド 2 2 は第 1 辺 5 d 側に、それぞれ集約して配置している。ランド 2 3 は、図 2 に示す半導体モジュール 2 の面 5 b 側の電子部品 E D を搭載するための実装端子である。一方、貫通孔 S H は、図 2 に示す半導体モジュール 2 の半導体装置 P A H、P A L のリード 6 a、6 b を電氣的に接続するための実装端子、パッド 2 2 は、図 2 に示す半導体モジュールの外部端子であるリード 6 c を搭載するための実装端子である。したがって、貫通孔 S H およびパッド 2 2 を第 1 辺 5 d 側に、ランド 2 3 を第 1 辺 5 d とは反対側の第 2 辺 5 e 側に集約することにより、図 2 に示す複数のリード 6 および複数の電

40

50

子部品 E D を、互いに邪魔にならないように配置することができる。また、図 8 に示す半田膜形成工程では、配線基板 5 の一部を半田溶液に浸して半田膜を形成するが、半田膜を形成する対象となる外部端子を配線基板 5 の一辺に集約することで、容易に半田膜を形成することができる。

【0068】

2. 電子部品搭載工程；

次に、図 8 に示す電子部品搭載工程では、図 12 に示すように、配線基板 5 の面 5 b に複数の電子部品 E D を搭載（実装）する。図 12 は、図 10 に示す配線基板上に複数の電子部品を搭載した状態を示す平面図、図 13 は図 11 に示す配線基板の上下を反転し、ランド上に電子部品を搭載した状態を示す拡大断面図である。

10

【0069】

本工程では、図 12 に示すように、配線基板 5 の面 5 b に複数の電子部品 E D を搭載し、各電子部品の外部端子 24 と実装端子であるランド 23 を電氣的に接続する。本工程で搭載する電子部品 E D には、半導体装置 P A H、P A L（図 2 参照）を駆動するドライバ回路が形成された半導体装置 P D R が含まれる。図 12 に示す例では、半導体装置 P D R の他、4 つの抵抗素子 R H 1、R H 2、R L 1、R L 2 および一つのダイオード素子 D 1 を搭載する。以下、半導体装置 P D R を例に取り上げて、図 13 を用いて電子部品 E D の搭載方法を説明する。

【0070】

本工程では、まず、実装端子であるランド 23 上に接合材 25 を塗布する。この時、複数のランド 23 のそれぞれに、接合材 25 を塗布する。接合材は、例えば半田ペーストなどを用いることができる。次に、被搭載物である半導体装置 P D R（電子部品 E D）の外部端子 24 がランド 23 上に位置するように配置し、接合材 25 上に置く。そしてリフロー処理として、接合材 25 を加熱すると、接合材 25 が外部端子 24 の表面において濡れ広がり、外部端子 24 とランド 23 は、接合材 25 を介して電氣的に接続される。半導体装置 P D R は、図 13 に示すように、半導体チップ 26、半導体チップ 26 を搭載するチップ搭載部（タブ、ダイパッド）27、半導体チップ 26 の周囲に配置される複数の外部端子（リード）24、半導体チップ 26 の複数の電極と複数の外部端子 24 を電氣的に接続する複数のワイヤ 28、および半導体チップ 26 と複数のワイヤ 28 を封止する封止体 29 を備えている。また、半導体チップ 26 には、図 1 に示す 2 つのドライバ回路（駆動回路）D R 1、D R 2 が形成され、各ドライバ回路は、半導体チップ 26 の電極に接続されている。したがって、本工程により、半導体チップ 26 に形成された 2 つのドライバ回路は、接合材 25 を介して配線基板 5 の配線 7 b と電氣的に接続される。また、半導体装置 P D R（電子部品 E D）は、接合材 25 を介して配線基板 5 の面 5 b 上に固定される。

20

30

【0071】

ところで、本実施の形態では、複数の電子部品 E D を搭載するが、製造効率を向上させる観点からは、複数の電子部品 E D を一括して搭載することが好ましい。したがって、本工程では、複数の電子部品 E D がそれぞれ備える複数の外部端子 24 を、接合材 25 を介してランド 23 上に置く。そして、例えば、配線基板 5 を図示しないリフロー炉に搬送し、加熱すれば、配線基板 5 全体が加熱される。この結果、複数の接合材 25 が一括して加熱されるため、複数の電子部品 E D を一括して配線基板 5 に搭載することができる。

40

【0072】

3. 外部端子形成工程；

次に、図 8 に示す外部端子形成工程では、図 2 に示す半導体モジュール 2 の外部端子となるリード 6 c を配線基板 5 に取り付け、配線基板 5 と電氣的に接続する。図 14 は、図 12 に示す外部端子取り付け用のパッドに外部端子を取り付けた状態を示す拡大平面図、図 15 は図 14 の F-F 線に沿った拡大断面図である。

【0073】

本工程では、図 2 に示す複数のリード 6 のうち、半導体装置 P A H、P A L の外部端子であるリード 6 a、6 b 以外のリード 6 c を形成する。複数のリード 6 c は、例えば以下

50

のように形成される。

【0074】

まず、図14に示すように、複数のリード6cのそれぞれを配線基板5に形成されたパッド22に取り付ける。図15に示すように、リード6cの一方の端部には、配線基板5を挟んで固定するコネクタ部6c1が形成されている。コネクタ部6c1は、配線基板5の面5aと当接する面6c1a、配線基板5の面5bと当接する面6c1b、および配線基板5の側面5cと当接する面6c1cを備えている。したがって、コネクタ部6c1の面6c1a、と面6c1bの間に設けられた開口部に配線基板5の側面5cを挿入すると、配線基板5は、コネクタ部6c1に挟まれ、リード6cが固定される。また、配線基板5には、予め金属（例えば銅）から成るパッド22が形成されており、パッド22とリード6cが接触することにより、パッド22を介して配線基板5の配線7（図14参照）とリード6cが電氣的に接続される。なお、詳細は後述するが、本工程の後、図8に示す半田膜形成工程において、パッド22およびリード6cの表面に半田膜を形成する。これにより、リード6cとパッド22の電氣的接続信頼性を向上させることができるので、本工程では、リード6cのコネクタ部6c1と配線基板5のパッド22の位置関係がずれない程度に固定することができれば良い。

10

【0075】

また、複数のリード6cのそれぞれは、コネクタ部6c1と一体に形成され、配線基板5の第1辺5dから配線基板5の外側に向かって延びる延在部6c2を備えている。また、各延在部6c2はコネクタ部6c1とは反対側の端部において、複数のリード6cを一体化する連結部6c3により連結されている。このように複数の連結部6c3を介して複数のリード6cが連結された状態で本工程を行うことにより、複数のリード6cのそれぞれを個別に配線基板5に取り付ける場合よりも大幅に製造効率を向上させることができる。なお、連結部6c3は、複数のリード6cを固定した後で、例えばプレス加工により一括して切断することができる。連結部6c3を切断するタイミングは、複数のリード6cを固定した後であれば特に限定されないが、製造工程中の衝撃などによるリード6cの変形を抑制する観点からは、図8に示す半田膜形成工程の後で行うことが好ましい。

20

【0076】

また、本工程を実施するタイミングは図8に示す態様には限定されず、変形例として、上記した電子部品搭載工程の前に本工程を行うことができる。すなわち、基材準備工程の後、図12に示す複数の電子部品EDを搭載する前に、図14に示す複数のリード6cを形成することができる。ただし、配線基板5のハンドリング性向上の観点、あるいは、製造工程中の衝撃などによるリード6cの変形を抑制する観点からは、本工程は、電子部品搭載工程の後で行うことが好ましい。

30

【0077】

4. パワー半導体デバイス搭載工程；

次に、図8に示すパワー半導体デバイス搭載工程では、図2に示す半導体モジュール2が有するパワー半導体デバイスである半導体装置PAH、PALを配線基板5に取り付ける。図16は、図15に示す配線基板にパワー半導体デバイスを取り付けた状態を示す平面図、図17は、図16に示すH-H線に沿った拡大断面図である。また、図18は、図16に示す配線基板とパワー半導体デバイスを固定した状態で保持する例を示す側面図である。

40

【0078】

本工程では、図16および図17に示すように、半導体装置PAH、PALがそれぞれ備える複数のリード6a、6bを配線基板5の貫通孔SHに挿入し、半導体装置PAH、PALを配線基板5の面5b側に配置する。この時、図16に示すように半導体装置PAH、PALは、配線基板5の第2辺5eを跨いで配線基板5の外側に突出するように配置する。また、半導体装置PAH、PALに形成された貫通孔15が、配線基板5の外側に位置するように配置する。一方、半導体装置PAH、PALの封止体13の側面S1から露出する複数のリード6a、6bは、半導体装置PAH、PALよりも第1辺5d側に配

50

置された貫通孔 S H を経由して、第 1 辺 5 d を跨いで配線基板 5 の外側に突出するように配置する。第 1 辺 5 d は図 2 に示す半導体モジュール 2 を実装基板に実装する際に、実装面側の辺となる。したがって、半導体装置 P A H、P A L の貫通孔 1 5 を第 1 辺 5 d の反対側に位置する第 2 辺 5 e の外側に配置することで、図 5 に示す放熱板 8 と実装基板（図示は省略）が互いに邪魔になることを抑制できる。

【0079】

また、前記したように、本実施の形態では、コレクタ端子の短絡を防止するため、図 5 に示すように半導体装置 P A H、P A L のうちの一方に放熱板 8 を直接固定し、他方には絶縁シート 1 6 を介して放熱板 8 を固定する。そして、絶縁シート 1 6 の面 1 6 a と半導体装置 P A L の主面 P A L b の位置を揃えるため、半導体装置 P A L と配線基板 5 の間にスペーサ部材 1 7 を配置する。したがって、本工程では、相対的に発熱量が大きい半導体装置 P A L と配線基板 5 の間には、図 1 7 および図 1 8 に示すようにスペーサ部材 1 7 を配置する。このため、半導体装置 P A L の主面 P A L b は、半導体装置 P A H の主面 P A H b よりもスペーサ部材 1 7 の厚さ分、配線基板 5 の面 5 b から離れた位置に配置される。

10

【0080】

また、半導体装置 P A H、P A L が備える複数のリード 6 a、6 b は、貫通孔 S H を経由して、第 1 辺 5 d を跨いで配線基板 5 の外側に突出するように配置するため、封止体 1 3 の外側に、少なくとも 2 箇所の屈曲部を有している。言い換えれば、図 1 7 に示すように半導体装置 P A H、P A L が有する複数のリード 6 a、6 b は、配線基板 5 の面 5 b 側で形成された屈曲部 C V 1、および面 5 a 側で形成された屈曲部 C V 2 部をそれぞれ有している。本実施の形態では、半導体装置 P A H、P A L の製造効率を向上させる観点から、半導体装置 P A H、P A L を同じ構造としている。また、製造効率向上の観点からこの屈曲部 C V 1、C V 2 の位置についても、半導体装置 P A H、P A L は同様に形成されている。このように同じ構造の半導体装置 P A H、P A L を異なる高さ（配線基板 5 の基準面である面 5 b に対する位置）で配置した場合、図 1 7 に示すように配線基板 5 の面 5 a 側におけるリード 6 a、6 b の高さが異なる高さになる。つまり、半導体装置 P A L はスペーサ部材 1 7 を介して配線基板 5 に搭載されるため、半導体装置 P A L の複数のリード 6 b に形成された屈曲部 C V 2 から配線基板 5 の面 5 a までの距離 W 2 は、半導体装置 P A H の複数のリード 6 a に形成された屈曲部 C V 2 から配線基板 5 の面 5 a までの距離 W 1 よりも短い。

20

30

【0081】

ところで、図 2 に示す半導体モジュール 2 では、半導体装置 P A H、P A L は、貫通孔 S H 内に埋め込まれた半田（導体膜）S H M により配線基板 5 と電氣的に接続され、かつ、配線基板 5 に固定される。したがって、本工程で、各貫通孔 S H に半田 S H M を埋め込んで、リフロー処理を施せば、半導体装置 P A H、P A L を配線基板 5 に固定することができる。しかし、図 8 に示す半田膜形成工程において外部端子である複数のリード 6 の表面に半田膜を形成する際に、各貫通孔 S H に半田 S H M を埋め込むことができれば、製造効率をさらに向上させることができる。そこで、本実施の形態では、後述する半田膜形成工程で、複数の貫通孔 S H 内に半田 S H M を埋め込む実施態様について説明する。

40

【0082】

後述する半田膜形成工程で半田 S H M を埋め込む場合、本工程では、複数のリード 6 a、6 b は、貫通孔 S H に挿入されているが、固定はされていない。したがって、後述する半田膜形成工程で、リード 6 a、6 b をしっかりと固定するまでの間は、半導体装置 P A H、P A L の位置がずれないように仮固定しておくことが好ましい。例えば、半導体装置 P A L と配線基板 5 の間にはスペーサ部材 1 7 が配置されるので、スペーサ部材 1 7 の配線基板 5 との対向面である面 1 7 a、および半導体装置 P A L との対向面である面 1 7 b にそれぞれ粘着層（接着層）を形成し、スペーサ部材 1 7 を介して半導体装置 P A L を配線基板 5 に接着固定することができる。一方、半導体装置 P A H と配線基板 5 の間には、スペーサ部材 1 7 よりも薄い両面接着テープを配置することで、半導体装置 P A H を配

50

線基板 5 に接着固定することができる。

【0083】

また、半導体装置 P A H、P A L と配線基板 5 の接着固定を行わず、半田膜形成工程に搬送する場合には、例えば図 1 8 に示す保持治具 3 0 のような治具を用いて、半導体装置 P A H、P A L と配線基板 5 を挟み、保持した状態で搬送することが好ましい。図 1 8 に示す保持治具 3 0 は、配線基板 5 の面 5 b 側に配置される部材 3 1 と、面 5 a 側に配置される部材 3 2 を有している。部材 3 1 は、配線基板 5 の面 5 b を押さえる面（基板押さえ面）3 1 a と、面 5 b とは接触しない窪み部 3 1 b を備えている。図 1 8 に示すように部材 3 1 の窪み部 3 1 b 内に複数の電子部品 E D が位置するように部材 3 1 を配置することで、複数の電子部品 E D を避けて配線基板 5 の面 5 b を押さえる（クランプする）ことができる。一方、部材 3 2 は、半導体装置 P A H の主面 P A H b を押さえる面（デバイス押さえ面）3 2 a と半導体装置 P A L の主面 P A L b を押さえる面（デバイス押さえ面）3 2 b を備えている。また、面 3 2 a と面 3 2 b の間には、それぞれの面の位置（高さ）を補正するための段差部 3 2 c が設けられている。この保持治具 3 0 で半導体装置 P A H、P A L と配線基板 5 を挟みクランプすると、半導体装置 P A H、P A L を配線基板 5 の面 5 a に仮固定することができる。なお、図 1 8 に示す保持治具は、本工程で半導体装置 P A H、P A L を配線基板 5 に接着固定する場合であっても、搬送治具として用いることができる。

10

【0084】

また、本工程を実施するタイミングは図 8 に示す態様には限定されず、変形例として、上記した外部端子形成工程または電子部品搭載工程の前に本工程を行うことができる。すなわち、電子部品搭載工程または基材準備工程の後、図 1 4 に示す複数のリード 6 c を取り付ける前に、半導体装置 P A H、P A L を取り付けることができる。この変形例は、配線基板 5 のハンドリング性向上の観点、あるいは、製造工程中の衝撃などによるリード 6 c の変形を抑制する観点からは好ましい。ただし、前記したように、半導体装置 P A H、P A L を配線基板 5 に固定せずに、半田膜形成工程に搬送する場合には、半田膜形成工程の直前に、本工程を行うことが好ましい。また、前記した外部端子形成工程での作業中に半導体装置 P A H、P A L の位置ずれや、リード 6 a、6 b の変形が生じることを抑制する観点からは、本工程は、外部端子形成工程の後で行うことが好ましい。

20

【0085】

5. 半田膜形成工程；

次に、図 8 に示す半田膜形成工程では、図 1 9 および図 2 0 に示すように配線基板 5 に取り付けられた複数のリード 6（リード 6 a、6 b、6 c）の表面に半田膜（外装めっき膜）S C を形成する。半田膜 S C は、図 2 ～図 5 に示す半導体モジュール 2 を図示しない実装基板に実装する際に接合材として用いる半田の濡れ性を向上させるための導体膜である。図 1 9 および図 2 0 は、図 1 6 に示す複数のリードの表面に半田膜を形成する工程を模式的に示す説明図である。

30

【0086】

本工程では、図 1 9 および図 2 0 に示すように、複数のリード 6（リード 6 a、6 b、6 c）を半田溶液 3 5 に浸漬し、例えば電気めっき法により表面に半田膜 S C を形成する。詳しくは、まず、図 1 9 に示すように、例えば前記した保持治具 3 0 を用いて半導体装置 P A H、P A L と配線基板 5 を挟み、保持した状態で半田槽 3 6 内に配置された半田溶液 3 5 に配線基板 5 の一部（リード 6 が形成された第 1 辺 5 d 側の領域）を浸す。配線基板 5 の面 5 a および面 5 b は、前記したようにソルダレジスト膜である絶縁膜 2 1（図 1 1 参照）により覆われているため、本工程で配線基板 5 の一部を半田溶液 3 5 に浸すと、半田溶液 3 5 に浸され、かつ、絶縁膜 2 1 から露出する部分に選択的に半田膜 S C を形成することができる。

40

【0087】

ここで、本実施の形態では、前記したように、外部端子である複数のリード 6 を配線基板の第 1 辺 5 d 側に集約して配置している。このため、配線基板の第 1 辺 5 d 側を半田溶

50

液 3 5 に浸せば、配線基板の第 2 辺 5 e 側を浸すこと無く、複数のリード 6 を半田溶液 3 5 に浸すことができる。これにより、全てのリード 6 の表面に半田膜 S C を形成することができる。また、図 2 0 に示すように、本工程で複数の貫通孔 S H がそれぞれ半田溶液 3 5 に浸るようにすることで、複数の貫通孔 S H のそれぞれに半田（導体膜）S H M が埋め込まれ、半導体装置 P A H、P A L はそれぞれ半田 S H M により固定される。また、図 2 0 に示すように複数の貫通孔 S H は、配線基板 5 の第 1 辺 5 d 側に寄せて、第 1 辺 5 d に沿って並べて配置されているため、配線基板の第 2 辺 5 e 側を浸すこと無く、全ての貫通孔 S H 内に半田 S H M を形成することができる。また、図 1 0 を用いて説明したように、配線基板 5 に形成された複数のランド 2 3 のそれぞれは、複数のパッド 2 2 および貫通孔 S H よりも第 2 辺 5 e 側に配置されている。つまり、図 2 0 に示すように配線基板 5 の面 5 b 側に搭載される複数の電子部品 E D の全ては、複数のリード 6 および複数の貫通孔 S H よりも第 2 辺 5 e 側に配置されている。このため、本工程では、複数の電子部品 E D を半田溶液 3 5 に浸すこと無く、全てのリード 6 の表面に半田膜 S C を、全ての貫通孔 S H 内に半田 S H M を形成することができる。電子部品 E D、およびこれを搭載するための複数のランド 2 3（図 1 0 参照）は、前記したように絶縁膜 2 1（図 1 0 参照）から露出しているため、これらを半田溶液 3 5 に浸すと、表面に半田膜が形成される。そして形成される半田膜の厚さによっては、隣り合う端子間が短絡し、信頼性低下の原因となる。本実施の形態によれば、複数の電子部品 E D を半田溶液 3 5 に浸すこと無く、全てのリード 6 の表面に半田膜 S C を、全ての貫通孔 S H 内に半田 S H M を形成することができるため、信頼性低下を抑制できる。

【0088】

また、本実施の形態では、外部端子である複数のリード 6 の表面に半田膜 S C を形成する工程と、複数の貫通孔 S H 内に半田 S H M を形成し、半導体装置 P A H、P A L を固定する工程を、一括して行う。このため、各工程を個別に行う場合と比較して、工程数を削減できるので、製造効率を向上させることができる。また、本工程では図 1 9 に示すように保持治具 3 0 を用いて、半導体装置 P A H、P A L と配線基板 5 を保持した状態で、半田溶液 3 5 に浸漬する。保持治具 3 0 は、前記した図 1 8 に示すように、配線基板 5 の面 5 b 側に配置される部材 3 1 と、面 5 a 側に配置される部材 3 2 を有している。部材 3 1 は、配線基板 5 の面 5 b を押さえる面（基板押さえ面）3 1 a と、面 5 b とは接触しない窪み部 3 1 b を備えている。図 1 8 に示すように部材 3 1 の窪み部 3 1 b 内に複数の電子部品 E D が位置するように部材 3 1 を配置することで、複数の電子部品 E D を避けて配線基板 5 の面 5 b を押さえる（クランプする）ことができる。一方、部材 3 2 は、半導体装置 P A H の主面 P A H b を押さえる面（デバイス押さえ面）3 2 a と半導体装置 P A L の主面 P A L b を押さえる面（デバイス押さえ面）3 2 b を備えている。また、面 3 2 a と面 3 2 b の間には、それぞれの面の位置（高さ）を補正するための段差部 3 2 c が設けられている。したがって、保持治具 3 0 を用いれば、配線基板 5 の面 5 b、半導体装置 P A H の主面 P A H b、半導体装置 P A L の主面 P A L b をそれぞれ保持治具 3 0 の面 3 1 a、3 2 b、3 2 a と密着させた状態で保持できる。つまり、図 2 0 に示すように貫通孔 S H に半田 S H M が形成され、半導体装置 P A H P A L が配線基板 5 と固定されるまでの間、所定の位置関係を保つことができる。

【0089】

ただし、前記したように、パワー半導体デバイス搭載工程で半導体装置 P A H、P A L をそれぞれ配線基板 5 に接着固定する場合には、例えば、保持治具 3 0 を簡易な構造とすることができる。例えば、図 1 8 に示す段差部 3 2 c を設けず、半導体装置 P A L の主面 P A L b と配線基板 5 の面 5 b のみを挟んで保持する構造を適用することができる。

【0090】

6. 放熱板固定工程；

次に、図 8 に示す放熱板固定工程では、図 2 1 および図 2 2 に示すように半導体装置 P A H、P A L に放熱板 8 を取り付け、固定する。図 2 1 は、図 2 0 に示す半導体モジュールに放熱板を取り付けた状態を示す平面図、図 2 2 は、図 2 1 に示す J-J 線に沿った拡

大断面図である。

【0091】

本工程では、図21および図22に示すように貫通孔15にネジ9を挿入し、放熱板8をネジ止め固定する。図22に示す例では、半導体装置PAH、PALの主面PAHa、PALa側からネジ9を挿入し、貫通孔15を貫通させる。放熱板8の面8a側には、貫通孔15と重なる位置にネジ穴（側面にネジ9と組み合わせる螺旋状の溝が形成された穴）8bが形成され、ネジ9をこのネジ穴8bに挿入し、締め込むことで、放熱板8を半導体装置PAH、PALに固定している。この時、図22に示すように半導体装置PAHと放熱板8の間には、絶縁シート16を配置し、絶縁シート16を介して半導体装置PAHと放熱板8を固定する。これにより、放熱板8として例えばアルミニウム等の金属板を用いた場合でも、半導体装置PAHのチップ搭載部11と半導体装置PALのチップ搭載部11を電氣的に分離することができる。また、ネジ9は、チップ搭載部11とは接触しないので、ネジ9を金属とした場合でも、半導体装置PAHのチップ搭載部11と半導体装置PALのチップ搭載部11を電氣的に分離することができる。このように、本実施の形態では、ネジ9を用いて半導体装置PAH、PALに放熱板8を固定するので、半導体装置PALの主面PALbと放熱板8を密着させる事ができる。つまり、相対的に発熱量が大きい半導体装置PALの放熱効率を向上させることができるので、半導体モジュール2の信頼性を向上させることができる。

10

【0092】

また、ネジ9による固定方法は、放熱板8を容易に固定することができるので、変形例として半導体モジュール2を実装基板に実装した後で、放熱板8を固定することができる。この場合、図8に示す半田膜形成工程の後、放熱板8を取り付ける前の状態で、外観検査や電氣的検査など、必要な検査を行い出荷する。つまり、放熱板8を取り付けるための貫通孔15が形成された状態で半導体モジュール2を出荷することができる。この場合、放熱板8の形状を半導体モジュール2の実装レイアウトに応じて、種々の形状とすることができる。一方、半導体モジュール2は量産することができるため、製造効率を向上させることができる。

20

【0093】

<変形例>

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

30

【0094】

例えば、図1～図22では、2個のパワー半導体デバイスを備えた半導体モジュールについて説明したが、半導体モジュールが備えるパワー半導体デバイスの数は2個には限定されない。例えば、図23および図24に示すように1個のパワー半導体デバイスを備えた半導体モジュール2Aに適用することができる。図23は、図2に対する変形例である半導体モジュールを示す平面図である。また、図24は図23に示す半導体モジュールに放熱板を固定した状態を示す側面図である。図23および図24に示す半導体モジュール2Aは、パワー半導体デバイスとして、1個の半導体装置PA1のみを備えている点を除き、図1～図22を用いて説明した半導体モジュール2と同様である。このように1個のパワー半導体デバイスを備えるモジュールとしては、例えば力率改善（整流時の高調波の発生を抑制する）のためのシステムを備えたモジュールなどが例示できる。

40

【0095】

また、図1～図22では、2個のパワー半導体デバイスの一方は絶縁シートを介して放熱板を固定し、他方は放熱板に接触させた構成について説明したが、半導体モジュールが備えるパワー半導体デバイスの数は2個には限定されず、例えば、2個よりも多いパワー半導体デバイスを備えた半導体モジュールに適用することもできる。例えば、三相モータの駆動回路に組み込まれるインバータでは、6個のパワー半導体デバイスを用いる場合がある。6個のパワー半導体デバイスを備えた半導体モジュールの場合、図1～図22を用

50

いて説明した半導体モジュール2の構成を3つ横に並べて配置する態様が考えられる。ただし、この場合、外部端子であるリード6が配置される第1辺5dの長さが長くなる。

【0096】

そこで、モジュールの小型化の観点からは、図25に示す半導体モジュール2Bのように、配線基板5の複数の辺にそれぞれ複数のリード（外部端子）6を設け、パワー半導体デバイスをマトリクス状に配置することが好ましい。図25は、図2に対する別の変形例である半導体モジュールを示す平面図である。また、図26は、図25に示す半導体モジュールに放熱板を固定した状態を示す側面図である。図25に示す半導体モジュール2Bは、下記の点で図1～図22を用いて説明した半導体モジュール2と相違する。まず、半導体モジュール2Bは、6個のパワー半導体デバイスを備えている。詳しくは、3個のハイサイド側の半導体装置PAHと、3個のローサイド側の半導体装置PALを備えている。

10

【0097】

また、配線基板5の面5aにおける半導体装置PAH、PALのレイアウトは、半導体装置PAHのリード6aが露出する面と、半導体装置PALのリード6bが露出する面が対向するように、それぞれ半導体装置PAHと半導体装置PALを対向させて配置している。また、複数のリード6a、6bは、配線基板5の外側には突出せず、配線基板に形成された配線（図示は省略）を介して半導体装置PDRなど、配線基板5の面5b側に搭載された電子部品ED、および外部端子である複数のリード6と電氣的に接続されている。

【0098】

また、複数のリード6は、配線基板5の一辺には集約されず、複数の辺に形成されている。図25に示す例では、第1辺5dおよび第1辺と対向する第2辺5eに沿って、それぞれ複数のリード6が配置されている。また、このように複数の辺にリード6を配置するので、半導体モジュール2Bは、面5b側が実装基板（図示は省略）の実装面と対向するように実装する。したがって、複数のリード6は、面5aから面5bに向かう方向に屈曲し、延びている。

20

【0099】

また、多数（図25では6個）のパワー半導体デバイスを1個の半導体モジュール2Bに搭載する場合、配線基板5の平面積が大きくなるので、半導体モジュール2Bでは、モジュールの強度を向上させる観点から、各半導体装置PAH、PALを配線基板5から突出させず、配線基板5の面5a内に収まるように配置している。このように、各半導体装置PAH、PALを配線基板5の外側に突出させない実施態様では、半導体モジュール2のように放熱板8をネジ止め固定することが難しい。ネジ止め固定する場合には、配線基板5もネジにより貫通する必要が生じ、製造工程が煩雑になる。また、ネジの締め付け力により、配線基板5に形成された配線が断線する懸念がある。そこで、図25および図26に示す変形例では、3個の半導体装置PALにそれぞれ、絶縁接着シート18を貼り付けて、放熱板8を接着固定している。絶縁接着シート18は、放熱板8との対向面である面18a、および半導体装置PALの主面PALbとの対向面である面18bに粘着層（接着層）が形成されている点を除き前記実施の形態で説明した絶縁シート16（図5参照）と同じである。一方、3個の半導体装置PAHの主面PAHbは、それぞれ放熱板8の面8aと接触させている。つまり、本変形例では、図5を用いて説明したように、スペーサ部材17を一方のパワー半導体デバイスと配線基板5の間に配置して、放熱板8と対向面の位置を揃える技術を適用している。これにより、半導体装置PAHからの熱は、放熱板8に直接伝達されるため、放熱性を向上させることができる。また、本実施の形態では、ハイサイド側の複数の半導体装置PAHと、ローサイド側の複数の半導体装置PALのうちの一方（図26に示す例ではハイサイド側の複数の半導体装置PAH）を放熱板8と接触させている。言い換えれば、2種類の半導体装置PAH、PALのうちの一方は、放熱板8と接触させて、他方は、絶縁接着シート18を介して放熱板8を固定している。この場合、放熱板8に接触するハイサイド側の複数の半導体装置PAHは、それぞれのコレクタ電極が放熱板8を介して電氣的に接続されることとなる。しかし、放熱板8に接触す

30

40

50

るパワー半導体デバイスを同じ種類とすることで、回路の信頼性低下を防止できる。

【0100】

ただし、図26に示す例では、放熱板8と半導体装置PAHを接触させるため、放熱板8と半導体装置PAHの間には絶縁接着シート18を配置することができない。このため、放熱板8と半導体装置PAHは直接的には接着固定されない。したがって、放熱板8と半導体装置PAHを安定的に密着させる観点からは、前記した半導体モジュール2のようにネジ止め固定する方式が好ましい。また、絶縁接着シート18と図5に示す絶縁シート16を比較すると、絶縁シート16には高い接着強度が要求されないため、熱伝導率を高くすることができる。したがって、より高い放熱性を確保する観点からは、前記した半導体モジュール2の方が好ましい。

10

【0101】

また、上記変形例は、図1～図22を用いて説明した半導体モジュール2の変形例として説明したが、その要旨を逸脱しない範囲でこれらの構成要素を適宜組み合わせ適用することができる。例えば、図1～図22を用いて説明した半導体装置PAH、PALのリード6a、6bを配線基板5の外側まで延ばさず、配線基板5に別途、リード6を形成することができる。この場合、半導体装置PAH、PALのリード6a、6bは、貫通孔SHにおいて、配線基板5の配線と電氣的に接続され、該配線を介して外部端子である複数のリードと電氣的に接続する。このように、半導体装置PAH、PALのリード6a、6bを配線基板5の外側まで延ばさない場合には、リード6a、6bの屈曲部は、それぞれ1箇所ですむので、加工が容易になる。

20

【産業上の利用可能性】

【0102】

本発明は、半導体モジュールに広く適用可能である。

【符号の説明】

【0103】

- 1 電力変換装置
- 2、2A、2B 半導体モジュール
- 3 制御回路
- 5 配線基板（基材）
- 5a、5b 面
- 5c 側面
- 5d 第1辺
- 5e 第2辺
- 5f 第3辺
- 5g 第4辺
- 6 リード（外部端子）
- 6a、6b、6c リード
- 6c1 コネクタ部
- 6c1a、6c1b、6c1c 面
- 6c2 延在部
- 6c3 連結部
- 7、7a、7b 配線
- 7c ビア
- 7d 導体膜
- 8 放熱板
- 8a 面
- 8b ネジ穴
- 9、9a、9b ネジ
- 10 半導体チップ
- 10a 表面

30

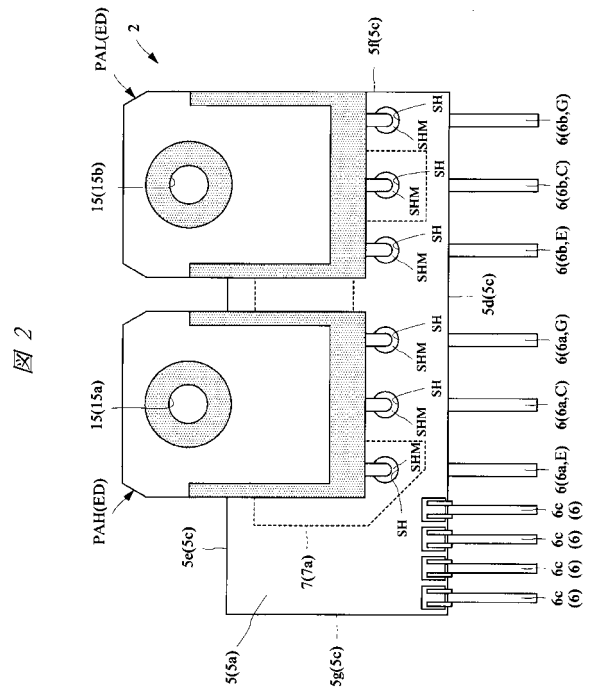
40

50

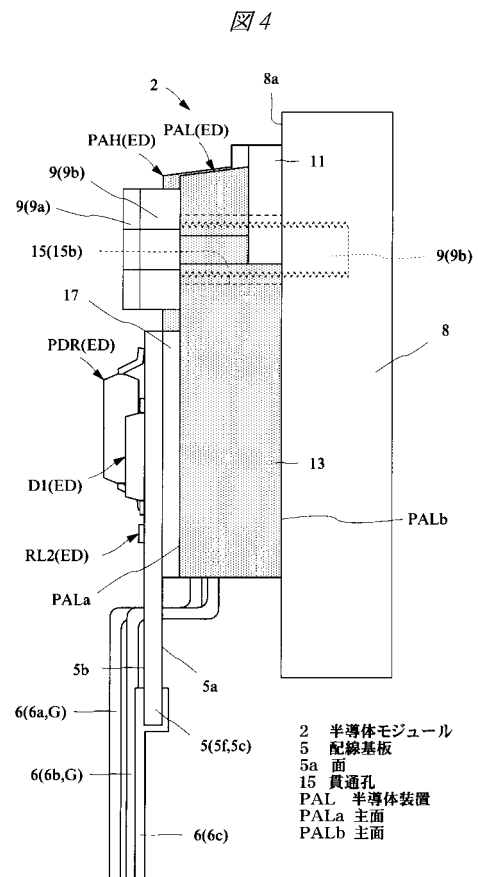
1 0 b	裏面	
1 0 c	パッド	
1 0 d	裏面電極	
1 1	チップ搭載部	
1 1 a	上面	
1 1 b	チップ搭載部	
1 1 b	下面	
1 1 c	側面	
1 1 d	貫通孔	
1 2	ワイヤ（導電性部材）	10
1 3	封止体	
1 4	導電性接着材	
1 5、1 5 a、1 5 b	貫通孔	
1 6	絶縁シート	
1 6 a	面	
1 7	スペーサ部材	
1 7 a、1 7 b	面	
1 8	絶縁接着シート	
1 8 a、1 8 b	面	
2 0	コア材	20
2 1	絶縁膜	
2 2	パッド	
2 3	ランド	
2 4	外部端子	
2 5	接合材	
2 6	半導体チップ	
2 8	ワイヤ	
2 9	封止体	
3 0	保持治具	
3 1	部材	30
3 1 a	面	
3 1 b	窪み部	
3 2	部材	
3 2 a、3 2 b	面	
3 2 c	段差部	
3 5	半田溶液	
3 6	半田槽	
C	コレクタ端子	
C V 1	屈曲部	
C V 2	屈曲部	40
C i n	入力コンデンサ	
C o u t	出力コンデンサ	
D 1	ダイオード素子	
D R 1、D R 2	ドライバ回路	
E	エミッタ端子	
E D	電子部品	
E T 1、E T 2	端子	
G	ゲート端子	
G N D	基準電位	
H o u t	出力端子	50

I 1、I 2	電流	
I o u t	出力電流	
L	コイル	
L D	負荷	
L o u t	出力端子	
N	出力ノード	
P A 1、P A H	半導体装置	
P A H a	主面	
P A H b	主面	
P A H c	側面	10
P A L	半導体装置	
P A L a	主面	
P A L b	主面	
P A L c	側面	
P D R	半導体装置（電子部品）	
Q H 1	パワートランジスタ	
Q L 1	パワートランジスタ	
R H 1、R H 2、R L 1、R L 2	抵抗素子	
S 1	第1側面	
S 2	第2側面	20
S 3	第3側面	
S 4	第4側面	
S C	半田膜	
S H	貫通孔	
S H M	半田	
V I N	入力電源	
W 1	距離	
W 2	距離	

【図 2】



【図 4】



2 半導体モジュール
5 配線基板
5a 面
15 貫通孔
PAL 半導体装置
PALa 主面
PALb 主面

【图 6】

5

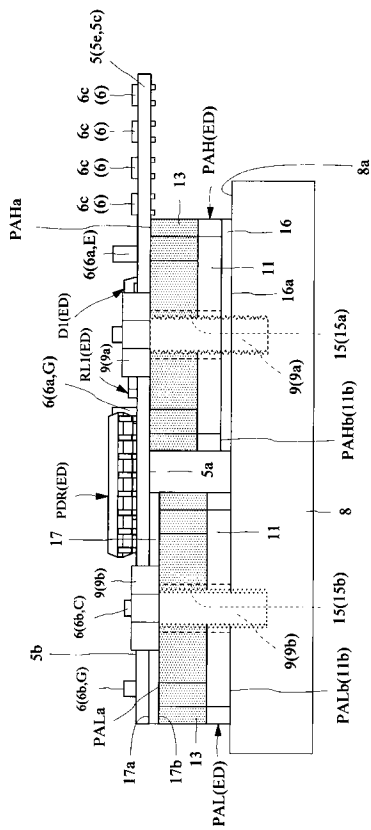
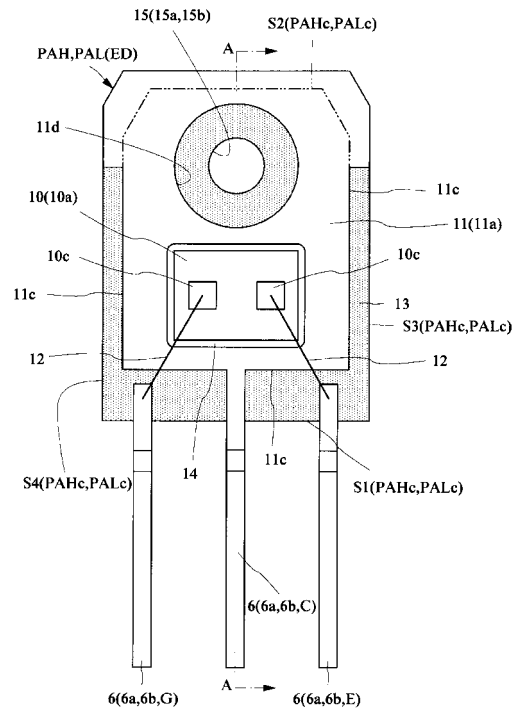
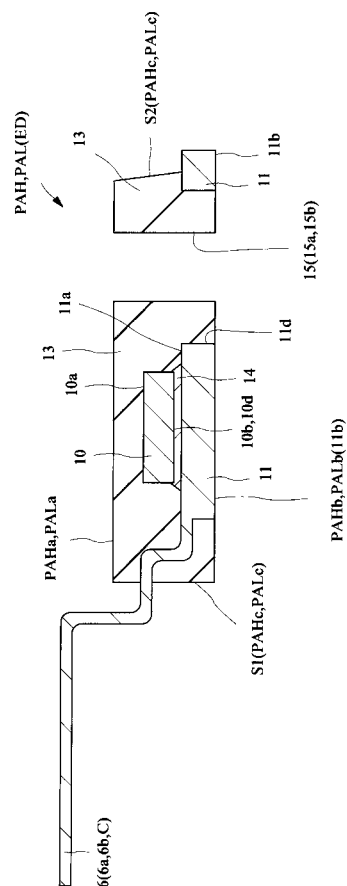


图 6



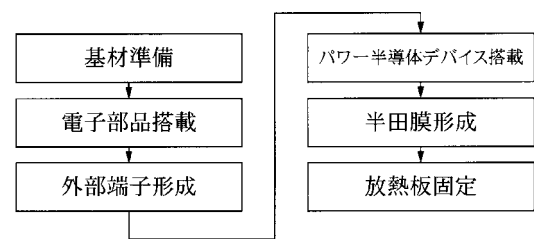
【图 7】



7 ☒

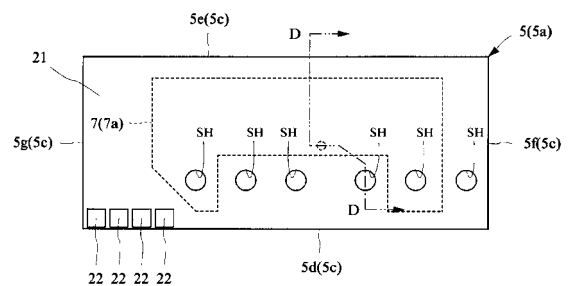
【图 8】

図 8

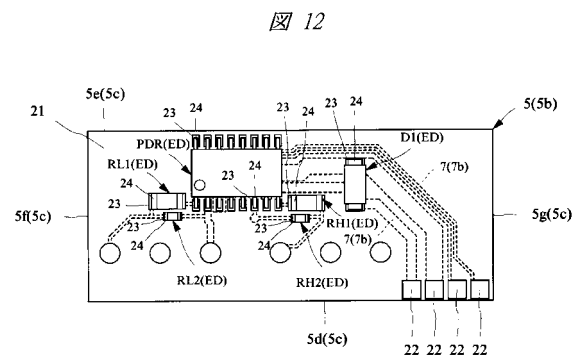
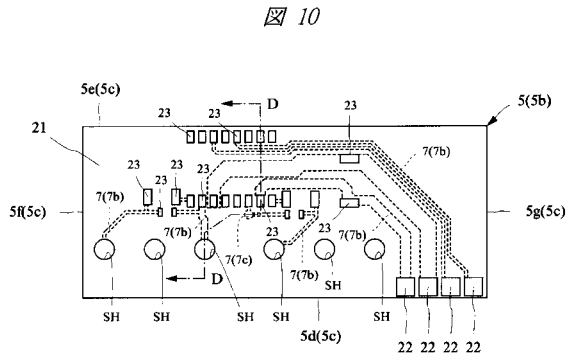


【 図 9 】

図 9

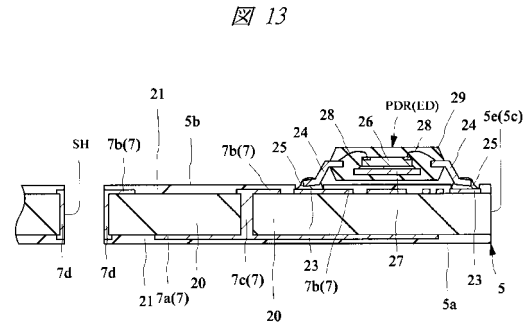
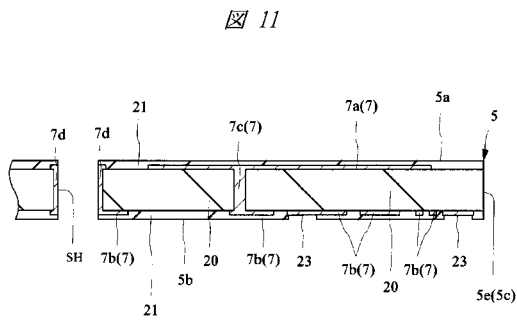


【図 1 2】



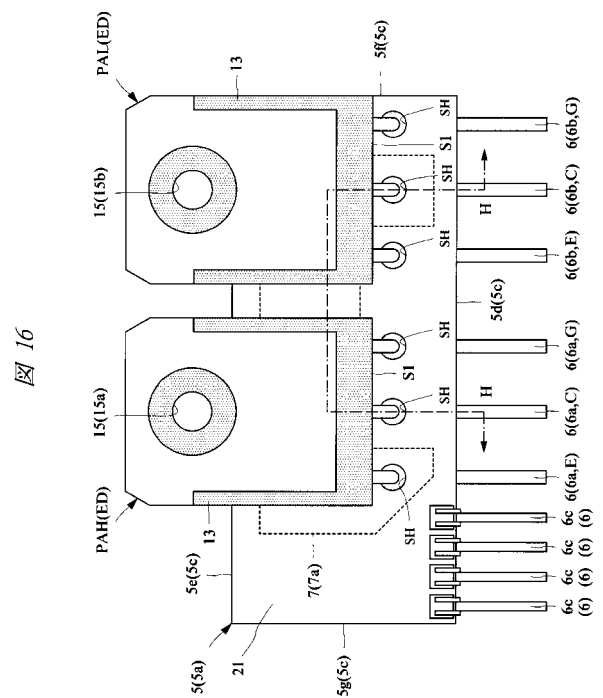
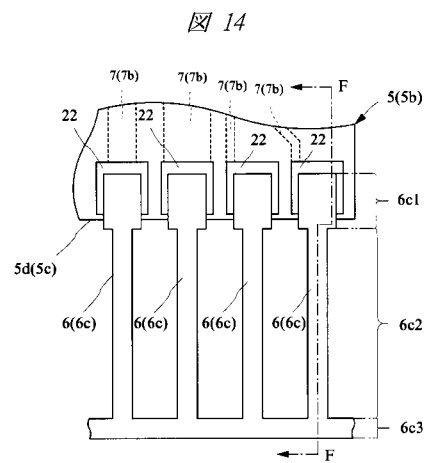
【图 1-1】

【 図 1 3 】

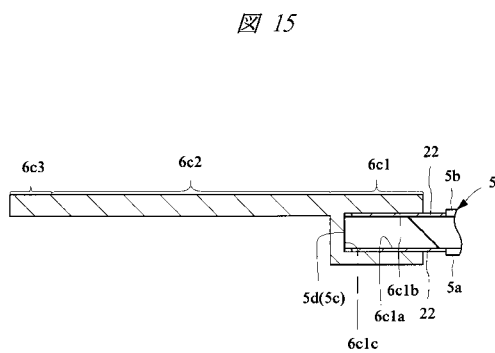


【図 14】

【图 16】

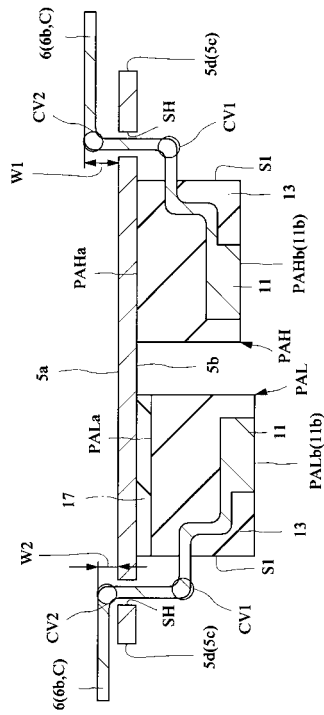


【図 15】

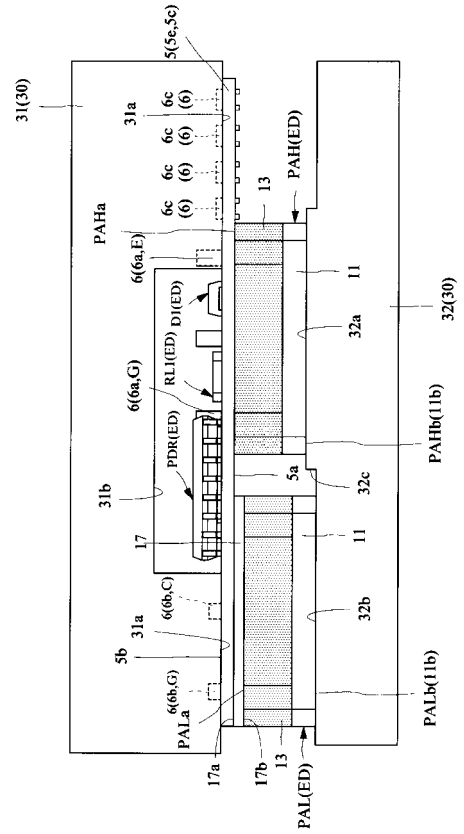


【 図 1 8 】

17

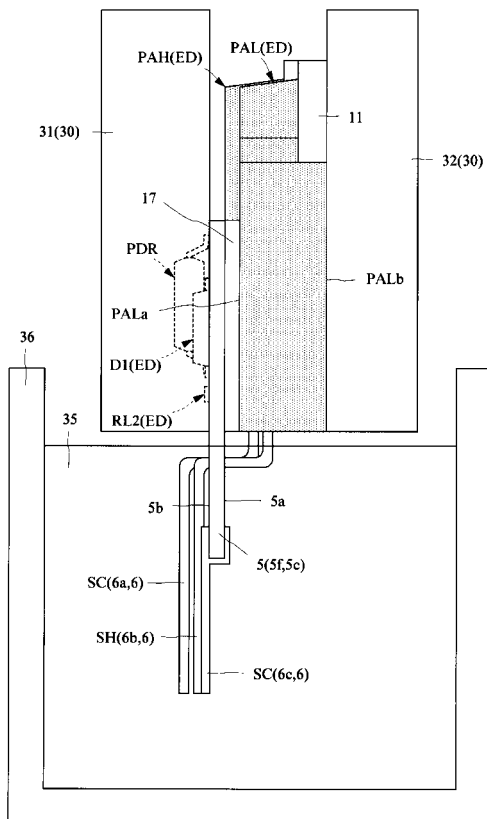


18



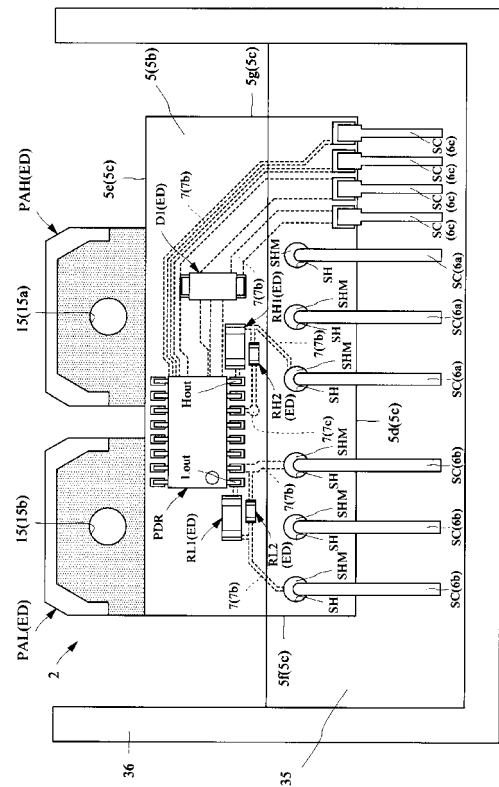
【図 19】

図 19

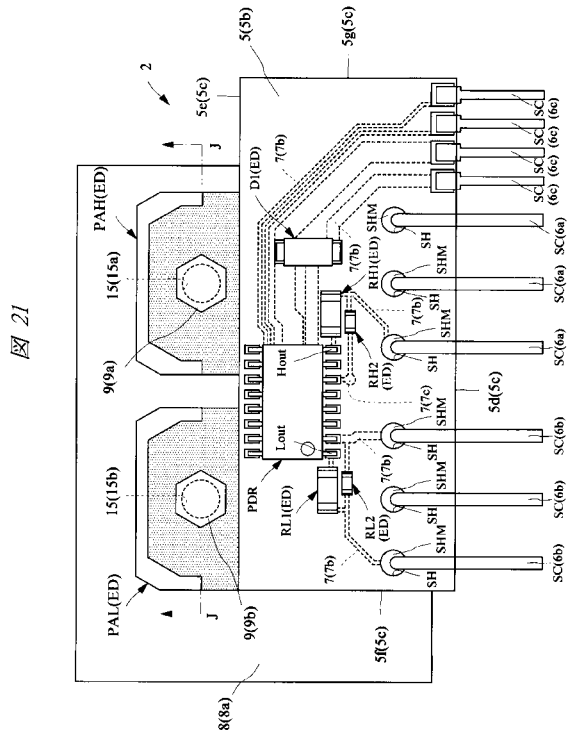


【図 20】

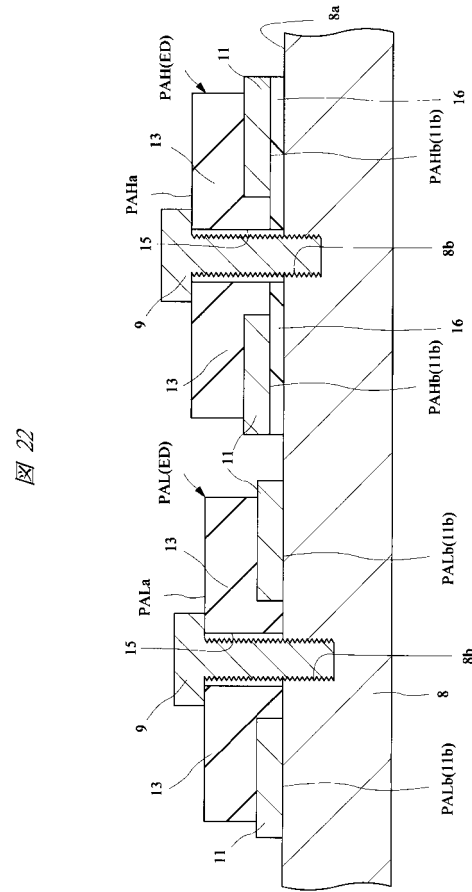
20



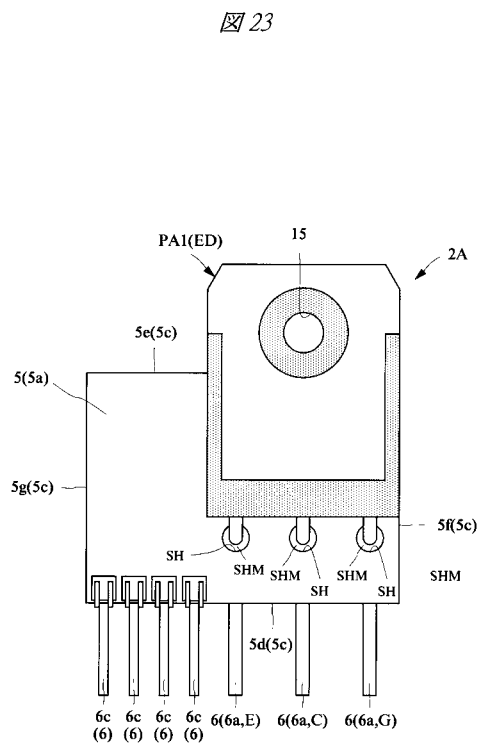
【図 2 1】



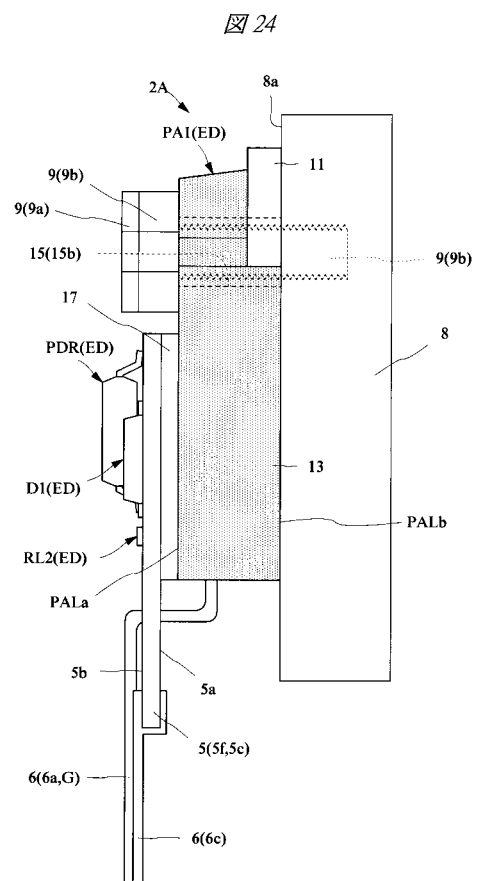
【図 2 2】



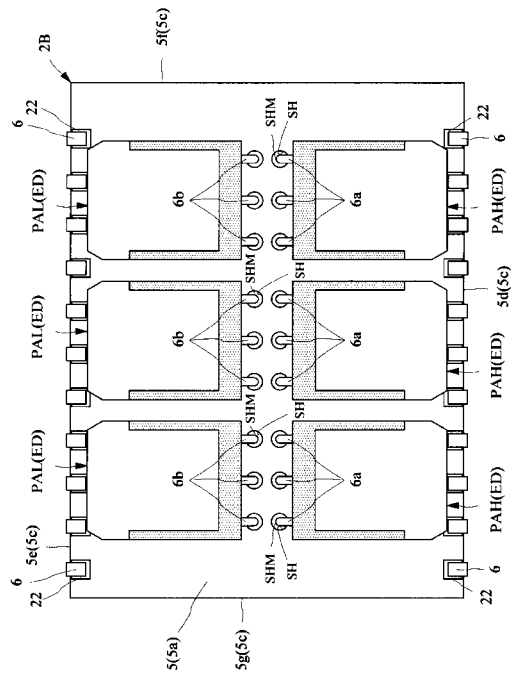
【図 2 3】



【図 2 4】



【図 25】



【図 26】

