



(12)发明专利

(10)授权公告号 CN 105260333 B

(45)授权公告日 2018.08.28

(21)申请号 201510616063.4

G06F 13/40(2006.01)

(22)申请日 2015.09.24

G06F 3/16(2006.01)

(65)同一申请的已公布的文献号

申请公布号 CN 105260333 A

(56)对比文件

CN 104901651 A,2015.09.09,

CN 104901651 A,2015.09.09,

CN 104240714 A,2014.12.24,

CN 104717587 A,2015.06.17,

US 6898470 B1,2005.05.24,

CN 104750494 A,2015.07.01,

(43)申请公布日 2016.01.20

(73)专利权人 福州瑞芯微电子股份有限公司

地址 350003 福建省福州市鼓楼区软件大道89号18号楼

审查员 张瑀琪

(72)发明人 王良全

(74)专利代理机构 上海光华专利事务所(普通合伙) 31219

代理人 徐秋平

(51)Int.Cl.

G06F 13/32(2006.01)

G06F 13/38(2006.01)

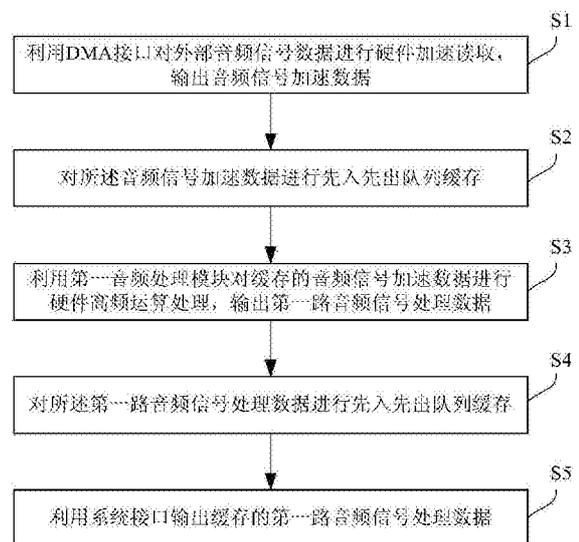
权利要求书2页 说明书6页 附图3页

(54)发明名称

音频信号的加速处理方法及装置

(57)摘要

本发明提供一种音频信号的加速处理方法及装置,所述音频信号的加速处理方法包括:利用DMA接口对外部音频信号数据进行硬件加速读取,输出音频信号加速数据;对所述音频信号加速数据进行先入先出队列缓存;利用第一音频处理模块对缓存的音频信号加速数据进行硬件高频运算处理,输出第一路音频信号处理数据;对所述第一路音频信号处理数据进行先入先出队列缓存;利用所述DMA接口输出缓存的第一路音频信号处理数据。本发明利用硬件电路固有的高频运算特性,将数字信号处理的算法硬件化,通过软硬件协同,实现了算法的最高速实现,可以有效提高音频信号处理的性能。



1. 一种音频信号的加速处理方法,其特征在于,所述音频信号的加速处理方法包括:
利用DMA接口对外部音频信号数据进行硬件加速读取,输出音频信号加速数据;
对所述音频信号加速数据进行先入先出队列缓存;
利用第一音频处理模块对缓存的音频信号加速数据进行硬件高频运算处理,输出第一路音频信号处理数据;
对所述第一路音频信号处理数据进行先入先出队列缓存;
利用所述DMA接口输出缓存的第一路音频信号处理数据;
利用第二音频处理模块对所述音频信号加速数据进行硬件加速处理,输出第二路音频信号处理数据;
利用所述DMA接口发出所述第二路音频信号处理数据;
利用AMBA总线接口对所述第一音频处理模块进行硬件解码模块寄存器配置;
在所述外部音频信号数据加速处理完成后或发生异常时,利用Interrupt接口输出中断信号。

2. 根据权利要求1所述的音频信号的加速处理方法,其特征在于,所述利用第一音频处理模块对缓存的音频信号加速数据进行硬件高频运算处理的过程包括:

利用FIR滤波器对音频格式为FLAC的音频信号加速数据进行硬件滤波处理,获得第一线性预测编码结果;

利用滤波器系数更新后的FIR滤波器对音频格式为ALAC的音频信号加速数据进行硬件滤波处理后,获得第二线性预测编码结果;或/和

利用滤波器系数修正更新后的FIR滤波器对音频格式为APE的音频信号加速数据进行硬件滤波处理后,获得第三线性预测编码结果。

3. 根据权利要求1所述的音频信号的加速处理方法,其特征在于,所述利用第二音频处理模块对所述音频信号加速数据进行硬件加速处理的过程包括:

对所述音频信号加速数据进行FFT硬件加速处理;

对所述音频信号加速数据进行IFFT硬件加速处理;

对所述音频信号加速数据进行IIR硬件加速处理;或/和

对所述音频信号加速数据进行FIR硬件加速处理。

4. 一种音频信号的加速处理装置,其特征在于,所述音频信号的加速处理装置包括:

系统接口模块,通过DMA接口对外部音频信号数据进行硬件加速读取,输出音频信号加速数据;

发送缓存模块,与所述系统接口模块相连,对所述音频信号加速数据进行先入先出队列缓存;

第一音频处理模块,与所述发送缓存模块相连,对缓存的音频信号加速数据进行硬件高频运算处理,输出第一路音频信号处理数据;

接收缓存模块,与所述第一音频处理模块相连,对所述第一路音频信号处理数据进行先入先出队列缓存;

所述系统接口模块与所述接收缓存模块相连,通过DMA接口输出缓存的第一路音频信号处理数据;

第二音频处理模块,与所述系统接口模块相连,对所述音频信号加速数据进行硬件加

速处理,输出第二路音频信号处理数据;利用所述DMA接口输出所述第二路音频信号处理数据;

AMBA BUS接口,通过AMBA总线对所述第一音频处理模块进行硬件解码模块寄存器配置;

中断接口,在所述外部音频信号数据加速处理完成后或发生异常时,输出中断信号。

5. 根据权利要求4所述的音频信号的加速处理装置,其特征在于,所述第一音频处理模块包括:

FIR滤波器单元,对音频格式为FLAC的音频信号加速数据进行硬件滤波处理,获得第一线性预测编码结果;

滤波器系数更新单元,与所述FIR滤波器单元相连,对所述FIR滤波器单元的滤波器系数进行更新;系数更新后的FIR滤波器单元对音频格式为ALAC的音频信号加速数据进行硬件滤波处理,获得第二线性预测编码结果;

修正系数更新单元,与所述滤波器系数更新单元相连,对滤波器系数更新单元的更新系数进行修正;系数修正更新后的FIR滤波器单元对音频格式为APE的音频信号加速数据进行硬件滤波处理,获得第三线性预测编码结果。

6. 根据权利要求4所述的音频信号的加速处理装置,其特征在于,所述第二音频处理模块包括:

FFT单元,对所述音频信号加速数据进行FFT硬件加速处理;

IFFT单元,对所述音频信号加速数据进行IFFT硬件加速处理;

IIR单元,对所述音频信号加速数据进行IIR硬件加速处理;或/和

FIR单元,对所述音频信号加速数据进行FIR硬件加速处理。

音频信号的加速处理方法及装置

技术领域

[0001] 本发明属于信号处理技术领域,涉及一种音频信号的处理方法,特别是涉及一种音频信号的加速处理方法及装置。

背景技术

[0002] 音频信号处理过程中会涉及很多数字信号处理的算法设计,一般通过软件实现该类算法,类似FFT(快速傅里叶变换)、IIR滤波、FIR滤波、以及一些音频格式解码模块中线性预测模块的算法设计等。这些算法设计在软件上操作需要耗费较多时间,算法处理速度达不到日益增长的高速音频处理需求。那么,如何提高此类算法的运算速度则是本发明即将解决的问题。

发明内容

[0003] 鉴于以上所述现有技术的缺点,本发明的目的在于提供一种音频信号的加速处理方法及装置,用于解决现有的数字信号处理的算法设计在软件实现上耗时长,运算速度慢的问题。

[0004] 为实现上述目的及其他相关目的,本发明提供一种音频信号的加速处理方法,所述音频信号的加速处理方法包括:利用DMA接口对外部音频信号数据进行硬件加速读取,输出音频信号加速数据;对所述音频信号加速数据进行先入先出队列缓存;利用第一音频处理模块对缓存的音频信号加速数据进行硬件高频运算处理,输出第一路音频信号处理数据;对所述第一路音频信号处理数据进行先入先出队列缓存;利用所述DMA接口输出缓存的第一路音频信号处理数据。

[0005] 可选地,所述利用第一音频处理模块对缓存的音频信号加速数据进行硬件高频运算处理的过程包括:利用FIR滤波器对音频格式为FLAC的音频信号加速数据进行硬件滤波处理,获得第一线性预测编码结果;利用滤波器系数更新后的FIR滤波器对音频格式为ALAC的音频信号加速数据进行硬件滤波处理后,获得第二线性预测编码结果;或/和利用滤波器系数修正更新后的FIR滤波器对音频格式为APE的音频信号加速数据进行硬件滤波处理后,获得第三线性预测编码结果。

[0006] 可选地,所述音频信号的加速处理方法还包括:利用第二音频处理模块对所述音频信号加速数据进行硬件加速处理,输出第二路音频信号处理数据;利用所述DMA接口发出所述第二路音频信号处理数据。

[0007] 可选地,所述利用第二音频处理模块对所述音频信号加速数据进行硬件加速处理的过程包括:对所述音频信号加速数据进行FFT硬件加速处理;对所述音频信号加速数据进行IFFT硬件加速处理;对所述音频信号加速数据进行IIR硬件加速处理;或/和对所述音频信号加速数据进行FIR硬件加速处理。

[0008] 可选地,所述音频信号的加速处理方法还包括:利用AMBA总线接口对所述第一音频处理模块进行硬件解码模块寄存器配置;在所述外部音频信号数据加速处理完成后或发

生异常时,利用Interrupt接口输出中断信号。

[0009] 本发明提供一种音频信号的加速处理装置,所述音频信号的加速处理装置包括:系统接口模块,通过DMA接口对外部音频信号数据进行硬件加速读取,输出音频信号加速数据;发送缓存模块,与所述系统接口模块相连,对所述音频信号加速数据进行先入先出队列缓存;第一音频处理模块,与所述发送缓存模块相连,对缓存的音频信号加速数据进行硬件高频运算处理,输出第一路音频信号处理数据;接收缓存模块,与所述第一音频处理模块相连,对所述第一路音频信号处理数据进行先入先出队列缓存;所述系统接口模块与所述接收缓存模块相连,通过DMA接口输出缓存的第一路音频信号处理数据。

[0010] 可选地,所述第一音频处理模块包括:FIR滤波器单元,对音频格式为FLAC的音频信号加速数据进行硬件滤波处理,获得第一线性预测编码结果;滤波器系数更新单元,与所述FIR滤波器单元相连,对所述FIR滤波器单元的滤波器系数进行更新;系数更新后的FIR滤波器单元对音频格式为ALAC的音频信号加速数据进行硬件滤波处理,获得第二线性预测编码结果;修正系数更新单元,与所述滤波器系数更新单元相连,对滤波器系数更新单元的更新系数进行修正;系数修正更新后的FIR滤波器单元对音频格式为APE的音频信号加速数据进行硬件滤波处理,获得第三线性预测编码结果。

[0011] 可选地,所述音频信号的加速处理装置还包括:第二音频处理模块,与所述系统接口模块相连,对所述音频信号加速数据进行硬件加速处理,输出第二路音频信号处理数据;利用所述DMA接口输出所述第二路音频信号处理数据。

[0012] 可选地,所述第二音频处理模块包括:FFT单元,对所述音频信号加速数据进行FFT硬件加速处理;IFFT单元,对所述音频信号加速数据进行IFFT硬件加速处理;IIR单元,对所述音频信号加速数据进行IIR硬件加速处理;或/和FIR单元,对所述音频信号加速数据进行FIR硬件加速处理。

[0013] 可选地,所述系统接口模块还包括:AMBA BUS接口,通过AMBA总线对所述第一音频处理模块进行硬件解码模块寄存器配置;中断接口,在所述外部音频信号数据加速处理完成后或发生异常时,输出中断信号。

[0014] 如上所述,本发明的音频信号的加速处理方法及装置,具有以下有益效果:

[0015] 本发明利用硬件电路固有的高频运算特性,将数字信号处理的算法硬件化,通过软硬件协同,实现了算法的最高速实现,可以有效提高音频信号处理的性能。

附图说明

[0016] 图1显示为本发明实施例所述的音频信号的加速处理方法的一种实现流程示意图。

[0017] 图2显示为本发明实施例所述的音频信号的加速处理方法的另一种实现流程示意图。

[0018] 图3显示为本发明实施例所述的音频信号的加速处理方法的步骤S3的一种实现流程示意图。

[0019] 图4显示为本发明实施例所述的音频信号的加速处理装置的一种实现结构示意图。

[0020] 图5显示为本发明实施例所述的音频信号的加速处理装置的第一音频处理模块的

一种实现结构示意图。

[0021] 图6显示为本发明实施例所述的音频信号的加速处理装置的第二音频处理模块的一种实现结构示意图。

[0022] 元件标号说明

[0023] 400 音频信号的加速处理装置

[0024] 410 系统接口模块

[0025] 411 DMA接口

[0026] 412 AMBA BUS接口

[0027] 413 中断接口

[0028] 420 发送缓存模块

[0029] 430 第一音频处理模块

[0030] 431 FIR滤波器单元

[0031] 432 滤波器系数更新单元

[0032] 433 修正系数更新单元

[0033] 440 接收缓存模块

[0034] 450 第二音频处理模块

[0035] 451 FFT单元

[0036] 452 IFFT单元

[0037] 453 IIR单元

[0038] 454 FIR单元

[0039] S1~S7 步骤

[0040] S31~S33 步骤

具体实施方式

[0041] 以下通过特定的具体实例说明本发明的实施方式,本领域技术人员可由本说明书所揭露的内容轻易地了解本发明的其他优点与功效。本发明还可以通过另外不同的具体实施方式加以实施或应用,本说明书中的各项细节也可以基于不同观点与应用,在没有背离本发明的精神下进行各种修饰或改变。需说明的是,在不冲突的情况下,以下实施例及实施例中的特征可以相互组合。

[0042] 需要说明的是,以下实施例中所提供的图示仅以示意方式说明本发明的基本构想,遂图式中仅显示与本发明中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制,其实际实施时各组件的型态、数量及比例可为一种随意的改变,且其组件布局型态也可能更为复杂。

[0043] 请参阅图1,本发明提供一种音频信号的加速处理方法,所述音频信号的加速处理方法包括:

[0044] S1,利用DMA接口对外部音频信号数据进行硬件加速读取,输出音频信号加速数据。

[0045] S2,对所述音频信号加速数据进行先入先出队列缓存。

[0046] S3,利用第一音频处理模块对缓存的音频信号加速数据进行硬件高频运算处理,

输出第一路音频信号处理数据。本实施例利用AMBA总线接口对所述第一音频处理模块进行硬件解码模块寄存器配置。本实施例中,需要所述第一音频处理模块处理的音频信号加速数据类型包括音频格式为FLAC的音频信号加速数据,音频格式为ALAC的音频信号加速数据,或/和音频格式为APE的音频信号加速数据。

[0047] 进一步,参见图3所示,步骤S3所述的利用第一音频处理模块对缓存的音频信号加速数据进行硬件高频运算处理的过程包括:

[0048] S31,利用FIR滤波器对音频格式为FLAC的音频信号加速数据进行硬件滤波处理,获得第一线性预测编码结果。

[0049] S32,利用滤波器系数更新后的FIR滤波器对音频格式为ALAC的音频信号加速数据进行硬件滤波处理后,获得第二线性预测编码结果。或/和

[0050] S33,利用滤波器系数修正更新后的FIR滤波器对音频格式为APE的音频信号加速数据进行硬件滤波处理后,获得第三线性预测编码结果。

[0051] S4,对所述第一路音频信号处理数据进行先入先出队列缓存。

[0052] S5,利用所述DMA接口输出缓存的第一路音频信号处理数据。

[0053] 进一步,参见图2所示,所述音频信号的加速处理方法还包括:

[0054] S1,利用DMA接口对外部音频信号数据进行硬件加速读取,输出音频信号加速数据。

[0055] S6,利用第二音频处理模块对所述音频信号加速数据进行硬件加速处理,输出第二路音频信号处理数据。本实施例中,所述第二音频处理模块的硬件加速处理功能包括FFT加速处理功能、IFFT加速处理功能、IIR加速处理功能、FIR加速处理功能等。

[0056] 进一步,步骤S6所述的利用第二音频处理模块对所述音频信号加速数据进行硬件加速处理的一种实现过程包括:对所述音频信号加速数据进行FFT硬件加速处理;对所述音频信号加速数据进行IFFT硬件加速处理;对所述音频信号加速数据进行IIR硬件加速处理;或/和对所述音频信号加速数据进行FIR硬件加速处理。

[0057] S7,利用所述DMA接口发出所述第二路音频信号处理数据。

[0058] 本实施例在所述外部音频信号数据加速处理完成后或发生异常时,利用Interrupt接口输出中断信号。其中,发生异常的情况包括硬件解码出现超时或总线取数,写数据等错误的时候发起中断。

[0059] 本发明所述的音频信号的加速处理方法的保护范围不限于本实施例列举的步骤执行顺序,凡是根据本发明的原理所做的现有技术的步骤增减、步骤替换所实现的方案都包括在本发明的保护范围内。

[0060] 本发明还提供一种音频信号的加速处理装置,所述音频信号的加速处理装置可以实现本发明所述的音频信号的加速处理方法,但本发明所述的音频信号的加速处理方法的实现装置包括但不限于本实施例列举的音频信号的加速处理装置的结构,凡是根据本发明的原理所做的现有技术的结构变形和替换,都包括在本发明的保护范围内。

[0061] 参见图4所述,所述音频信号的加速处理装置400包括:系统接口模块410,发送缓存模块420,第一音频处理模块430,接收缓存模块440,第二音频处理模块450。

[0062] 所述系统接口模块410通过DMA接口对外部音频信号数据进行硬件加速读取,输出音频信号加速数据。

[0063] 进一步,参见图4所示,所述系统接口模块410还包括:DMA接口411,AMBA BUS接口412,中断接口413。高性能的所述DMA接口411通过高速数据存取读取外部数据进行内部算法电路硬件加速处理;所述AMBA BUS接口412通过AMBA总线对所述第一音频处理模块进行硬件解码模块寄存器配置。AMBA BUS接口412是基于ARM高性能总线协议接口,用于进行数据传输配置。所述中断接口(interrupt interface)413在所述外部音频信号数据加速处理完成后或发生异常时,输出中断信号,反馈模块电路的中断请求。其中,发生异常的情况包括硬件解码出现超时或总线取数,写数据等错误的时候发起中断。本实施例利用AMBA总线接口对所述第一音频处理模块进行硬件解码模块寄存器配置。本实施例通过AMBA bus接口进行HIFI音频硬件解码模块寄存器配置;通过DMA接口进行外部存储音频数据搬运,新读进来进行音频加速处理之后输出;interrupt接口是中断接口,在硬件解码出现timeout或则总线取数,写数据等错误的时候发起中断。

[0064] 所述发送缓存模块(Transmit fifo)420与所述系统接口模块410相连,对所述音频信号加速数据进行先入先出队列缓存。所述发送缓存模块(Transmit fifo)420接收DMA缓存数据,供后级计算使用。

[0065] 所述第一音频处理模块430与所述发送缓存模块420相连,对缓存的音频信号加速数据进行硬件高频运算处理,输出第一路音频信号处理数据。本实施例中,需要所述第一音频处理模块处理的音频信号加速数据类型包括音频格式为FLAC的音频信号加速数据,音频格式为ALAC的音频信号加速数据,或/和音频格式为APE的音频信号加速数据。

[0066] 进一步,参见图5所示,所述第一音频处理模块430包括:FIR滤波器单元431,滤波器系数更新单元432,修正系数更新单元433。所述FIR滤波器单元431对音频格式为FLAC的音频信号加速数据进行硬件滤波处理,获得第一线性预测编码结果。所述滤波器系数更新单元432与所述FIR滤波器单元431相连,对所述FIR滤波器单元的滤波器系数进行更新;系数更新后的FIR滤波器单元对音频格式为ALAC的音频信号加速数据进行硬件滤波处理,获得第二线性预测编码结果。所述修正系数更新单元433与所述滤波器系数更新单元432相连,对滤波器系数更新单元的更新系数进行修正;系数修正更新后的FIR滤波器单元对音频格式为APE的音频信号加速数据进行硬件滤波处理,获得第三线性预测编码结果。

[0067] 所述接收缓存模块(Receiver FIFO)440与所述第一音频处理模块430相连,对所述第一路音频信号处理数据进行先入先出队列缓存。所述接收缓存模块(Receiver FIFO)440缓存计算后的数据,通过System interface输出。

[0068] 所述系统接口模块410与所述接收缓存模块440相连,通过DMA接口输出缓存的第一路音频信号处理数据。

[0069] 所述第二音频处理模块450与所述系统接口模块410相连,对所述音频信号加速数据进行硬件加速处理,输出第二路音频信号处理数据;利用所述DMA接口输出所述第二路音频信号处理数据。本实施例中,所述第二音频处理模块的硬件加速处理功能包括FFT加速处理功能、IFFT加速处理功能、IIR加速处理功能、FIR加速处理功能等。

[0070] 进一步,参见图6所示,所述第二音频处理模块450包括:FFT(Fast Fourier Transformation,快速傅氏变换)单元451,IFFT(Inverse Fast Fourier Transform,快速傅氏变换逆变换)单元452,IIR单元(即数字递归滤波器)453,或/和FIR单元(即有限长单位冲激响应滤波器)454。所述FFT单元451对所述音频信号加速数据进行FFT硬件加速处理。所

述IFFT单元452对所述音频信号加速数据进行IFFT硬件加速处理。所述IIR单元453对所述音频信号加速数据进行IIR硬件加速处理。所述FIR单元454对所述音频信号加速数据进行FIR硬件加速处理。

[0071] 本发明利用硬件电路固有的高频运算特性,将数字信号处理的算法硬件化,通过软硬件协同,实现了算法的最高速实现,可以有效提高音频信号处理的性能。

[0072] 综上所述,本发明有效克服了现有技术中的种种缺点而具高度产业利用价值。

[0073] 上述实施例仅例示性说明本发明的原理及其功效,而非用于限制本发明。任何熟悉此技术的人士皆可在不违背本发明的精神及范畴下,对上述实施例进行修饰或改变。因此,举凡所属技术领域中具有通常知识者在未脱离本发明所揭示的精神与技术思想下所完成的一切等效修饰或改变,仍应由本发明的权利要求所涵盖。

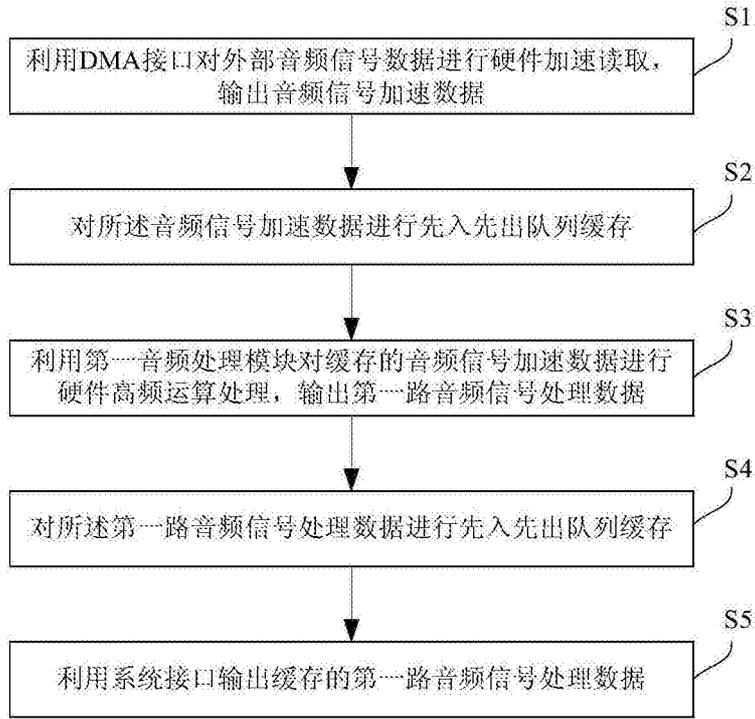


图1

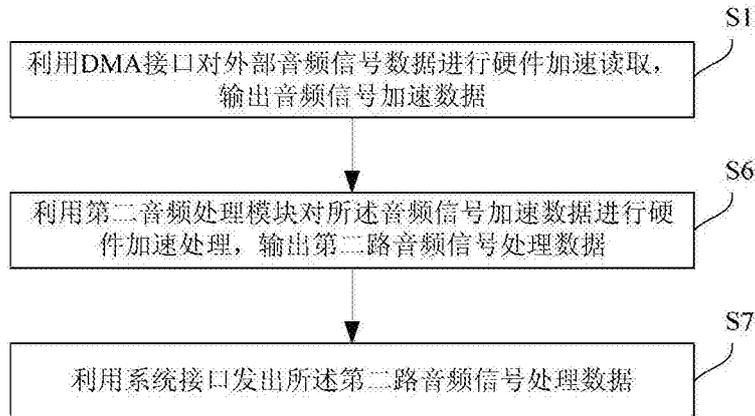


图2

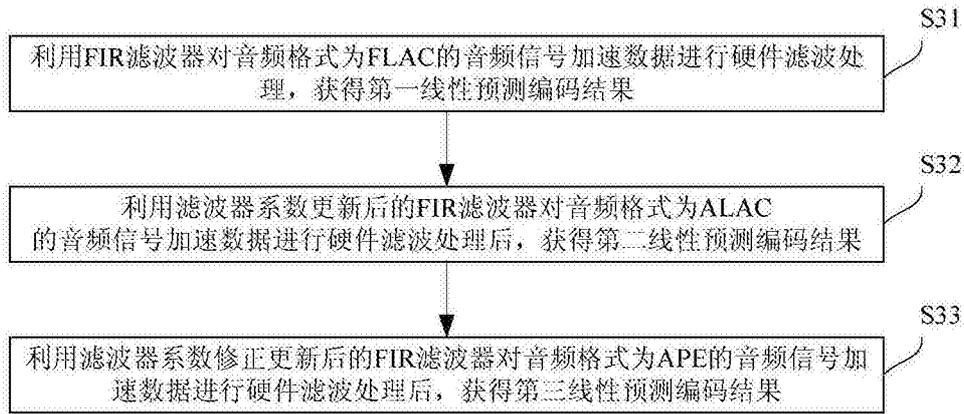


图3

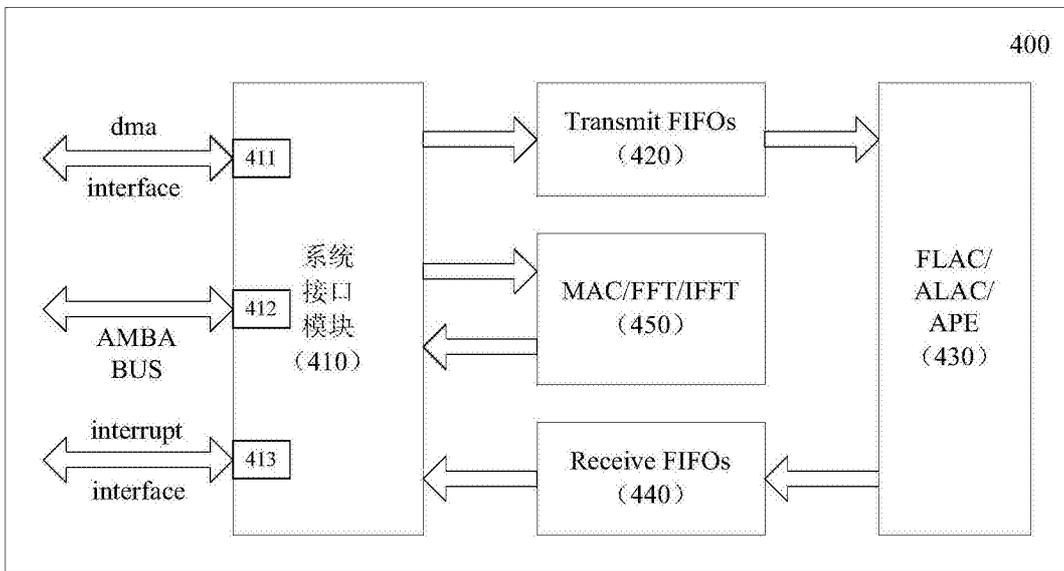


图4

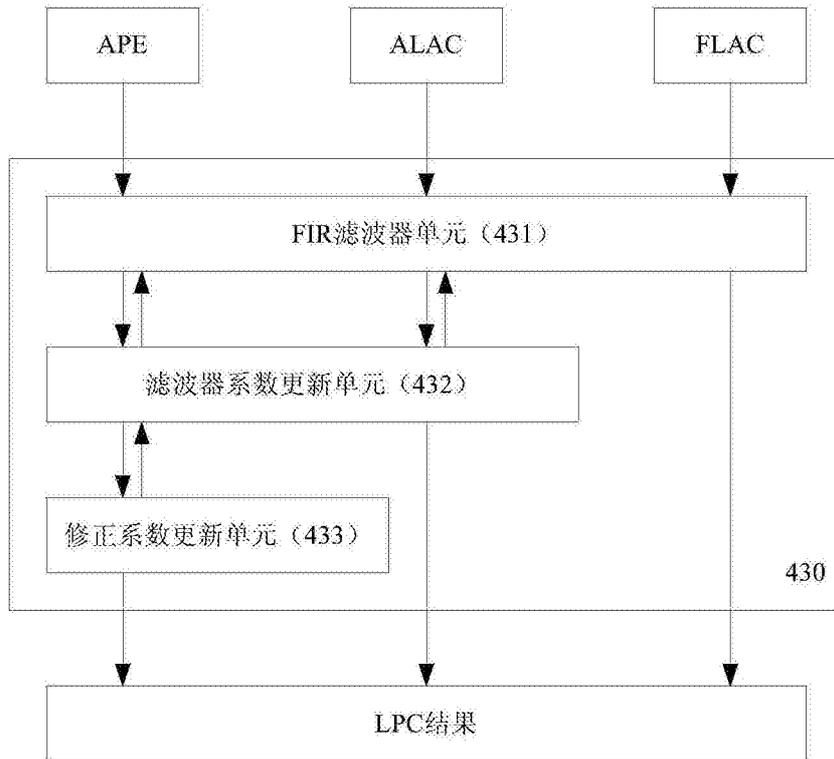


图5

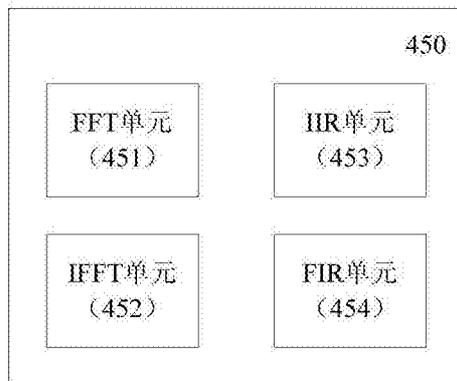


图6