(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년08월24일
(11) 등록번호 10-1771350
(24) 등록일자 2017년08월18일

(51) 국제특허분류(Int. Cl.)
G06F 12/10 (2016.01) *G06F 12/02* (2006.01)
G06F 12/06 (2006.01)
(52) CPC특허분류
G06F 12/1009 (2013.01)
G06F 12/0292 (2013.01)
(21) 출원번호 10-2016-0031493
(22) 출원일자 2016년03월16일
심사청구일자 2016년03월16일
(56) 선행기술조사문헌
KR1020160008620 A*
KR1020150132460 A*
KR1020150042220 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
정성우
서울특별시 강남구 도곡로28길 8, 104동 1802호 (도곡동, 도곡1차아이파크아파트)
공영호
서울특별시 동대문구 무학로49길 25 , 206호 (용두동,대명빌딩)
(74) 대리인
송인호, 윤형근, 최영중, 최관락

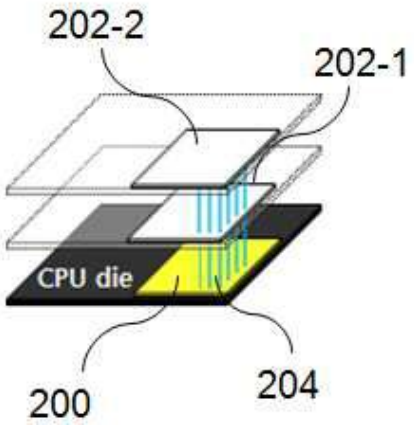
전체 청구항 수 : 총 3 항 심사관 : 임정묵

(54) 발명의 명칭 **모놀리식 3D 집적 구조 기반 메인메모리 장치 및 이와 연결되는 프로세서 장치**

(57) 요 약

본 발명은 모놀리식 3D 집적 구조 기반 캐시메모리를 개시한다. 본 발명에 따르면, 프로세서 및 메인메모리와 연결되는 캐시메모리 장치로서, 상위 레벨 캐시메모리 및 상기 상위 레벨 캐시메모리와 동일한 세트 개수를 가지며, 상기 상위 레벨 캐시메모리의 제1 세트 번호를 갖는 캐시 뱅크와 동일한 세트 번호를 갖는 복수의 캐시 뱅크들은 모놀리식 3D 비아(Monolithic 3D Via)로 연결되는 캐시메모리 장치가 제공된다.

대 표 도 - 도2



(52) CPC특허분류
G06F 12/06 (2013.01)
G06F 2212/651 (2013.01)
G06F 2212/681 (2013.01)

명 세 서

청구범위

청구항 1

가상메모리-물리메모리 주소 변환 정보를 저장하는 다중 레벨 페이지 테이블을 포함하는 메인메모리 장치로서,

프로세서의 변환색인버퍼와 모놀리식 3D 비아(Monolithic 3D Via)로 연결되며, 상기 변환색인버퍼에 원하는 가상메모리-물리메모리 주소 변환 정보가 없는 경우, 상기 프로세서에 의해 접근되는 상위 레벨 페이지 테이블; 및

상기 상위 레벨 페이지 테이블과 모놀리식 3D 비아로 연결되고, 상기 상위 레벨 페이지 테이블에 가상메모리-물리메모리 주소 변환을 위한 베이스 어드레스가 탐색되는 경우, 상기 프로세서에 의해 접근되는 하위 레벨 페이지 테이블을 포함하되,

상기 상위 레벨 페이지 테이블 및 상기 하위 레벨 페이지 테이블은 상기 프로세서 다이의 상기 변환색인버퍼 상에 모놀리식 3D 집적 구조로 형성되며,

상기 상위 레벨 페이지 테이블 및 상기 하위 레벨 페이지 테이블은 입출력 속도 및 전력소모를 고려하여 서로 다른 메모리 셀에 배치되는 메인메모리 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 프로세서는 상기 상위 레벨 페이지 테이블에서 페이지 폴트 발생 시 바로 디스크로 접근하는 메인메모리 장치.

청구항 6

프로세서 장치로서,

최근에 사용된 가상메모리-물리메모리 주소 변환 정보를 저장하며 모놀리식 3D 집적 구조로 형성된 메인메모리의 상위 레벨 페이지 테이블과 모놀리식 3D 비아(Monolithic 3D Via)로 연결되는 변환색인버퍼를 포함하되,

상기 변환색인버퍼에 원하는 가상메모리-물리메모리 주소 변환 정보가 없는 경우, 상기 상위 레벨 페이지 테이블로의 접근이 수행되며,

상기 상위 레벨 페이지 테이블은 모놀리식 3D 비아를 통해 상기 상위 레벨 페이지 테이블에 가상메모리-물리메모리 주소 변환을 위한 베이스 어드레스가 탐색되는 경우, 상기 프로세서 장치에 의해 접근되는 하위 레벨 페이지 테이블과 연결되고, 상기 상위 레벨 페이지 테이블 및 상기 하위 레벨 페이지 테이블은 상기 프로세서 다이의 상기 변환색인버퍼 상에 모놀리식 3D 집적 구조로 형성되며,

상기 상위 레벨 페이지 테이블 및 상기 하위 레벨 페이지 테이블은 입출력 속도 및 전력소모를 고려하여 서로 다른 메모리 셀에 배치되는 프로세서 장치.

청구항 7

삭제

발명의 설명

기 술 분 야

[0001] 본 발명은 모놀리식 3D 집적 구조 기반 메인메모리 장치 및 이와 연결되는 프로세서 장치에 관한 것이다.

배 경 기 술

[0002] 현대 컴퓨터 시스템에서는 메모리에 데이터를 읽거나 쓸 때, 프로그램이 인식하는 가상메모리 주소와 실제 메모리 영역을 나타내는 물리메모리 주소를 나누어서 사용하고 있다.

[0003] 어플리케이션에서 요청하는 가상메모리 주소를 물리메모리 주소로 변환하는 과정을 위해 캐시메모리 또는 메인메모리로의 접근이 이루어지게 된다.

[0004] 이때, 가상메모리 주소와 물리메모리 주소 간 변환을 위한 정보를 담고 있는 것이 프로세서에 위치한 변환색인버퍼(Translation lookaside buffer, TLB)와 메인메모리에 위치한 페이지 테이블이다.

[0005] 변환색인버퍼는 최근에 사용된 가상메모리-물리메모리 주소 변환 정보를 담고 있다.

[0006] 원하는 주소 변환 정보가 변환색인버퍼에 존재하는 경우, 캐시메모리 접근 시 페이지 테이블에 접근을 하지 않고, 변환색인버퍼에서 바로 물리메모리 주소를 획득하여 빠르게 캐시메모리로 접근할 수 있는 장점을 가지고 있다.

[0007] 도 1에 도시된 바와 같이, 만약 변환색인버퍼에 원하는 가상메모리-물리메모리 주소 변환 정보가 없다면, 페이지 테이블에서 주소 변환 정보를 찾게 된다.

[0008] 만약 페이지 테이블에 주소 변환 정보가 존재하면, 물리메모리 주소를 얻고, 메인메모리를 접근하여 데이터를 프로세서로 가지고 오게 된다.

[0009] 그렇지 않으면, 페이지 폴트가 발생하여 디스크로 접근하여 데이터를 메인메모리에 적재하여 접근한다.

[0010] 이러한 종래의 방식은, 페이지 테이블이 메인메모리에 있기 때문에 페이지 테이블 접근 시 프로세서에서 페이지 테이블 접근 사이의 interconnect에서 소모되는 시간이 많아 성능 저하를 초래하게 된다.

[0011] 뿐만 아니라, 최근 컴퓨터 시스템에서 사용되는 페이지 테이블은 다중 레벨 페이지 테이블을 사용하고 있어, 상위 레벨에서 하위 레벨로 순차적으로 페이지 테이블을 참조하여 가상메모리 주소에 상응하는 물리메모리 주소를 획득해야 한다.

[0012] 도 1에 도시된 바와 같이, 변환색인버퍼에 가상메모리-물리메모리 주소 변환 정보가 없으면, 상위 레벨 페이지 테이블에서 베이스 어드레스(Base address)를 탐색하고, 탐색된 베이스 어드레스에 기초하여 하위 레벨 페이지 테이블에서 물리 페이지 번호(물리메모리 어드레스)를 탐색한다.

[0013] 이렇게 탐색된 물리 페이지 번호를 이용하여 메인메모리에 접근한다.

[0014] 위와 같은 다중 레벨 페이지 구조는 2~4 레벨의 다중 레벨로 구성되는 경우가 많은데, 다중 레벨의 수가 증가할수록 페이지 테이블에 접근할 때 소요되는 시간이 길어지는 단점을 가지고 있다.

선행기술문헌

특허문헌

[0015] (특허문헌 0001) JP 4722305 B2

발명의 내용

해결하려는 과제

[0016] 본 발명은 페이지 테이블 접근 속도 또는 디스크 접근 속도를 향상시킬 수 있는 모놀리식 3D 집적 구조 기반 메인메모리 장치 및 이와 연결되는 프로세서 장치를 제안하고자 한다

과제의 해결 수단

[0017] 상기한 바와 같은 목적을 달성하기 위하여, 본 발명의 일 실시예에 따르면, 가상메모리-물리메모리 주소 변환 정보를 저장하는 다중 레벨 페이지 테이블을 포함하는 메인메모리 장치로서, 프로세서의 변환색인버퍼와 모놀리식 3D 비아(Monolithic 3D Via)로 연결되며, 상기 변환색인버퍼에 원하는 가상메모리-물리메모리 주소 변환 정보가 없는 경우, 상기 프로세서에 의해 접근되는 상위 레벨 페이지 테이블; 및 상기 상위 레벨 페이지 테이블과 모놀리식 3D 비아로 연결되고, 상기 상위 레벨 페이지 테이블에 가상메모리-물리메모리 주소 변환을 위한 베이스 어드레스가 탐색되는 경우, 상기 프로세서에 의해 접근되는 하위 레벨 페이지 테이블을 포함하는 메인메모리 장치가 제공된다.

[0018] 상기 메인메모리 장치는 상기 프로세서의 다이 상에 모놀리식 3D 집적 구조로 형성될 수 있다.

[0019] 상기 상위 레벨 페이지 테이블 및 상기 하위 레벨 페이지 테이블은 서로 다른 메모리 셀에 배치될 수 있다.

[0020] 상기 상위 레벨 페이지 테이블 및 상기 하위 레벨 페이지 테이블은 입출력 속도 및 전력소모를 고려하여 서로 다른 메모리 셀에 배치될 수 있다.

[0021] 상기 프로세서는 상기 상위 레벨 페이지 테이블에서 페이지 폴트 발생 시 바로 디스크로 접근할 수 있다.

[0022] 본 발명의 다른 측면에 따르면, 프로세서 장치로서, 최근에 사용된 가상메모리-물리메모리 주소 변환 정보를 저장하며 모놀리식 3D 집적 구조로 형성된 메인메모리의 상위 레벨 페이지 테이블과 모놀리식 3D 비아(Monolithic 3D Via)로 연결되는 변환색인버퍼를 포함하되, 상기 변환색인버퍼에 원하는 가상메모리-물리메모리 주소 변환 정보가 없는 경우, 상기 상위 레벨 페이지 테이블로의 접근이 수행되는 프로세서 장치가 제공된다.

[0023] 상기 상위 레벨 페이지 테이블은 모놀리식 3D 비아를 통해 상기 상위 레벨 페이지 테이블에 가상메모리-물리메모리 주소 변환을 위한 베이스 어드레스가 탐색되는 경우, 상기 프로세서 장치에 의해 접근되는 하위 레벨 페이지 테이블과 연결될 수 있다.

발명의 효과

[0024] 본 발명에 따르면, 모놀리식 3D 집적 구조 기반의 메인메모리 내에 다중 레벨 페이지 테이블을 구성하고, 상위 레벨 페이지 테이블과 프로세서 상의 변환색인버퍼를 모놀리식 3D 비아로 연결하기 때문에 페이지 테이블 접근 속도를 향상시킬 수 있다.

[0025] 또한, 상위 레벨 페이지 테이블과 하위 레벨 페이지 테이블의 속성, 전력소모 및 접근 속도(데이터 입출력 속도)를 고려하여 서로 다른 메모리 셀에 배치하기 때문에 페이지 폴트를 빠르게 판단하여 디스크 접근 속도를 높일 수 있다.

도면의 간단한 설명

[0026] 도 1은 종래기술에 따른 페이지 테이블 접근 방식을 나타낸 도면이다.

도 2는 본 발명의 바람직한 일 실시예에 따른 변환색인버퍼와 페이지 테이블 연결 구조를 도시한 도면이다.

도 3은 본 실시예에 따른 다중 레벨 테이블 구조를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0027] 이하, 본 발명의 일실시예를 도면을 참조하여 설명하도록 하겠다.

[0028] 본 명세서에서 사용되는 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "구성된다" 또는 "포함한다" 등의 용어는 명세서상에 기재된 여러 구성 요소들, 또는 여러 단계들을 반드시 모두 포함하는 것으로 해석되지 않아야 하며, 그 중 일부 구성 요소들 또는 일부 단계들은 포함되지 않을 수도 있고, 또는 추가적인 구성 요소 또는 단계들을 더 포함할 수 있는 것으로 해석되어야 한다. 또한, 명세서에 기재된 "...부", "모듈" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는

하드웨어 또는 소프트웨어로 구현되거나 하드웨어와 소프트웨어의 결합으로 구현될 수 있다.

[0029] 본 발명은 모놀리식 3D 집적 구조 기반의 메인메모리를 구성하고, 이러한 메인메모리 내에 페이지 테이블을 배치하여 페이지 테이블로의 접근 성능을 한층 개선하기 위한 것으로서, 여기서 모놀리식 3D 집적 구조는 3차원 시퀀셜 집적 구조로 정의된다.

[0030] 모놀리식 3D 집적 소자 형성 기술은 하나의 웨이퍼에 소자 형성 후 epi 성장, recrystallization 또는 절연체층을 증착한 후 얇은 웨이퍼를 위에 bonding을 통해 새로운 substrate layer를 형성 후 그 위에 소자를 시퀀셜하게 형성하는 공정 기술이다.

[0031] 모놀리식 3D 집적 소자 형성 기술은 각 레이어의 소자를 매우 얇은 채널 (50~500nm) 형성으로 Via specification의 변경이 가능 [(Via diameter (10~50nm), Via pitch (100~300nm)] 하여 TSV(Through Si Via)의 한계점으로 지적되는 웨이퍼의 두께에 따른 문제점들을 해결 가능한 새로운 대안 제조 기술이다.

[0032] 이와 같은 모놀리식 3D 집적 구조에서는 각 레이어의 소자를 연결하는 비아를 인터-레이어 비아(inter-layer via) 또는 인터-타이어 비아(inter-tier via)로 정의한다.

[0033] 이하에서는 모놀리식 3D 집적 구조에서 비아라는 점에서 상기한 비아를 모놀리식 3D 비아(M3D Via)로 정의하여 설명한다.

[0034] 본 실시예에 따르면, 메인메모리를 모놀리식 3D 집적 구조로 형성하고, 메인메모리 내에서 다중 레벨 페이지 테이블들을 모놀리식 3D 비아(M3D Via)로 연결한다.

[0035] 또한, 프로세서 도메인 상의 변환색인버퍼와 상위 레벨 페이지 테이블 역시 모놀리식 3D 비아(M3D Via)로 연결된다.

[0036] 도 2는 본 발명의 바람직한 일 실시예에 따른 변환색인버퍼와 페이지 테이블 연결 구조를 도시한 도면이다.

[0037] 도 2에 도시된 바와 같이, 프로세서 다이(die)의 변환색인버퍼(200) 상에 상위 레벨 페이지 테이블(202-1) 및 하위 레벨 페이지 테이블(202-2)을 포함하는 페이지 테이블(202)이 모놀리식 3D 집적 구조로 형성된다.

[0038] 여기서, 변환색인버퍼(200)와 상위 레벨 페이지 테이블(202-1)이 M3D 비아(204)로 연결되고, 또한, 상위 레벨 페이지 테이블(202-1)과 하위 레벨 페이지 테이블(202-2)이 M3D 비아(204)로 연결된다.

[0039] 이처럼 변환색인버퍼(200)와 상위 레벨 페이지 테이블(202-1)을 M3D 비아(204)로 연결하는 경우, 프로세서와 페이지 테이블 간 interconnect 길이가 훨씬 짧아져 페이지 테이블로의 접근 속도가 한층 개선된다.

[0040] 즉, 변환색인버퍼(200)에서 원하는 가상메모리-물리메모리 주소 변환 정보를 획득하지 못하면 상위 레벨 페이지 테이블로 빠르게 접근하여 물리메모리 주소를 획득할 수 있다.

[0041] 도 3은 본 발명의 일 실시예에 따른 다중 레벨 페이지 테이블 구조를 도시한 도면이다.

[0042] 도 3은 입출력 속도 및 전력 소모를 고려하여 다중 레벨 페이지 테이블을 서로 다른 메모리 셀에 배치한 구조를 도시한 도면이다.

[0043] 도 3에서는, 상위 레벨 페이지 테이블을 SRAM에 배치하고, 하위 레벨 페이지 테이블을 eDRAM에 배치한 것으로 예시로 도시한 것이다.

[0044] SRAM(Static random-access memory)는 각각의 bit가 4개의 트랜지스터로 이루어진 두 쌍의 인버터에 저장되는 것으로서, 두 상의 인버터가 0과 1dml 값을 안정된 상태로 유지하고, 2개의 트랜지스터가 읽기와 쓰기 기능을 수행한다.

[0045] 따라서, 하나의 bit를 저장하고 입출력하는데 6개의 트랜지스터가 필요하다.

[0046] 이처럼 SRAM은 회로의 대칭 구조를 갖기 때문에 DRAM이 비해 입출력 속도가 빠르다.

[0047] 한편, DRAM(Dynamic random-access memory)은 각각 1 bit를 저장하는 캐패시터들로 이루어져 있고, 각 캐패시터는 물리적으로 전자를 누전하는 성질을 가지고 있다. 따라서, DRAM은 주기적으로 캐패시터에 다시 전자를 채워야 한다. 이처럼 전자를 채우는 것을 refresh라 한다. DRAM은 SRAM에 비해 입출력 속도가 느리지만 가격이 저렴한 장점이 있다.

[0048] 본 실시예에서는 하위 레벨 페이지 테이블을 eDRAM(embeded DRAM)에 배치한다.

[0049] 상기에서는 상위 레벨 페이지 테이블을 SRAM에 하위 레벨 페이지 테이블을 eDRAM에 배치하는 것으로 설명하였으나, 이에 한정됨이 없이, 상위 레벨 페이지 테이블이 하위 레벨 페이지 테이블보다 높은 성능의 메모리 셀에 배치되는 것은 모두 본 발명의 범주에 포함될 수 있다.

[0050] 도 3과 같이, 상위 레벨 페이지 테이블을 SRAM에 배치하는 경우, 상위 레벨페이지 테이블에서 베이스 어드레스를 찾지 못하는 경우 바로 디스크로 접근한다.

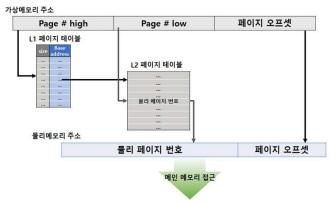
[0051] 즉, 페이지 폴트를 빠르게 확인할 수 있고, 이에 의해 디스크 접근 속도를 향상시킬 수 있다.

산업상 이용가능성

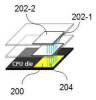
[0052] 상기한 본 발명의 실시예는 예시의 목적을 위해 개시된 것이고, 본 발명에 대한 통상의 지식을 가지는 당업자라면 본 발명의 사상과 범위 안에서 다양한 수정, 변경, 부가가 가능할 것이며, 이러한 수정, 변경 및 부가는 하기의 특허청구범위에 속하는 것으로 보아야 할 것이다.

도면

도면1



도면2



도면3

