

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G06F 1/20 (2006.01)



[12] 发明专利说明书

专利号 ZL 03800540.9

[45] 授权公告日 2007 年 10 月 10 日

[11] 授权公告号 CN 100342300C

[22] 申请日 2003.3.6 [21] 申请号 03800540.9

[30] 优先权

[32] 2002. 3. 15 [33] US [31] 10/099,648

[86] 国际申请 PCT/US2003/006864 2003. 3. 6

[87] 国际公布 WO2003/079170 英 2003. 9. 25

[85] 进入国家阶段日期 2003. 12. 26

[73] 专利权人 英特尔公司

地址 美国加利福尼亚州

[72] 发明人 罗伯特·格雷纳 本森·因克利
内森·舒尔茨

[56] 参考文献

US5490059A 1996. 2. 6

CN1153563A 1997. 7. 2

CN1168501A 1997. 12. 24

US5719800A 1998. 2. 17

US2001/0003207A1 2001. 6. 7

WO00/58813A1 2000. 10. 5

审查员 王 欢

[74] 专利代理机构 北京东方亿思知识产权代理有
限责任公司

代理人 柳春雷

权利要求书 4 页 说明书 6 页 附图 4 页

[54] 发明名称

处理器温度控制接口

[57] 摘要

本发明公开了用于处理器温度控制接口的技术。在一个实施例中，处理器包括双向接口和输出逻辑，以在双向接口上施加(assert)一个指示内部高温的第一信号。如果指示出内部的高温，或者在双向接口上接收到外部信号，则抑制逻辑抑制处理器的操作。

1. 一种处理器，包括

双向接口，当双针模式被使能时，其包括第一接口节点和第二接口节点，所述第一接口节点用于输出第一信号且所述第二接口节点用于接收外部信号；

输出逻辑单元，其在所述双向接口上施加所述第一信号，所述第一信号指示内部的高温；

抑制逻辑单元，其耦合到所述双向接口上，如果所述第一信号指示出所述内部的高温，或者在所述双向接口上接收到外部信号，则所述抑制逻辑单元抑制所述处理器的操作。

2. 如权利要求 1 所述的处理器，其中，当单针模式被使能时，所述双向接口是单个接口节点。

3. 如权利要求 1 所述的处理器，还包括：

用于所述第一信号的第一路径；

用于所述外部信号的第二路径；

选择逻辑单元，在所述第一路径和所述第二路径之间进行选择，所述第一路径在单向模式中忽略外部信号，所述第二路径在双向单接口模式中允许所述外部信号起作用。

4. 如权利要求 3 所述的处理器，其中，所述双向接口包括第一接口节点和第二接口节点，所述第二接口节点是输入端，所述选择逻辑单元在双向双接口模式中还选择第三路径。

5. 如权利要求 4 所述的处理器，其中，所述第三路径包括：

内部信号路径，用于具有第一延迟的所述第一信号；

外部信号路径，用于具有第二延迟的所述外部信号，所述第一延迟匹配于所述第二延迟加上从另一处理器到所述处理器的路径中的外部延迟。

6. 如权利要求 1 所述的处理器，其中，所述双向接口还包括：

当双向单针模式被使能时的单个双向接口节点。

7. 如权利要求 6 所述的处理器，还包括：

在所述第一信号的第一路径中的第一延迟；

在所述外部信号的第二路径中的第二延迟，其中，在所述第一路径中的所述第一延迟匹配于在所述第二路径中的所述第二延迟加上从另一处理器到所述处理器的路径中的外部延迟。

8. 一种系统，包括：

第一处理器，包括：

双向接口，当双针模式被使能时，其包括第一接口节点和第二接口节点，所述第一接口节点用于输出内部信号且所述第二接口节点用于接收第一外部信号；

抑制逻辑单元，其响应于所述内部信号或所述第一外部信号，抑制所述第一处理器；

系统逻辑单元，用于施加所述第一外部信号。

9. 如权利要求 8 所述的系统，包括：

第二处理器，包括：

第二处理器第一接口节点，用于输出指示第二处理器高温度的第二处理器内部信号；

第二处理器第二接口节点，用于接收第二外部信号；

第二处理器抑制逻辑单元，其响应于所述第二处理器内部信号或所述第二外部信号，抑制所述第二处理器；

其中，所述系统逻辑单元响应于所述第二处理器输出指示所述第二处理器高温度的所述第二处理器内部信号，而对所述第一处理器施加所述第一外部信号。

10. 如权利要求 9 所述的系统，其中，所述第一处理器还包括：

在所述内部信号到所述抑制逻辑单元的第一路径中的第一延迟；

在所述第一外部信号到所述抑制逻辑单元的第二路径中的第二延迟，所述第一延迟匹配于所述第二延迟加上通过所述系统逻辑单元的路径中的系统逻辑单元延迟。

11. 如权利要求 10 所述的系统，其中，所述第一处理器和所述第二处理器将响应于所述第二处理器内部信号，同步地开始抑制。

12. 如权利要求 11 所述的系统, 其中, 所述第一处理器和所述第二处理器在同一个单时钟周期内开始抑制。

13. 一种方法, 包括:

在双向接口上驱动指示处理器的内部测量的高温度的第一信号, 当双针模式被使能时, 所述双向接口包括第一接口节点和第二接口节点, 所述第一接口节点用于输出所述第一信号且所述第二接口节点用于接收外部信号;

如果在所述双向接口上, 所述第一信号被驱动或者接收到外部信号, 则抑制所述处理器的操作。

14. 如权利要求 13 所述的方法, 其中, 驱动步骤包括:

测试是否达到了所选择的温度值;

如果达到了所选择的温度值, 则驱动所述第一信号。

15. 如权利要求 13 所述的方法, 其中, 当单针模式被使能时, 所述双向接口是单个双向接口节点。

16. 如权利要求 13 所述的方法, 还包括在驱动所述第一信号之后且接收所述第一信号或所述外部信号之前, 通过不同的延迟路径延迟所述第一信号和所述外部信号。

17. 如权利要求 13 所述的方法, 还包括或者选择使用单个双向接口节点作为所述双向接口的第一模式, 或者选择使用两个接口节点的第二模式。

18. 如权利要求 17 所述的方法, 还包括在驱动所述第一信号之后且接收所述第一信号或所述外部信号之前:

在所述第二模式中, 延迟所述第一信号以使所述处理器和另一个处理器同时进行抑制。

19. 一种方法, 包括:

在双向接口上用第一信号指示第一处理器内部测量的高温, 当双针模式被使能时, 所述双向接口包括第一接口节点和第二接口节点, 所述第一接口节点用于输出所述第一信号且所述第二接口节点用于接收第一外部信号;

将响应于所述第一处理器内部测量的高温而进行的抑制与第二处理器的抑制同步。

20. 如权利要求 19 所述的方法，其中，同步步骤包括：

接收所述第一信号，并施加第二外部信号到所述第二处理器；

至少使所述第一处理器延迟抑制操作，以允许所述第一处理器和所述第二处理器以同步的方式抑制操作。

21. 如权利要求 20 所述的方法，其中，延迟步骤包括阻止所述第一处理器开始抑制，直到所述第二处理器开始进行抑制的那一个时钟周期为止。

处理器温度控制接口

技术领域

本发明涉及电子元件领域。更具体地说，本发明涉及用于诸如处理器的电子元件的温度控制接口。

背景技术

因为元件持续变小，却仍常常消耗更多的功率，所以人们一直在努力控制电子元件的温度。微处理器现在使用了复杂的技术来实现功率节约，以及当温度达到一定的温度值后进行自我抑制（throttle）。

例如，一种现有技术的处理器包括一个停止时钟管脚，该管脚使得处理器能够由于多种原因而停止处理器时钟。这个管脚的一种公知用途就是在停止时钟管脚上提供周期性的波形，而使处理器周期性地停止并重新启动处理器（参见，例如美国专利 5,560,001）。这种时钟抑制有效地降低了处理器的工作速率，从而在一般情况下减少了功率消耗，降低了温度。

此外，现有技术处理器自己可以具有温度传感器，并可以执行其自身内部始发的抑制。当采用了由温度原因导致的内部始发的抑制时，可以施加（assert）外部信号来警告系统（参见，例如 Pentium® 4 处理器的 PROCHOT#输出信号）。

然而，这些机制不能为一些应用提供充分的控制和/或同步能力。

发明内容

本发明提供了一种处理器，包括：双向接口，当双针模式被使能时，其包括第一接口节点和第二接口节点，所述第一接口节点用于输出第一信号且所述第二接口节点用于接收外部信号；输出逻辑单元，其在所述双向接口上施加所述第一信号，所述第一信号指示内部的高温度；抑制逻辑单元，其耦合到所述双向接口上，如果所述第一信号指示出所述内部的高温

度，或者在所述双向接口上接收到外部信号，则所述抑制逻辑单元抑制所述处理器的操作。

本发明还提供了一种系统，包括第一处理器和系统逻辑单元。第一处理器包括：双向接口，当双针模式被使能时，包括第一接口节点和第二接口节点，所述第一接口节点用于输出内部信号且所述第二接口节点用于接收第一外部信号；抑制逻辑单元，其响应于所述内部信号或所述第一外部信号，抑制所述第一处理器。系统逻辑单元用于施加所述第一外部信号。

本发明还提供了一种方法，包括：在双向接口上驱动指示处理器的内部测量的高温度的第一信号，当双针模式被使能时，所述双向接口包括第一接口节点和第二接口节点，所述第一接口节点用于输出所述第一信号且所述第二接口节点用于接收外部信号；如果在所述双向接口上，所述第一信号被驱动或者接收到外部信号，则抑制所述处理器的操作。

本发明还提供了一种方法，包括：在双向接口上用第一信号指示第一处理器内部测量的高温，当双针模式被使能时，所述双向接口包括第一接口节点和第二接口节点，所述第一接口节点用于输出所述第一信号且所述第二接口节点用于接收第一外部信号；将响应于所述第一处理器内部测量的高温而进行的抑制与第二处理器的抑制同步。

附图说明

在附图中以示例而非限制的方式图示了本发明。

图1图示了一个实施例，其中的系统具有双向处理器热接口。

图2是图示了图1中根据一个实施例所示的系统的操作的流程图。

图3图示了使用处理器热接口的多处理器系统的一个实施例。

图4是图示了图3中根据一个实施例所示的系统的操作的流程图。

具体实施方式

以下说明描述了用于处理器温度控制接口的技术。在以下说明中，阐明了很多具体的细节，例如逻辑实现、时钟、信号名称、系统元件的类型和相互关系、以及逻辑划分/集成的选择，以提供对本发明更彻底的理解。

但是，本领域的技术人员应当理解，没有这些具体细节也可以实现本发明。此外，没有示出控制结构和门级电路，以免使本发明变得不清楚。

在一个实施例中，提供了双向处理器热（PROCHOT#）接口，以实现处理器温度状态的观测和系统控制。这样一种双向接口可能在例如桌面或移动系统中有用，在这些系统中，要使用附加的管脚针（pin）来平衡有限的控制和观测能力。在另一个实施例中，一个两针的 PROCHOT# 和强制处理器热（FORCEPH#）接口使得处理器可以观测和控制抑制机制的施加。

在一些实施例中，“处理器”可以以单个集成电路的形式出现。在其它实施例中，多个集成电路可以共同形成一个处理器，并且在其它实施例中，硬件和软件例程（例如，二进制翻译例程）可以共同形成处理器。许多不同类型的集成电路和其它电子元件可从这种温度控制技术中受益。例如，处理器 100 可以是一个通用处理器（例如，微处理器），或者是一个专用处理器或设备。例如，数字信号处理器、图形处理器、网络处理器或者在一个系统中可以使用的其它类型的专用元件都可以从系统可见并可控的抑制中受益。

图 1 图示了具有双向处理器热接口（PROCHOT#接口节点 117）的处理器 100 的一个实施例。该接口可以是针形管脚（pin）、球形管脚（ball）或者任何其它类型的连接器或连接器组，它们都能够向其它元件的接口提供至少一个接口节点。处理器 100 包括温度监控逻辑 110，其监控处理器自身的温度。可以使用多种公知的或者其它可用的温度监控技术。例如，可以使用用于监控温度的内置电路。或者，可以使用外部传感器或者功耗估计技术（例如，活动计数器/监控器、电流监控器等等）。温度监控器 110 经由用于 TOO HOT（过热）信号的信号线 112 而被耦合到用于驱动接口节点 117 的输出驱动器 115 上。通过复接器 130，TOO HOT 信号也被发送到抑制逻辑 120 上。上述复接器由熔丝 140 来控制，熔丝 140 在图示实施例的单向和双向操作模式之间进行选择。

在图 1 的实施例中，系统逻辑 150 接口于处理器 100，并可以经由驱动器 155 来驱动 PROCHOT# 信号或经由输入缓冲器 160 来接收

PROCHOT#信号。系统逻辑自己可以包含有一些温度传感器，以确定整个系统何时达到不可接受的温度水平，并可以由此驱动 PROCHOT#信号。

图 2 中示出了用于图 1 中系统的一个实施例的操作。在框 200 中，分隔出不同模式的操作。在一些实施例中，半导体熔丝可被烧断以选择操作的模式。也可以使用其它的选择技术，例如配置寄存器等来选择操作的模式。在单一输出模式中，熔丝 140 使复接器 130 选择 TOO HOT 作为到抑制逻辑 120 的输入。因此，不考虑 PROCHOT#信号的外部状态，使得 PROCHOT#只被有效地输出，如框 205 中所示。

在双向单针模式中，系统逻辑 150 和处理器 100 都可以驱动 PROCHOT#来控制抑制。如框 215 和 225 中所示，处理器 100 监控它的温度，并监控 PROCHOT#接口。如果温度没有超过所选定的量值，则处理器继续监控温度，如框 220 中所示。类似地，如果 PROCHOT#信号未被施加，则处理器 100 将继续监控接口，如框 230 中所示。如果 PROCHOT#信号被施加或者温度超过了所选定的量值，则处理器操作被抑制逻辑 120 抑制，如框 240 所示。

由抑制逻辑执行的抑制操作可以是任何适当的公知或其它可用的抑制技术。例如，可以周期性地停止到设备的时钟。或者，可以通过在流水线的某个阶段限制吞吐率来降低系统吞吐率。或者，可以改变时钟频率。这些或其它任何有效地减少处理器处理量的技术都可以为抑制逻辑所使用。

在第三模式中，可以使用双向双针的 PROCHOT#实现方案，如框 210 所示。图 3 和 4 给出了使用双针实现方案的实施例的进一步细节。双针实现方案可以实现对处理器内部温度计量的观测，以及对抑制命令的施加。在单针的情况下，施加抑制命令将屏蔽处理器对同一个针的施加。在图 3 的实施例中，为图示的目的示出了两个处理器，但是可以另外添加处理器。处理器 300 和处理器 350 都具有 FORCEPH#和 PROCHOT#针。信号线 364 和 362 分别将系统逻辑所驱动的 FORCEPH#信号耦合到处理器 300 和 350 上，而信号线 302 和 352 分别将处理器 300 和 350 所驱动的 PROCHOT#信号传送给系统逻辑。

处理器 300 包括监控器 310，用于检测处理器 300 什么时候过热（或

者在一些实施例中，检测何时消耗了过多的功率）。每个具有标号的模块都代表一个延迟部件，例如锁存器。驱动器 305 被耦合以从监控器 310 接收 TOO HOT 信号并在信号线 302 上驱动 PROCHOT#信号。到复接器 330 的第一路径使得 TOO HOT 信号通过延迟模块 313-1 和 313-2 到达复接器 330 的“w”输入端。到复接器 330 的第二路径使得 TOO HOT 信号通过延迟模块 313-1，经过输出驱动器 305（也因此而拾取了信号线 302 上的任何被外部施加的信号），通过反相驱动器 307，并通过延迟模块 314-2 和 314-3 到达复接器 330 的“b”输入端。

到复接器的第三路径包括来自信号线 302（PROCHOT#）和信号线 364 的输入，所述信号线 364 是由系统逻辑 360 驱动的。信号线 364 可以是一个强制处理器热（FORCEPH#）信号线，其允许使用外部因素来确定何时抑制操作。在一个实施例中，即使两个处理器不会同时抑制它们自己，但系统可能希望同时开始抑制多个处理器（即，在外部总线时钟的同一时钟周期内）。在这个实施例中，可能希望将抑制逻辑 320 的 TOO HOT 信号的延迟与通过系统逻辑的路径所预期的延迟相匹配。例如，在图 3 的实施例中，TOO HOT 信号穿过延迟模块 313-1、输出驱动器 305，通过延迟模块 316-2、组合逻辑 363、延迟模块 316-3 而进入系统逻辑 370，通过延迟模块 316-4、组合逻辑 371、延迟模块 316-5 而回到系统逻辑 360，通过延迟模块 316-6、组合逻辑 367、延迟模块 316-7，然后进入第二处理器 350。假设第二处理器具有的逻辑和处理器 300 所示的逻辑相同，那么路径将继续通过分别对应于输入缓冲器 309、两个另外的延迟模块 316-8 和 316-9、或门 311 和复接器 330 的“f”输入端的多个组件。

类似地，TOO HOT 信号在处理器 300 内部的路径包括 9 个延迟模块和或门 311。在双针模式下，TOO HOT 信号在内部穿过延迟模块 313-1 和 313-2，然后通过延迟模块 315-3 到 315-9，进入或门 311。如果系统逻辑 360 和 370 在信号线 364 上施加 FORCEPH#，或者监控器 310 指示应当执行抑制，则上述的或门向复接器 330 提供应当执行抑制的指示。系统逻辑元件 360 和 370 可以是局部（360）和全局（370）控制应用专用集成电路（ASIC）。无论所述逻辑的全部或任何一个是分开的还是完整的，这对所

公开的技术都不重要。逻辑可以包含在处理器自身当中，在诸如总线桥的其它系统元件当中，或者在 ASIC 等当中。此外，各种延迟的绝对数量或长度并不重要；但是，对于一些实施例而言，需要提供延迟匹配。

在图 3 的实施例中，到复接器的两个控制输入（fuseBiDirProcHotEn 和 fuseMPdecode）控制选择哪一种模式。如果 fuseMPdecode 熔丝指示多处理器（双针）PROCHOT#/FORCEPH#实现方案是所需要的，则选择到复接器的路径“f”。如果熔丝 fuseBiDirProcHotEn 指示单一的双向模式是所需要的，则选择复接器的输入端“b”。如果两个熔丝指示双向模式和多处理器（双针）模式都不是所需要的，则使用单一输出模式，并选择到复接器的路径“w”。

图 4 图示了在选择双针模式时（例如，图 3 实施例中复接器 330 上的路径“f”）多处理器系统的操作。在框 400 中，感应到高温（例如，由监控器 310）。在框 410 中，PROCHOT#信号被施加给系统逻辑。如框 420 所示，内部的 TOO HOT 信号被延迟。在图 3 的实施例中，通过延迟模块 313-1、313-2 和 315-3 到 315-9 的路径提供了延迟。如框 425 所示，所施加的 PROCHOT#信号也通过系统逻辑进行传播，产生了延迟，结果产生了到系统中其它（多个）处理器的 FORCEPH#信号。例如，在图 3 的实施例中，FORCEPH#信号可以在信号线 362 上被施加到处理器 350。

第一处理器内的延迟被设计成与通过系统逻辑的路径中的延迟加上任何内部延迟相匹配，由于这个第一处理器内的延迟，多个处理器同步地开始抑制，如框 430 和 435 所示。在一些系统中可能希望具有这种抑制的同步，以使多个处理器在一致的速率下工作，从而在大体上均衡进度和热/功率问题。由此，即使一个处理器本来不会进入抑制状态，但是它也可能被强制进入抑制状态。

这样就公开了用于处理器温度控制接口的技术。虽然已经描述了某些示例性的实施例，并在附图中示出，但是应当理解，从广义的发明来看，这些实施例仅仅是示意性的而非限制性的，本发明并不限制在所描述和所图示的具体解释和布置中，因为本领域的普通技术人员在研究本公开内容的基础上，可以做出各种其它修改。

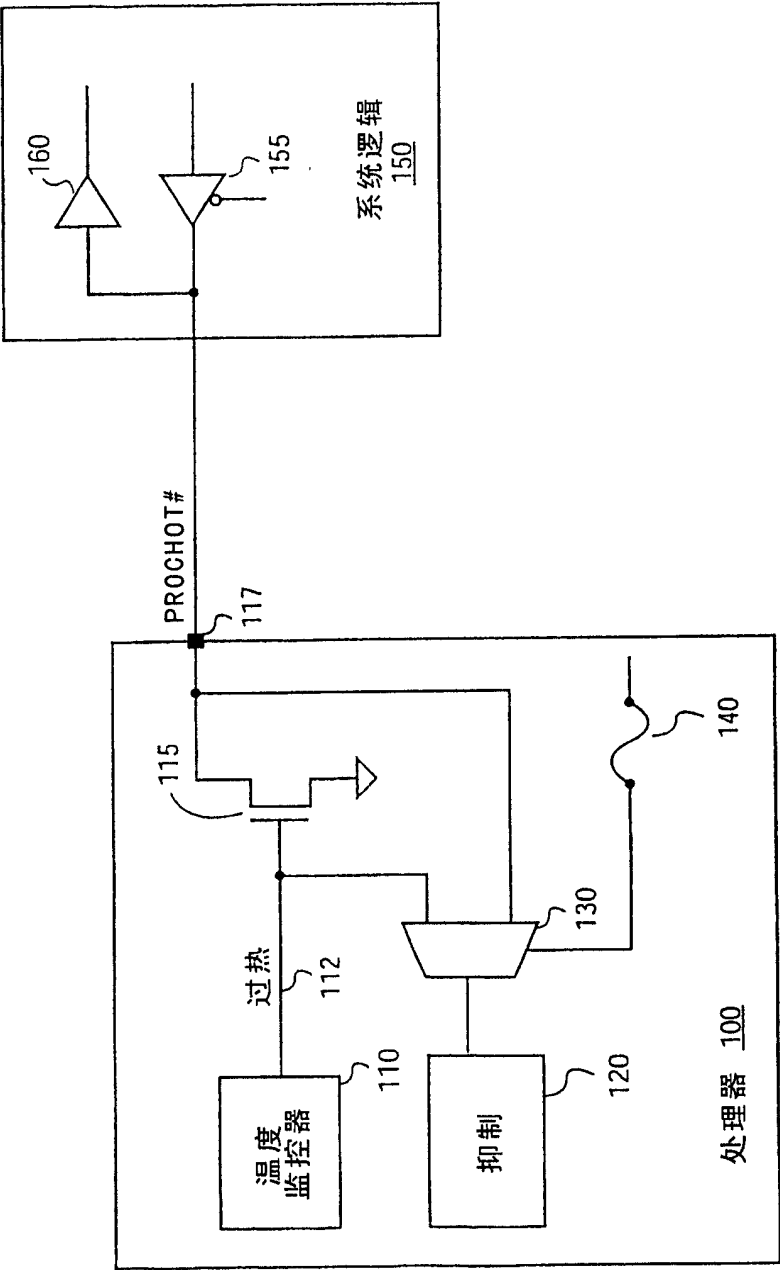


图1

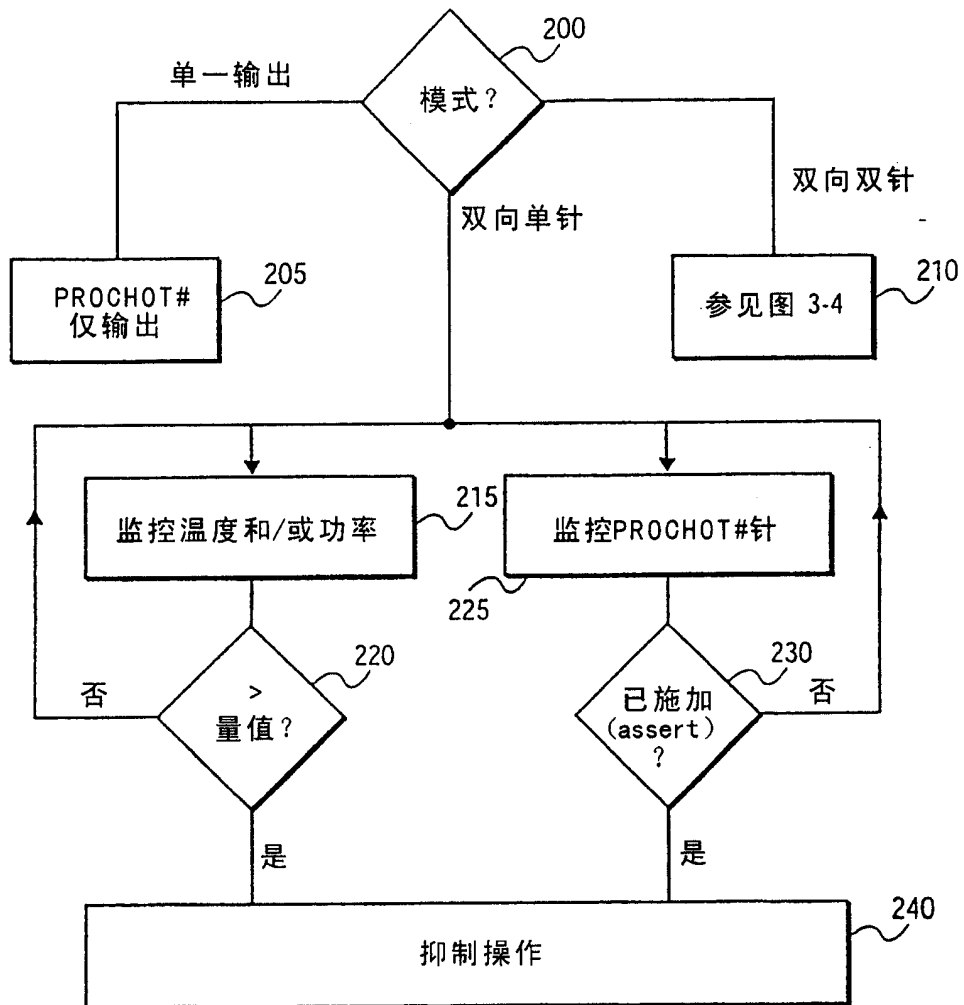


图2

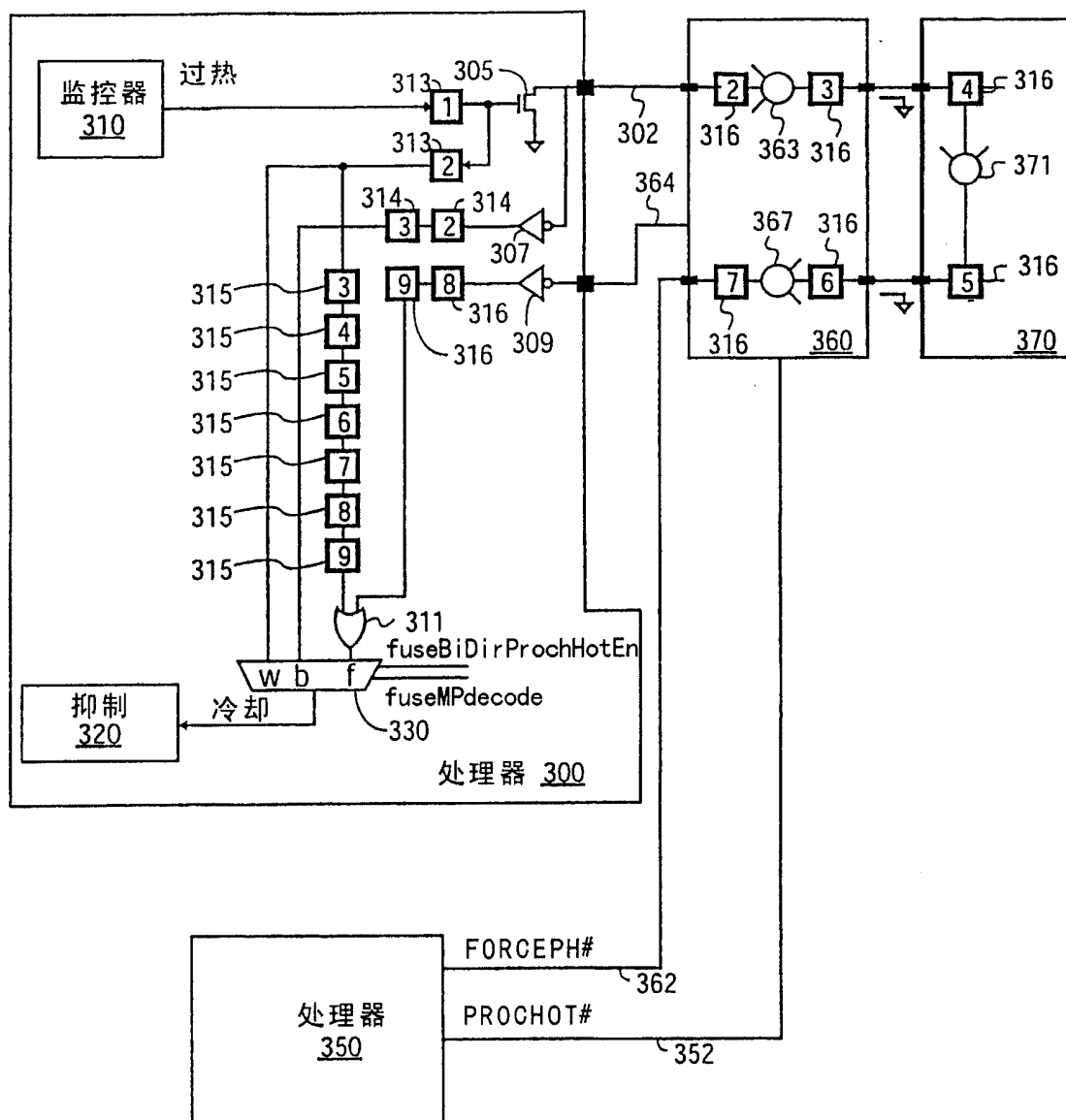


图3

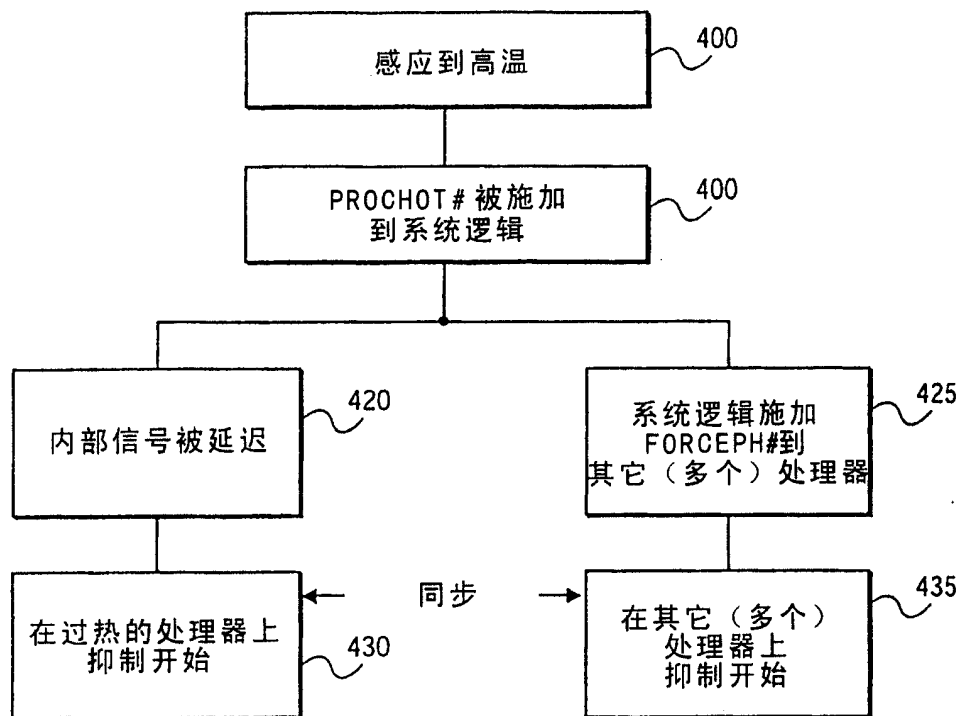


图4