

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

南非 國(地區) 申請專利，申請日期：1992.8.26. 案號：92/6446 ， 有 無主張優先權

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部中央標準局員工消費合作社印製

## 五、發明說明(1)

### [發明背景]

本發明係關係於一識別系統，其包含一詢問器及多數個應答器。

南非專利申請案第92/0039號描述出一識別系統，其包含一詢問器及多數個個別之應答器，每一應答器係相關於一予以識別之物品。該予以識別之物品可以是車輛，於超級市場或量販店之物品項目，或者例如是人名等。

以上所述專利申請案中之系統，於極端之情況下，來自一離該詢問器相當遠之應答器之信號可能為一來自相當近之應答器之信號所掩蓋，使得較遠之應答器係不能被識別。

本發明之目的係改良以上所指之系統中之應答器識別之可靠性。

### [發明概要]

依據本發明之識別系統，包含一詢問器及多數個應答器，該詢問器包含傳送器機構用以傳送一詢問信號至應答器，接收器機構用以接收來自應答器之一回答信號，以及處理器機構用以自回答信號中之資料識別該應答器；每一應答器包含接收器機構用以接收該詢問信號，一應答時鐘產生器，一碼產生器，傳送器機構及一調變器連接至該碼產生器，使該詢問信號被接收時，該應答器傳送一包含有識別該應答器資料之回答信號，該詢問器係適用以偵測來

## 五、發明說明 ( > )

自任一應答器之一回答信號之成功接收，以自該應答器之回答信號中，導引出一同步信號，以及修正該詢問信號同步於該回答信號，以指示出該回答信號之成功接收，每一應答器包含反應於該詢問信號之相對修正而停止該回答信號之傳送。

較佳地，該詢問器包含時鐘節錄機構，用以節錄一來自該回答信號之時鐘信號，該信號係用以同步該詢問信號之修正與該回答信號。

該時鐘節錄機構可以適用以產生一虛擬應答器時鐘信號，其係隨著該節錄之應答器信號之頻率。

較佳地，該時鐘節錄機構包含一電壓控制振盪器，其係產生該虛擬應答器時鐘信號，以及節錄時鐘監視機構用以監視該節錄應答器時鐘之信號出現並控制該電壓控制振盪器以保持該虛擬應答器時鐘信號之頻率於一常數，於該節錄應答器時鐘信號係未出現之時。

該詢問器可以包含計時參考機構，安排以產生一輸出電壓用以控制該電壓控制振盪器，當一應答器回答信號係被接收到之時，該輸出電壓係開始有關於於該應答器回答信號中之一同步碼之值。

該計時參考機構可以安排以產生一電壓斜波，為該電壓斜波所達到之電壓值係有關於於該應答器回答信號中之同步位元之持續期間。

該詢問器可以適用以修正用於第一預定數目之應答器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明（ 3 ）

時鐘週期之詢問信號，以及，一第二預定數目之應答器時鐘週期於該應答器回答信號係為該詢問器所成功接收之後。

於一較佳實施例之中，該詢問信號係藉由中斷加以修正。

該應答器可以包含邏輯電路安排以監視該詢問信號之修正並且使得該應答器停止傳送其回答信號，於該詢問信號之修正係具有一期間，其係有關於一預定數量之詢問器時鐘週期之持續時間。

該邏輯電路可以安排以監視詢問信號之修正一段時間，該時間段係相當於一單一應答器時鐘週期。

詢問器可以適用以至少再一修正該詢問信號一第三次預定數目之應答器時鐘週期，並當該應答器回答信號係為該詢問器所成功接收之後，修改該詢問信號一第四預定數量之詢問器時鐘週期。

該應答器係較佳地包含控制機構安排以偵測該詢問信號之第二修正，並於該應答器停止接收該詢問信號之後，去能該應答器一預定時間。

該預定時間係最佳地為一計時電路所決定，該計時電路包含一電荷儲存裝置，其安排以為該來自詢問信號所導出之能量所充電，並於該應答器停止接收詢問信號之後，以一受控制之速率加以放電。

該詢問信號之修正係較佳包含一暫態，其係以一受控

## 五、發明說明（4）

制之速率加以發生，以保持該為暫態所產生之最大頻率於一可接受之範圍之內。

於本發明之系統中之另一實施例中，特別以適用於一防盜之應用例之中，該反應詢問信號之修正之機構係用以去能（disable）該應答器一預定時間段。

這允許於一零售出口中，該附著於一物品上之應答器係在一錢櫃或結帳處被去能，所以其係不會反應於一出口之一詢問器之詢問信號。

依據本發明更提供一應答器，用以使用於以上所述之系統之中，該應答器包含接收器機構用以接收一詢問信號，一應答器時鐘產生器，一碼產生器，傳送器機構，以及，一調變器連接至該碼產生器，所以當該詢問信號被接收時，該應答器傳送一回答信號，其包含一識別該應答器之資料，該應答器更包含反應於該詢問信號之相對修正同步於該回答時間之機構，並由其回答信號指示應答器之成功接收，而停止其回答信號之傳送。

該應答器可以包含邏輯電路，其係安排以監視該詢問信號之修正，並且，使得該應答器停止其回答信號之傳送，於該詢問信號之修正係具有一持續期間，其係有關於一預定數目之應答器時鐘週期之持續期間。

較佳地該應答器邏輯電路被安排以監視該詢問信號之修正一時間段，其係相當於一單一應答器時鐘週期。

該反應於該詢問修正之機構可以適用以去能該應答器

## 五、發明說明( 5 )

一 預定週期之時間段。

該應答器可以包含控制機構安排以偵測詢問信號之一第二修正，並去能該應答器一預定時間，於應答器係停止接收該詢問信號之後。

該預定時間可以為一計時電路所決定，該計時電路包含一電荷儲存裝置，其係安排以為來自該詢問信號所導出之能量所充電，並於該應答器停止接收該詢問信號之後，以一控制下之速率放電。

〔附圖之簡要說明〕

圖 1 係為一依據本發明之詢問器之一簡化電路方塊圖

；

圖 2 係為本發明之應答器之基本操作之例示圖；

圖 3 係為一流程圖例示出圖 1 中之詢問器之操作使用

；

圖 4 為時序圖例示出於詢問器電路之各元件中之波型

；

圖 5 係為圖 1 之詢問器電路之同步電路之電路圖；

圖 6 係為一時序圖例示出該識別系統之第一類型之操作，並示出一應答器及該詢問器之交互作用；

圖 7 係為該識別系統之第二實施例之一時序圖；

圖 8 係為一依據本發明之第二實施例之一應答器之簡化方塊圖；

圖 9 係為圖 8 之間隙偵測邏輯電路之電路圖；以及

## 五、發明說明(6)

圖 10 係為圖 8 之應答器之操作流程圖。

[較佳實施例之說明]

本發明係有關於一識別系統，其係類似於南非專利申請案第 92 / 0039 號中所述者，其內容係於此加入作為參考。該識別系統之一例子係包含一詢問器或閱讀器，其係以一大約 15 瓦特之功率及大約 915 MHz 之頻率傳送該詢問信號給數個被動之應答器。該應答器係自來自該詢問信號之能量導出一電源供應，並以一識別碼調變該由詢問器所接<sup>收</sup>之能量之一部份，而產生一回答信號，其係被傳送回該詢問器。

該應答器可以使用個別之接收器及發射器天線，或者，一單一天線其係可以使於接收及發射。該回答信號係可以藉由調變該一天線之折射率而加以產生，而替代了使用一調變器來重新指引該能量由接收天線至該發射器天線。另外，該應答器可以個別地加以供電並可以產生其個別之回答信號。

於以上專利申請案中所描述之系統，提供了每一應答器等待一隨機或虛擬隨機時間段，於由詢問器接收一詢問信號之後，傳送其自己之回答信號之前。任何應答器之成功識別係藉由詢問信號之主要中斷或其他修正而加以指出，其係緊隨著任何特定應答器之一回答信號之成功接收之後。這係作用成對相關應答器之一切斷信號。該反應於重覆詢問信號之於回答信號產生之隨機或虛擬隨機延遲確保

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明（ 7 ）

了所有之應答器會為該詢問器所識別。

一般而言，假若兩個應答器同時傳送相關之回答信號時，該詢問器將不會成功地識別任一應答器，其乃是由於兩回答信號間之干擾所致。反應於一隨後之詢問信號，該兩應答器會更傳送其他之具有相對新隨機或虛擬隨機延遲之回答信號，然後，將隨後被偵得。然而，於以上所述狀態之一極端例子之中，該兩應答器之一可能相較於另一者係非常地接近詢問器，所以其回答信號會掩沒了由另一應答器之同時所傳送之回答信號。於此一情況之中，該詢問器可能成功地接收兩應答器中之一較接近者之回答信號，並且，會藉由修改了其詢問信號，而指出該回答信號之成功接收，以命令該最接近之應答器切斷其操作。這可以對該兩應答器而言，意謂其相對之回答信號已經被成功地接收，所以其兩者會切斷。這將使得該第二應答器未被計算到。

為了要說明以上之兩種最差之情況，以一般地改良此一應答器之偵測之可靠度，該詢問器係包含一同步電路其係節錄一自成功接收之應答器回答信號之時鐘信號，並且，同步化該詢問信號之中斷，其係用以肯定一回答信號之成功接收及該相關應答器之操作。因為每一應答器具有其自己本身之內部時鐘，其中之頻率係取決於該來自該詢問信號之所導出之電源供應電壓，以及，於該應答器中之時鐘分量之容許誤差，及不同應答器之時鐘頻率係變化相當

## 五、發明說明( 8 )

寬大。因此，藉由同步化將該詢問信號之切斷與該相關之應答器之時鐘頻率，則另一應答器之具有同時傳送其回答信號及同時具有一相同時鐘頻率之機會係相當地小。這改良了偵測之可靠性。

圖 1 示出詢問器電路之同步電路。該電路包含一放大器 10，其係放大接收自應答器之回應信號，其係反應於來自詢問器之一詢問信號。此一信號承載了一應答器識別碼，其係以一曼徹斯特碼方式之格式表示。該信號係饋送至一應答器時鐘節錄電路 12，一資料節錄電路 14，及一啟始偵測電路 16。該節錄資料及節錄時鐘係被送至一微處理機 18，與一來自活動指示電路 34 之一“忙”信號作碼有效性之試驗，該忙信號係當啟始偵測電路 16 及一節錄時鐘監視器電路 20 提供一輸出，指示該硬體係忙於處理一接收碼時被產生。該啟始偵測電路 16 監視該放大器 10 之輸出，以藉由找尋於一接收碼啟始之靜止位元，決定應答器回答碼何時開始，並提供一輸出至該活動指示電路 34，當這些靜止位元係被偵測到之時。假若活動指示電路係同時地接收一來自該節錄時鐘監視電路 20 之輸出，其送出一“忙”信號至該微處理機，用以啟始該解碼循環。

該時鐘節錄電路 12 監視了於所接收之曼徹斯特碼中之轉換，只允許該轉換發生於一某一誤差之內，大約為該位元週期之中間，以產生時鐘脈衝。該應答器時鐘節錄電

(請先閱讀背面之注意事項再填寫本頁)

一  
表

訂

## 五、發明說明(9)

路 1 2 之輸出脈衝串係被饋送至一相位比較電路 2 2 並與一電壓控制振盪器 (VCO) 2 6 之輸出作比較，以修正一被保持於為計時參考電路之輸出計時參考電壓 (V<sub>ref</sub>) 之處。此一參考電壓使得該 VCO 2 6 產生一“虛擬應答器時鐘”頻率鎖定於節錄應答器時鐘頻率，於該應答器之最後一位元係被送走之時。於此一同時，節錄時鐘監視電路 2 0 係監視節錄時鐘。當該應答器碼之最後一位元被接收完成之時，沒有其他之應答器時鐘脈衝係可以加以節錄，並且，節錄時鐘監視器電路 2 0 打信號給該 VCO 2 6，以保持目前之輸出頻率，該頻率係相當於由該應答器最後位元資料之傳送時，應答器時鐘頻率之頻率。

VCO 2 6 之輸出饋送至一詢問器關閉邏輯電路 2 8，其控制該詢問器傳送器電路 3 0 之操作，並配合上一經由一邏輯電路 3 2 之來自微處理機 1 8 之“有效碼”信號。當該回答信號係為該詢問器所成功接收之時，該詢問器信號係被修改，以提醒相關之應答器，其回答已被接收並且其必須停止更進一步之碼傳送。

一應答器之操作係如圖 2 中之所示。當應答器接收一詢問信號之時，其調變本身之識別碼依據該詢問信號，並傳送一回答信號回到該詢問器。然後，該應答器內部邏輯則監視該詢問信號之一“關閉”指令，其係為於該詢問信號中之一主要中斷所表示。假若該關閉信號指令係被偵得，該應答器係會停止其傳送。假若未偵測到該關閉指令，

## 五、發明說明(10)

則應答器會再次輸出其識別碼，於一隨機或虛擬隨機之延遲之後，反應下一個詢問信號，並且，重覆該過程。

如圖 2 中所示之為一應答器所傳送之碼係包含數個靜止位元，其係為一同步位元所跟隨，並順序地為包含應答器識別資料之曼澈斯特碼所跟隨。一靜止位元係一位元時段，其中，係沒有任何信號（邏輯低）被傳送，其係並應該有別於一曼澈斯特零位元，於其中，一低信號係被傳送於該位元時段之第一半段，而一高信號係為傳送於該第二半段。於曼澈斯特碼之中，一正或負之轉換係會發生於該位元時段之中間之處。此一事實係為該詢問同步電路所用以節錄用以於該應答器中產生曼澈斯特碼之時鐘。同步（sync）位元係為一邏輯壹位元，當其係被以曼澈斯特之格式加以傳送之時，係與該時鐘組合，成為曼澈斯特位元於該位元之第一半段係為高，而於該位元之第二半段係為低，當該靜止期間係為低之時。因為該計時參考係自藉由量測該於 sync 位元之曼澈斯特代表之第一半中之脈寬而得，其係很重要該脈衝係發生於該位元之第一半而不是該位元之第二半。

圖 3 中所示之流程圖示出該詢問器硬體所經過之流程，而其他相關之波形係被示於圖 4 之中。

步驟 1：該放大器 10 之輸出之靜止位元係被加以監視，以便找出該應答器識別碼之啟始。於靜止位元後被送出之第一位元係一同步位元，其係用以決定週期及該碼

（請先閱讀背面之注意事項再填寫本頁）

家

訂

## 五、發明說明（11）

之頻率。一來自該活動指示器 34 之忙線信號係被送至該微處理機 18，以指示出該一解碼週期之啟始。

步驟 2：一於計時參考電路 24 中之定電流源係產生一計時參考斜波電壓  $V_{ref}$ ，其係於該 sync 脈衝之週期之間被取樣，並然後，被保持。該參考電壓係直接關係到該碼之時鐘頻率。

步驟 3：該計時參考斜波電壓係加以連續地產生，並且，該電壓係與該參考電壓之加權型態作比較。於圖 4 中所示之波型示出，該參考電壓之 1.5 倍係如何栓鎖住該資料，以及於兩倍參考電壓之時，該時鐘係如何產生，其係為微處理機 18 所使用以讀取於資料節錄電路 14 輸出之資料。當該節錄時鐘脈衝發生於可接受之誤差之內，大約兩倍之參考電壓之時，計時參考斜波係被重置。當時鐘係發生時，斜波係被取樣並被保持，然後，與參考值者作比較，參考值係加以修改以追蹤該應答器之頻率。

步驟 4：當沒有時鐘脈衝被接收到時（於最後一位元係被編碼之後），該斜波係不被重置，並被處理成為一電壓，其係為該參考電壓之四倍，這會啟動步驟 5。

步驟 5：於此點之時，節錄時鐘監視電路 20 輸出一“保持”信號，至該 VCO 26，其係保持該計時參考電壓於其目前之值，以使得 VCO 持續產生其現行輸出頻率。假若微處理機決定所編碼之碼係為有效，其將會使詢問器關閉邏輯以指示該應答器，其係已成功地識別。假若

## 五、發明說明 ( 12 )

，其係不是一有效碼，則微處理機 18 將會藉由送出一“重置”信號至該啟始偵測電路 16，而重置該電路，並且，會開始尋找下一碼。

步驟 6：詢問器信號係加以修改，以指示該相關之應答器，其已經被成功地識別。於本較佳實施例之中，此係藉由切斷該傳送器 30 一短暫時間段以一精確之方式而加以完成。

圖 5 示出更詳細之內容，有關於該相位鎖定及時鐘節錄過程係如何地發生。該啟始偵測電路 16 係監視於放大器 10 之輸出處之曼徹斯特碼並指示該碼之活動，其係開始該參考之詢問步驟 2。斜波產生器 36 之輸出係被一取樣保持電路 38 所取樣並保持住於該 sync 脈衝之末端。該參考電壓 ( $V_{ref}$ ) 係為一放大器 40 所乘以四，並藉由一除法器及比較器網路 42，而使用以產生一些不同之參考位準。該計時斜波係加以連續地產生並與該參考網路作比較，以決定該採取什麼行動。於 1.5 倍之保持參考電壓之時，其係為一曼徹斯特位元週期之第一半，並且，其狀態係被一 D 型正反器 66 所栓鎖。當該狀態轉換係發生於該位元週期之中間之時，且係於其忍受範圍之內 ( $1.8 V_{ref}$  至  $2.2 V_{ref}$ )，則該節錄時鐘脈衝係被產生。此脈衝係為該微處理機 18 所使用，以讀取該 D 型正反器之栓鎖輸出。此一動作係被加以重覆，於該碼之週期及相關之節錄時鐘之中。該些所產生之參考值與該保

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(13)

持之參考電壓係成正比於位元週期之半脈衝寬度，該週期係於該 sync 位元週期之第一半之中所量得。

當一時鐘脈衝發生之時，一相位比較器取樣及保持電路 46 取樣並保持該計時參考斜波之值，並在藉由一除法電路 48 將其除以二之後，將其與保持計時參考值 ( $V_{ref}$ ) 作比較。假若有任何之差值發生，則該差值之一部份係為一加法器 50 與該參考值 ( $V_{ref}$ ) 作組合，以提升該參考值，因此，其所產生之時鐘頻率係會朝向該節錄應答器時鐘頻率之新值邁進。當該碼末端係沒有任何之時鐘可以被節錄，導致該斜波產生器 36 不能被重置。然後，斜波電壓係到達四倍之  $V_{ref}$ ，並且，比較器 42 之輸出係會作動一邏輯開關 52，該開關會重置斜波產生器 36 並會產生更新之計時參考 ( $V_{ref}$ ) 週期之兩倍之虛擬時鐘脈衝。

微處理機 18 讀取於每一時鐘週期脈衝上之資料輸出信號，並藉由一錯誤偵測演譯法，來決定碼之有效性。於本發明之較佳實施例之中，一簡單之極性檢查演譯法係加以使用。當該碼係通過該項檢查之時，微處理機會允許詢問器切斷邏輯，以修改詢問信號並經由一系統界面 54，傳送該碼至詢問器系統之處理電路。

現參照圖 6，一波形示意圖示出，該詢問器係如何以應答器之操作，而同步其主要切斷或“中斷”信號。圖 6 之示意圖示出，一調變信號 56，其係為該應答器所產生

(請先閱讀背面之注意事項再填寫本頁)

一  
張

訂

## 五、發明說明 ( 14 )

並於應答器時鐘波形 5 8 之週期  $N + 1$  結束。兩個時鐘週期以後，於時鐘週期  $N + 3$ ，應答器邏輯電路檢查該詢問信號是否依舊被接收到。很快地於該應答器時鐘週期  $N + 3$  之後，詢問器切斷其詢問信號，降低其輸出電源 6 0 成為零，並保持為切斷直到應答器時鐘週期  $N + 6$ 。於時鐘週期  $N + 6$  之末端，應答器邏輯檢查該詢問信號是否依舊沒有。然後，該詢問信號係儲存至滿電源。於時鐘週期  $N + 7$ ，該應答器邏輯檢查該詢問器信號是否再次地出現。該檢查係加以重覆於時鐘週期  $N + 8$ 。假若所有之檢查係為正確之時，該應答器決定來自詢問器之切斷信號係施加於其上，並且，解除了其他回答信號之傳送。詢問器會保持不導通直到該詢問信號已經保持一預定時間之中斷，以允許所有之應答器之重新設定，並直到詢問信號係被順序地重儲存。

圖 6 中之波形 6 2 係為一由詢問器之資料節錄及碼有效電路所產生之脈衝，當一來自一有效應答信號碼被偵測時，同時，該波形 6 4 係為一應答器致能信號，其係為應答器之內部邏輯電路所產生。如同於該圖案之中可以看見的，該應答器致能信號係於應答器時鐘週期  $N + 8$  之末端改變狀態，於來自該詢問器之中斷信號係被確認之後。

為了避免產生不想要之射頻干擾，詢問信號係不被同時中斷或重新儲存，但是，係被以一控制之速率，藉由該詢問器切斷邏輯電路 2 8，來加以切斷或者是重新儲存，

## 五、發明說明（15）

於至少一應答器時鐘週期之時間，係如圖6中之所示。該切斷／導通之時序之上升時間及下降時間係被控制，以保持暫態所產生之最大頻率係於一可接受之範圍內。此係藉由一於發射器30輸入之一濾波器電路而加以完成，其係限制該施加至該傳送器輸入之驅動信號之上升及下降時間。

應答器監視於詢問器中斷信號端之“上升邊緣”，而不是一下降邊緣，因為該下降邊緣之特性會相應於系統電容值上及其他元件值上之變化，及該為傳送器所吸收功率上之變化而改變更多。

以上所述技術之結果係為於詢問信號中之“中斷”窗口，其係為每一應答器所監視者，其係僅作動一時鐘週期寬（即該於 $N+6$ 及 $N+7$ 間之時鐘週期），其係同時地降低了於傳送及切斷時兩應答器間之相似性。於一包含一千個應答器之系統，其中之相似性誤差可以減低至大約 $0.01\%$ 。

於某些例子之中，應答器必須被詢問至少一次，詢問與詢問之間係只有很短暫之時間間段，其後係被以較長之時間間段詢問。此一例子之應用係當本發明之應答器使用以識別於一超級市場中之庫存項目之時。當一送貨之車輛到達超級市場之時，車輛之內容係被一詢問器加以掃描，則所得之列表或顯示表係與一送貨發票或庫存單加以比較。假若有發現任一不相符時，該詢問過程可能需要加以於

## 五、發明說明 ( 16 )

一相當短暫之時間之內加以重覆。此一過程係如以上所述之操作。

於超級市場之結帳處，當一客人已經於手推貨車之內裝滿了貨之時，每一貨品作相當於一應答器，諸應答器係被起動並為一連接至一收銀機之詢問器所讀取。為了防止宵小自動結帳，該詢問器送出一補充中斷信號至該應答器，以將其切斷一段時間，於其已自該詢問區域移開之後。於超級市場之出口係裝置有一安全檢查器，其係能夠偵測出任何未被此一過程所作成不作動之應答器。一些時間之後，於客人已經離開超級市場之後，諸應答器再次成為作動的，如此使其可於家中作使用。例如，一客人可能於家中有一詢問器，其係可以使用以讀出一餐室內容，以決定什麼項目需要再購買。（否則，該諸應答器可以於通過該檢查之後，即行移去或丟掉。）

為了要實行本發明之此一想法，應答器係設計成連續地尋找兩個切斷信號。該應答器如以上所述回答該第一中斷信號。當此一中斷信號被偵測時，只要應答器保持於詢問器之場，該應答器會停止任何傳送。應答器尋找一第二切斷信號。假若第二切斷信號被偵得，應答器會使用來自詢問信號之能量，來充電一電容器，這會去能應答器之碼產生器電路一預定時間（例如十分鐘）於應答器已經被自該詢問器場離開之後。

圖 8 示出一應答器之例子，其係能夠反應一雙切斷信

（請先閱讀背面之注意事項再填寫本頁）

家  
訂

## 五、發明說明(17)

號。該應答器包含一接收／發射天線 1 1 0，其輸出係經由二極體 D 1 及 D 2 饋送至一電源供應電容器 C 1。當電容器 C 1 係被足夠充電之後，該應答器電路係被啟動，應答器係開始傳送識別碼如以上所述。來自電容器 C 1 之電源供應器係供電一碼產生器電路 1 1 2 及一時鐘產生器電路 1 1 4，其係經由一電阻 R 而接收一“時鐘致能”信號。該工作於正常操作模式之碼產生器係為一來自一間隙偵測邏輯電路 1 1 6 之一“碼致能”信號所致能，碼產生器送出其輸出至一調變器電路 1 1 8，其調變該碼產生器 1 1 2 之應答識別碼成為詢問信號，成為一為時鐘產生器電路 1 1 4 所決定之時鐘頻率。

假若來自應答器之回答信號係成功地為詢問器所偵得，詢問器係會傳送一第一切斷信號，如圖 7 中之於應答器時鐘週期  $N + 3$  及  $N + 8$  間之所示者。於詢問信號中之中斷係為間隙偵測邏輯電路 1 1 6 所偵得，並且，“碼致能”信號係被自該碼產生器之中移去，而去能該應答器。間隙偵測邏輯電路 1 1 6 現在監視詢問信號之一第二切斷信號，於圖 7 之中係發生於應答器時鐘週期  $N + 10$  及  $N + 14$  之間。假若該第二切斷信號係被偵得，該間隙偵測邏輯電路 1 1 6 會送出一切換控制信號至一可控制開關 S 1，以切斷該開關。這允許一計時電容器 C T 得以經由一二極體 D 3 而充電。當此一電容係到達一預定之充電位準，其係會導通一場效電晶體 T 1，其會自時鐘產生器電路

## 五、發明說明 ( 18 )

1 1 4 除去該“時鐘致能”信號。這會去能應答器，並會使該應答器保持於此一狀態直到其係被自該詢問器場之中除去。當這發生之時，該計時電容 C T 係被經由一並聯泄漏電阻器 R L 而放電。一旦該計時電容器 C T 完全地放電時，該應答器會再次地正常地操作，並會對詢問信號作反應。然而，假若該應答器係於任何一時間中，被移入至一詢問場之中，而該電容器 C T 係依舊被充電著，該時鐘產生電路 1 1 4 會持續地去能，抑制該應答器之操作。

圖 9 係一電路圖，示出圖 8 之間隙偵測電路 1 1 6 之更詳細電路。該電路具有兩輸入及兩輸出，相當於圖 8 中所示之輸入及輸出。輸入係為一“時鐘”輸入，用以接收應答器時鐘信號，以及，一“R F 電源”線，用以監視來自詢問器之所接收之 R F 電源之出現。電路之輸出為一“碼致能”輸出至碼產生器 1 1 2 及一開關控制輸出“S W 控制”，用以控制該可控制之開關 S 1。

當電源係剛開始施加至間隙偵測邏輯電路 1 1 6 之時，一通電重置電路 1 2 0 係施加一重置信號至一去能正反器 1 2 2，並且，重置一隨機間隙產生器電路 1 2 4。該隨機間隙產生器電路 1 2 4 會提供一輸出脈衝給一調變器致能正反器 1 2 6，於一虛擬隨機延遲有效地改變來自應答器之連續資料傳送間之間隔之後。每當一重置信號係被從通電重置電路 1 2 0 所接收，一隨機數之產生器係於該隨機間隙產生器電路之中加以產生。調變器致能正反器

## 五、發明說明 ( 19 )

1 2 6 係構建成於一重置之情況中加以啟動，以提供一重置信號至一框架長度計數器 1 2 8，其係量測並控制為碼產生器 1 1 2 所傳送之碼之長度。

去能正反器 1 2 2 之 Q 輸出係被送至該調變器致能正反器 1 2 6 之 D 輸入。隨機間隙產生器 1 2 4，以一虛擬隨機之間隔之方式產生一輸出脈衝，其係觸動該調變器致能正反器 1 2 6。假若此正反器之 D 輸入係為高，則其 Q 輸出係為高。此作為一“碼致能”信號，致能該碼產生器 1 1 2。此一輸出被饋送至一 AND 閘 1 3 0，其係允許應答器時鐘信號，饋送至框架長度計數器 1 2 8，其係於碼產生器 1 1 2 輸出應答器之識別碼順序時，記錄每一進入時鐘脈衝為一計數。於碼順序末端，框架長度計數器溢流，提供一重置信號至該調變器致能正反器 1 2 6。這會自調變器致能正反器 1 2 6 之 Q 輸出，除去“碼致能”信號，並使得一並聯負載右移暫存器 1 3 2，除了其第一位元之外（圖 9 中之最左位元）被加載上一零之順序，而該第一位元係為加載上一壹。1 3 4 至 1 4 4 之六個栓鎖正反器之每一個係為一來自該框架長度計數器 1 2 8 之輸出信號所重置。

左移暫存器 1 3 2 之串列輸入係保持於邏輯“零”之位準，以及一移位暫存器係安排得使每一時鐘脈衝，該加載之“壹”係向右位移一位置。移位暫存器之輸出係如此地加以連接，以便於適當時鐘週期相當於圖 7 之計時圖之

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

## 五、發明說明( 20 )

中，對該栓鎖正反器送脈衝。栓鎖正反器 1 3 4 至 1 4 4 之 D 輸入係連接至電路之“R F 電源”線，以及，栓鎖係記錄一“1”或者是一“零”，係取決於當該“1”延著移位暫存器傳遞計時適當栓鎖時，“R F 電源”線之狀態。

一旦詢問器已經接收一來自該應答器之完整識別碼，並以一適當之中斷或是切斷信號，來調變該詢問信號，栓鎖正反器 1 3 4 至 1 4 4 之狀態會反應於一預定之 1 及零的順序，該預定之順序係為幾個閘所解碼，該些閘包含反相器 1 4 6 及 1 4 8，及多輸入 A N D 閘 1 5 0 及 1 5 2。當該正確之切斷信號係被接收到之時，一上升邊緣係由該 A N D 閘 1 5 0 所輸出，並被送至去能正反器 1 2 2 之時鐘輸入，並去能該調變器致能正反器 1 2 6 之觸動。假若偵測到一第二切斷信號，A N D 閘 1 5 2 之輸出會變成高，提升“S W 控制”輸出，並去能應答器之板上時鐘產生器。

圖 1 0 示出以一流程圖之方式，示出以上所述之應答器之操作模式。

以上參考圖 8 及圖 9 所述之技術亦可以使用於保全應用例之中，其中，本發明之應答器亦可以使用以作為於零售市場中之“標籤”物。於此一應用例之中，一於結帳處或收銀機中之詢問器係傳送一相關貨物之詢問信號至應答器，並作動送出切斷信號至這些應答器，於其係被成功地

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明( ㄨ )

識別之時。藉由相類似於圖 8 及圖 9 中所述之電路，應答器係被去能一預定時段（例如十分鐘）。該客人然後係通過一出口，其中，一第二詢問器係被安裝於其中。這些於結帳處為正確處理所去能之應答器係不會於出口處反應於來自該詢問器之詢問信號。然而，於已順手牽羊之物品中之應答器將會於出口處為該詢問器所偵得，其係可以產生一適當之警告信號。

以上所描述之應答器係相當地強韌並不昂貴，並且，可以適用於很多各種不同之物品之中，如以上所述者。於一般之例子之中，一單一詢問器將不會需要用以識別各種完全不同之物品之類型之應答器。例如，一使用於一超級市場中之詢問器，作為庫存存取之目的，將不會需要以識別電動車輛。假若每一詢問器係需要以識別所有之可能應答器，一不可接受之數量之資料數將會需要以儲存於詢問器之中，而該詢問器之有效動作將會變得過多。為了克服這情況，用於不同物品範疇之詢問器及應答器係被配置上不同長度之碼。例如，使用於電動車輛執照疊片有效性之識別系統，可以是配置碼，其係為 24 位元長度，這將不會被一車輛登記數目之讀卡器解釋成為有效，該登記數目係以一 22 位元長之碼加以操作。即使該兩系統之應答器係同時地傳送其反應信號，反應信號間之隨機或虛擬隨機延遲將會確保該兩系統中之應答器最後被聽到。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 四、中文發明摘要(發明之名稱：)

## 同步電子識別系統

本發明係有關於一種識別系統，其係包含一詢問器及多數個應答器。該詢問器包含用以傳送一詢問信號至該應答器之機構，接收器機構用以自該應答器接收回答信號，以及，處理器機構用以自該回答信號之資料中，識別應答器。時鐘節錄機構係加以提供，以用以節錄來自該回答信號中之一應答時鐘信號，其係使用以同步該詢問信號之修正信號與來自該應答器之回答信號。每一應答器包含接收器機構用以接收詢問信號，一應答器時鐘產生器，一碼產生器，傳送器機構及一調變器連接至該碼產生器，以使接收詢問信號之時，應答機係傳送該包含識別用以該應答器

## 英文發明摘要(發明之名稱：)

The invention relates to an identification system comprising an interrogator and a plurality of transponders. The interrogator includes transmitter means for transmitting an interrogation signal to the transponder, receiver means for receiving a response signal from the transponder, and processor means for identifying the transponder from data in the response signal. Clock extraction means are further provided for extracting a transponder clock signal from the response signal which is used to synchronise the modification of the interrogation signal with the response signal from the transponder. Each transponder comprises receiver means for receiving the interrogation signal, a transponder clock generator, a code generator, transmitter means, and a modulator connected to the code generator, so that on receipt of the interrogation

## 四、中文發明摘要(發明之名稱：)

資料之一回答信號。該詢問器係適用以偵測來自任何應答器上之一回答信號上之成功接收，以自該應答器之回答信號上導引出一同步信號，並修改該詢問信號同步於該回答信號，以指示出該回答信號之成功接收。每一應答器更包含反應於該詢問信號之相對修正之機構，以停止該回答信號之傳送。

## 英文發明摘要(發明之名稱：)

signal the transponder transmits a response signal containing data which identifies the transponder. The interrogator is adapted to detect successful reception of a response signal from any transponder, to derive a synchronisation signal from the response signal of that transponder, and to modify the interrogation signal synchronously with the response signal to indicate successful reception of the response signal. Each transponder further includes means responsive to a respective modification of the interrogation signal to cease transmission of its response signal.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 六、申請專利範圍

1. 一種識別系統包含一詢問器及數應答器，該詢問器包含發射器機構用以傳送一詢問信號至應答器，接收機構用以接收一來自該應答器之回答信號，以及處理機構用以自回答信號之資料中識別應答器；每一應答器包含接收機構用以接收詢問信號，一應答器時鐘產生器，一碼產生器，傳送機構，以及，一調變器連接至該碼產生器，以便當該詢問信號被接收時，應答器傳送一回答信號，該回答信號包含識別該應答器之資料，詢問器係適用以偵測來自任何應答器之一回答信號之成功接收，以自應答器之回答信號之中導出一同步信號，並修正該詢問信號同步於該回答信號，以指示出該回答信號之成功接收，每一應答器包含機構反應於詢問信號之相對修正，而停止其回答信號傳送之機構。

2. 如申請專利範圍第1項所述之識別系統，其中，詢問器包含時鐘節錄機構，用以自該回答信號之中節錄一應答器時鐘信號，其用以同步該詢問信號之修正與來自應答器之回答信號。

3. 如申請專利範圍第2項所述之識別系統，其中，該時鐘節錄機構係適用以產生一虛擬應答器時鐘信號，其係隨著節錄應答器時鐘信號之頻率。

4. 如申請專利範圍第3項所述之識別系統，其中，該時鐘節錄機構包含一電壓控制振盪器，其產生虛擬應答器時鐘信號，以及，節錄時鐘監視機構監視節錄應答器時

(請先閱讀背面之注意事項再填寫本頁)

訂

## 六、申請專利範圍

鐘信號之出現並控制電壓控制振盪器保持該虛擬應答器時鐘信號之頻率為常數，於該節錄應答器時鐘信號之不出現之時。

5. 如申請專利範圍第4項所述之識別系統，其中，該詢問器包含計時參考機構安排以產生一輸出電壓用以控制電壓控制振盪器，當一應答器回答信號係被接收之時，輸出電壓係開始有關於於該應答器回答信號中之一同步碼中之值。

6. 如申請專利範圍第5項所述之識別系統，其中，該計時參考機構係安排以產生一電壓斜波，該斜波所到達之電壓值係有關於於該應答器回答信號中之一同步位元之間距。

7. 如申請專利範圍第2項所述之識別系統，其中，該詢問器係適用以修正該詢問信號，該應答器時鐘週期之一第一預定數目，於該應答器回答信號為該詢問器所成功接收後，係為一第二預定數目之應答器時鐘週期。

8. 如申請專利範圍第7項所述之識別系統，其中，該詢問信號係藉由中斷而加以修正。

9. 如申請專利範圍第7項所述之識別系統，其中，該應答器包含邏輯電路安排以監視該詢問信號之修正，並於當詢問信號具有一有關於於應答器時鐘週期一預定數目間距之間距時，使得該應答器停止其回答信號之傳送。

10. 如由請專利範圍第9項所述之識別系統，其中

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

## 六、申請專利範圍

· 該應答器邏輯電路係被安排以監視該詢問信號之修正，一相對於一單一應答器時鐘週期之一週期。

1 1 · 如申請專利範圍第 7 項所述之識別系統，其中，該詢問器係適用以修正該詢問信號至少兩次於該應答器時鐘週期之一第三預定數目，一第四預定數目之應答時鐘週期，於該應答器回答信號係成功地為該詢問器所接收之後。

1 2 · 如申請專利範圍第 1 1 項所述之識別系統，其中，該應答器包含控制機構安排以偵測該詢問信號之第二次修正並於該應答器停止接收該詢問信號之後，去能該應答器一預定之時間。

1 3 · 如申請專利範圍第 1 2 項所述之識別系統，其中，該預定時間係為一計時電路所決定，該計時電路包含一電荷儲存裝置被安排以來自詢問信號之能量所充電，並於該應答器停止接收詢問信號之後，以一控制之速度放電。

1 4 · 如申請專利範圍第 1 項所述之識別系統，其中，該詢問信號之修正包含一轉換，其係發生於一已控制之速率。

1 5 · 如申請專利範圍第 1 項所述之識別系統，其中，該反應於詢問信號修正之機構係適用以去能應答器一預定之時間間段。

1 6 · 一種用於申請專利範圍第 1 項之識別系統中之

(請先閱讀背面之注意事項再填寫本頁)

第

訂

## 六、申請專利範圍

應答器，該應答器包含接收器機構用以接收一詢問信號，一應答器時鐘產生器，一碼產生器，傳送器機構及一調變器連接至該碼產生器，以使當該詢問信號之接收時，應答器係傳送一回答信號包含資料，其係用以識別應答器，應答器更包含反應該詢問信號之一相對修正之機構與該回答信號同步，並且，從其回答信號之中，指示應答器之成功識別，以停止其回答信號之傳送。

17. 如申請專利範圍第16項所述之應答器，其中，該應答器包含邏輯電路安排以監視詢問信號之修正，並使應答器停止其回答信號之傳送，於詢問信號之修正係具有一時間間段，其係有關於該應答器時鐘週期之一預定數目之時。

18. 如申請專利範圍第17項所述之應答器，其中，該應答器邏輯電路係安排以監視詢問信號之修正一時間間段，其係相對於一單一應答器時鐘週期。

19. 如申請專利範圍第16項所述之應答器，其中，該反應於該詢問信號之修正之機構係適用以去能應答器一預定時間段。

20. 如申請專利範圍第16項所述之應答器，其中，該應答器包含控制機構安排以偵測詢問信號之一第二修正，並去能該應答器一預定時間間段，於應答器停止接收該詢問信號之後。

21. 如申請專利範圍第19項所述之應答器，其中

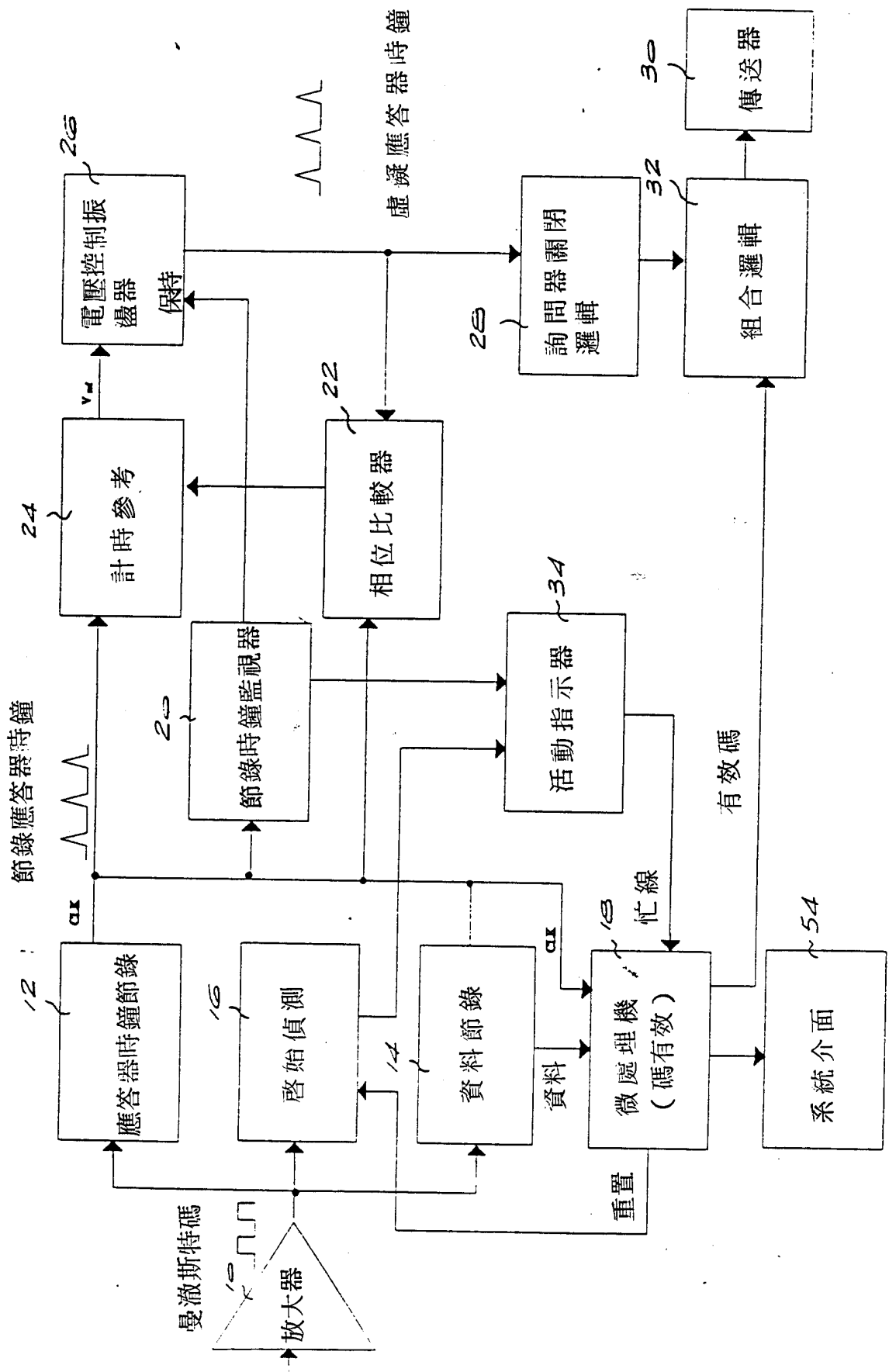
## 六、申請專利範圍

，該預定時間段係為一計時電路所決定，該電路包含一電荷儲存裝置，其係安排以為來自該詢問信號之能量所充電，並以一控制之速度放電，於應答器停止接收該詢問信號之後。

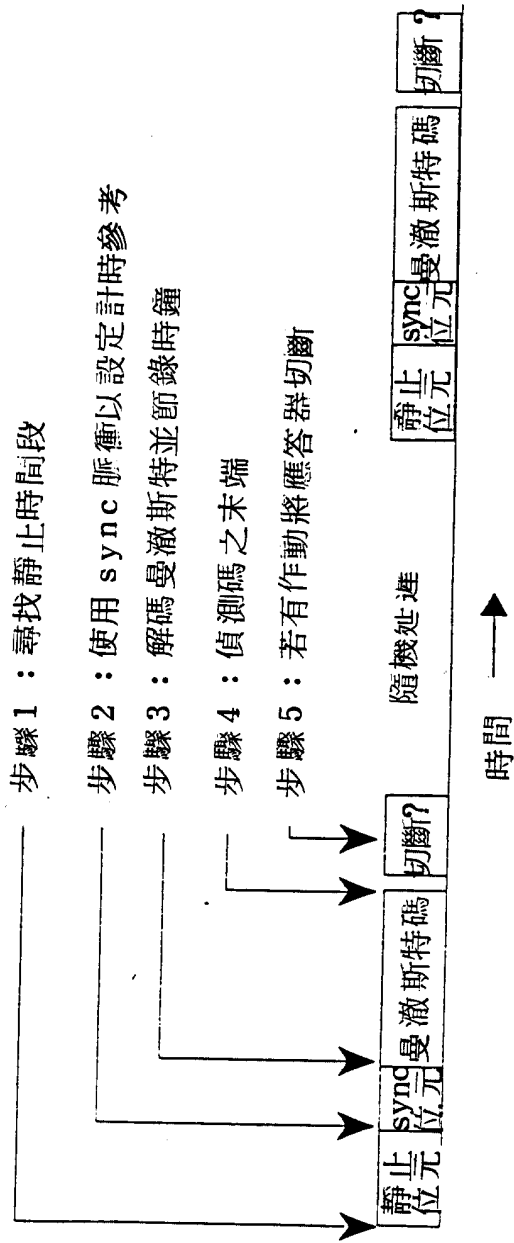
22. 如申請專利範圍第20項所述之應答器，其中，該預定時間段係為一計時電路所決定，該電路係包含一電荷儲存裝置，其係安排以為來自該詢問信號之能量所充電，並以一控制之速度放電，於應答器停止接收該詢問信號之後。

(請先閱讀背面之注意事項再填寫本頁)

訂



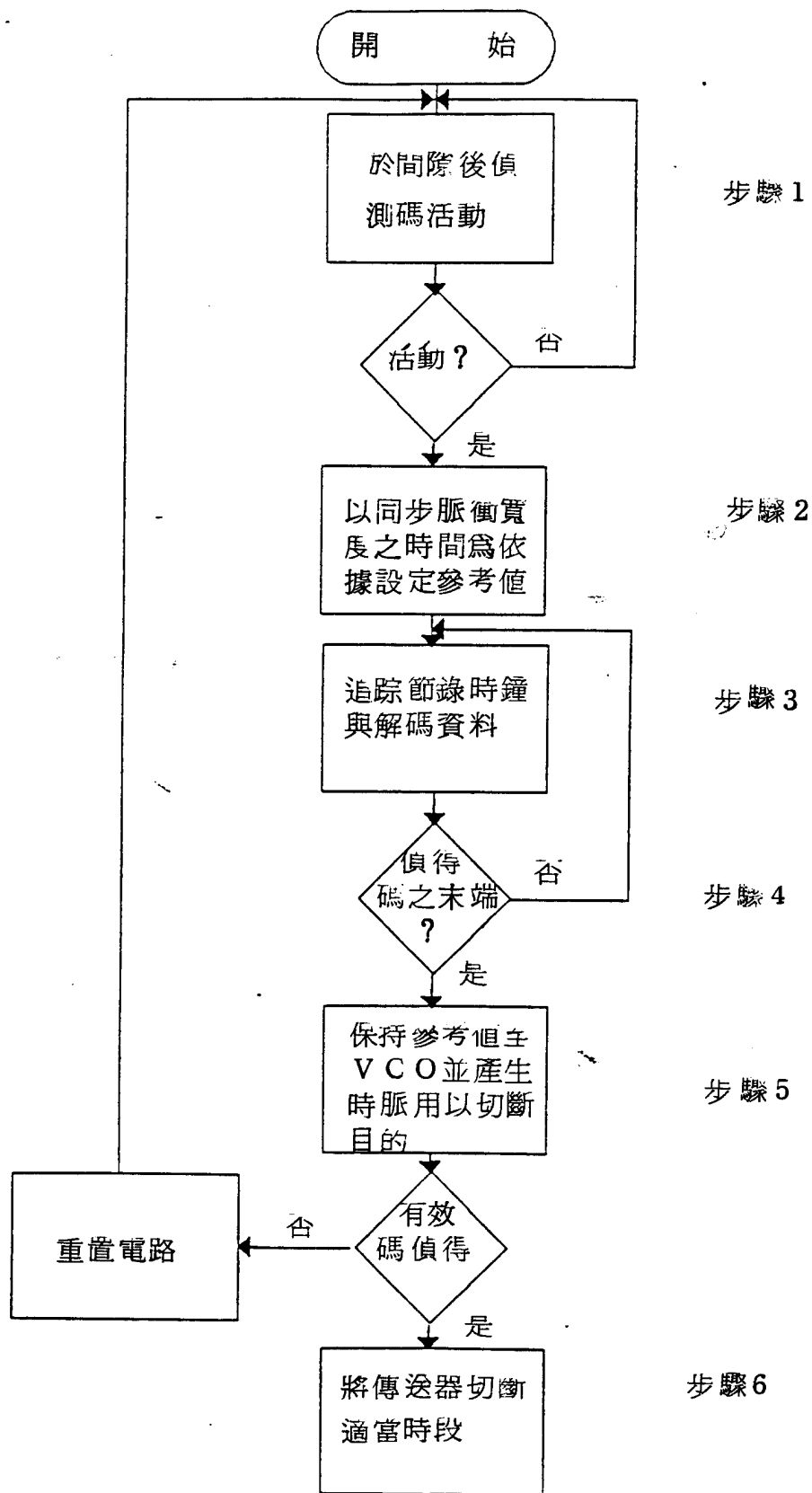
第一圖



應答器碼順序

應答器碼順序

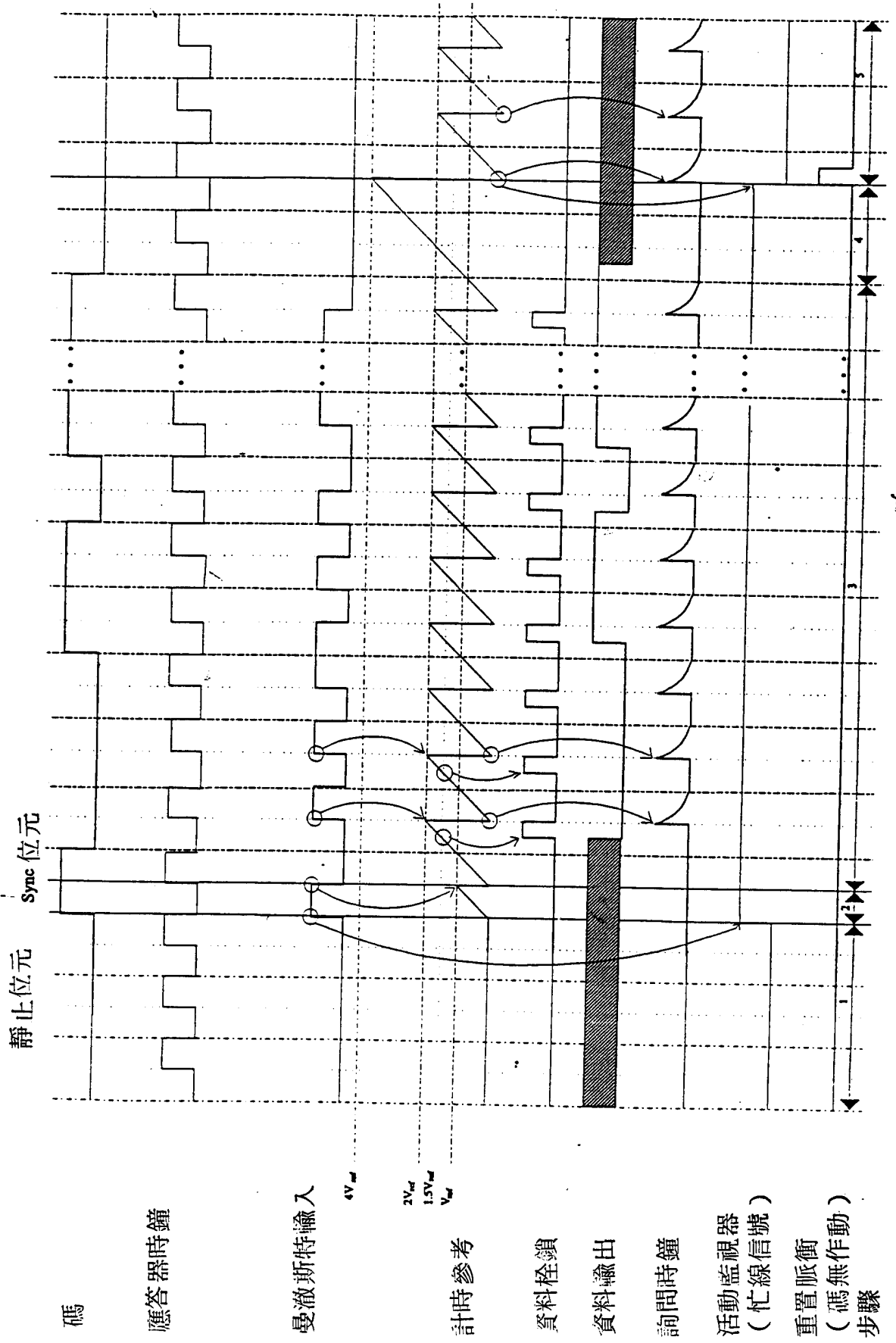
## 第二圖

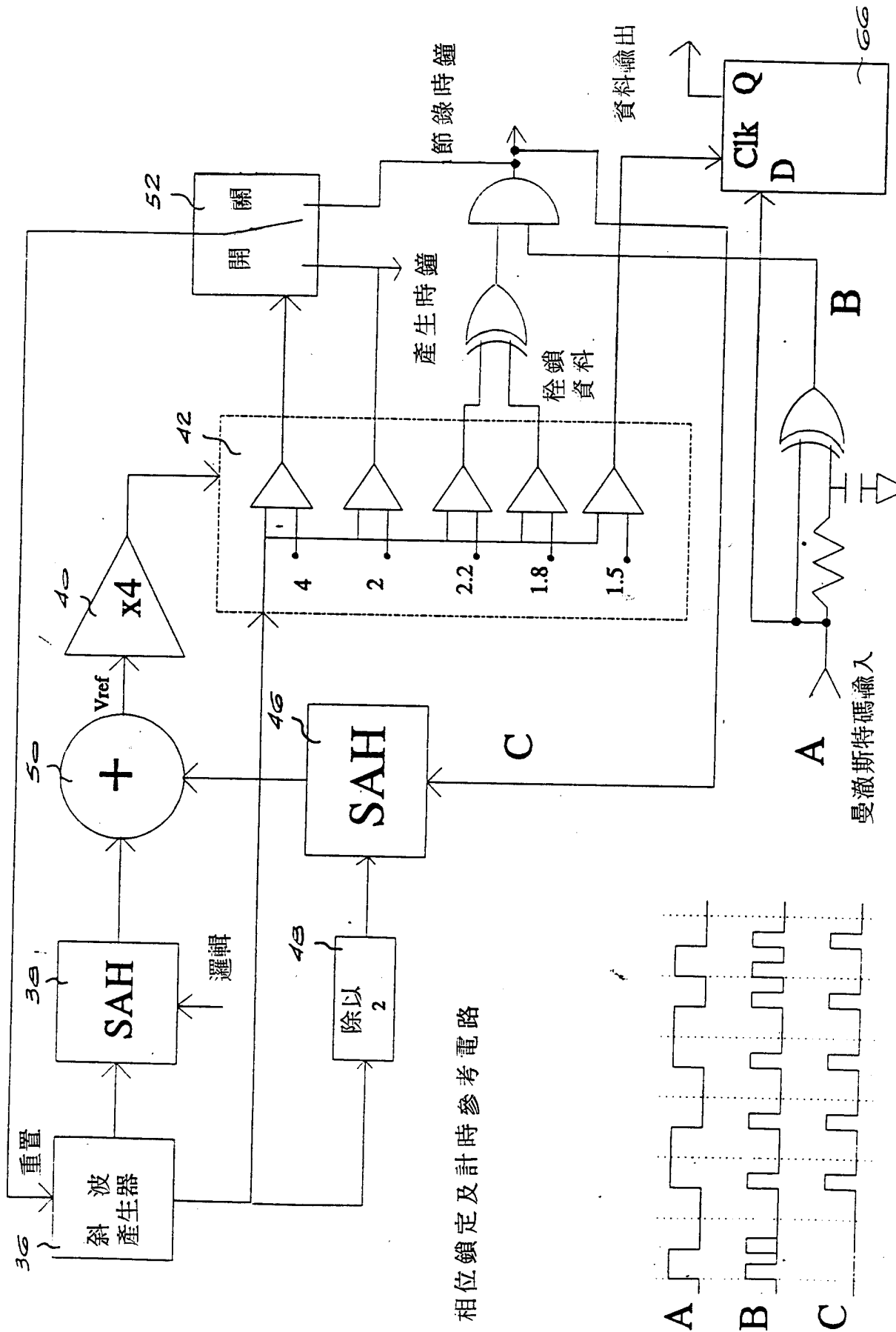


第三圖

# 第四圖

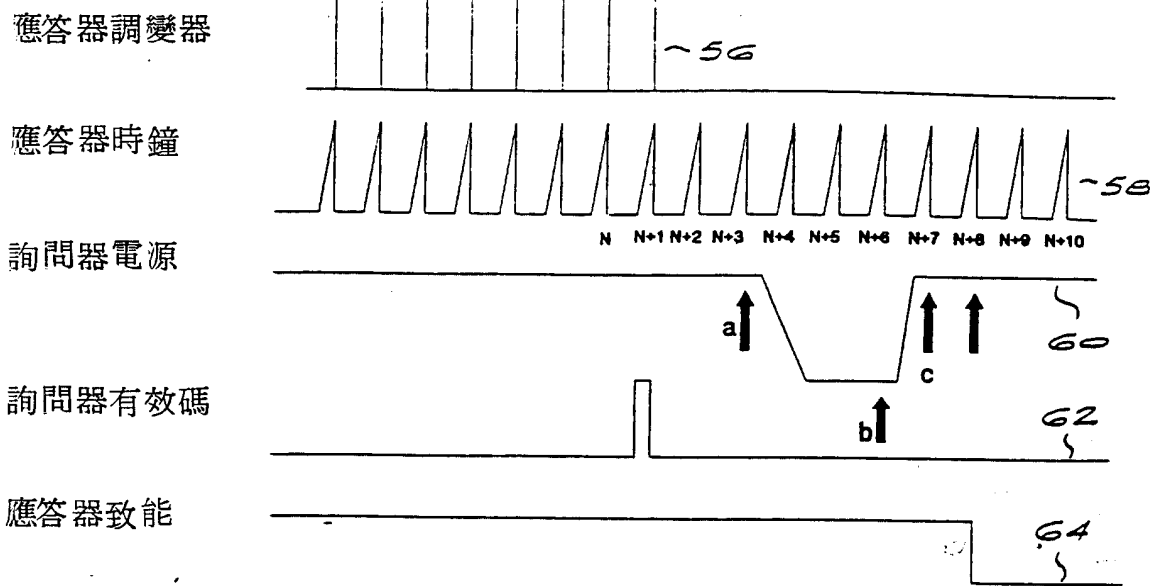
同步電路波形



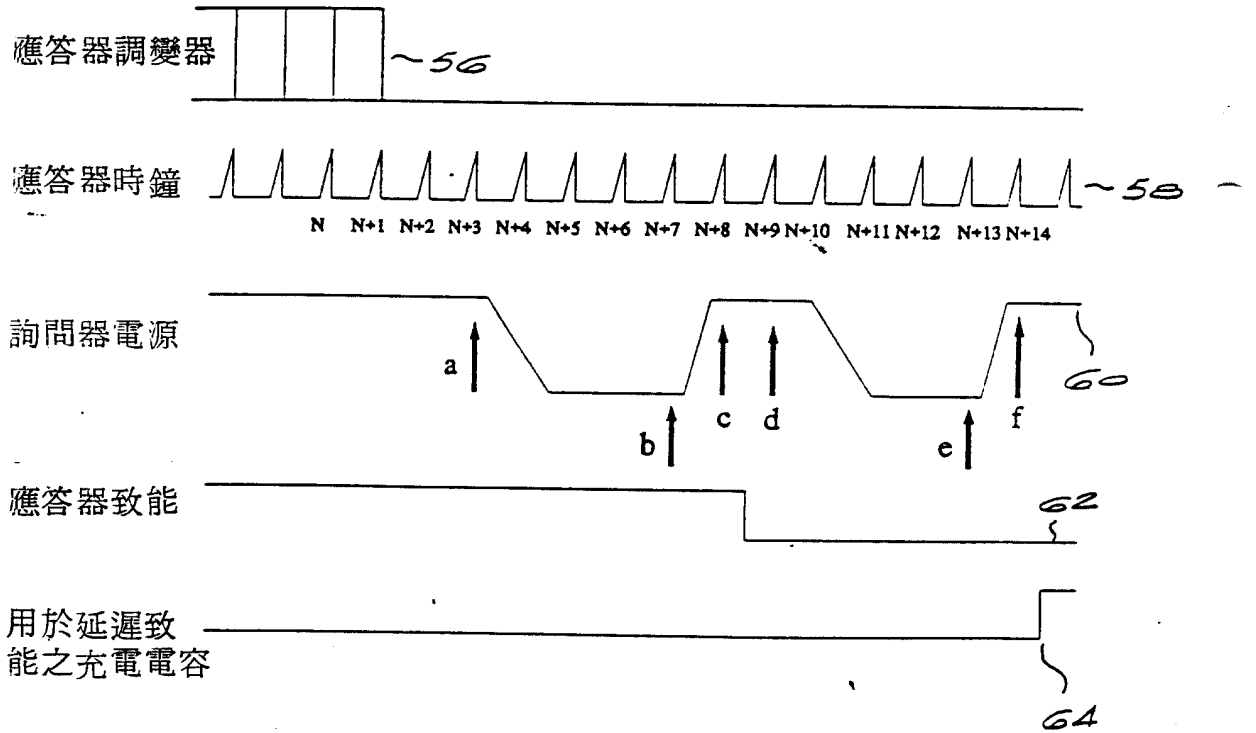


相位鎖定及計時參考電路

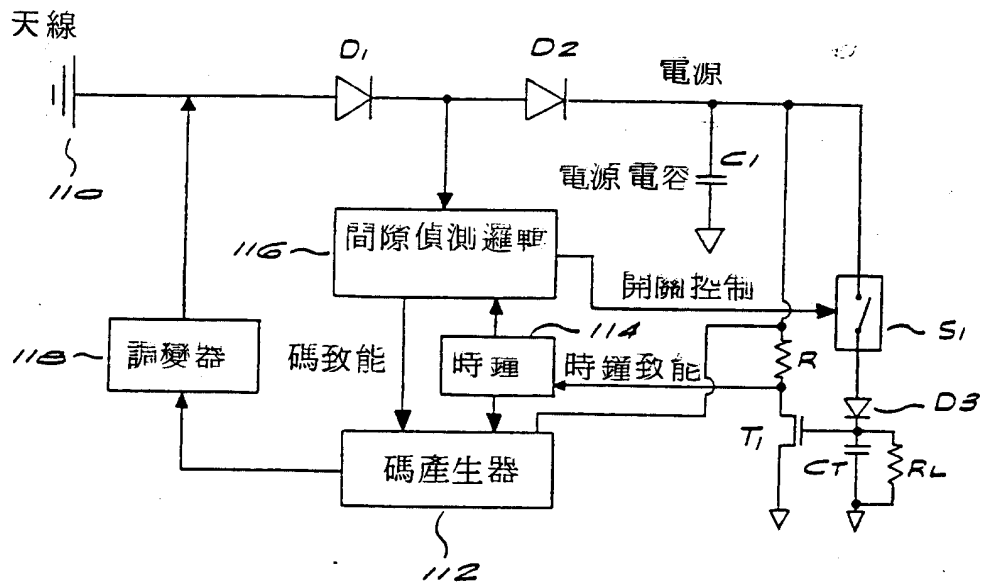
第五圖



第六圖

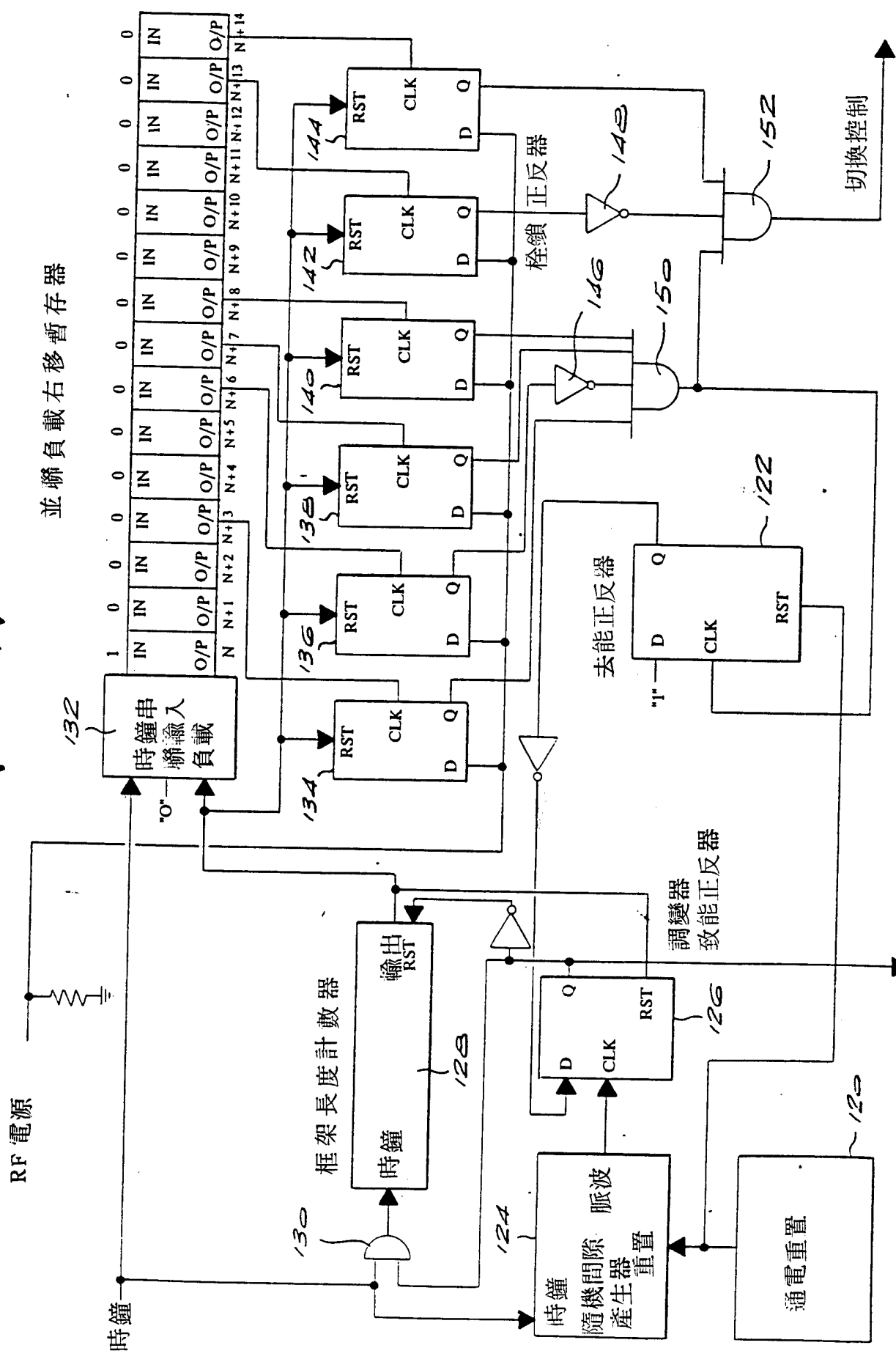


第七圖

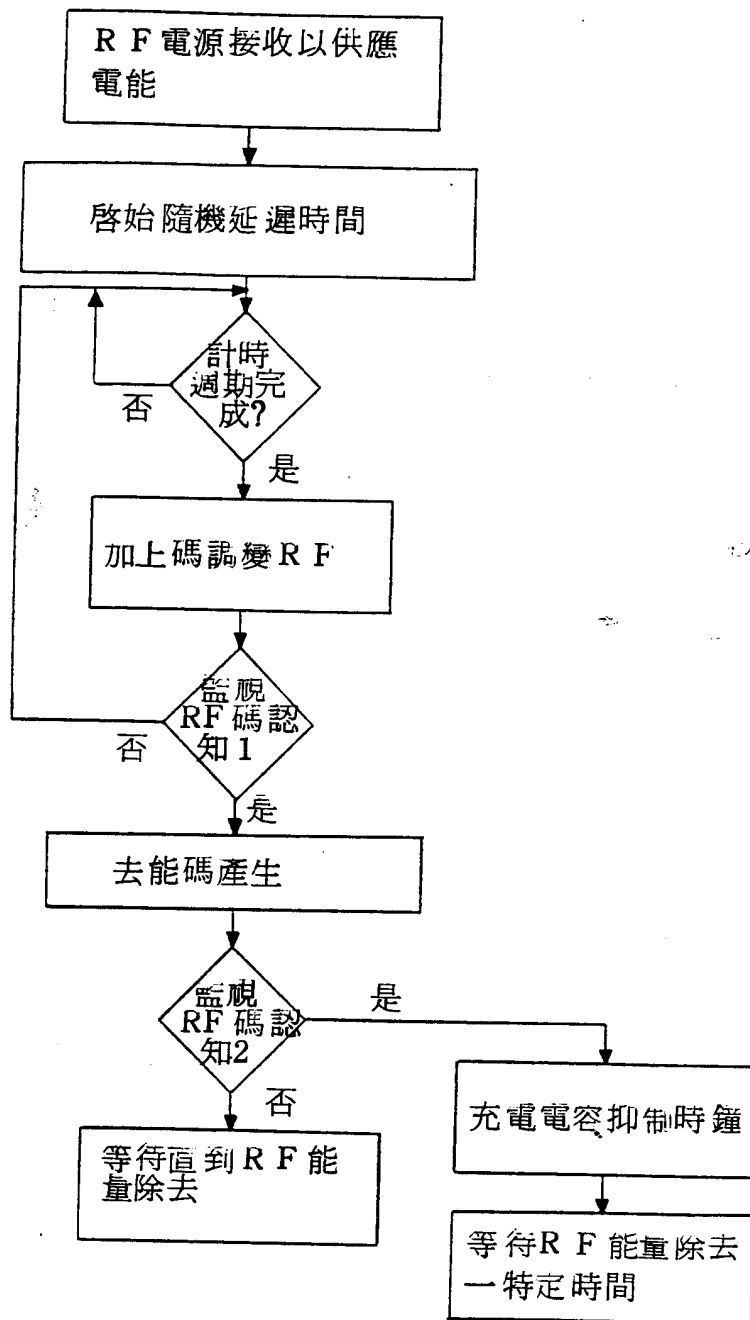


第八圖

# 第九圖



並聯負載右移暫存器



應答器操作

第十圖

# 公告本

297192

申請日期	83.2.16
案 號	83101248
類 別	H04B1/02, 1/06

84年6月2日修正補充 A4 C4

297192

(以上各欄由本局填註)

## 發明 專利 說明 書

一、發明 名稱	中 文	同步電子識別系統
	英 文	SYNCHRONISED ELECTRONIC IDENTIFICATION SYSTEM
二、發明 創作人	姓 名	1.邁可.約翰.卡米.馬須 2.克林頓.安敦.文.依歐
	國 籍	南 非
三、申請人	住、居所	1.南非共和國,全斯法省,強尼伯格,歐斯法多利,統治街東向234號 2.南非共和國,全斯法省,比多利亞,利悟門爾,林悟路27號 卡雷5號
	姓 名 (名稱)	希 瑟 公 司
	國 籍	南 非
	住、居所 (事務所)	南非共和國,全斯法省,比多利亞市,美林路德街,桑提亞
	代 表 人 姓 名	強漢.羅伯.阿樂斯