(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 103956336 B
(45)授权公告日 2019.08.16

(21)申请号 201410111306.4

(22)申请日 2007.09.20

(65)同一申请的已公布的文献号
申请公布号 CN 103956336 A

(43)申请公布日 2014.07.30

(30)优先权数据
60/826,354 2006.09.20 US
60/944,653 2007.06.18 US

(62)分案原申请数据
200780034881.7 2007.09.20

(73)专利权人 伊利诺伊大学评议会
地址 美国伊利诺伊州

(72)发明人 J·A·罗杰斯 R·G·诺奥 M·梅尔特 高興助 J·尹 E·梅纳德 A·J·巴卡

(74)专利代理机构 北京北翔知识产权代理有限公司 11285
代理人 李洁 杨勇

(51)Int.Cl.
H01L 21/78(2006.01)
B81C 1/00(2006.01)
H01L 31/068(2012.01)
H01L 31/0687(2012.01)
H01L 31/072(2012.01)
H01L 31/0725(2012.01)
H01L 29/15(2006.01)
H01L 29/20(2006.01)

(56)对比文件
WO 2005091370 A1,2005.09.29,
US 2004014253 A1,2004.01.22,
US 2004099928 A1,2004.05.27,
US 6525352 B1,2003.02.25,
CN 1790757 A,2006.06.21,
US 2005227455 A1,2005.10.13,

审查员 陈冠源

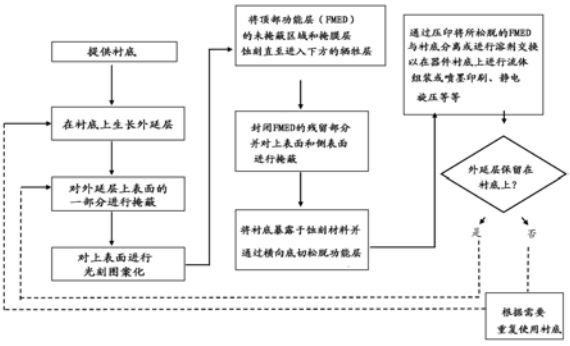
权利要求书5页 说明书25页 附图61页

(54)发明名称

用于制造可转移半导体结构、器件和器件构件的松脱策略

(57)摘要

提供了如下的方法，其通过提供具有多个功能层和多个松脱层的多层结构，并通过利用分离一个或多个松脱层而将功能层从多层结构分离以产生多个可转移结构，来制造器件或器件构件。所述可转移结构被印刷到器件衬底或由器件衬底支撑的器件构件上。所述方法和系统提供了用于高质量且价格低廉地制造光电器件、可转移半导体结构、(光)电器件和器件构件的方式。



CN 103956336 B

1.一种制造锚定到衬底的可转移半导体元件的方法,所述方法包括以下步骤:

产生由所述衬底的外表面支撑的所述可转移半导体元件;

提供异质锚元件,所述异质锚元件与所述可转移半导体元件物理接触且沿着所述可转移半导体元件的侧边延伸,并与所述衬底或其上设置的结构物理接触,从而将所述可转移半导体元件锚定到所述衬底,使得当去除在所述可转移半导体元件下面的牺牲层时所述异质锚元件维持所述可转移半导体元件的空间取向。

2.根据权利要求1所述的方法,其中提供所述异质锚元件的所述步骤包括沉积或涂布对所述衬底的一部分进行覆盖的材料层。

3.根据权利要求2所述的方法,其中所述材料层覆盖所述衬底的所述外表面的一部分。

4.根据权利要求2所述的方法,其中产生所述可转移半导体元件的所述步骤暴露出所述外表面或其上设置的结构的一个或多个暴露区域,其中,所述提供所述异质锚元件的步骤包括将所述材料层沉积或涂布在所述外表面或其上设置的结构的所述暴露区域的至少一部分上。

5.根据权利要求2所述的方法,其中所述材料层包括薄膜结构。

6.根据权利要求2所述的方法,其中所述材料层包括阻挡材料。

7.根据权利要求2所述的方法,其中所述材料层包括SiN或PECVD电介质。

8.根据权利要求2所述的方法,其中所述材料层被设置为与所述可转移半导体元件的一侧接触并沿着该侧延伸,其中所述材料层终止于所述衬底的所述外表面或其上设置的结构并且与所述衬底的所述外表面或其上设置的结构接触。

9.根据权利要求8所述的方法,其中所述材料层包括将所述可转移半导体元件的一侧连接到所述衬底的所述外表面或其上设置的结构的柱结构。

10.根据权利要求1所述的方法,其中所述可转移半导体元件包括单个半导体层。

11.根据权利要求1所述的方法,其中所述可转移半导体元件包括具有多个半导体层的多层结构。

12.根据权利要求1所述的方法,其中产生所述可转移半导体元件的所述步骤包括提供由所述衬底的外表面支撑的可转移半导体元件的多层阵列;其中提供所述异质锚元件的所述步骤包括沉积或涂布材料层,该材料层接触在所述多层阵列中的所述可转移半导体元件的侧面,并接触所述衬底的所述外表面或其上设置的结构的一部分。

13.根据权利要求1所述的方法,其中所述异质锚元件用作蚀刻阻止层。

14.一种组装可转移半导体元件的方法,所述方法包括以下步骤:

提供权利要求1所述的锚定到所述衬底的可转移半导体元件;

通过印刷将所述可转移半导体元件转移到器件衬底上。

15.根据权利要求14所述的方法,其中所述通过印刷将所述可转移半导体元件转移到所述器件衬底上的步骤通过接触印刷进行。

16.根据权利要求15所述的方法,其中所述通过印刷将所述可转移半导体元件转移到所述器件衬底上的步骤通过如下步骤进行:

将所述可转移半导体元件与具有接触表面的转移器件接触,其中,在所述接触表面和所述可转移半导体元件之间的接触将所述可转移半导体元件结合到所述接触表面;

以导致所述异质锚元件断裂的方式移动所述转移器件,从而将所述可转移半导体结构

从所述衬底转移到所述转移器件，从而形成具有位于其上的所述可转移半导体元件的所述接触表面；

将位于所述接触表面上的所述可转移半导体元件与所述器件衬底的承接表面接触；以及

分离所述转移器件的所述接触表面和所述可转移半导体元件，其中所述可转移半导体元件被转移到所述承接表面上，从而将所述可转移半导体元件组装在所述衬底的所述承接表面上。

17.一种制造器件的方法，所述方法包括以下步骤：

提供权利要求1所述的锚定到所述衬底的可转移半导体元件；

通过印刷将所述可转移半导体元件转移到器件衬底上。

18.根据权利要求17所述的方法，其中所述通过印刷将所述可转移半导体元件转移到所述器件衬底上的步骤通过接触印刷进行。

19.根据权利要求18所述的方法，其中所述通过印刷将所述可转移半导体元件转移到所述器件衬底上的步骤通过如下步骤进行：

将所述可转移半导体元件与具有接触表面的转移器件接触，其中，在所述接触表面和所述可转移半导体元件之间的接触将所述可转移半导体元件结合到所述接触表面；

以导致所述异质锚元件断裂的方式移动所述转移器件，从而将所述可转移半导体结构从所述衬底转移到所述转移器件，从而形成具有位于其上的所述可转移半导体元件的所述接触表面；

将位于所述接触表面上的所述可转移半导体元件与所述器件衬底的承接表面接触；以及

分离所述转移器件的所述接触表面和所述可转移半导体元件，其中所述可转移半导体元件被转移到所述承接表面上，从而将所述可转移半导体元件组装在所述衬底的所述承接表面上。

20.一种组装可转移半导体元件的方法，所述方法包括以下步骤：

通过以下步骤提供锚定到衬底的可转移半导体元件：

产生由所述衬底的外表面支撑的所述可转移半导体元件；

提供异质锚元件，所述异质锚元件与所述可转移半导体元件物理接触且沿着所述可转移半导体元件的侧边延伸，并与所述衬底或其上设置的结构物理接触，从而将所述可转移半导体元件锚定到所述衬底，其中所述异质锚元件包括阻挡材料，并且使得当去除在所述可转移半导体元件下面的牺牲层时所述异质锚元件维持所述可转移半导体元件的空间取向；以及

通过印刷将所述可转移半导体元件转移到器件衬底上。

21.根据权利要求20所述的方法，其中所述通过印刷将所述可转移半导体元件转移到所述器件衬底上的步骤通过接触印刷进行。

22.根据权利要求21所述的方法，其中所述通过印刷将所述可转移半导体元件转移到所述器件衬底上的步骤通过如下步骤进行：

将所述可转移半导体元件与具有接触表面的转移器件接触，其中，在所述接触表面和所述可转移半导体元件之间的接触将所述可转移半导体元件结合到所述接触表面；

以导致所述异质锚元件断裂的方式移动所述转移器件，从而将所述可转移半导体结构从所述衬底转移到所述转移器件，从而形成具有位于其上的所述可转移半导体元件的所述接触表面；

将位于所述接触表面上的所述可转移半导体元件与所述器件衬底的承接表面接触；以及

分离所述转移器件的所述接触表面和所述可转移半导体元件，其中所述可转移半导体元件被转移到所述承接表面上，从而将所述可转移半导体元件组装在所述衬底的所述承接表面上。

23.根据权利要求20所述的方法，其中所述异质锚元件包括横向蚀刻阻止部。

24.一种制造包括可转移半导体元件的器件的方法，所述方法包括以下步骤：

通过以下步骤提供锚定到衬底的可转移半导体元件：

产生由所述衬底的外表面支撑的所述可转移半导体元件；以及

提供异质锚元件，所述异质锚元件与所述可转移半导体元件物理接触且沿着所述可转移半导体元件的侧边延伸，并与所述衬底或其上设置的结构物理接触，从而将所述可转移半导体元件锚定到所述衬底，其中所述异质锚元件包括阻挡材料，并且使得当去除在所述可转移半导体元件下面的牺牲层时所述异质锚元件维持所述可转移半导体元件的空间取向；

通过印刷将所述可转移半导体元件转移到器件衬底上。

25.根据权利要求24所述的方法，其中所述通过印刷将所述可转移半导体元件转移到所述器件衬底上的步骤通过接触印刷进行。

26.根据权利要求25所述的方法，其中所述通过印刷将所述可转移半导体元件转移到所述器件衬底上的步骤通过如下步骤进行：

将所述可转移半导体元件与具有接触表面的转移器件接触，其中，在所述接触表面和所述可转移半导体元件之间的接触将所述可转移半导体元件结合到所述接触表面；

以导致所述异质锚元件断裂的方式移动所述转移器件，从而将所述可转移半导体结构从所述衬底转移到所述转移器件，从而形成具有位于其上的所述可转移半导体元件的所述接触表面；

将位于所述接触表面上的所述可转移半导体元件与所述器件衬底的承接表面接触；以及

分离所述转移器件的所述接触表面和所述可转移半导体元件，其中所述可转移半导体元件被转移到所述承接表面上，从而将所述可转移半导体元件组装在所述衬底的所述承接表面上。

27.根据权利要求24所述的方法，其中所述阻挡材料是光致抗蚀剂。

28.根据权利要求24所述的方法，其中所述阻挡材料包括氮化硅。

29.一种用于产生可转移半导体元件的多层阵列的方法，所述方法包括以下步骤：

提供具有外表面的衬底；

提供由所述衬底的所述外表面支撑的多层结构，其中所述多层结构包括交替顺序的半导体层和牺牲层；

通过从所述多层结构去除材料产生一个或多个凹进特征部；以及

将异质锚元件沉积或涂布在所述一个或多个凹进特征部中，从而将每个所述半导体层的至少一部分锚定到所述衬底的外表面，或锚定到在所述多层结构的半导体顶层下方的一个或多个半导体层，或锚定到所述衬底的外表面和在所述多层结构的半导体顶层下方的一个或多个半导体层。

30.根据权利要求29所述的方法，其中所述凹进特征部从所述多层结构的顶层贯通到所述衬底的外表面，从而暴露出所述衬底的外表面的区域，并且所述异质锚元件将每个所述半导体层锚定到所述衬底的外表面。

31.根据权利要求29所述的方法，其中所述凹进特征部从所述多层结构的第一半导体顶层贯穿到在所述顶层下方的第二半导体层，并且所述异质锚元件将所述第一半导体层锚定到所述第二半导体层。

32.根据权利要求29所述的方法，其中所述沉积或涂布步骤使用选自如下组的技术进行，所述组包括：化学气相沉积、物理气相沉积、溶胶凝胶涂布、原子层沉积、液相外延、电化学沉积和旋涂。

33.根据权利要求32所述的方法，其中所述沉积或涂布步骤使用选自如下组的技术进行，所述组包括：气相外延、分子束外延、蒸发沉积、有机金属化学气相沉积、溅射沉积、溶胶凝胶涂布、等离子体增强型化学气相沉积、原子层沉积、液相外延、电化学沉积和旋涂。

34.根据权利要求33所述的方法，其中所述沉积或涂布步骤使用选自如下组的技术进行，所述组包括：气相外延、分子束外延、有机金属化学气相沉积、溅射沉积、溶胶凝胶涂布、电子束蒸发沉积、等离子体增强型化学气相沉积、原子层沉积、液相外延、电化学沉积和旋涂。

35.根据权利要求31所述的方法，进一步包括：

选择性去除处于所述第一半导体顶层下方的所述牺牲层；

松脱所述第一半导体顶层；

去除所述异质锚元件，

并且重复所述产生和沉积步骤，从而将所述第二半导体层锚定到在所述第二半导体层下方的第三半导体层。

36.根据权利要求35所述的方法，其中重复选择性去除牺牲层、松脱半导体层和重复所述产生和沉积步骤的过程，直至所有半导体层被从所述衬底的外表面去除。

37.根据权利要求36所述的方法，其中所述衬底包括晶片，并且所述衬底被重复使用来支撑一第二多层结构。

38.根据权利要求30所述的方法，进一步包括：

去除所述牺牲层；

松脱所述半导体层；

去除所述异质锚元件；以及

通过提供由所述衬底的所述外表面支撑的第二多层结构并重复用于产生将每个所述半导体层锚定到所述衬底的外表面的锚的所述步骤，来重复使用所述衬底。

39.根据权利要求29所述的方法，其中每个异质锚元件与所述可转移半导体元件物理接触且沿着所述可转移半导体元件的侧边延伸。

40.一种制造锚定到衬底的可转移半导体元件的方法，所述方法包括：

产生由所述衬底的外表面支撑的所述可转移半导体元件；

提供异质锚元件，所述异质锚元件与所述可转移半导体元件物理接触且沿着所述可转移半导体元件的侧边延伸，并与所述衬底或其上设置的结构物理接触，从而将所述可转移半导体元件锚定到所述衬底；

提供至少部分地位于所述可转移半导体元件与所述衬底的所述外表面之间的松脱层；以及

通过选择性去除所述松脱层松脱所述可转移半导体元件的至少一部分，并且使得当去除所述松脱层时所述异质锚元件维持所述可转移半导体元件的空间取向，其中所述松脱步骤包括在将所述可转移半导体元件连接到所述异质锚元件的可断裂束缚点受控剥脱所述可转移半导体元件。

41.根据权利要求40所述的方法，其中所述选择性去除所述松脱层包括应用优先蚀刻所述松脱层的蚀刻剂。

42.根据权利要求41所述的方法，其中所述异质锚元件包括阻挡材料。

43.根据权利要求40所述的方法，其中所述产生步骤包括：

提供多个功能层，每个功能层包括可转移半导体元件，其中相邻的功能层由松脱层隔开；以及

通过选择性去除所述松脱层去除最顶部的功能层，其中在所述最顶部的层下面的所述功能层保持由所述异质锚元件锚定到所述衬底。

用于制造可转移半导体结构、器件和器件构件的松脱策略

[0001] 本申请是申请日为2007年9月20日、名称为“用于制造可转移半导体结构、器件和器件构件的松脱策略”的第200780034881.7号发明专利申请的分案申请。

[0002] 相关申请的交叉引用

[0003] 本申请要求对在2006年9月20日提交的申请号为60/826,354以及在2007年6月18日提交的申请号为60/944,653的美国临时专利申请的权益，上述每个专利申请均通过引用并入本申请，该引用达到上述申请与本公开内容不矛盾的程度。

背景技术

[0004] 多种不同平台可用于在器件衬底或由器件衬底所支撑的器件构件上印刷结构，包括纳米结构、微米结构、柔性电子器件和多种其他图案化的结构。例如，多个专利和专利申请描述了用于制造和印刷多种结构的不同方法和系统，包括美国专利申请No.11/115,954(4/27/2005提交的18-04)、11/145,574(6/02/2005提交的38-04A)、11/145,542(6/02/2005提交的38-04B)、11/423,287(6/09/2006提交的38-04C)、11/423,192(6/09/2006提交的41-06)、11/421,654(6/01/2006提交的43-06)、60/826,354(9/20/2006提交的151-06P)，上述每个专利申请通过引用并入本文，该引用达到与本文不矛盾的程度。当前需要用于制造可转移半导体元件的方法和结构。特别地需要可与制造器件和器件构件的高产出过程兼容的成本低廉的方法和结构。

发明内容

[0005] 本发明提供了多种方法和相关的系统以帮助成本低廉地生产能够在器件衬底或器件衬底上的器件构件上进行印刷的结构。这通过提供被构造为可提供对单个层的获得的多层结构的堆叠来实现。作为功能层的各层有特定用途，其中功能层被顺序地引入器件和器件构件。单个层通过松脱策略而获得，所述松脱策略使得可以顺序地逐层获得，或者同时获得两个或更多个层。这些功能层能够通过多种印刷方法和系统被印刷到或引入器件或器件构件。这些多层堆叠系统提供如下能力：其能够在单一过程中产生包含在多个层中的多个可印刷或可转移的功能结构，从而降低每个可印刷或可转移结构或层的成本，并降低最终器件或器件构件的最终成本。

[0006] 在一方面，本发明提供如下方法，其用于通过具有可被引入光电器件的太阳能电池中的多个功能层的多层结构，来制造低成本和/或高性能的光电器件。该多层方法由于多种原因而有利。例如，多个太阳能电池可在一个沉积过程中生长，从而避免目前由单一层制造方法所需要的加载和卸载生长室、制备生长衬底表面、以及沉积缓冲层。这就导致每个太阳能电池层的制造成本明显下降，从而降低太阳能电池器件构件的成本。另外，将功能层从母衬底完全剥脱(lift off)的能力提供了通过在同一母衬底上构建另外的多层结构来重新使用母衬底的能力。此外，多层构造容易散热(heat sunk)，并且能够提供可转移结构，该可转移结构易于印刷到具有多种形状特点的塑料和其他衬底上。

[0007] 在一实施方案中，提供了一种方法，其用于通过提供具有多个功能层和多个松脱

层的多层结构来制造器件或器件构件。在这种构造中，松脱层的至少一部分位于功能层之间以使得可以获得功能层。通过从一个或多个所述功能层分离一个或多个所述松脱层或其一部分，将所述功能层的至少一部分从所述多层结构松脱。这种功能层的松脱产生能够被印刷到衬底上的结构。通过本领域中已知的任意印刷装置(例如接触印刷、液体印刷、干式转移接触印刷、软式光刻微转移印刷和软式光刻纳米转移印刷、溶液印刷、流体自组装、喷墨印刷、热转移印刷和丝网印刷)，例如通过接触印刷，通过将这些可转移结构中的一个或多个印刷到器件衬底或由器件衬底支撑的器件构件上，制造出器件或器件构件。

[0008] 松脱被广泛使用并指代用于将多层结构中的一个层的至少一部分与其他层分离的任意方式。例如，将功能层的至少一部分从多层结构松脱的步骤可通过物理分离至少一对相邻层来实施。所述相邻层可为在多层结构中与功能层相邻的松脱层。松脱层被构建为响应于松脱刺激而帮助松脱功能层的至少一部分。例如，松脱刺激可包括去除松脱层的至少一部分的化学或物理刺激，从而帮助松脱相邻的功能层。然而，可以使用能够影响目标松脱层的任意刺激。松脱步骤的其他实例包括但不限于蚀刻一个或多个松脱层、热冲击一个或多个松脱层、通过将松脱层暴露于来自激光源的电磁辐射而烧蚀一个或多个松脱层、以及通过将松脱层与化学试剂接触而分解一个或多个松脱层。一方面，功能层通过位于层端部处的锚定装置连接到相邻层，因此通过在这些端部处底切实现松脱以剥脱功能层。或者，锚可被设置为牺牲层或松脱层中的图案，从而提供固定到相邻层或衬底的锚。这些锚在可断裂束缚点的设计中进一步提供灵活性，以便利于功能层部分的受控剥脱。可选地，在本文所公开的任一方法中，保持连接到已剥脱的功能层的层被去除。在一方面，通过将多层结构与诸如弹性印模等的印模接触实现剥脱。可选地，使用印模以帮助将剥脱结构接触印刷于一表面。

[0009] 为了帮助将信号传送到松脱层，信号所经过的功能层中的任意一个或多个能够至少部分地传送信号。例如，对于一个电磁辐射的信号，功能层对于能够烧蚀松脱层至少一部分的电磁辐射至少部分地透明。或者，如果电磁辐射从相反一侧发射，例如从支撑所述多层结构的衬底的另一侧发射，则该衬底对于该电磁辐射至少部分地透明。

[0010] 另一松脱方式为位于松脱层中的界面裂缝。这种裂缝通过将应力施加到系统，例如施加到松脱层，而帮助将一个或多个功能层剥脱。可以通过本领域已知的任意方式引入裂缝，这些方式包括但不限于机械、化学或热生成的力。

[0011] 在一方面，在此公开的任一方法可进一步包括对多层结构的至少一部分进行掩蔽。例如，掩模层与一个或多个功能层物理接触。此类掩模能够至少部分地防止一个或多个功能层暴露于蚀刻剂、溶剂或化学试剂，该蚀刻剂、溶剂或化学试剂被提供作为松脱信号以将所述功能层的至少一部分从多层结构松脱。此类掩模可用于其中功能层为昂贵且易于被诸如蚀刻剂等的松脱信号损坏的高质量层的应用中。

[0012] 在另一方面，一承载膜被设置为与一个或多个功能层接触，以进一步帮助进行将所述功能层的至少一部分从多层子结构松脱的步骤。

[0013] 在此提供的方法和系统可用于产生具有多种几何形状的多种可转移结构。因此，所述方法能够并入用于多种器件和器件构件制造的多种器件生产过程。在一方面，可转移结构具有层型几何形状。在另一方面，通过本领域已知的任意方法设置凹进特征部，从而使至少一个功能层产生具有一个或多个预选的微米级或纳米级的外形尺寸的可转移结构。例

如，在至少一个功能层中凹进特征部的产生可任选地使用图案化技术实现，例如光刻、软式光刻、电子束直接成像或光蚀除图案化的图案化技术。

[0014] 本发明的功能层应用广泛，并且指代在器件或器件构件中使用的材料。一种可广泛用于各种器件和器件构件的功能层为具有半导体或一序列(例如多个)的半导体层的多层。功能层组成和几何形状的选择取决于该功能层的最终应用或功能。例如，所述一序列的半导体层可为选自如下组的至少一个半导体层，所述组包括：单晶半导体层、有机半导体层、无机半导体层、III-V半导体层；和第IV族单质或化合物半导体。在另一方面，所述一序列的半导体层为具有不同半导体材料的至少两个半导体层。在一方面，至少一个功能层由一个或多个介电层或一个或多个导电层制成。在一个实施方案中，在多层中的一个功能层可不同于其他功能层。在一个实施方案中，在多层中的所有功能层相同。在一个实施方案中，在多层中的一个功能层为多个单层的复杂配置，例如多个半导体层。在作为本申请一部分而包含的附图中，从这些功能层得出的结构称为“功能材料元件或器件”(FMED)。

[0015] 在此描述的某些方法中可用的其他功能层包括但不限于作为电子、光学或光电器件，或电子、光学、光电器件的构件，作为P-N结、薄膜晶体管、单结太阳能电池、多结太阳能电池、光电二极管、发光二极管、激光器、CMOS器件、MOSFET器件、MESFET器件或HEMT器件的一部分的构件的功能层。

[0016] 在一个实施方案中，任一所述多层结构产生于衬底上。在一方面，至少一个松脱层设置在多层结构和衬底之间，例如松脱层位于功能层和衬底之间。在另一方面，松脱层并不设置在多层结构和衬底之间。在这种情况下，母衬底和/或相邻功能层提供将功能层从衬底松脱的能力。在一方面，母衬底自身为松脱层。

[0017] 多层结构以及具体地该多层结构的单独层，如本领域所公知的，可沉积或生长在衬底表面上。例如，用于在表面上生长或沉积层的任意一种或多种方式可选自各种不同技术，包括但不限于：外延生长、蒸发沉积、气相外延、分子束外延、有机金属化学气相沉积、化学气相沉积、物理气相沉积、溅射沉积、溶胶凝胶涂布、电子束蒸发沉积、等离子体增强型化学气相沉积；原子层沉积、液相外延、电化学沉积和旋涂。采用这种方式，多个可转移结构产生自一个系统，并且一旦最后的功能层(例如，最靠近衬底表面的层)松脱，衬底可任选地再次使用。与其中衬底本身被损坏、毁坏或者被引入最终器件或器件构件的情况下进行的制造过程相比，这种重新使用节约成本。

[0018] 多层结构可选地包括功能层和/或松脱层，其具有在衬底上外延生长的预定顺序的薄膜，例如交替的松脱层和功能层。在一个实施方案中，功能层具有选自约5nm到约50,000nm范围的厚度。在一个实施方案中，多层结构具有约2个到约200个功能层和/或约2个到约200个松脱层。松脱层根据系统的构造可以薄至1nm。在其他实施方案中，松脱层可较厚，例如在约1μm和2μm之间。松脱层材料的组成的实际选择可基于多个参数进行，例如是否希望生长高质量功能层(例如外延生长)。如果生长是非外延的，则可放松对松脱层组成的限制。另外，松脱层组成应该与用于将功能层从多层结构松脱的松脱策略相适应。例如，如果松脱机制通过断裂进行，则可选择杨氏模量以帮助优化断裂。

[0019] 许多不同器件能够使用在此公开的任意方法制成。在一方面，本发明提供一种方法，其制造光电器件或器件阵列、晶体管器件或器件阵列、发光二极管器件或器件阵列、激光器或激光器阵列、传感器或传感器阵列、集成电路、微机电器件或纳米机电器件。

[0020] 在一个实施方案中，本发明的任一方法用于制造可转移半导体结构。例如，可转移半导体结构由具有一个或多个半导体薄膜的功能层的至少一部分制成，并且通过将一个或多个松脱层或其一部分与一个或多个功能层分离，来将功能层的至少一部分从多层结构松脱。类似地，提供了通过提供功能层的至少一部分来制造光电器件或器件阵列的方法，所述功能层本身为光电电池，例如具有预定顺序的半导体薄膜的光电电池。

[0021] 在另一实施方案中，本发明为一种用于制造器件或器件构件的方法，其中，一个牺牲层被设置在衬底表面的至少一部分上。牺牲层广泛用于指代帮助将功能层从衬底去除的材料。牺牲层具有用于承接功能层材料的承接表面。牺牲层通过本领域已知的任意方式选择性地图案化，从而以相应的图案显露下方的衬底或者衬底上的薄膜或涂层。当功能层被依次沉积时，所暴露的衬底的图案对应于功能层的潜在锚定区域。具体而言，所沉积的功能层具有两个区域：对应于牺牲层中图案化区域的“锚定区域”以及在该处存在将功能层与下面的衬底分离的牺牲层的“非锚定区域”。锚可用作桥接元件，其帮助在对应于非锚定区域的图案中将功能层受控剥脱。功能层的一部分被松脱，其中功能层锚的图案保持至少部分地锚定于衬底，并且至少一部分未锚定于衬底的功能层被松脱，从而产生多个可转移结构。所述可转移结构可选地被印刷到器件衬底或由器件衬底支撑的器件构件上，从而制造器件或器件构件。可使用本领域已知的任意印刷方式，例如如本文所述的接触印刷或溶液印刷。

[0022] 在一个实施方案中，松脱步骤包括将弹性印模与功能层的至少一部分接触，然后将印模与功能层脱离接触，从而去除未锚定于衬底的功能层的至少一部分。

[0023] 在另一实施方案中，松脱步骤使用选自如下组的技术，所述组包括：蚀刻牺牲层、热冲击牺牲层、通过将牺牲层暴露于来自激光源的辐射而烧蚀或分解、以及通过将牺牲层与化学试剂接触而分解牺牲层。然后功能层可选地通过本领域已知的任意方式去除或收回，例如通过选择性地将功能结构从锚上断裂的印模，从而提供可与最初施加在牺牲层上的图案相对应的印刷出的功能结构。

[0024] 在一个实施方案中，在此公开的任意提供锚的图案化过程被并入本发明的多层方法。例如，图案化可用于本发明的将功能层分离的一个或多个松脱层，以提供可控地松脱多个功能材料和/或功能层的另外的方式。

[0025] 在另一实施方案中，本发明为一种用于制造设置为多层阵列中的多个可转移半导体元件的方法。此类过程提供由单个层和/或多层制造大量元件，所述多层的每一层能够产生多个元件，并提供额外的元件加工的能力，包括连接到下方表面的元件的加工。例如，所述方法可包括提供具有外表面的晶片的步骤，例如提供包括无机半导体的晶片。通过将第一掩模设置在外表面上而对外表面的选定区域进行掩蔽，从而产生外表面的掩蔽区域和未掩蔽区域。通过蚀刻晶片外表面的未掩蔽区域产生从外表面延伸到晶片的多个起伏特征部。由此，至少一部分所述起伏特征部各自均具有至少一侧的弯曲侧表面，该弯曲侧表面具有沿着所述至少一侧的长度在空间上变化的弯曲轮廓。另一掩蔽步骤，其中第二掩模对所述弯曲侧表面进行掩蔽，其中所述弯曲侧表面仅部分地被第二掩模掩蔽。这就产生沿着该侧表面的长度的掩蔽区域和未掩蔽区域。未掩蔽区域被蚀刻以产生被设置在多层阵列中的多个可转移半导体元件。

[0026] 这些方法中的任一种可选地使用作为体(bulk)半导体晶片的晶片，例如具有(111)取向的硅晶片。

[0027] 在一方面，通过将凹进特征部的侧表面循环暴露于蚀刻剂和蚀刻阻挡材料，例如通过将凹进特征部的侧表面循环暴露于反应离子蚀刻剂和蚀刻阻挡材料，来实行蚀刻晶片的外表面的未掩蔽区域的步骤。在另一方面，使用感应耦合等离子体反应离子蚀刻、缓冲氧化物蚀刻剂或感应耦合等离子体反应离子蚀刻和缓冲氧化物蚀刻剂组合的蚀刻技术，来执行蚀刻步骤。

[0028] 在一个实施方案中，所述弯曲侧表面的弯曲轮廓具有多个特征部延伸长度，所述特征部延伸长度与所述侧表面的长度的纵轴线相交。例如，所述弯曲轮廓可为设置在所述侧表面上的脊、纹波和/或圆齿形凹进特征部。在通过设置第二掩模而对所述弯曲侧表面进行掩蔽的步骤期间，所述脊、纹波或裙边形凹进特征部用作遮蔽掩模，从而产生所述侧表面的所述未掩蔽区域。

[0029] 在本发明的一方面，通过设置第二掩模而对所述弯曲侧表面进行掩蔽的步骤通过掩模材料的有角度的气相沉积来实施。

[0030] 在一方面中，通过各向异性蚀刻，例如采用作为具有(110)取向的硅晶片的晶片，来执行对侧表面的未掩蔽区域进行蚀刻的步骤，并且所述对侧表面的未掩蔽区域的蚀刻优选地沿着所述硅晶片的<110>方向通过各向异性蚀刻来执行。所述各向异性蚀刻可选地通过将所述侧表面的未掩蔽区域暴露于强碱来实施。

[0031] 在一个实施方案中，对于侧表面的未掩蔽区域的蚀刻产生可转移半导体元件，其中每个该半导体元件经由桥元件连接到晶片。

[0032] 任一个所述系统均可选地具有作为蚀刻阻挡掩模的掩模，例如作为蚀刻阻挡掩模的第一和第二掩模。

[0033] 在另一方面中，本发明为一种方法，该方法通过使用在此公开的任意一种过程提供多个可转移半导体元件，然后将所述可转移半导体元件印刷在衬底上，从而将多个可转移半导体元件组装在衬底上。例如提供的是制造电子器件或电子器件的构件的方法，所述方法包括通过本发明的过程提供设置为多层阵列的多个可转移半导体元件的步骤。可转移半导体元件被印刷在衬底上，从而制造电子器件或电子器件的构件。在此公开的任意方法使用通过接触印刷实施的印刷步骤。在此公开的任意方法具有通过依次在多层的不同层中印刷可转移半导体来实施的印刷步骤。

[0034] 在一个实施方案中，在阵列的第一层中印刷半导体元件使得在位于该第一层下方的阵列的层中的一个或多个可转移半导体元件暴露。

[0035] 本发明的另一实施方案为通过同质和/或异质锚定策略制造可转移半导体元件的方法。相比于非锚定系统和过程，此类锚定提供了许多优点，例如更为有效地使用支撑可转移元件的晶片、增强转移控制和提高定位转移。特别地，锚或桥元件提供对于被松脱或转移的元件的几何形状的局部控制。

[0036] “同质锚定”(例如图20、35、37)指代作为功能层的整体部分的锚。通常，通过同质锚定系统来制造可转移元件的方法可选地包括：提供晶片，将牺牲层沉积在晶片表面的至少一部分上，通过本领域已知的任意方式限定半导体元件，并限定锚定区域。锚定区域对应于半导体元件的具体区域。锚定区域可对应于半导体层的几何形状，例如，锚由相对较大的表面积限定，并通过桥或束缚元件连接到可转移元件(例如见图19、20、37)。这种几何形状提供一种在单层或多层实施方案中帮助剥脱具体的非锚定区域的方式。或者，锚对应于附

接到或连接到下方晶片的半导体区域(例如图35)。去除牺牲层提供了一种用于去除或转移半导体元件同时半导体的物理连接到下方晶片的部分得到保持的方式。

[0037] “异质锚定”(例如图21、22)指代并非功能层的整体部分的锚,例如由与半导体层不同的材料制成的或由相同材料制成但是在可转移半导体元件被放置在系统中之后被限定的锚。相比于同质锚定,异质锚定的一个优点涉及更佳的转移限定策略以及对于有效的可用晶片覆盖面积(footprint)的进一步改进。在异质策略的实施方案中,提供一种晶片,该晶片被涂布以牺牲层,限定半导体元件,并且异质锚元件被沉积在锚定半导体区域。在一方面,锚为阻挡材料,例如光致抗蚀剂或SiN(氮化硅),或者其他具有一定程度的刚性从而能够锚定且抵抗剥脱力的材料,该剥脱力在非锚定区域不这样被抵抗。锚可从最顶部半导体层经下方的层延伸至下方的晶片衬底。去除牺牲层提供了一种用于去除非锚定区域同时使锚定区域保持连接到晶片的方式,例如通过接触转移。在另一实施方案中,对于多层系统,锚提供顶层到下方半导体层的锚定。或者,锚定系统用于单层半导体层系统。

[0038] 可选地通过使用本领域中已知的任意方式将牺牲层、功能层和松脱层中的一个或多个图案化,来产生暴露的晶片衬底和/或暴露的下方的半导体层,从而制造任意的锚定系统。这些锚定系统可用于制造多个可转移半导体元件,并可用于由所述可转移半导体元件制造电子器件或器件构件。

附图说明

[0039] 图1为衬底上的多层结构的示意图。B为功能层和松脱层构造的局部放大图。

[0040] 图2A图示通过去除牺牲层和掩蔽结构实现的松脱。图2B为概括了在使用封闭掩模层松脱FMED的过程中所含的各步骤的流程图。图2C为用于将用于金属半导体场效应晶体管(MESFET)的FMED松脱的衬底的实例。

[0041] 图3对比用于将松脱层从多层结构中分离的两个不同方案:A.为同时去除两个或更多个松脱层;B.为一次一层地去除松脱层。在C-E中提供了包含各种功能层(例如,功能材料元件或器件(FMED))和松脱层的多层结构。表2再现了图3E中提供的功能层的复杂的分层配置。

[0042] 图4为通过“一次多层”过程来松脱用于光电器件的FMED同时可选地重新使用衬底的流程图。

[0043] 图5为通过“一次一层”过程来松脱用于光电器件的FMED同时可选地重新使用衬底的流程图。

[0044] 图6概括了使用激光烧蚀来分离松脱层。A图示全过程。B提供用于通过激光烧蚀来松脱用于LED的FMED的结构的实例。C为概括用于通过激光烧蚀来松脱用于LED的FMED的一个过程的流程图。

[0045] 图7概括了通过在FMED和母衬底之间的界面处引入裂缝,然后将FMED拉离母衬底(例如使用橡胶印模(rubber stamp))以扩展裂缝所实现的松脱。A图示全过程。B为概括通过扩展由化学方式引入的裂缝而对用于LED的FMED进行松脱的过程的流程图。

[0046] 图8概括了通过在FMED和母衬底之间的界面处引入裂缝,然后将FMED拉离母衬底所实现的使用承载膜进行的松脱。A图示全过程。B提供用于通过扩展裂缝而对FMED进行松脱的结构的实例。C为概括了使用承载膜并将机械引入的裂缝进行分离而对FMED(SWNT阵

列)进行松脱的一个过程的流程图。

[0047] 图9图示一个可重复循环,该可重复循环将两个或更多个松脱层的同时松脱与母衬底的再使用相组合。在该实例中,在母衬底上制备FMED层和牺牲层,制造FMED,去除牺牲层以松脱FMED,并重复上述过程。A图示全过程。在图4-5中提供了相应过程的流程图。

[0048] 图10为衬底的结构图示,该衬底用于通过选择性地去除牺牲层来松脱多晶/无定形FMED材料,在此所示的为多层几何结构(4个牺牲层)。

[0049] 图11为用于通过扩展一被化学引入的裂缝而去除FMED的衬底的结构图示。

[0050] 图12为通过去除牺牲层而松脱无定形或多晶FMED结构的过程流程图。

[0051] 图13A为作为波长函数的光谱辐照度的图表,其图示了通过Si太阳能电池的热能化和传递损失。B为作为结点数量的函数的太阳能电池的理论限制的曲线。另外标绘出了通过单晶型和多晶型太阳能电池获得的值。来自Dimroth和Kurtz,"High Efficiency Multijunction Solar Cells"MRS Bull.32:230(2007)。

[0052] 图14示出晶格和电流匹配提供了高质量器件。来自Dimroth和Kurtz"High Efficiency Multijunction Solar Cells"MRS Bull.32:230(2007)。

[0053] 图15概括了$In_{0.5}Ga_{0.5}P$/GaAs器件的属性(左边)和相关结构(右边)(来自Takamoto等人"Over 30%efficient InGaP/GaAs tandem solar cell"App.Phys.Letters 70:381(1997))。

[0054] 图16为用于提供成本低廉且高性能的太阳能电池层的多层结构的示意图。

[0055] 图17为由在硅晶片的表面上创建的多层堆叠一次一层地转移印刷硅微/纳米带的有组织阵列的各步骤的示意图。所述带阵列可以印刷到多种衬底上,包括在此所示的柔性塑料。左边的虚线方框图示了右边的被放大的区域。

[0056] 图18为支撑多个带的多层堆叠(顶部画面)的Si(111)晶片(顶部画面)的扫描电子显微照片。底部画面为所述带的SEM,其中插入一张光学照片(比例尺(scale bar)2mm)。

[0057] 图19为通过一次多个地部分地去除松脱层(牺牲层)(也见图3A)而部分地松脱功能层的示意图。所述松脱称为"部分地",因为在松脱层被部分地去除后器件保持束缚于衬底。器件的完全松脱或分离随着它们的去除而发生,例如通过束缚结构的断裂并使用弹性印模进行回收而发生。另外概括示出的是去除锚定结构以制备用于重新沉积多层堆叠的衬底的各步骤。

[0058] 图20为通过一次一个地部分地去除松脱层(牺牲层)(也见图3B)而将功能层部分地松脱的示意图。松脱被称为"部分地",因为在部分地去除松脱层后器件保持束缚于衬底。器件在被去除时发生完全松脱或分离,该去除例如通过束缚结构的断裂并使用弹性印模进行回收而发生。该图还概括示出如下步骤:去除锚定结构,以制备用于重复"一次一层松脱过程"(如图3B所示)的衬底以及制备用于重新沉积多层堆叠的衬底。

[0059] 图21为使用侧边蚀刻阻止部或锚定柱通过一次去除数个(也见图3A)松脱层(牺牲层)来部分地松脱功能层的示意图。松脱被称为"部分地",因为在去除松脱层后,器件通过侧边蚀刻阻止部/锚定柱保持束缚于衬底。器件在被去除时发生完全松脱或分离,该去除例如通过束缚结构的断裂并使用弹性印模进行回收而发生。该图还概括示出了如下步骤:去除侧边蚀刻阻止部/锚定柱,以制备用于重新沉积多层堆叠的衬底。

[0060] 图22为使用侧边蚀刻阻止部或锚定柱通过一次去除一个(也见图3B)松脱层(牺牲

层)来部分地松脱功能层的示意图。松脱被称为“部分地”,因为在去除松脱层后,器件通过侧边蚀刻阻止部/锚定柱保持束缚于衬底。器件在被去除时发生完全松脱或分离,该去除例如通过束缚结构的断裂并使用弹性印模进行回收而发生。该图还概括示出如下步骤:去除侧边蚀刻阻止部/锚定柱以重复“一次一层松脱过程”(如图3B所示)并制备用于重新沉积多层堆叠的衬底。

[0061] 图23为在功能层已经通过类似于图20所示过程被部分地松脱后利用抗粘滞层或活化层进行的松脱后处理的示意图。抗粘滞层或活化层经常为自组装单层(SAM),用于防止已松脱层和下面的层之间的粘附(抗粘滞),或促进在已松脱层和第二材料(例如,弹性印模、纳米微粒、生物体等等)之间的粘接(活化)。

[0062] 图24图示塑料上印刷的薄膜iLED。在左图中提供了iLED外延层结构。这些LED被示为能够从晶片上松脱,但并不从堆叠结构中松脱。然而,这些LED可选地在一多层结构中被松脱,如在此所公开的。

[0063] 图25为由传统的体Si(111)晶片制造具有多层堆叠构造的大量单晶硅微/纳米带的步骤的示意图。所述过程利用了产生带有刻蚀侧壁的沟槽的专用蚀刻过程、浅角定向物理气相沉积和各向异性湿式化学蚀刻的组合。左边的虚线框图示了在右边的被放大的区域。BOE代表缓冲的氧化物蚀刻剂。

[0064] 图26为在制造多层堆叠的带的不同阶段在有角度的视图(a、c、e、g)和截面(b、d、f、h)视图下的Si(111)晶片的一系列扫描电子显微照片:(a和b)在竖直蚀刻(ICPRIE)以形成带有纹波状侧壁的沟槽之后;(c和d)在浅角物理气相沉积金属掩模层之后;(e到h)在各向异性湿式化学蚀刻(KOH)达2分钟(e和f)之后和5分钟之后(g和h)并接着去除金属。

[0065] 图27为从晶片松脱之后Si(111)带的(a)照片和(b和c)光学显微照片。不同的放大程度的如(a)所示的带的扫描电子显微照片(d-f)。

[0066] 图28为(a)四层堆叠的Si(111)带的大的对准阵列的照片。(a)中所示样品的俯视图(b和c)以及有角度的视图(d和e)的扫描电子显微照片。在带的端部处的锚定结构使它们通过保持它们由光刻限定的位置的方式连接到下方的晶片,即使在它们已经被各向异性蚀刻剂完全底切之后也是如此。

[0067] 图29为(a)转移印刷到聚二甲基硅氧烷衬底上的对准的Si(111)带的光学照片。(b)来自如(a)所示的阵列的四个带的原子力显微镜图像和线扫描。支撑Si(111)带阵列的四个分离的小块的柔性聚酯膜的照片,该四个分离的小块使用单次处理的Si芯片的四周期转移印刷而产生。

[0068] 图30为(a)使用用于半导体的硅带的晶体管的横截面示意图。(b)器件的俯视光学显微照片。(c)转移曲线,和(d)来自典型器件的全电流/电压特性。

[0069] 图31示出根据不同STS-ICPRIE条件的各种侧壁以及具有不同厚度的硅纳米带。

[0070] 图32示出遮蔽掩模程度相对于电子束蒸发的角度。

[0071] 图33示出EDAX能量色散谱(EDS)研究结果。

[0072] 图34示出一系列的7层Si带。

[0073] 图35为使用图案化牺牲结构的锚定松脱的示意图。

[0074] 图36为图35的过程的一个实例,其中Au从PECVD SiO_x上松脱。

[0075] 图37提供由被待松脱的$Al_{0.9}Ga_{0.1}As$层(每层100nm厚)隔开的七个GaAs层(每层

200nm厚)形成的多层结构的SEM图像。A为立体图(比例尺20μm),B为正视图(比例尺2μm)。

[0076] 图38为在七个GaAs层同时松脱后在PDMS印模上收回的图37的七个GaAs层(标注为1-7)的光学显微照片。不带任何层的清洁的供体芯片被标注为“供体芯片”。标注为“8”的印模显示没有明显的GaAs结构保留在供体芯片上。

[0077] 图39显示从多层供体衬底上通过PDMS印模剥离的GaAs层的光学照片。在A和B中的比例尺分别为1mm和50μm。

具体实施方式

[0078] 参照附图,类似的附图标记指代类似的元件,并且出现在不止一幅附图中的相同编号指代相同元件。另外,下文中应用如下定义:

[0079] “可转移”或“可印刷”可互换地使用,并且涉及能够转移、组装、图案化、组织和/或集成到衬底之上或之中的材料、结构、器件构件和/或集成的功能性器件。在一实施方案中,“可转移”表示结构或元件从一个衬底直接转移到另外一个衬底,例如从多层结构转移到器件衬底或由器件衬底所支撑的器件或元件。或者,“可转移”表示通过诸如印模等的中间衬底而被印刷的结构或元件,该中间衬底将所述结构或元件剥脱,接着将所述结构或元件转移到器件衬底或器件衬底上的构件上。在一实施方案中,在衬底不暴露于高温(即,温度低于或等于约400摄氏度)的情况下进行印刷。在本发明一个实施方案中,可印刷或可转移材料、元件、器件构件和器件能够通过溶液印刷或干式转移接触印刷而转移、组装、图案化、组织和/或集成到衬底之上或之中。类似地,“印刷”宽泛地用于指代转移、组装、图案化、组织和/或集成到衬底之上或之中,所述衬底例如为用作印模的衬底或自身作为目标(例如器件)衬底的衬底。此类直接转移印刷使多层结构的功能性顶层可向器件衬底进行成本低廉且可简单重复的转移。这就实现了例如从晶片到目标衬底的通用(blanket)转移,而不需要单独的印模衬底。“目标衬底”宽泛地用于指代将支撑被转移结构的期望的最终衬底。在一实施方案中,目标衬底为器件衬底。在一实施方案中,目标衬底为自身被衬底所支撑的器件构件或元件。

[0080] 本发明的“可转移半导体元件”包括能够例如通过干式转移接触印刷和/或溶液印刷方法等被组装和/或集成到衬底表面上的半导体结构。在一个实施方案中,本发明的可转移半导体元件为整体单晶、多晶或微晶的无机半导体结构。在本说明书的上下文中,整体结构为具有被机械连接的特征部的单块元件。本发明的半导体元件可掺杂或不掺杂,可具有选定的掺杂剂空间分布,并可被掺杂以多种不同的掺杂剂材料,包括P型和N型掺杂剂。本发明包括:微结构的可转移半导体元件,其具有至少一个大于或等于约1微米的横截面尺寸;和纳米结构的可转移半导体元件,其具有至少一个小于或等于约1微米的横截面尺寸。可用于多种应用的可转移半导体元件包括通过“自上而下(top down)”处理高纯度体材料而获得的元件,所述高纯度体材料例如使用传统的高温处理技术而产生的高纯度晶体半导体晶片。在一个实施方案中,本发明的可转移半导体元件包括复合结构,该复合结构具有可操作地连接到至少一个另外的器件构件或结构的半导体,所述另外的器件构件或结构例如为导电层、介电层、电极、另外的半导体结构或上述的任意组合。在一个实施方案中,本发明的可转移半导体元件包括可拉伸半导体元件和/或非均质半导体元件。

[0081] “功能层”指代能够被引入到器件或器件构件中并且为该器件或器件构件提供至

少部分功能的层。根据特定的器件或器件构件，功能层具有多种组成。例如，太阳能电池阵列器件可由III-V微太阳能电池起始功能层制成，包括自身由如本文所提供的多个不同的层构成的功能层。此类层的松脱和随后的印刷提供了构建光电器件或器件构件的基础。相比之下，用于引入电子器件(MESFET)、LED或光学系统的功能层可具有不同的分层构造和/或组成。因此，被引入多层结构的特定功能层取决于其中引入该功能层的最终器件或器件构件。

[0082] “松脱层”(有时称为“牺牲层”)指代至少部分地分离一个或多个功能层的层。松脱层能够被去除，或者提供其他方法以便将功能层与该多层结构的其他层分离，例如通过一个响应于例如物理、热、化学和/或电磁刺激而被物理分离的松脱层来分离。因此，实际的松脱层组成被选择为能够最佳地匹配进行分离所采用的方法。分离所用的方法为本领域已知的一种或多种分离方法，例如界面失效或松脱层牺牲。松脱层自身可以保持连接到功能层，例如保持连接到多层结构的其余部分的功能层，或者与多层结构的其余部分分离的功能层。松脱层可选地接着从功能层上分离和/或去除。

[0083] “由衬底支撑”指代至少部分地存在于衬底表面上的结构，或者至少部分地存在于位于所述结构和衬底表面之间的一个或多个中间结构上的结构。术语“由衬底支撑”也可指代部分地或完全地嵌入于衬底中的结构。

[0084] “溶液印刷”意在指代如下过程，其中，诸如可转移半导体元件等的一个或多个结构被分散到载体介质中，并以协调的方式输送到衬底表面的选定区域。在一个示例性溶液印刷方法中，将结构输送到衬底表面的选定区域通过与进行图案化的衬底表面的形态和/或物理特性无关的方法来实现。可用于本发明的溶液印刷方法包括但不限于喷墨印刷、热转移印刷和毛细作用印刷。

[0085] 用于在当前方法中组装、组织和/或集成可转移半导体元件的可用的接触印刷方法包括干式转移接触印刷、微接触或纳米接触印刷、微转移或纳米转移印刷以及自组装辅助印刷。在本发明中使用接触印刷是有益的，因为它允许多个可转移半导体以选定的相对于彼此的取向和位置进行组装和集成。本发明的接触印刷还能够对各类材料和结构进行有效转移、组装和集成，所述各类材料和结构包括半导体(例如无机半导体、单晶半导体、有机半导体、碳纳米材料等等)、电介质和导体。本发明的接触印刷方法可选地以预选的相对于一个或多个器件构件的位置和空间取向提供可转移半导体元件的高精度定位转移和组装，所述一个或多个器件构件被预构造在器件衬底上。接触印刷也与多种衬底类型可兼容，包括传统的刚性或半刚性衬底，例如玻璃、陶瓷和金属，以及具有对于特定应用有吸引力的物理和机械属性的衬底，例如柔性衬底、可弯曲衬底、可成形衬底、顺应式(conformable)衬底和/或可拉伸衬底。例如，可传递半导体衬底的接触印刷组装可适于低温处理(例如，低于或等于298K)。这一属性允许本光学系统使用多种衬底材料包括在高温下分解或降解的材料来运行，例如聚合物和塑料衬底。器件元件的接触印刷转移、组装和集成也是有益的，因为它能够通过低成本高产出的印刷技术和系统来实现，例如通过卷对卷(roll-to-roll)印刷和柔版印刷方法和系统。“接触印刷”泛指诸如采用印模等的干式转移接触印刷，该印模帮助将特征部从印模表面转移到衬底表面。在一实施方案中，印模为弹性体印模。或者，所述转移可直接到达目标(例如器件)衬底。以下的参考文件涉及自组装技术，该自组装技术可用于本发明的方法中，以通过接触印刷和/或溶液印刷技术转移、组装和互连可转移半导体

元件，并将以下参考文件通过引用整体并入本说明书：(1)“Guided molecular self-assembly:a review of recent efforts”,Jiyun C Huie Smart Mater.Strut.(2003)12,264-271;(2)“Large-Scale Hierarchical Organization of Nanowire Array for Integrated Nanosystems”,Whang,D.;Jin,S;Wu,Y;Lieber,C.M.Nano Lett.(2003)3(9),1255-1259;(3)“Directed Assembly of One-Dimensional Nanostructures into Functional Networks”,Yu Huang,Xiangfeng Duan,Qingqiao Wei,和Charles M.Lieber,Science(2001)291,630-633;和(4)“Electric-field assisted assembly and alignment of metallic nanowires,”Peter A.Smith等人,Appl.Phys.Lett.(2000)77(9),1399-1401。

[0086] “承载膜”指代帮助将层分离的材料。承载膜可为邻近期望被去除的层的一层材料，例如金属或含金属的材料。承载膜可为复合材料，包括被并入或附着在聚合材料或光致抗蚀材料，其中，施加到所述材料的剥脱力使所述复合材料从下面的层(例如功能层)松脱。

[0087] “半导体”指代在较低温度下为绝缘体但在大约300开尔文的温度下具有明显导电性的材料。在本说明书中，术语“半导体”的使用拟与该术语在微电子和电子器件领域中的使用一致。可用于本发明的半导体可包括：单质半导体，例如硅、锗和钻石；以及化合物半导体，例如诸如SiC和SiGe等的第IV族化合物半导体，诸如AlSb、AlAs、Aln、AlP、BN、GaSb、GaAs、GaN、GaP、InSb、InAs、InN和InP等的第III-V族半导体，诸如$Al_xGa_{1-x}As$等的第III-V族三元化合物半导体合金，诸如CsSe、CdS、CdTe、ZnO、ZnSe、ZnS和ZnTe等的第II-VI族半导体，第I-VII族半导体CuCl，诸如PbS、PbTe和SnS等的第IV-VI族半导体，诸如PbI_2、MoS_2和GaSe等的层半导体，诸如CuO和Cu_2O等的氧化物半导体。术语“半导体”包括本征半导体和非本征半导体，所述非本征半导体掺杂有一种或多种选定材料以提供对给定应用或器件有益的电子特性，该选定材料包括具有p型掺杂材料和n型掺杂材料的半导体。术语“半导体”包括包含半导体和/或掺杂剂的混合物的复合材料。在本发明的某些应用中可用的具体半导体材料包括但不限于，Si、Ge、SiC、AlP、AlAs、AlSb、GaN、GaP、GaAs、GaSb、InP、InAs、InSb、ZnO、ZnSe、ZnTe、CdS、CdSe、ZnSe、ZnTe、CdS、CdSe、CdTe、HgS、PbS、PbSe、PbTe、AlGaAs、AlInAs、AlInP、GaAsP、GaInAs、GaInP、AlGaAsSb、AlGaInP、和GaInAsP。多孔硅半导体材料可用于本发明在传感器和发光材料的领域中的应用，例如发光二极管(LED)和固态激光器。半导体材料的杂质为除了半导体材料本身或者提供给半导体材料的任意掺杂剂之外的原子、元素、离子和/或分子。杂质为半导体材料中存在的不希望的材料，其可对半导体材料的电子性能造成负面影响，并且包括但不限于氧、碳和包括重金属的金属。重金属杂质包括但不限于周期表上铜和铅之间的各族元素、钙、钠、以及它们的所有离子、化合物和/或络合物。

[0088] “介电”和“介电材料”意义相同地用于本说明书，并且指代高度阻抗电流流动的物质。可用的介电材料包括但不限于SiO_2、Ta_2O_5、TiO_2、ZrO_2、Y_2O_3、Si_3N_4、STO、BST、PLZT、PMN和PZT。

[0089] “器件场效应迁移率”指代使用诸如晶体管等的电子器件的输出电流数据所计算的该电子器件的场效应迁移率。

[0090] 本发明可进一步通过如下非限制性实施例得到理解。在此引用的所有参考文献通过引用并入本文，该引用达到不与在此公开的内容相矛盾的程度。尽管在此的描述涵盖许多特性，但它们不应被理解为限制本发明范围，而应被理解为仅仅提供本发明的某些当前

优选实施方案的说明。例如，因此本发明的范围应通过所附权利要求书及其等效内容所确定，而非由给出的实施例确定。

[0091] 本发明一方面提供可以通过多层处理以一种低成本的方式被并入器件或器件构件的FMED。图1中提供了具有多个功能层(FMED)20的多层结构10的一个实施例。功能层20通过松脱层30与相邻的功能层隔开。所述多个功能层20和松脱层30被支撑在衬底40上，并且功能层20自身为多个层的复合体。例如，功能层20可包括可用于太阳能电池中的如图所示的第III-V族的外延层(例如，p型掺杂GaAs顶层21、低掺杂GaAs中间层22、和n型掺杂GaAs下层23)。最下层被支撑在可被掺杂或不掺杂的$Al_{0.9}Ga_{0.1}As$的松脱层30上。松脱层30帮助获得多层结构10中的一个或多个功能层20。

[0092] 通过不同种类的刺激进行的松脱的实施例包括：通过一嵌入的牺牲层或多个牺牲层的蚀刻、溶解、燃烧等等(任意去除方式)进行松脱(见表1)。例如，松脱层可以比FMED快两倍或更多倍地被选择性蚀刻/溶解/燃烧/去除，并且/或者可对结构或层进行掩蔽以保护FMED防止其暴露于用于去除牺牲层的试剂。松脱层一次一个地被去除，或者两个或更多个牺牲层被同时去除。

[0093] 图2A图示带有掩模层410的多层结构10，该掩模层410涂覆功能层20的至少一部分，例如在功能层20和松脱层30之间。掩模层410可选地包括额外的掩模400，例如围绕不被掩模400所覆盖的其余部分的掩模400。在图2A中，松脱层30被标注为牺牲层，并且功能层20被标注为具有两个层的FMED。掩模400和410可用作蚀刻阻止部，以保护功能层20免受去除牺牲层30的蚀刻方式影响，从而帮助将层20从衬底40剥脱。图2B为概括了使用封闭的掩模由多层结构产生可转移FMED的过程的流程图(也见图2B)。

[0094] 在图2C中提供了可用于MESFET中的结构，其中功能层20包括120nm厚的GaAs第一层21和150nm厚的AlGaAs半绝缘第二层22。松脱层30为100nm厚的$Al_{0.96}Ga_{0.04}$阻挡层，其能够帮助将30从衬底40分离。

[0095] 实施例1：用于光电器件、电子器件和LED的可转移结构的松脱。

[0096] 图3A-B示意性图示了用于同时去除多个松脱层(图3A)以及顺序地逐层去除松脱层(图3B)的方法和结构。在图3A中，多层结构10的一部分暴露于蚀刻方式，从而形成蚀刻访问通道35。通道35使得能够同时访问多个(在本实施例中为三个)松脱层30。由此，多个可转移结构100可用于以本领域已知的任意方式(例如，液体印刷、接触印刷等等)印刷到目标表面，例如器件衬底或被衬底支撑的器件构件。

[0097] 图3B概括了逐层去除，在此，蚀刻剂访问通道35仅仅穿越最顶部的功能层20，因此仅有单个功能层20被松脱以由单个功能层20提供可转移结构100。如果必要，在引入用于去除松脱层30的化学方式之前，功能层20可被掩模(未示出)保护。该过程被重复用于每个另外的功能层20。针对图3图示的两种过程，可以重复使用支撑多层结构10的母衬底40。

[0098] 图3C-E中提供了用于制造不同器件或器件构件的不同的功能/松脱层组成和几何形状的多个实施例。图3C提供了具有用于制造光电器件的FMED的结构的实施例，在此AlGaAs为松脱层。图3D提供了具有用于制造电子器件(例如MESFET)的FMED的多层结构的实施例。图3E提供了具有用于制造LED的FMED的多层结构的实施例。为清晰起见，功能层20的15层结构示于表2中。图4-5概括了在用于松脱多个功能层(图4)或顺序地逐层松脱功能层(图5)的过程中使用的步骤。

[0099] 功能层通过本领域已知的任意方式松脱，例如通过对嵌入的松脱层或牺牲层进行底切、蚀刻、溶解、燃烧等等(任意去除方式)。存在多种使用各种刺激的用于松脱功能层的策略，一些策略提供于表1中。表1还示出功能层和松脱层的组成可根据所采用的松脱策略进行选择。牺牲层比组成FMED的功能层快大约两倍或更多倍地被选择性蚀刻/溶解/燃烧/去除。可选地，提供掩模层400以保护FMED 20免于暴露于用于去除牺牲层的试剂(见图2A)。松脱层可一次一个地被去除，或者多个松脱层可被同时去除(比较图3A和3B以及图4和图5中的流程图)。

[0100] 图3A和4中概括了多个功能层的同时去除。图4概括了通过一次多层来松脱用于光电器件的FMED，其中可选地重新使用衬底以便接下来制造另外的可转移FMED。功能层包括外延生长半导体。所述过程还用于无定形或多晶材料，类似于图12中所述的过程。简言之，获得了GaAs衬底。例如，通过MOCVD、MBE(类似于图3D和3E分别针对晶体管、LED的过程)等等在GaAs衬底上生长出图3C中所示的外延层。根据需要在生长之前预处理衬底(可选地需要CMP)。在沉积或外延生长功能层和牺牲层之前生长邻近于衬底的约～200nm的GaAs缓冲层。顶部外延层的表面的一部分可通过等离子体增强化学气相沉积(PECVD)和用于图案化的光刻形式而用SiO_2进行掩蔽。使用Cl/Ar/H等离子体从表面至达到任意$Al_{0.96}Ga_{0.04}As$牺牲层内一定距离处(例如，进入最靠近衬底的牺牲层)对外延层的未掩蔽区域进行蚀刻。所述牺牲层不应为距离衬底最远的一个(在这种情况下，松脱将为如图3B和5所概括的“一次一个”过程)。将衬底暴露于浓HF，以至少部分地去除所暴露的牺牲层，并通过横向底切松脱牺牲层上方的功能外延层。(HF侵蚀功能层较其侵蚀牺牲层更为缓慢(小于1/10的蚀刻速度))。通过压印将所松脱的FMED从衬底上分离，或者进行用于流体组装或喷墨印刷、静电旋压(electrospinning)等等的溶剂交换。使用HF去除牺牲层的任何残留部分；清洗/擦除掉上方的功能外延层的任何残留部分(锚定结构等等)。初始时位于此时已经被去除的各层的紧邻的下方的功能层现在暴露出来，并且位于衬底的表面上。重复在掩蔽和HF去除之间的步骤，从而松脱多组功能层(每组被牺牲层隔开)，直至没有牺牲层保留在衬底上。为了可选地重新使用衬底，根据需要重复这些步骤。

[0101] 图3B和5概括出单一功能层的松脱。诸如GaAs晶片的衬底为外延层生长提供支撑，所述外延层生长通过MOCVD、MBE等等进行，所述外延层例如为图3C中所述的功能层。可在生长之前根据需要(例如CMP)对衬底进行预处理。同样地，在对松脱层和功能层进行沉积或外延生长之前需要在衬底附近生长～200nm的GaAs缓冲层。顶部外延层的表面的一部分通过等离子体增强化学气相沉积(PECVD)和用于图案化的任意光刻形式用SiO_2进行掩蔽。使用Cl/Ar/H等离子体从表面到进入第一$Al_{0.96}Ga_{0.04}As$牺牲层的某一距离处对外延层的未掩蔽区域进行蚀刻。将衬底暴露于浓HF，以至少部分地去除所暴露的牺牲层(一个)，并且通过横向底切松脱在牺牲层(功能层)上方的外延层。(HF侵蚀功能外延层比其侵蚀牺牲层更为缓慢(小于1/10蚀刻速度))。

[0102] 参照图3B、3C和5，使用Cl/Ar等离子体从表面穿过外延层到进入衬底的某一距离处对外延层的未掩蔽区域进行蚀刻。采用光致抗蚀剂来对外延层的其余部分进行封闭，覆盖上表面和侧表面。将衬底暴露于柠檬酸水溶液+H_2O_2以蚀刻GaAs衬底，并通过横向底切来松脱在牺牲层(功能层)上方的功能外延层(湿式蚀刻剂对阻挡外延层的侵蚀比侵蚀GaAs衬底更为缓慢(小于1/10蚀刻速度)，并且功能GaAs层被封闭其的光致抗蚀剂所保护而免于受

到湿式蚀刻剂侵蚀)。在图2中,AlGaAs外延层对应于“掩模”400,并且光致抗蚀剂封装对应于“另外的掩模”410。

[0103] 所松脱的FMED中的任一个可通过压印与衬底分离,或者进行用于流体组装或喷墨印刷、静电旋压等等的溶剂交换。

[0104] 也通过用于各向异性蚀刻和/或掩模层保护FMED免受蚀刻的定向蚀刻(例如Si 111,Si 110)(见提交于2006年9月20日的名为“Bulk Quantities of Single Crystal Silicon Micro-/Nanoribbons Generated from Bulk Wafers”的美国临时专利申请60/826,354,Atty.Ref.no.151-06P,该临时专利申请通过引用并入本文,该引用达到与本文不矛盾的程度)实现松脱。

[0105] 实施例2:通过激光烧蚀对可转移结构进行松脱

[0106] 其他松脱方法包括通过研磨/抛光/蚀刻来去除母衬底从而进行松脱,或者通过热冲击(例如通过热膨胀系数不匹配)进行松脱。松脱也可以通过所嵌入的层的烧蚀/分解/化学反应进行,例如通过激光引起的加热所导致的烧蚀/分解/化学反应。图6A提供了激光烧蚀松脱方法的示意图。电磁辐射例如通过位于衬底40的与存在多层结构的表面相反的一侧上的激光器被引入,穿过支撑功能层20的至少部分透明的衬底40。激光引起的加热通过20和40之间的界面的失效或者通过至少部分地去除对激光烧蚀敏感的松脱表面30,从而使可转移FMED 100松脱。松脱表面30可保持部分地连接到结构100或衬底40中的一个或二者,如烧蚀产品37所示。这些产品37接着根据希望被去除。图6B为用于通过激光烧蚀松脱用于LED的FMED的合适衬底的实例。衬底40对应于蓝宝石衬底。图6C概括了通过激光烧蚀或通过在环境条件下自发的烧蚀/分解/化学反应而进行的用于LED的FMED的松脱。图10概括了用于通过不同松脱信号(例如电和/或热)选择性去除松脱层从而使多晶/无定形FMED材料松脱的基本策略。图12概括了通过去除牺牲层而对无定形FMED结构的松脱。

[0107] 实施例3:通过扩展所引发的界面裂缝而松脱可转移结构。

[0108] 另一种松脱机制为,在FMED和母衬底之间的界面处引入裂缝,然后将FMED拉离母衬底(例如,使用橡胶印模)以扩展该裂缝(见图7A)。裂缝可以多种方式引入,例如机械地(例如通过切削;见图8B-C和12),化学地(例如通过蚀刻)(见图7B和11),或用热的方法(例如通过热膨胀系数不匹配而引起的冲击)引入。

[0109] 可选地,上述任一种用于松脱可转移结构的方式与承载结构组合,该承载结构例如是承载膜(图8A),所述承载膜例如作为用于印刷碳纳米管的承载结构的金膜(见Nature Nanotech.Vol 2,p.230)。这一过程可有效用于较小的(例如,小于约50nm,例如分子、SWNT等等)、化学易损、机械易损、机械性能较软、大批的和/或者难以单独制造的FEMD。图8B和8C分别提供用于机械地在衬底和承载膜之间引入裂缝以松脱可转移FMED的结构和过程的实施例。

[0110] 通过在此所述的任一种方法进行的松脱可选地结合在重新使用母衬底40的过程中,如图9A所示(并且可选地在图4和5中提供),从而使制造成本更为节约。

[0111] 图19为通过一次部分地去除多个松脱层(牺牲层)(见图3A)而部分地去除功能层的示意图。所述松脱称为“部分地”是因为,在松脱层被部分去除后器件保持束缚于衬底。器件在它们去除时发生完全松脱或分离,例如通过束缚结构的断裂以及使用弹性印模来收回而进行。该图也概括了如下步骤,即,去除锚定结构以制备用于重新沉积多层堆叠的衬底。

在图3C-E中示出可根据图19所概括过程获得可印刷器件的多层结构的一些实例。图4中概括了所述过程的细节。图4概括了“一次多层”地松脱用于光电器件的FMED，同时可选地重新使用衬底以接着生产另外的可转移FMED。功能层包括外延生长半导体。所述过程还用于无定形或多晶材料，类似于图12所述的过程。简言之，获得了GaAs衬底。例如通过MOCVD、MBE等等(类似于分别用于晶体管、LED的图3D和3E的过程)在GaAs衬底上生长出如图3C所示的外延层。在生长之前根据需要对衬底进行预处理(可选地需要CMP)。在沉积或外延生长功能层和牺牲层之前在衬底附近生长大约～200nm的GaAs缓冲层。通过等离子体增强化学气相沉积(PECVD)和用于图案化的光刻形式，可以用SiO_2掩蔽顶部外延层的表面的一部分。使用Cl/Ar/H等离子体从表面直至任一$Al_{0.96}Ga_{0.04}As$牺牲层内(例如，进入最靠近衬底的牺牲层)的某一距离处蚀刻外延层的未掩蔽区域。所述牺牲层不应为与衬底相距最远的一个(在这种情况下，松脱将为如图3B和5所概括的“一次一个”过程)。将衬底暴露于浓HF以至少部分地去除所暴露的牺牲层，并通过横向底切松脱在牺牲层上方的功能外延层。(HF侵蚀功能外延层比其侵蚀牺牲层更为缓慢(小于1/10蚀刻速度))。通过压印将所松脱的FMED与衬底分离，或者进行用于流体组装或喷墨印刷、静电旋压等等的溶剂交换。使用HF去除牺牲层的任何残留部分；清洗/擦除上方的功能外延层的任何残留部分(锚定结构等等)。初始时位于此时已经被去除的层的紧邻的下方的功能层现在被暴露出来，并且位于衬底表面上。重复在掩蔽和HF去除之间的步骤，从而松脱多组功能层(每组被牺牲层隔开)，直至没有牺牲层保留在衬底上。为了可选地重新使用衬底，这些步骤根据需要进行重复。

[0112] 图20为通过一次一松脱层(也见图3B)地部份地去除松脱层(牺牲层)而将功能层部分地松脱的示意图。所述松脱称为“部分地”，因为在部分地去除松脱层后器件保持束缚于衬底。器件在它们去除时发生完全松脱或去除，例如通过束缚结构的断裂以及使用弹性印模来收回而进行。该图也概括了如下步骤，即，去除锚定结构以制备用于重复“一次一层松脱过程”的衬底(如图3B所示)以及制备用于重复沉积多层堆叠的衬底。在图3C-E中示出可根据在此所概括的过程生产可印刷器件的多层结构的一些实例。图5中概括了所述过程的细节。衬底诸如GaAs晶片通过MOCVD、MBE等等提供了对外延层生长的支持，所述外延层例如为图3C中所述的功能层。在生长之前可根据需要对衬底进行预处理(例如CMP)。类似地，在沉积或外延生长松脱层和功能层之前，将需要在衬底附近生长～200nm的GaAs缓冲层。通过等离子体增强化学气相沉积(PECVD)和用于图案化的任意光刻形式，对顶部外延层的表面的一部分用SiO_2进行掩蔽。使用Cl/Ar/H等离子体从表面到进入第一$Al_{0.96}Ga_{0.04}As$牺牲层的某一距离处对外延层的未掩蔽区域进行蚀刻。将衬底暴露于浓HF，以至少部分地去除所暴露的牺牲层(一个)，并且通过横向底切松脱在牺牲层(功能层)上方的外延层。(HF侵蚀功能外延层比其侵蚀牺牲层更为缓慢(小于1/10蚀刻速度))。通过压印将所松脱的FMED从衬底上分离，或者进行用于流体组装或喷墨印刷、静电旋压等等的溶剂交换。重复在掩蔽和HF去除之间的步骤，从而松脱功能层，直至没有牺牲层保留在衬底上。为了可选地重新使用衬底，这些步骤根据需要进行重复。

[0113] 图21为使用侧边蚀刻阻止部或锚定柱的通过一次去除多个松脱层(牺牲层)(也见图3A)部分地松脱功能层的示意图。所述松脱称为“部分地”，因为在去除松脱层后通过侧边蚀刻阻止部/锚定柱使器件保持束缚于衬底。器件在它们去除时发生完全松脱或分离，例如通过束缚结构的断裂以及使用弹性印模来收回而进行。该图也概括了如下步骤，即，去除侧

边蚀刻阻止部/锚定柱以制备用于重新沉积多层堆叠的衬底。在图3C-E中示出可根据在此所概括的过程生产可印刷器件的多层结构的一些实例。所述过程的细节概括如下：功能层包括外延生长半导体。所述过程还用于无定形或多晶材料，类似于如图12所述的过程。简言之，获得了GaAs衬底。例如通过MOCVD、MBE等等(类似于分别针对晶体管、LED的图3D和3E的过程)在GaAs衬底上生长出如图3C所示的外延层。在生长之前根据需要(可选地需要CMP)对衬底进行预处理。在沉积或外延生长功能层和牺牲层之前在衬底附近生长大约～200nm的GaAs缓冲层。通过等离子体增强化学气相沉积(PECVD)和用于图案化的光刻形式，顶部外延层的表面的一部分可采用SiO_2进行掩蔽。使用Cl/Ar/H等离子体从表面到进入任一$Al_{0.96}Ga_{0.04}As$牺牲层(例如，进入最靠近衬底的牺牲层)的某一距离处对外延层的未掩蔽区域进行蚀刻。所述牺牲层不应为最远离衬底的一个(在这种情况下，松脱将为如图3B和5所概括的“一次一个”的过程)。通过低压化学气相沉积来沉积氮化硅的敷形涂层。通过例如光刻和使用氟等离子体的蚀刻将所述氮化硅图案化，以限定侧边蚀刻阻止部和/或锚定柱。将衬底暴露于浓HF，以至少部分地去除所暴露的牺牲层并通过横向底切松脱在牺牲层上方的功能外延层。(HF侵蚀功能外延层比其侵蚀牺牲层更为缓慢(小于1/10蚀刻速度))。通过压印将所松脱的FMED与衬底分离，或者进行用于流体组装或喷墨印刷、静电旋压等等的溶剂交换。使用HF以去除牺牲层的任何保留部分。使用氟等离子体以去除氮化硅；清洁/擦除上方的功能外延层的任何残留部分(锚定结构等等)。重复HF、氟等离子体和清洗，直至初始时位于此时已经去除的层紧邻的下方的功能层被清晰暴露出并且处于衬底表面上。重复在掩蔽和清洗之间的步骤，从而松脱多组功能层(每组被牺牲层隔开)，直至没有牺牲层保留在衬底上。为了可选地重新使用衬底，这些步骤根据需要进行重复。

[0114] 图22：使用侧边蚀刻阻止部或锚定柱的通过一次去除一个松脱层(牺牲层)(也见图3B)部分地松脱功能层的示意图。所述松脱称为“部分地”，因为在去除松脱层之后通过侧边蚀刻阻止部/锚定柱使器件保持束缚于衬底。器件在它们去除时发生完全松脱或分离，例如通过束缚结构的断裂以及使用弹性印模来收回而进行。该图也概括了如下步骤，即，去除侧边蚀刻阻止部/锚定柱以用于重复“一次一层松脱过程”(如图3B所示)以及制备用于重复沉积多层堆叠的衬底。在图3C-E中示出可根据如图22所概括的过程生产可印刷器件的多层结构的一些实例。所述过程的细节如下。诸如GaAs晶片的衬底提供了对外延层生长的支持，所述生长通过MOCVD、MBE等等进行，所述外延层例如为图3C中所述的功能层。在生长之前可根据需要对衬底预处理(例如CMP)。类似地，在沉积或外延生长松脱层和功能层之前，将需要在衬底附近生长～200nm的GaAs缓冲层。通过等离子体增强化学气相沉积(PECVD)和用于图案化的任意光刻形式，顶部外延层的表面的一部分采用SiO_2进行掩蔽。使用Cl/Ar/H等离子体从表面到进入第一$Al_{0.96}Ga_{0.04}As$牺牲层的某一距离处对外延层的未掩蔽区域进行蚀刻。通过低压化学气相沉积来沉积氮化硅的敷形涂层。例如通过光刻和使用氟等离子体进行蚀刻将该氮化硅图案化，以限定侧边蚀刻阻止部和/或锚定柱。将衬底暴露于浓HF，以至少部分地去除所暴露的牺牲层(一个)，并且通过横向底切松脱在牺牲层(功能层)上方的外延层。(HF侵蚀功能外延层比其侵蚀牺牲层更为缓慢(小于1/10蚀刻速度))。通过压印将所松脱的FMED从衬底上分离，或者进行用于流体组装或喷墨印刷、静电旋压等等的溶剂交换。使用HF去除牺牲层的任何残留部分。使用氟等离子体以去除氮化硅；清洁/擦除上方的功能外延层的任何残留部分(锚定结构等等)。重复HF、氟等离子体和清洗，直至初始时位于此时

已经去除的层的紧邻的下方的功能层被清晰暴露出并且处于衬底表面上。重复在掩蔽和HF去除之间的步骤，从而松脱功能层，直至没有牺牲层保留在衬底上。为了可选地重新使用衬底，这些步骤根据需要进行重复。

[0115] 图23：在功能层已经通过类似于图20所述的过程被部分地松脱之后，利用抗粘滞层或活化层对功能层进行松脱后处理的示意图。抗粘滞层或活化层经常为自组装单层(SAM)，用于防止在已松脱的层和下方的层之间的粘附(抗粘滞)，或者促进在已松脱的层和其他一些实体(例如，弹性印模、纳米颗粒、生物体等等)之间的粘附(活化)。在图3D中描述了可应用图23所概括的过程的系统的实例。在限定器件(例如通过光刻以及氯等离子体蚀刻)并通过HF部分地去除AlGaAs松脱层之后，可使用末端为硫醇的有机分子的乙醇溶液处理所暴露的GaAs表面。对于抗粘滞，该分子可为烷基硫醇，例如十六烷硫醇或者全氟化的烷基硫醇。对于活化，硫醇可另行端接诸如辛二硫醇的反应性化学基团。

[0116] 图35和36提供了锚定策略的另一实例，其进一步改进了在明确限定的位置处从锚定结构断裂的可转移结构的产生，所述明确限定例如通过异质锚定策略(例如见图21)。具体而言，异质锚定优于同质锚定(例如图20)之处包括在设计可断裂束缚点方面的灵活性、增强的转移控制、以及转移定位性的改进。另外，各种锚定过程提供了晶片衬底区域的更为有效的使用。图案化的牺牲区域提供确保可转移结构在明确限定的位置处从锚定结构断裂的能力。另外，图案化的牺牲层增加了覆盖面积。例如，因为锚定结构并不被去除牺牲层的试剂底切，因此它们不需要比可转移结构的穿孔更宽。图36图示了图35中概括的锚定概念，并且是其实践的一个实例：将大部分透明的金网格从硅晶片印刷到塑料。

[0117] 在此公开的过程特别适于高产量地将结构从多层器件印刷到衬底或由衬底支撑的构件，从而降低制造时间和成本。例如，图37为七层结构的SEM，其中相邻的GaAs层被$Al_{0.9}Ga_{0.1}As$层隔开。外延结构采用磷酸和过氧化氢进行蚀刻。通过光刻和湿式蚀刻从在GaAs衬底上的外延层加工出多层微结构。

[0118] 图38是在同时松脱七个GaAs层后被收回到PDMS印模上的七个GaAs层的照片。类似的收回可期望用于在此所公开的单层的逐层松脱。简言之，松脱过程包括采用S 1802光致抗蚀剂来对外延结构进行掩蔽。被掩蔽的结构采用1:13:12的H_3PO_4:H_2O_2:Dl蚀刻达1分钟。光致抗蚀剂用丙酮去除，接着采用49％HF对松脱层进行化学去除达35秒并采用N_2进行干式漂洗。各层使用PDMS印模依次剥离(在图38中标记为1-8)。第8个印模用于检查“残留”。图39提供在PDMS印模表面上的从多层供体衬底剥离的GaAs层的光学图像。这些层准备用于印刷到器件衬底或器件衬底的构件上。

[0119] 实施例4：由体晶片产生的大量单晶硅微/纳米带。

[0120] 本实施例说明了用于从体硅(111)晶片制造大量高质量、尺寸均匀的单晶硅微米带和纳米带的策略。所述过程使用带有限定于侧壁上的受控的纹波结构的蚀刻沟槽，以及掩模材料的有角度的蒸发和硅的各向异性湿式蚀刻，来制造带的多层堆叠，该多层堆叠遍及晶片整个表面，厚度均匀并且长度和宽度被光刻限定。使用这种方式大量制造了厚度在数十和数百纳米之间、宽度在微米量级且长度最高达数厘米的带。印刷过程使得能够将此类带的有组织的阵列逐层转移至多种其他衬底。在形成于塑料衬底上的薄膜型晶体管中，可以采用这些带实现良好的电气性能(迁移率～190$cm^2V^{-1}s^{-1}$，且导通/截止>10^4)，从而证明了一个潜在的应用领域。

[0121] 线、带和微粒形式的单晶硅的纳米结构元件在电子、光电、传感和其他领域的许多应用很有价值。带的几何结构对于某些器件而言是重要的，因为它提供例如大的平坦表面以用于化学传感和光探测，以及提供能够有效填充晶体管的通道区域的几何结构。与用于硅纳米线[1]的已被充分开发的化学合成方法相关的生长技术已经被改造用于制造Si纳米带并获得了一定的成功[2]。然而，对于例如氧化物(ZnO、SnO_2、Ga_2O_3、Fe_2O_3、In_2O_3、CdO、PbO_2等等)[3]、硫化物(CdS、ZnS)[4]、氮化物(GaN)[5]和硒化物(CdSe、ZnSe、Sb_2Se_3)[6]等材料，通过这些过程和类似过程所提供的对带的尺寸控制程度和带的产量是有限的。相反地，依靠半导体晶片的顶表面的光刻处理的方法能够良好控制厚度、宽度、长度、结晶度和掺杂水平。这些方法能够形成厚度处于微米到纳米量级、包括Si、SiGe、双层Si/SiGe、GaAs、GaN及其他等的薄膜、管和带[7-12]。此外，各种工艺可以有组织的阵列的形式将这些元件转移到其他用于器件集成的衬底。相比于生长技术，这种“自上而下”的方法具有三个主要缺点。首先，宽度小于～100nm的元件由于光刻中的实际限制而难于制造。其次，可以使用的仅仅是那些能够以薄膜或体晶片形式生长的材料。第三，对于许多应用最重要的是，大量微/纳米结构的制造需要大量晶片，每个晶片均较为昂贵。第一个缺点与不需要如此之小尺寸的结构的多种应用不相关。第二个缺点当然并不适用于包括硅的许多重要材料。此实施例提出了解决第三个限制的结果。具体而言，它引入一种在单个处理顺序中从标准的体Si晶片生产大量高质量的Si带的简单方法，所述Si带的厚度低至数十纳米。简言之，所述方法始于通过蚀刻掩模对硅晶片进行受控的深度反应离子蚀刻，以制造带有良好限定的纹波侧壁形态的沟槽。以一定角度沉积到这些带上的金属溅镀(collimated flux)形成分离的金属线，这些金属线用作沿着平行于晶片表面的平面对硅进行的高度各向异性湿式蚀刻的掩模。这一单一蚀刻步骤形成呈现多层堆叠几何结构的大量硅带。这些带可从晶片去除，以及被溶液铸型或者干式转移印刷到希望的衬底上，以集成到诸如晶体管的器件中，它们的由光刻限定的空间次序保持或不保持均可。此一方法仅仅依赖于标准的洁净室处理设备。因此，其对于研究者有价值的是，其可用于硅微米/纳米结构中而不需要专门的生长室，以及用直接的合成技术大量形成它们的制法中。

[0122] 图25展现了制造顺序的示意图。在第一步骤中，在1100℃下进行干式热氧化达2小时，形成在晶片表面上的薄(～150nm)的SiO_2层。在涂布增粘剂——1,1,1,3,3,3-六甲基二硅氮烷(HMDS，Acros Organics)——之后，进行接触模式光刻(Shipley 1805光致抗蚀剂(PR)和MF-26A显影剂)，接着在110℃下退火达5分钟来提供PR掩模。在缓冲的氧化物蚀刻剂(BOE，Transene Co.)溶液中进行湿式蚀刻达1分钟30秒，并在丙酮中清除残留的PR，从而在晶片上产生SiO_2线。这些线提供对硅进行感应耦合等离子体反应离子蚀刻(STS-ICPRIE，STS Mesc Multiplex Advanced Silicon Etcher)的掩模。所述线的方向垂直于如图25所示的<110>方向，从而使被蚀刻的沟槽的侧壁暴露出{110}平面。ICPRIE工具主要用于通过使用对硅蚀刻和沉积含氟聚合物来保护侧壁不被蚀刻的交替周期，来产生高纵横比的结构和平坦竖直的侧壁[13]。但我们改造了过程周期，以通过适宜地控制气流速度、电极功率、室压力和蚀刻周期持续时间而将被良好控制的纹波状起伏结构雕刻到这些侧壁中。周期和幅度分别在80nm-1.5μm和50-450nm的范围内的纹波可在被处理的区域(4英寸晶片尺寸)可重现地和均匀地获得。举例而言，形成周期为540nm且幅度为130nm的参数如下：气流，O_2/SF_6＝13/130sccm(在STP的立方厘米/分钟)用于蚀刻，并且C_4F_8＝110sccm用于沉积；气压，

94mTorr;蚀刻功率,600/12W用于感应耦合等离子体(ICP)/压板(P);沉积功率,600/0W用于ICP/P;蚀刻持续时间,7秒;沉积持续时间,5秒。在各沉积周期之间的蚀刻状况确定了这些纹波结构。因为SF_6/O_2混合物给出几乎各向同性的蚀刻,所以纹波的幅度和周期是相关联的。最小纹波结构具有80nm的周期和50nm的幅度;最大纹波结构具有1.5μm的周期和450nm的幅度。将蚀刻样本在100℃下浸入$NH_4OH/H_2O_2/H_2O$=1:1:5达10分钟,就去除了侧壁上的含氟聚合物。将样品浸渍于BOE溶液达2分钟,接着在去离子水中漂洗,去除了残留的SiO_2层。接着,利用溅镀的Cr/Au(3/47nm)的有角度的电子束蒸发(从晶片的法向轴线偏离15°),沿着所有纹波的低区域而不是其高区域形成物理蚀刻掩模,原因在于伸出的凹凸结构导致的遮蔽。蒸发角控制此遮蔽的程度。采用KOH溶液进行的各向异性湿式化学蚀刻(PSE-200,Transene Co.110℃)沿着<110>方向,在暴露出Si的所有区域中沿着侧壁开始去除Si。沿着{110}平面的KOH蚀刻速度比沿着{111}平面快数百倍之多,因为{110}平面较之{111}平面具有更低的原子密度和更高的悬空键密度[14]。因此,这种蚀刻从每个沟槽的一侧沿着平行于晶片表面的方向完全进展到相邻侧,从而松脱单个带的多层堆叠,该堆叠的厚度由有角度的蒸发和纹波结构(即,周期和幅度)确定。采用KI/I_2(aq)溶液(重量百分比为2.67/0.67%)去除Cr/Au并采用$HCl/H_2O_2/H_2O$=体积比1:1:1以及HF(aq)进一步清洁,完成了上述制造。超声处理将所述带松脱到溶液(例如CH_3OH)中,以准备将其用于铸型到其他衬底上。

[0123] 为便于将这些元件集成到器件中,重要的是保持它们的由光刻限定的对齐和位置。为此,我们在SiO_2线中引入中断(宽度=10-20μm),这样,即使在采用KOH完全底切蚀刻之后,每个带的端部也保持锚定于Si晶片。使用聚二甲基硅氧烷(PDMS)弹性元件的软印刷技术能够一次一层地从源晶片提起这些被锚定的Si带的有组织阵列[7,15],以转移到目标衬底。图17示意性图示了此一过程,其应用于柔性塑料衬底。将轻微的压力施加于PDMS上以能够与逐渐往下的Si带层接触并以最高转移效率(>～90%直至第三层)快速将其剥离已松脱的带阵列[15]。使用小压力使得能够进行保形接触同时避免使带断裂和/或扭曲。在该方法中,所述带通过范德华相互作用粘附到PDMS上,所述范德华相互作用沿着所述带的长度累积,在剥离时强度足以使带锚破裂。使得覆盖有Si带的印模接触一具有薄的、旋涂铸型粘接层(厚度=135nm,SU-8,Microchem)的衬底(厚度=0.2mm,PET,-Delta Technologies),并在70℃下加热达1分钟,就形成了在带和该衬底之间的强力粘合。通过剥离PDMS将带从PDMS上去除。将粘接(感光聚合物)层大量暴露于紫外光(λ=365nm,13mW/cm^2,10s),并进一步加热(120℃,5分钟),增强了在带和衬底之间的粘合。采用单一晶片源的带的转移印刷的多个周期能够产生在塑料或其他衬底上的大面积覆盖(相比于晶片),如图17所示。

[0124] 图26示出在如图25所示过程的不同阶段的Si(111)晶片(Montco,Inc,n型,1-10Ω cm)的扫描电子显微镜(SEM)照片。在对应于图26的g和h部分的中间处理状态下的厚度为100±10nm。因为延长暴露于KOH蚀刻剂的时间,完全松脱的带具有80±15nm的厚度。在给定的多层堆叠中以及在整个晶片上,厚度均匀性优良,除了最顶部的带比其他的带稍薄(在这种情况下,薄～10nm),因为在SiO_2掩模下方的ICPRIE中存在轻微底切。使用传统的接触模式光刻,所述带的长度和宽度均匀,有±120nm的偏差。针对此范围内的厚度、3-5μm的宽度以及最高达数厘米的长度,在KOH蚀刻期间所述带并不塌陷导致彼此接触,直至它们被完全底切。通过改变侧壁纹波的幅度和周期,可以实现在整个晶片上一致的在80和300nm之间的厚度。各带的厚度的偏差限定了能够可靠实现的最小厚度。这些偏差具有四个主要来源。前

两个为在SiO_2掩模的边缘上和在纹波侧壁上的粗糙度，此二者直接转换成厚度偏差。第三，在有角度的蒸发金属掩模中的颗粒结构能够导致类似效应。第四，ICPRIE蚀刻沟槽与Si{110}平面的轻微不对准以及在KOH蚀刻池中的不均一(即，局部温度和浓度)也能够导致偏差[16]。采用在此所述的过程，这些因素使得最小的能够可靠实现的带厚度被实际限制在～80nm。使用标准接触模式光刻工具，可以实现小到～1μm的宽度。在光刻(例如使用电子束或压印光刻)、蚀刻(例如温度控制的ICPRIE)和沉积(例如在金属抗蚀线中的更小的颗粒尺寸)中的组合改进，能够明显(即，两倍或更多倍)降低这些最小尺寸。其他与该过程相关的限制在于宽度与厚度的比率；大于～60的比率难于实现，这是由于与KOH蚀刻相关的一些方面，例如其各向异性的受限程度以及在完全底切之前所述带的机械塌陷和/或金属掩模线的剥离。

[0125] 图27示出在通过超声处理将带从晶片松脱之后，收集的从溶液沉积到载玻片上的这些带。这些带的宽度和长度的均匀性较高(偏差＝±120nm)。在此示出的～6×10^3个带(厚度＝250nm，宽度＝3μm，长度＝～1.5cm)从$1.5\times1.5cm^2$的面积中进行收集；此一样本代表质量为0.16mg的90m的带。实验数据表明，易于实现将该过程扩大到10层之多，同时晶片的直径最长达150mm。在这种情况下，单个处理过程(图25)将产生32mg的带。在这种情况下，重点要注意的是，大衬底需要一定程度上小心处理，以便实现针对金属掩模层的均匀沉积角度。针对典型蒸发系统，诸如在此报告的研究中所使用的，对于8、15和150mm的衬底直径，沉积角度的改变分别为0.72°、1.36°、和13.8°。通过增大源和衬底之间的距离，或采用其他易于执行的策略，能够明显降低这些改变。

[0126] 如图27所示在带中呈现的高度无序突出了获得适用于器件集成的良好限定的构造的需要。如图17所示的锚定方法代表一种可能性，其中，带的由光刻限定的对准和取向在制造和集成全过程中得到保持。图28示出Si芯片(总图案尺寸：$8\times8mm^2$)的图像，其所具有的带的对准的四层堆叠(宽度＝4μm，长度＝190μm，厚度＝～250nm)在其端部处锚定到晶片。图28a的光学显微照片示出1.5×10^5个带。扫描电子显微照片突出了锚和蚀刻平面(图28b-e)。KOH蚀刻前沿沿着<110>方向推进，但该前沿终止于{111}平面(即，最慢蚀刻平面)，如图28e所见，在此处，所述结构渐缩成三角形锚，其位于两个{111}平面相交的一点处。软印刷过程可使用图17的过程一次一层地将这些带转移到其他衬底上。图29a示出从顶层转移到PDMS衬底上的Si带阵列(厚度＝235nm，宽度＝4.8μm，长度＝190μm)的实例。由于前文提到的因素产生的厚度偏差显示为在图29a的光学图像中的颜色变化、图29b中的渐变厚度曲线，以及当带非常薄(例如，小于40nm)时的不连续性。原子力显微镜(AFM)图像揭示了在带表面上的完全分离的台阶(或阶梯，高度最高达10nm)。不包括这些台阶的区域($1\times1\mu m^2$)的表面粗糙度为～0.6nm，与之形成对照的是，包括这些台阶的相近尺寸的区域中表面粗糙度为～3nm。在由KOH蚀刻的Si(111)晶片的表面上已经观察到类似结构[15]。此类结构导致在光学图像中的一些色彩变化。0.6nm的粗糙度值在一定程度上大于晶片的顶部抛光表面的粗糙度值(0.12nm)、由负载硅的绝缘体(SOI)衬底产生的结构的表面粗糙度值(0.18nm)、或由Si晶片的上表面产生的带的表面粗糙度值(0.5nm)。粗糙度源于确定厚度偏差的相同效应，如前所述。沿着典型的带的厚度偏差为～±15nm。在给定阵列中带的平均厚度的偏差为～±3nm。图29c显示使用单个经处理的Si晶片，通过四个印刷周期在涂布有ITO的PET衬底上形成的带的阵列的四个区域。在已印刷的带上的产率为，对于第一层为98％，对于第二层

为94％，对于第三层为88％，对于第四层为74％。第四层的低产率主要由于从晶片到PDMS的转移不完全。从上层的不完全转移在晶片上留下部分分离的带，其可能干扰接下来的印刷周期。

[0127] 为了证明在电子器件中已印刷的带阵列的一种可能用途，我们制造了场效应晶体管(图30a、b)。衬底为聚酰亚胺(PI，厚度＝25μm)栅电极为Cr/Au(厚度＝3/40nm)，栅极介电材料由一层SiO_2(厚度＝170nm)以及通过图17的过程涂布的SU-8粘合剂组成。根据AFM所测量的，被转移的Si带阵列沉入SU-8中约35nm，在Si带的底表面和SiO_2栅极介电材料之间留下剩余的100nm的SU-8。由光刻(100μm长度×100μm宽度，跨越10个Si带)以及用Ti蚀刻剂(TFTN，Transene Co.)进行湿式蚀刻所限定的厚电极板(Ti，250nm)形成用于源极和漏极的Schottky势垒接触点。这些底部栅极器件显示了n型增强型模式栅极调节(图30c、d)，其与使用类似处理条件在SOI晶片上形成的类似器件一致。该晶体管展现的导通/截止比率为～3×10^4。线性特征的、每个带的迁移率(占空因子35％)第一层对应于190$cm^2V^{-1}s^{-1}$，第二层对应于130$cm^2V^{-1}s^{-1}$。这些数值一定程度上低于我们使用SOI晶片以及其他类似器件处理步骤所获得的数值[7,11]。我们推测，在此使用的带的较大粗糙度是这种差异的部分原因。另外，众所周知的是，针对Si-SiO_2界面，在(111)平面上的界面电荷密度比在(100)平面上的大几乎十倍；在氢气中进行退火能够明显降低该数值。[17]

[0128] 概括而言，该实施例说明了一种用于从体硅(111)晶片制造大量单晶硅微/纳米带的简单制造策略。在通过该方法制造的多层堆叠中的每一层可单独转移印刷到其他衬底上，以便集成到诸如晶体管的器件中。过程的简化、形成用于器件的有组织的阵列的能力、材料的高质量，以及用于除了电子电路之外的诸如传感器、光探测器以及可能的光电元件等其他器件的潜在可能，表明这种类型的方法对于硅带的潜在价值。

[0129] 图31-34中提供了：根据不同的STS-ICPRIE条件的各种侧壁和具有不同厚度的硅纳米带的显微照片，遮蔽掩模的程度相对于电子束蒸发的角度，以及七层Si带和来自EDAX能量色散谱(EDS)研究的光谱。

[0130] 参考文献

[0131] (1)(a)Wagner,R.S.;Ellis,W.C.Appl.Phys.Lett.1964,4,89.(b)Holmes,J.D.;Johnston,K.P.;Doty,R.C.;Korgel,B.A.Science 2000,287,1471.(c)Yu,J.-Y.;Chung,S.-W.;Heath,J.R.J.Phys.Chem.B 2000,104,11864.(d)Wu,Y.;Yang,P.J.Am.Chem.Soc.2001,123,3165.(e)Wu,Y.;Fan,R.;Yang,P.Nano Lett.2002,2,83.(f)Shi,W.-S.;Peng,H.-Y.;Zheng,Y.-F.;Wang,N.;Shang,N.-G.;Pan,Z.-W.;Lee,C.-S.;Lee,S.-T.AdV.Mater.2000,12,1343.(g)Wu,Y.;Xiang,J.;Yang,C.;Lu,W.;Lieber,C.M.Nature 2004,430,61.(h)Lu,W.;Xiang,J.;Timko,B.P.;Wu,Y.;Lieber,C.M.Proc.Natl.Acad.Sci.U.S.A.2005,102,10046.(i)Xiang,J.;Lu,W.;Hu,Y.;Wu,Y.;Yan,H.;Lieber,C.M.Nature 2006,441,489.

[0132] (2)(a)Shi,W.;Peng H.;Wang,N.;Li,C.P.;Xu,L.;Lee,C.S.;Kalish,R.;Lee,S.-T.J.Am.Chem.Soc.2001,123,11095.(b)Zhang,R.-Q.;Lifshitz,Y.;Lee,S.-T.AdV.Mater.2003,15,635.(c)Shan,Y.;Kalkan,A.K.;Peng,C.-Y.;Fonash,S.J.Nano Lett.2004,4,2085.

[0133] (3)(a)Pan,Z.W.;Dai,Z.R.;Wang,Z.L.Science 2001,291,1947.(b)Li,Y.B.;

Bando,Y.;Sato,T.;Kurashima,K.Appl.Phys.Lett.2002,81,144.(c)Arnold,M.S.;Avouris,P.;Pan,Z.W.;Wang,Z.L.J Phys.Chem.B 2003,107,659.(d)Dai,Z.R.;Pan,Z.W.;Wang,Z.L.J.Phys.Chem.B 2002,106,902.(e)Wen,X.;Wang,S.;Ding,Y.;Wang,Z.L.;Yang,S.J.Phys.Chem.B 2005,109,215.(f)Kong,X.Y.;Wang,Z.L.Solid State Commun.2003,128,1.

[0134] (4)(a)Kar,S.;Satpati,B.;Satyam,P.V.;Chaudhuri,S.J.Phys.Chem.B 2005,109,19134.(b)Kar,S.;Chaudhuri,S.J Phys.Chem.B 2006,110,4542.(c)Kar,S.;Chaudhuri,S.J.Phys.Chem.B 2005,109,3298.(d)Li,Y.;Zou,K.;Shan,Y.Y.;Zapien,J.A.;Lee,S.-T.J.Phys.Chem.B 2006,110,6759.(e)Zhang,Z.;Wang,J.;Yuan,H.;Gao,Y.;Liu,D.;Song,L.;Xiang,Y.;Zhao,X.;Liu,L.;Luo,S.;Dou,X.;Mou,S.;Zhou,W.;Xie,S.J Phys.Chem.B 2005,109,18352.(f)Wang,Z.Q.;Gong,J.F.;Duan,J.H.;Huang,H.B.;Yang,S.G.;Zhao,X.N.;Zhang,R.;Du,Y.W.Appl.Phys.Lett.2006,89,033102.

[0135] (5)Bae,S.Y.;Seo,H.W.;Park,J.;Yang,H.;Park,J.C.;Lee,S.Y.Appl.Phys.Lett.2002,81,126.

[0136] (6)(a)Ma,C.;Ding,Y.;Moore,D.;Wang,X.;Wang,Z.L.J.Am.Chem.Soc.2004,126,708.(b)Ding,Y.;Ma,C.;Wang,Z.L.AdV.Mater.2004,16,1740.(c)Joo,J.;Son,J.S.;Kwon,S.G.;Yu,J.H.;Hyeon,T.J.Am.Chem.Soc.2006,128,5632.(d)Zhang,X.T.;Ip,K.M.;Liu,Z.;Leung,Y.P.;Li,Q.;Hark,S.K.Appl.Phys.Lett.2004,84,2641.(e)Xie,Q.;Liu,Z.;Shao,M.;Kong,L.;Yu,W.;Qian,Y.J.Cryst.Growth2003,252,570.

[0137] (7)(a)Menard,E.;Lee,K.J.;Khang,D.-Y.;Nuzzo,R.G.;Rogers,J.A.Appl.Phys.Lett.2004,84,5398.(b)Menard,E.;Nuzzo,R.G.;Rogers,J.A.Appl.Phys.Lett.2005,86,093507.(c)Zhu,Z.-T.;Menard,E.;Hurley,K.;Nuzzo,R.G.;Rogers,J.A.Appl.Phys.Lett.2005,86,133507.(d)Khang,D.-Y.;Jiang,H.;Huang,Y.;Rogers,J.A.Science 2006,311,208.(e)Sun,Y.;Kumar,V.;Adesida,I.;Rogers,J.A.AdV.Mater.2006,in press.

[0138] (8)(a)Zhang,P.;Tevaarwerk,E.;Park,B.-N.;Savage,D.E.;Celler,G.K.;Knezevic,I.;Evans,P.G.;Eriksson,M.A.;Lagally,M.G.Nature 2006,439,703.(b)Roberts,M.M.;Klein,L.J.;Savage,D.E.;Slinker,K.A.;Friesen,M.;Celler,G.;Eriksson,M.A.;Lagally,M.G.Nat.Mater.2006,5,388.

[0139] (9)(a)Huang,M.;Boone,C.;Roberts,M.;Savage,D.E.;Lagally,M.G.;Shaji,N.;Qin,H.;Blick,R.;Nairn,J.A.;Liu,F.AdV.Mater.2005,17,2860.(b)Zhang,L.;Ruh,E.;Grützmacher,D.;Dong,L.;Bell,D.J.;Nelson,B.J.;Schönenberger,C.Nano Lett.2006,6,1311.

[0140] (10)(a)Desai,T.A.;Hansford,D.J.;Kulinsky,L.;Nashat,A.H.;Rasi,G.;Tu,J.;Wang,Y.;Zhang,M.;Ferrari,M.Biomed.MicrodeVices 1999,2,11.(b)Bhushan,B.;Kasai,T.;Nguyen,C.V.;Meyyappan,M.Microsyst.Technol.2004,10,633.

[0141] (11)Mack,S.;Meitl,M.A.;Baca,A.J.;Zhu,Z.-T.;Rogers,J.A.Appl.Phys.Lett.2006,88,213101.

[0142] (12)(a)Létant,S.E.;Hart,B.R.;Van Buuren,A.W.;Terminello,

L.J.Nat.Mater.2003,2,391.(b)Storm,A.J.;Chen,J.H.;Ling,X.S.;Zandbergen,H.W.;Dekker,C.Nat.Mater.2003,2,537.

[0143] (13)(a)Gmbh,R.B.U.S.Patent 4855017,U.S.Patent 4784720,German Patent4241045C1,1994.(b)Ayo′n,A.A.;Braff,R.;Lin,C.C.;Sawin,H.H.;Schmidt,M.A.J.Electrochem.Soc.1999,146,339.(c)Chen,K.-S.;Ayo′n,A.A.J.Microelectromech.Syst.2002,11,264.

[0144] (14)(a)Madou,M.Fundamentals of Microfabrication;CRC Press LLC:Boca Raton,FL,1997;pp 177-187.(b)Chou,B.C.S.;Chen C.-N.;Shie,J.-S.Sens.Actuators,A1999,75,271.(c)Lee,S.;Park,S.;Cho D.J.Microelectromech.Syst.1999,8,409.(d)Ensell,G.J.Micromech.Microeng.1995,5,1.(e)Kandall,D.L.Annu.ReV.Mater.Sci.1979,9,373.

[0145] (15)Meitl,M.A.;Zhu,Z.-T.;Kumar,V.;Lee,K.J.;Feng,X.;Huang,Y.Y.;Adesida,I.;Nuzzo,R.G.;Rogers,J.A.Nat.Mater.2006,5,33.

[0146] (16)Carcia,S.P.;Bao,H.;Hines,M.A.Phys.ReV.Lett.2004,93,166102.

[0147] (17)(a)Streetman,B.G.;Banerjee,S.Solid State Electronic Devices,5th ed.;Prentice Hall:Upper Saddle River,NJ,2000;pp 274-275.(b)Razouk,R.R.;Deal,B.E.J.Electrochem.Soc.1979,126,1573.(c)Kato,Y.;Takao,H.;Sawada,K.;Ishida,M.Jpn.J.Appl.Phys.2004,43,6848.

[0148] 美国专利申请No.11/115,954、11/145,574、11/145,542、60/863,248、11/465,317、11/423,287、11/423,192、和11/421,654由此通过引用并入本申请，该并入达到与本说明书不矛盾的程度。

[0149] 在本申请中的所有参考文献，例如包括公布或授权的专利或等价形式的专利文献；专利申请出版物；未出版的专利申请；以及非专利文献文件或其他来源的资料；均由此通过引用以其整体并入本文中，如同单独通过引用并入一样，达到每份参考文献与本申请中的公开内容至少部分地不矛盾的程度(例如，一个部分地不一致的参考文献通过将该参考文献的局部不一致的部分排除在外而通过引用并入)。

[0150] 在此使用了各种时态下的术语“包括”，它们应被理解成具体说明所阐述的特征、整体、步骤或所涉及构件的存在，但并不排除一个或多个其他特征、整体、步骤、构件或其组合的存在或添加。本发明的单独实施方案也意在涵盖，其中，术语“包括”可选地替换成语法上类似的术语，例如“包含”或“大致包含/基本包含”，从而描述其他的不一定有相同范围的实施方案。

[0151] 本发明已经参照各种具体的和优选的实施方案和技术进行描述。然而，应该理解的是，在保持处于本发明的精神和范围内的同时，可以进行许多改变和变换。对于本领域普通技术人员明显的是，与在此具体描述不同的组成、方法、器件、器件元件、材料、过程和技术可应用于如在此所宽泛公开的本发明的实践中而并不需要依靠过多的实验。在此所公开的组成、方法、器件、器件元件、材料、过程和技术的所有本领域已知的功能性等价替换拟被本发明所涵盖。当公开某一范围时，均意在公开所有子范围和单独数值，就如同其被单独阐述。本发明并不被所公开的实施方案所限制，这些实施方案包括在附图中示出或者在说明书中示例的任何内容，其作为示例或图示而给出，而并非限制性的。本发明的范围应该仅仅

被权利要求书所限定。

[0152] 表1:选择性蚀刻材料系统的实例

[0153]

功能性材料	*牺牲层*	*底切试剂*	*应用*
GaAs, InP, $Al_xGa_{1-x}As$ (x <约 50%)、具有<约 50%的 AlAs 成分的 InGaAlAsP、C、Si、Ge、SiC、SiGe、Au、Ag、Cu、Pd、Pt, 上述材料分类成的多个层(晶体或无定形;关于无定形化合物半导体并不确定)	其中 x 大于或等于约 0.7 的 $Al_xGa_{1-x}As$、AlSb、GaSb、 SiO_2	氢氟酸、 氢氟酸蒸汽、缓冲氧化物蚀刻	LED、光电器件、电子器件(晶体管、二极管等等)、光电二极管、波导等等
同上	有机聚合物	在 300-500 ℃下在空气/氧气中燃烧	同上
GaAs	$GaAs_{1-x}N_y$ (y < x < 1),注入氮气	NaOH 水溶液(1 N)	同上
InGaAlN	Si	温热强碱水溶液(TMAH, KOH, 等等)	同上
$In_{1-y}Ga_yAs_xP_{1-x}$ (x, y < 约 0.05)	InGaAs	HF:H_2O_2: H_2O	同上
$Al_xGa_{1-x}As$ (x > about 0.9)	GaAs	柠檬酸: H_2O_2: H_2O	同上

[0154] 表2:可用于制造LED的功能层组成(见图3E)

[0155]

1	GaAs:C	5 nm	1019	P 型接触
2	Al0.45Ga0.55As:C	800 nm	1018	P 型分布器
3	Al0.5In0.5P:Mg	200 nm	1018	覆层
4	Al0.25Ga0.25In0.5P	6 nm	未掺杂	势垒
5	Ga0.44In0.56P	6 nm	未掺杂	Q 阱
6	Al0.25Ga0.25In0.5P	6 nm	未掺杂	势垒
7	Ga0.44In0.56P	6 nm	未掺杂	Q 阱
8	Al0.25Ga0.25In0.5P	6 nm	未掺杂	势垒
9	Ga0.44In0.56P	6 nm	未掺杂	Q 阱
10	Al0.25Ga0.25In0.5P	6 nm	未掺杂	势垒
11	Ga0.44In0.56P	6 nm	未掺杂	Q 阱
12	Al0.25Ga0.25In0.5P	6 nm	未掺杂	势垒
13	Al0.5In0.5P	200 nm	1018	覆层
14	Al0.45Ga0.55As:Te	800 nm	1018	N 型分布器
15	GaAs:Te	500 nm	1019	N 型接触

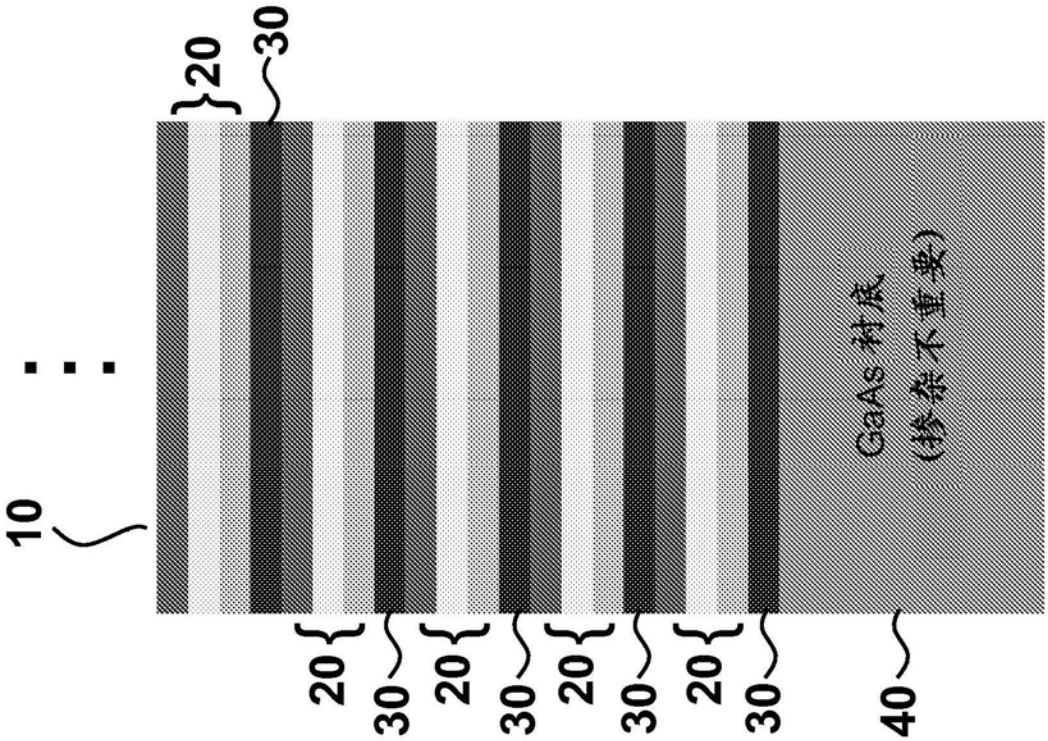


图1A


GaAs, p型掺杂，根据实际所需有导电性
GaAs, 低掺杂
GaAs, n型掺杂，根据实际所需有导电性
$Al_{0.9}Ga_{0.1}As$, 掺杂不重要，绝缘性
21
22
23
30

图1B

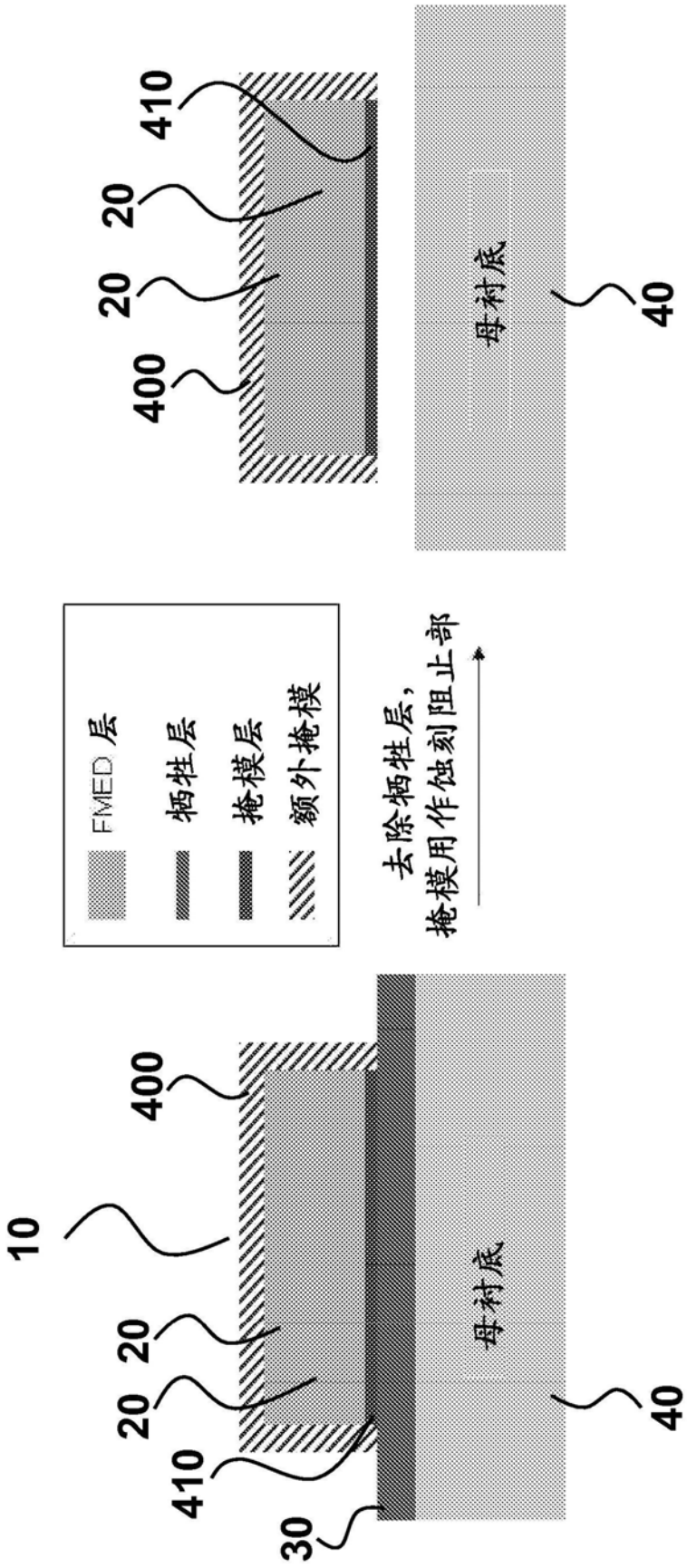

10
400
20
20
410
30
母衬底
40
FMED 层
牺牲层
掩模层
额外掩模
去除牺牲层，
掩模用作蚀刻阻止部
410
20
20
400
母衬底
40

图2A

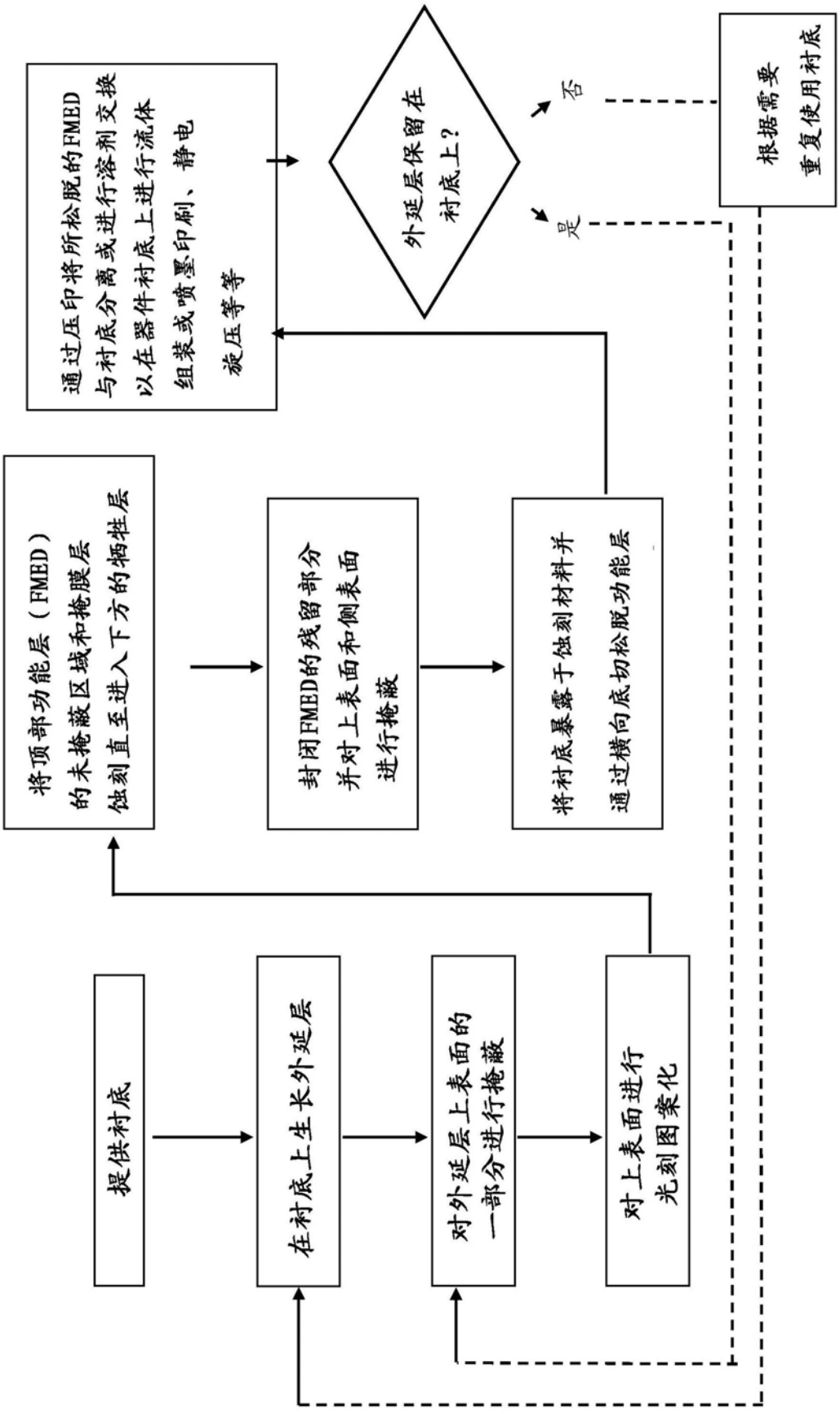

提供衬底
在衬底上生长外延层
对外延层上表面的一部分进行掩蔽
对上表面进行光刻图案化
将顶部功能层（FMED）的未掩蔽区域和掩膜层蚀刻直至进入下方的牺牲层
封闭FMED的残留部分并对上表面和侧表面进行掩蔽
将衬底暴露于蚀刻材料并通过横向底切松脱功能层
通过压印将所松脱的FMED与衬底分离或进行溶剂交换以在器件衬底上进行流体组装或喷墨印刷、静电旋压等等
外延层保留在衬底上？
否
是
根据需要重复使用衬底

图2B

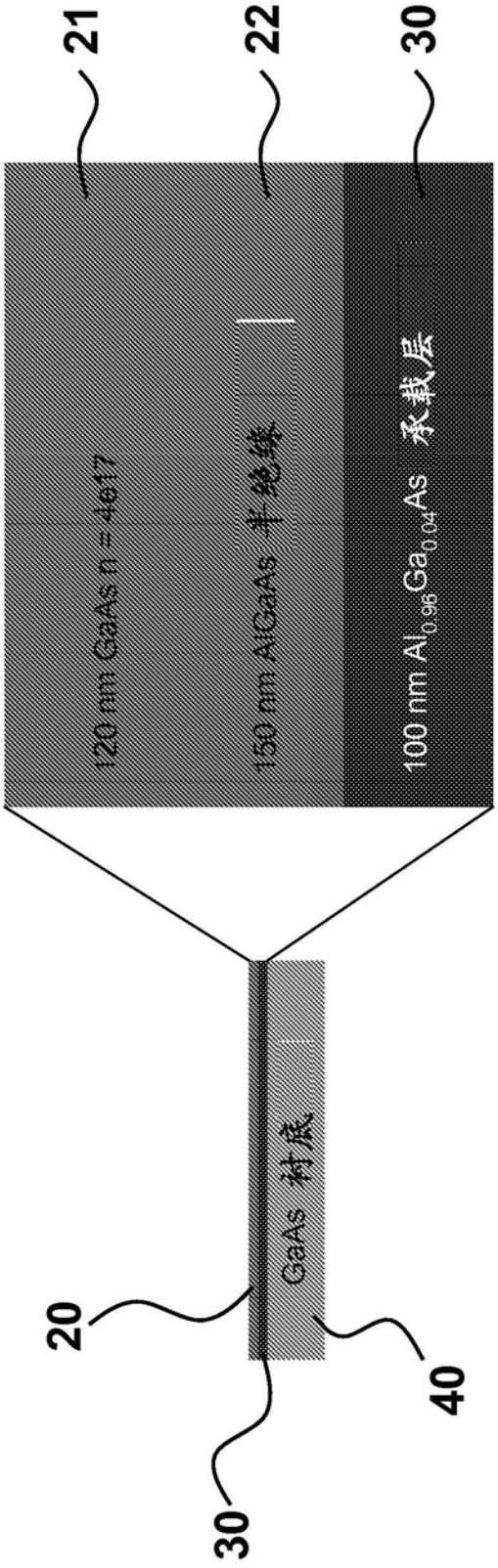

21
22
30
120 nm GaAs n = 4e17
150 nm AlGaAs 半绝缘
100 nm $Al_{0.96}Ga_{0.04}As$ 承载层
GaAs 衬底
20
30
40

图2C

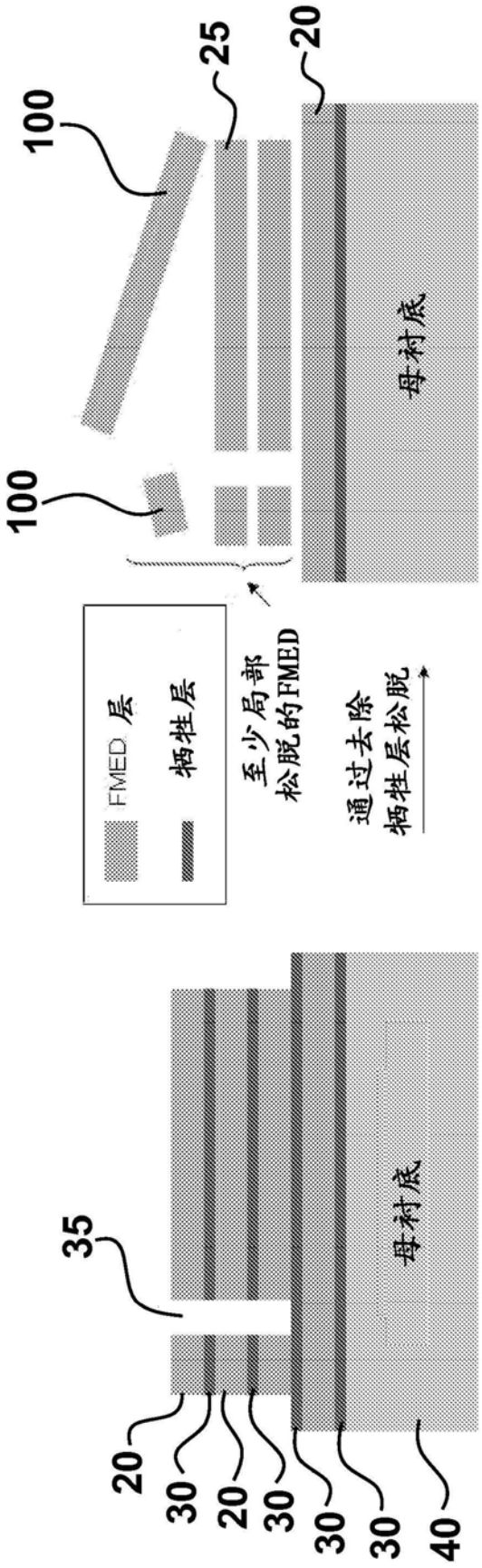

100
25
20
100
母衬底
FMED 层
牺牲层
至少局部
松脱的FMED
通过去除
牺牲层松脱
35
20
30
20
30
30
30
40
母衬底

图3A

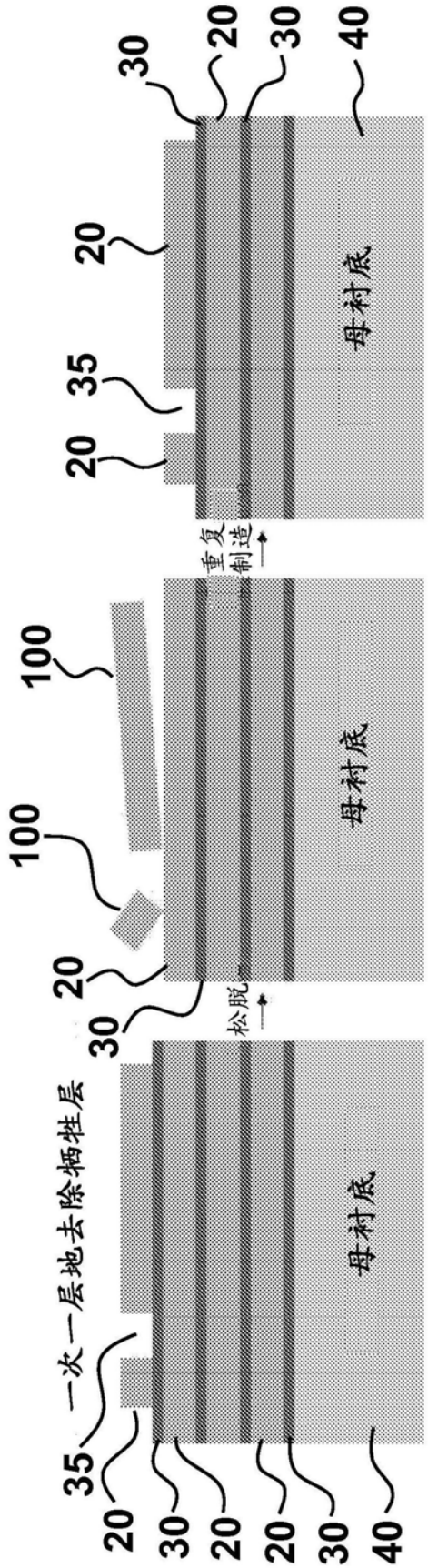

一次一层地去除牺牲层
松脱
重复制造
母衬底
母衬底
母衬底
35
20
30
20
20
30
40
100
100
20
30
20
35
20
30
20
30
40

图3B

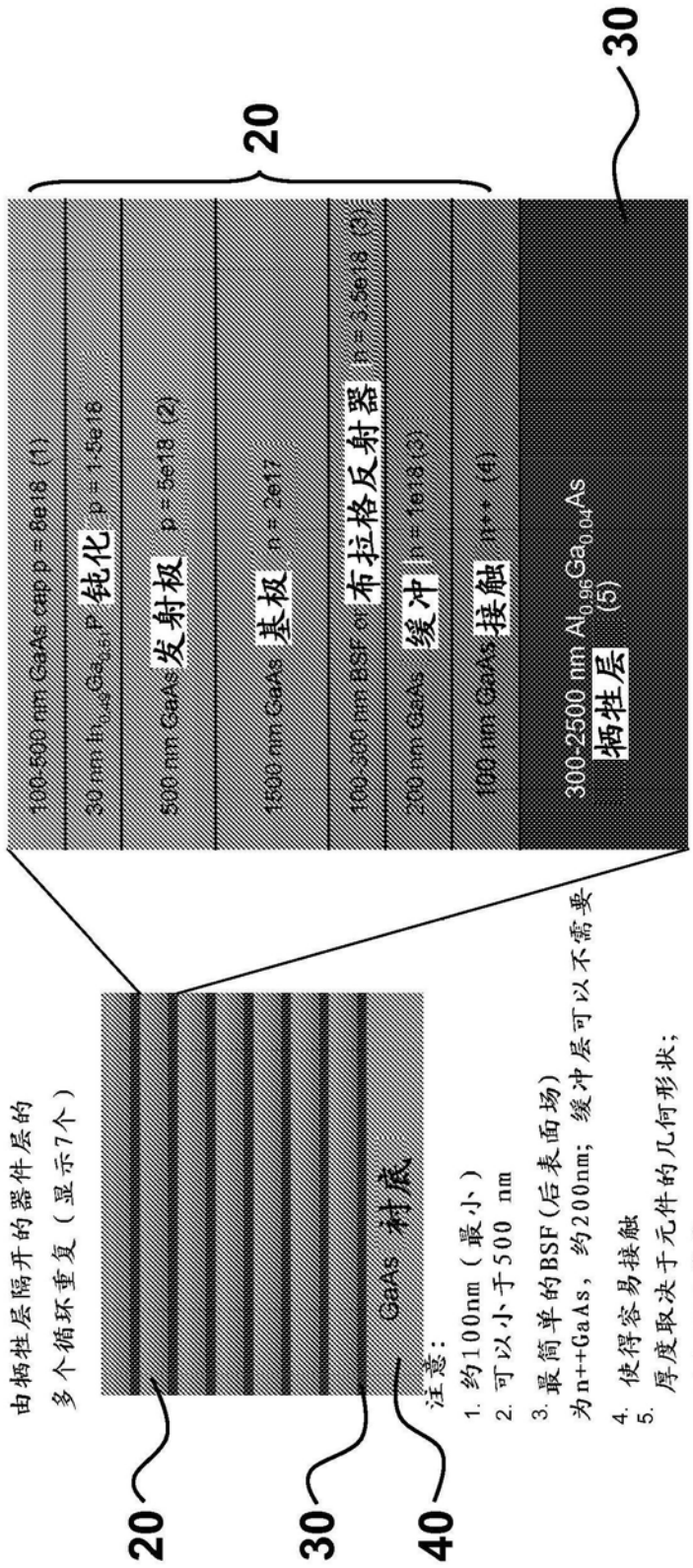

由栖息层隔开的器件层的
多个循环重复（显示7个）
20
30
40
GaAs 衬底
注意：
1. 约100nm（最小）
2. 可以小于500 nm
3. 最简单的BSF（后表面场）
为n++GaAs，约200nm；缓冲层可以不需要
4. 使得容易接触
5. 厚度取决于元件的几何形状；
避免下陷等等
100-500 nm GaAs cap p = 8e18 (1)
30 nm $In_{0.49}Ga_{0.51}P$ 钝化 p = 1.5e18
500 nm GaAs 发射极 p = 5e18 (2)
1500 nm GaAs 基极 n = 2e17
100-300 nm BSF or 布拉格反射器 n = 3.5e18 (3)
200 nm GaAs 缓冲 n = 1e18 (3)
100 nm GaAs 接触 n++ (4)
300-2500 nm $Al_{0.96}Ga_{0.04}As$
栖息层 (5)
20
30

图3C

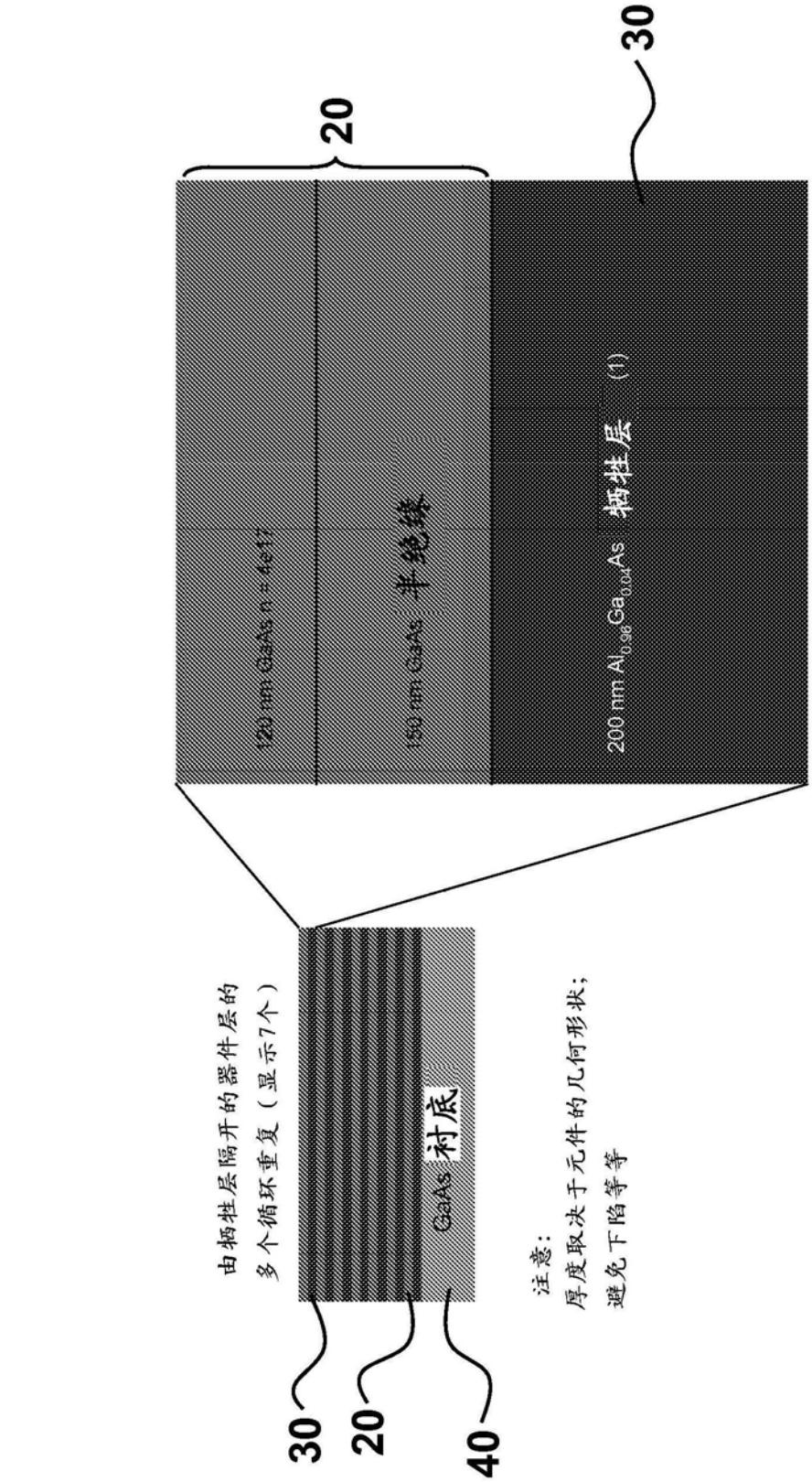

30
20
120 nm GaAs n = 4e17
150 nm GaAs 半绝缘
200 nm $Al_{0.96}Ga_{0.04}As$ 掺杂层 (1)
由掺杂层隔开的器件层的
多个循环重复（显示7个）
GaAs衬底
30
20
40
注意：
厚度取决于元件的几何形状；
避免下陷等等

图3D

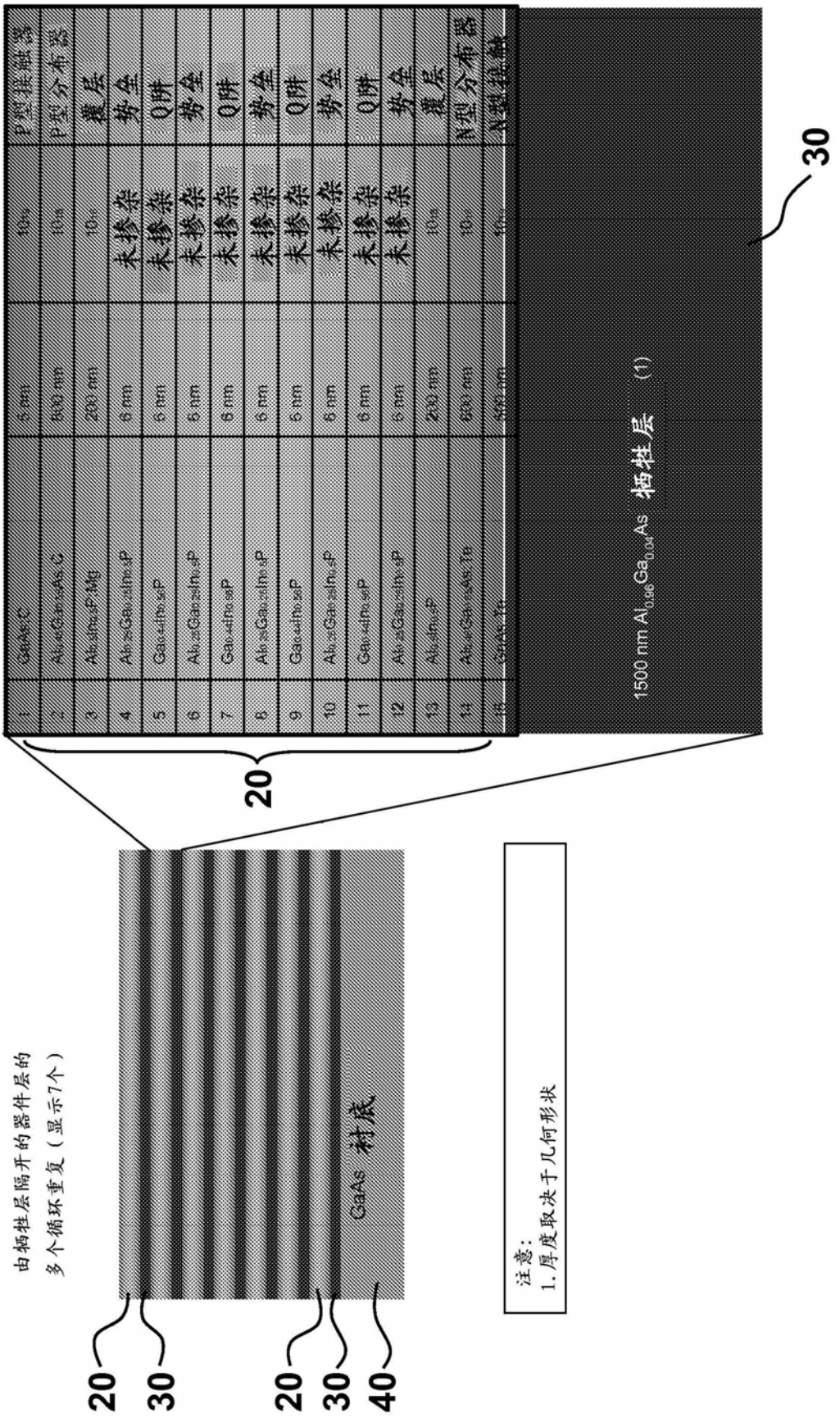

P型接触层
P型分布器
覆层
势垒
Q阱
势垒
Q阱
势垒
Q阱
势垒
Q阱
势垒
覆层
N型分布器
N型接触
未掺杂
20
30
1500 nm Al0.96Ga0.04As 衬垫层 (1)
由衬垫层隔开的器件层的
多个循环重复（显示7个）
GaAs 衬底
注意：
1.厚度取决于几何形状

图3E

过程流程 1： “一次多层”地松脱用于光电器件的 FMED，同时可选地重复使用衬底

也见图 3A

在此示出外延生长半导体。也用于无定形或多晶材料，类似于图 12 所述内容（过程流程 6）

1、获得 GaAs 衬底

2、在 GaAs 衬底上通过 MOCVD、MBE 等等（类似于图 3D 和 3E 的分别针对晶体管、LED 的过程）生长如图 3C 所述的外延层。根据需要在生长之前对衬底预处理（可能需要 CMP，但并不一定。可能需要在功能层和牺牲层之前在衬底附近生长～200nm 的 GaAs 缓冲层）。

3、通过等离子体增强型化学气相沉积（PECVD）和用于图案化的某种光刻形式来对顶部外延层的表面的一部分用 SiO_2 进行掩蔽。

4、使用 Cl/Ar/H 等离子体从表面到进入任意 $Al_{0.96}Ga_{0.04}As$ 牺牲层（例如，进入最靠近衬底的牺牲层）内的某一距离对外延层的未掩蔽区域进行蚀刻。所述牺牲层不应为距离衬底最远的一个（在这种情况下，松脱如图 5 中那样“一次一个”地发生（过程流程 2））。

5、将衬底暴露于浓 HF，以至少部分地去除所暴露的牺牲层，并通过横向底切松脱牺牲层上方的功能外延层（HF 侵蚀功能外延层比其侵蚀牺牲层更为缓慢（小于 1/10 蚀刻速度））。

6、通过压印将所松脱的 FMED 与衬底分离，或者进行用于流体组装或喷墨印刷、静电疲压等等的溶剂交换。

7、使用 HF 去除牺牲层的任何残留部分：清洗/擦除掉上方的功能外延层的任何残留部分（锚定结构等等）。初始处于紧邻第一牺牲层下方的功能层现在被暴露出并且处于衬底表面上。

8、重复步骤 3-7，一次一组地松脱多组功能层（每组被牺牲层分隔），直至没有牺牲层保留在衬底上。

9、（可选的，用于衬底的重复使用）根据需要重复步骤 2-8。

图4

过程流程 2： “一次一层”地松脱用于光电器件的 FMED，同时可选地重复使用衬底

也见图 3B

在此示出外延生长半导体。也用于无定形或多晶材料，类似于过程流程 6 所述内容

1、获得 GaAs 衬底

2、在 GaAs 衬底上通过 MOCVD、MBE 等等生长由图 3C 所述的外延层（类似于图 3D 和 3E 的分别针对晶体管、LED 的过程）。根据需要在生长之前对衬底进行预处理（CMP 可能需要，但并不一定。可能需要在功能层和牺牲层之前在衬底附近生长～200nm 的 GaAs 缓冲层）。

3、通过等离子体增强型化学气相沉积（PECVD）和用于图案化的某种光刻形式来对顶部外延层的表面的一部分用～500nm 的 SiO2 进行掩蔽。

4、使用 Cl/Ar/H 等离子体从表面到进入第一 A10.96Ga0.04As 牺牲层的某一距离处对外延层的未掩蔽区域进行蚀刻。

5、将衬底暴露于浓 HF，以至少部分地去除所暴露的牺牲层（一个），并通过横向底切松脱牺牲层（功能层）上方的外延层（HF 侵蚀功能外延层比其侵蚀牺牲层更为缓慢（小于 1/10 蚀刻速度））。

6、通过压印将所松脱的 FMED 与衬底分离或者进行用于流体组装或喷墨印刷、静电夹压等等的溶剂交换，。

7、使用 HF 去除牺牲层的任何残留部分：清洗/擦除掉上方的功能外延层的任何残留部分（锚定结构等等）。初始处于紧邻第一牺牲层下方的功能层现在被暴露出并且处于衬底表面上。

8、重复步骤 3-7，一次一层地松脱逐个功能层（每层被牺牲层分隔），直至没有牺牲层保留在衬底上。

9、（可选的，用于衬底的重复使用）根据需要重复步骤 2-8

图5

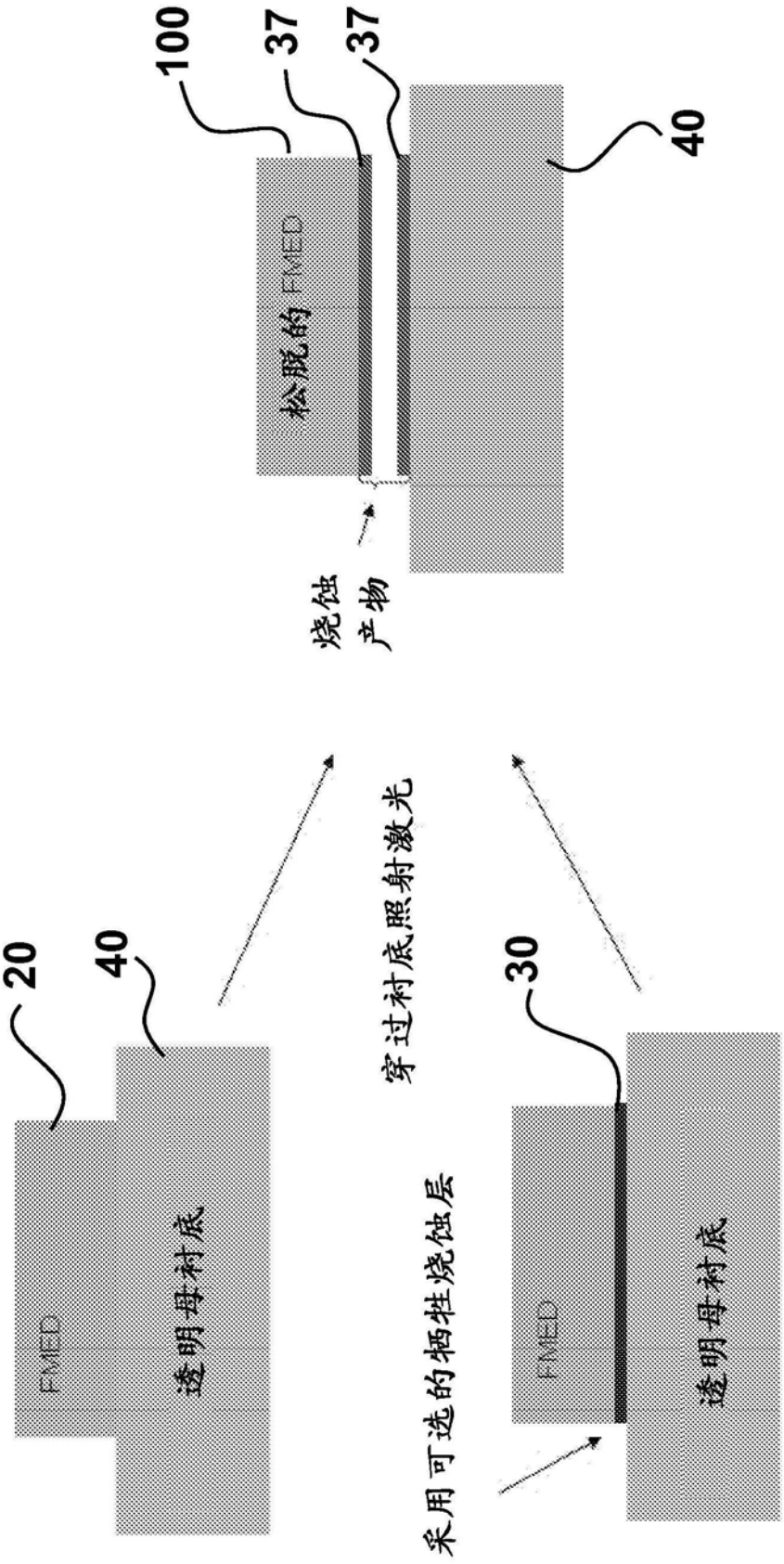

100
37
37
40
松脱的 FMED
烧蚀产物
穿过衬底照射激光
采用可选的牺牲烧蚀层
20
40
FMED
透明母衬底
30
FMED
透明母衬底

图6A

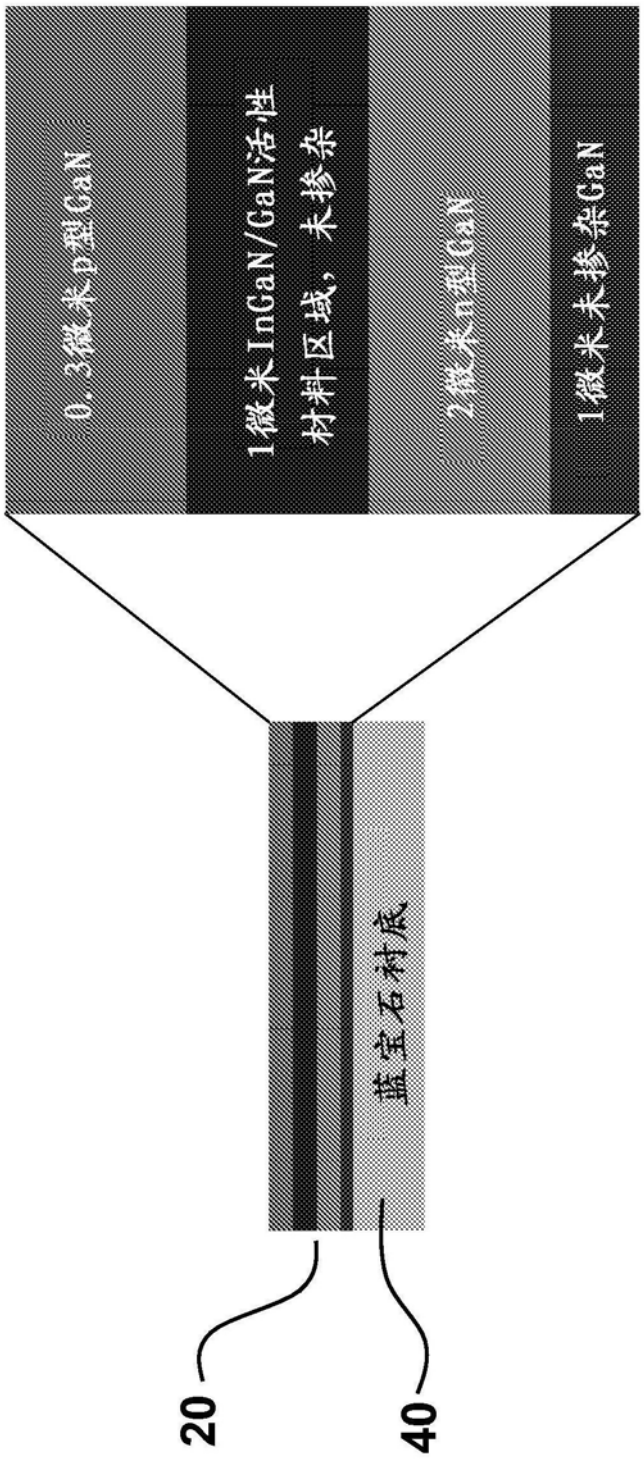

0.3微米p型GaN
1微米InGaN/GaN活性材料区域，未掺杂
2微米n型GaN
1微米未掺杂GaN
蓝宝石衬底
20
40

图6B

过程流程 4：通过激光烧蚀对用于 LED 的 FMED 进行松脱

也见图 6（来自：Tan,B.S.，Yuan，S. &Kang，X.J. Performance enhancement of InGaN light-emitting diodes....）

1、获得类似于图 6B 所示的蓝宝石衬底上的 GaN/InGaN

2、通过等离子体增强型化学气相沉积（PECVD）和用于图案化的某种光刻形式用 SiO_2 对顶部外延层的表面的一部分进行掩蔽。

3、使用 $BCl_3/Cl/Ar/H$ 从表面穿过多个外延层对外延层的未掩蔽区域进行蚀刻

4、将外延层的某一部分经过蓝宝石衬底而暴露于 KrF 激光（248nm），以将该蓝宝石附近的 GaN 分解成 Ga（金属）和 N_2（气体）。

5、将衬底加热到 30° C，从而（结合步骤 4）从衬底松脱所述外延层的至少一部分。

6、通过压印将所松脱的 FMED 与衬底分离或进行用于流体组装或喷墨印刷、静电旋压等等的溶剂交换。

图6C

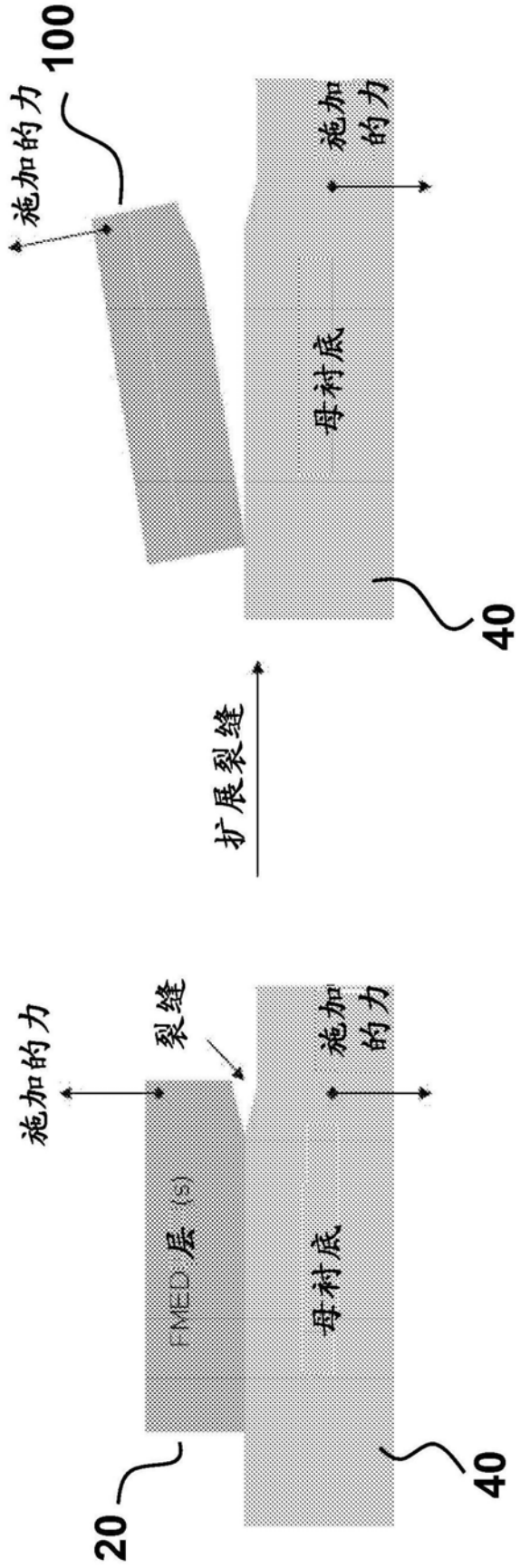


图7A

过程流程 7：通过扩展由化学方式引入的裂缝而松脱 FMED

也见图 7A

1、 获得硅衬底

2、 通过 PECVD 将 SiO_2 沉积在衬底上

3、 以缓冲氧化物蚀刻（BOE）法进行光刻以及湿式蚀刻，以产生在 SiO_2 特征部中的倾斜侧壁（见图 11）。

4、 进行光刻和蒸发（剥脱），以在 SiO_2 特征部之间的整个缝隙中沉积约 100nm 的金，并覆盖所述缝隙，如图 11 所示

5、使用 BOE 和 HF 去除残余的 SiO_2，以用化学方式引入裂缝

6、将机械力施加到金膜上（利用印模，镊子等等），以将金膜与衬底分离

图7B

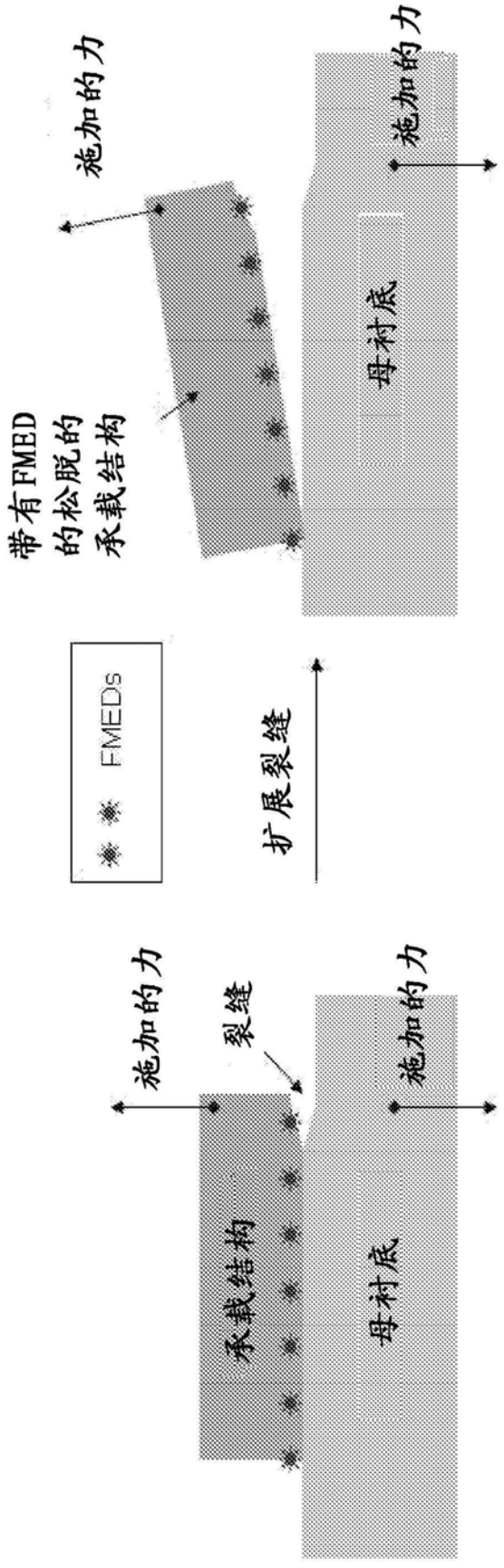

施加的力
施加的力
带有FMED的松脱的承载结构
母衬底
FMEDs
扩展裂缝
施加的力
裂缝
施加的力
承载结构
母衬底

图8A

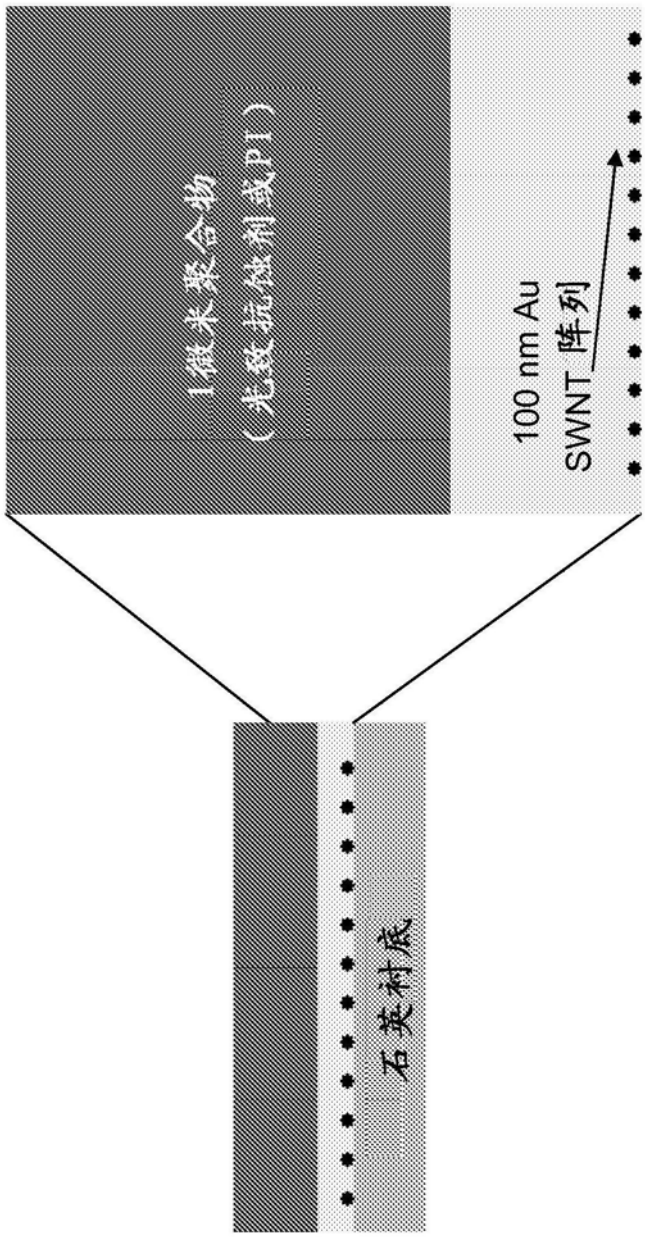


图8B

过程流程 5： 使用承载膜以及机械地引入的裂缝的分离，对 FMED（SWNT 阵列）进行松脱

见图 7A 和 8A

1、通过经由 CVD 在石英上生长 SWNT 而获得带有如图 8B 所述结构的衬底，然后蒸发 Au，然后以聚合物旋涂。聚合物和金构成用于 FMED（SWNT）的承载膜。

2、使用刀片穿过聚合物和金膜至石英衬底上切割一条线，从而引入裂缝

3、通过用 PDMS 印模、镊子等等施加机械力来分离承载膜和 SWNT 阵列

图8C

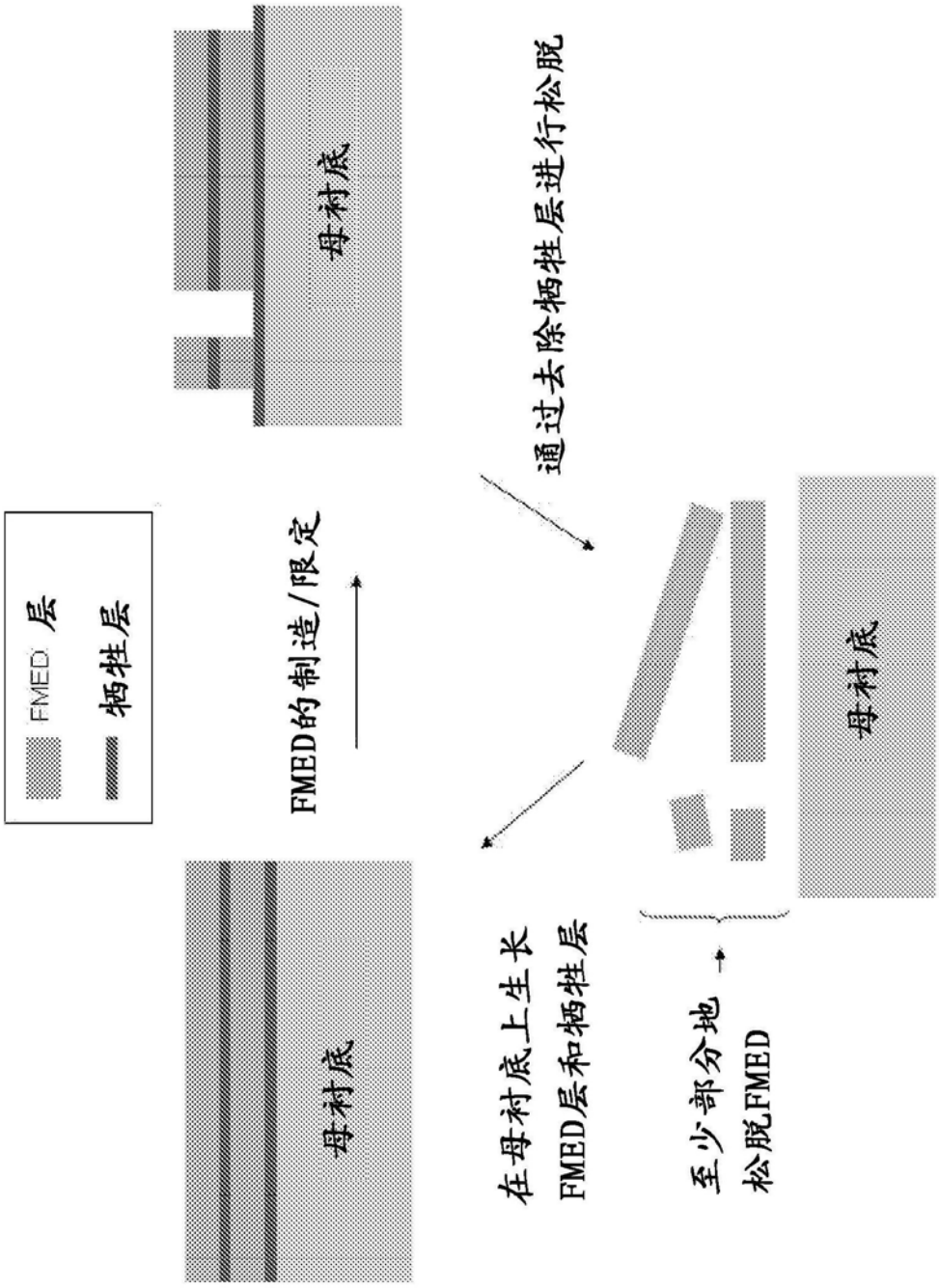

FMED 层
牺牲层
母衬底
FMED的制造/限定
母衬底
通过去除牺牲层进行松脱
母衬底
在母衬底上生长
FMED层和牺牲层
至少部分地
松脱FMED

图9

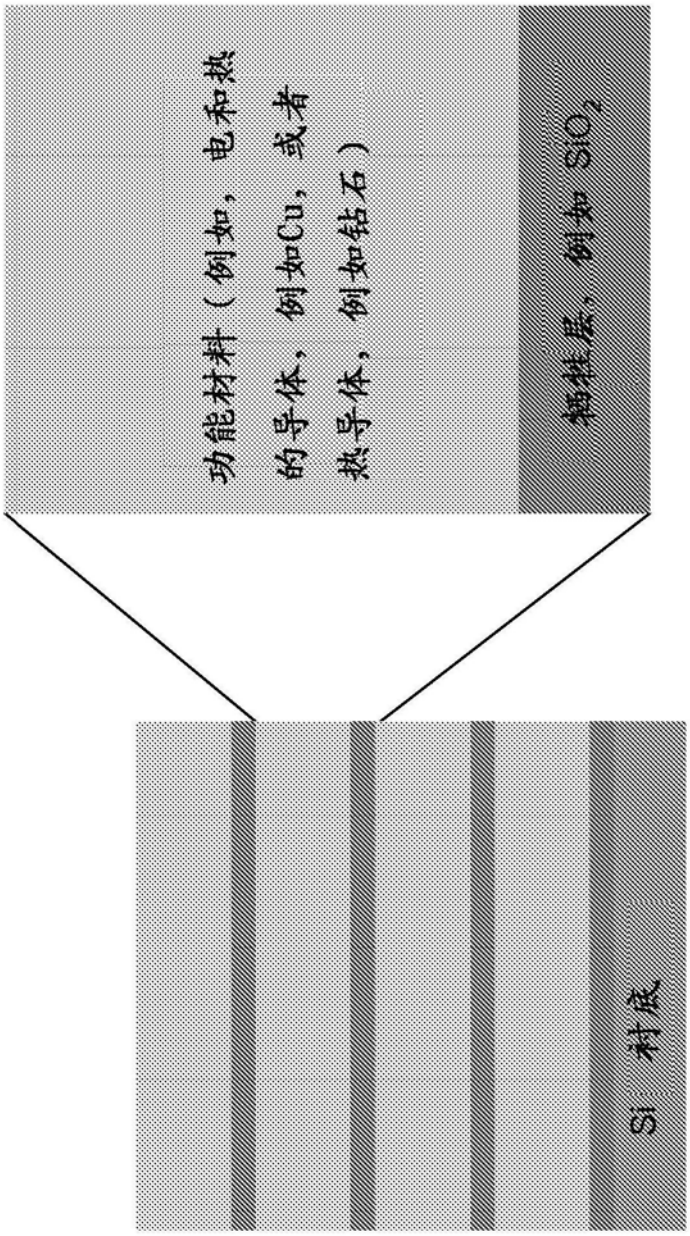


图10

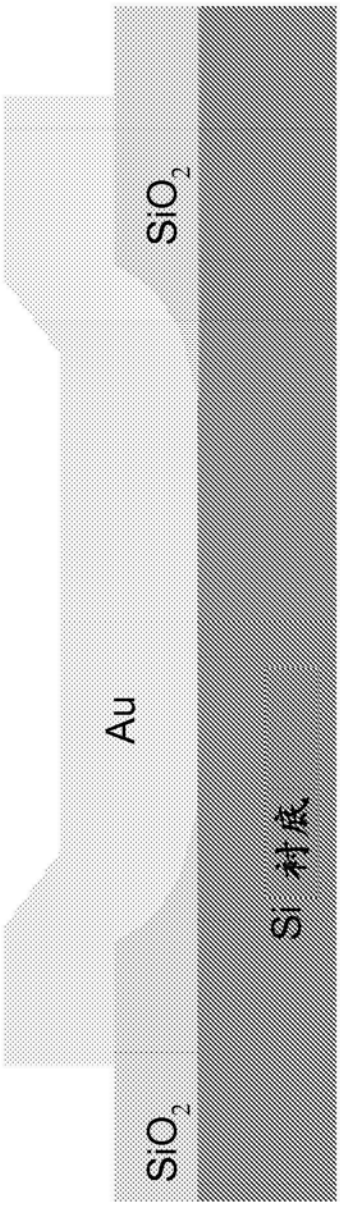


图11

过程流程 6：通过去除牺牲层松脱无定形或多晶 FMED 结构

也见图 3B

可以进行类似于图 4 的一次多层处理（过程流程 1）；在此描述的是“一次一层”，类似于图 5（过程流程 2）

1、获得 Si 衬底

2、通过顺序蒸发或 CVD 生长如图 10 所述的层

3、采用光致抗蚀剂和用于图案化的某种光刻形式对顶层表面的一部分进行掩蔽

4、使用合适的湿式或干式蚀刻对顶层的未掩蔽区域进行蚀刻以蚀刻功能材料（例如，针对 Au 采用 $K1/I_2/H_2O$，针对钻石采用氧等离子体）

5、将衬底暴露于浓 HF 以至少部分地去除所暴露的牺牲层（SiO_2），并通过横向底切松脱在牺牲层（功能层）上方的功能材料。（HF 侵蚀功能材料（贵金属、钻石、硅）比其侵蚀牺牲层更慢（小于 1/10 蚀刻速度））。

6、通过压印将所松脱的 FMED 与衬底分离，或者进行用于流体组装或喷注印刷、静电旋压等等的溶剂交换。

7、使用 HF 去除牺牲层的任何残留部分；清洗/擦除掉上方的功能外延层的任何残留部分（锚定结构等等）。初始处于紧邻第一牺牲层下方的功能层现在被暴露出并且处于衬底表面上。

8、重复步骤 3-7，一次一个地松脱多组功能层（每组被牺牲层分离），直至没有牺牲层残留在衬底上。

9、（可选的，用于衬底的重复使用）根据需要重复步骤 2-8。

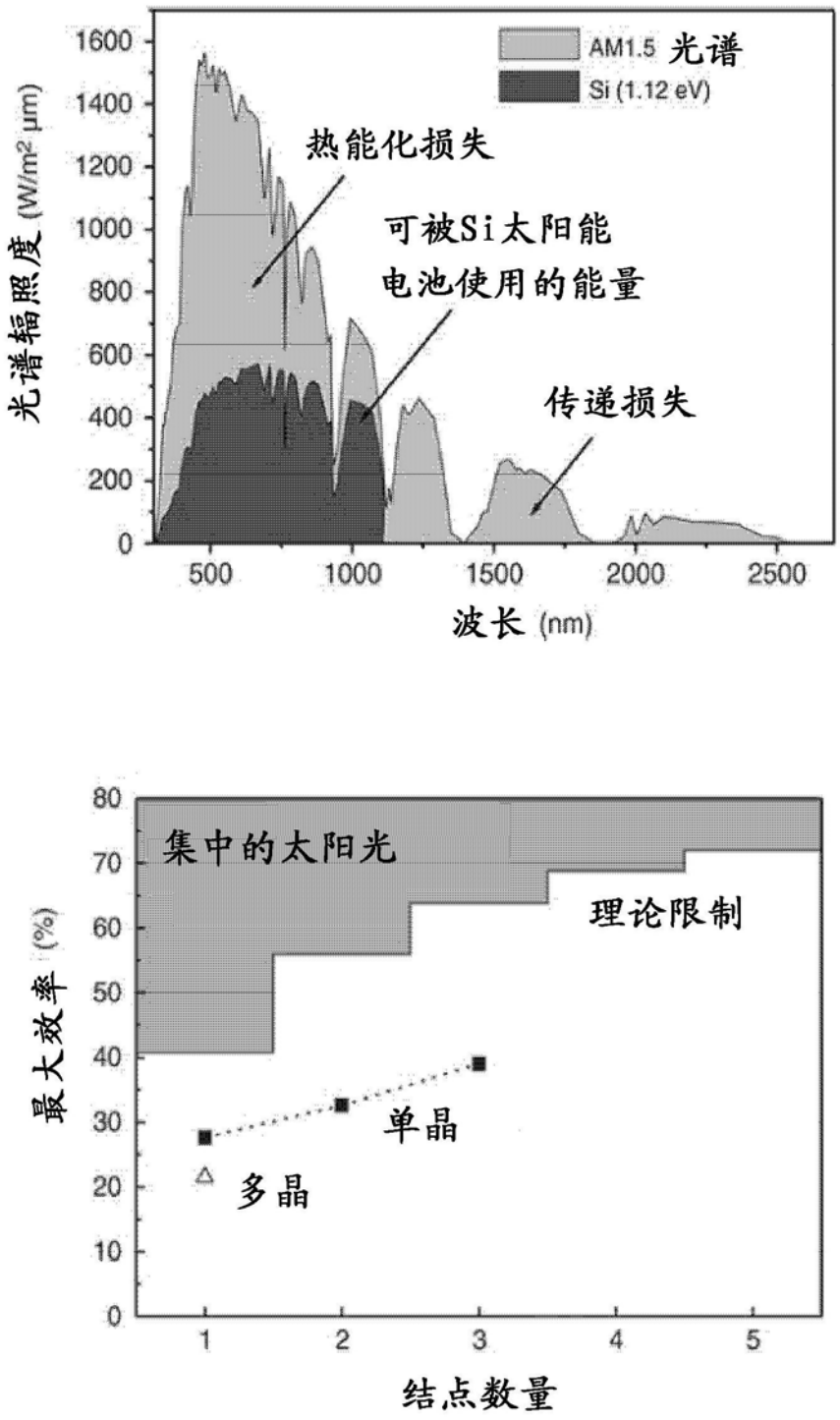

AM1.5 光谱
Si (1.12 eV)
热能化损失
可被Si太阳能
电池使用的能量
传递损失
光谱辐照度 (W/m² μm)
波长 (nm)
集中的太阳光
理论限制
单晶
多晶
最大效率 (%)
结点数量

图13

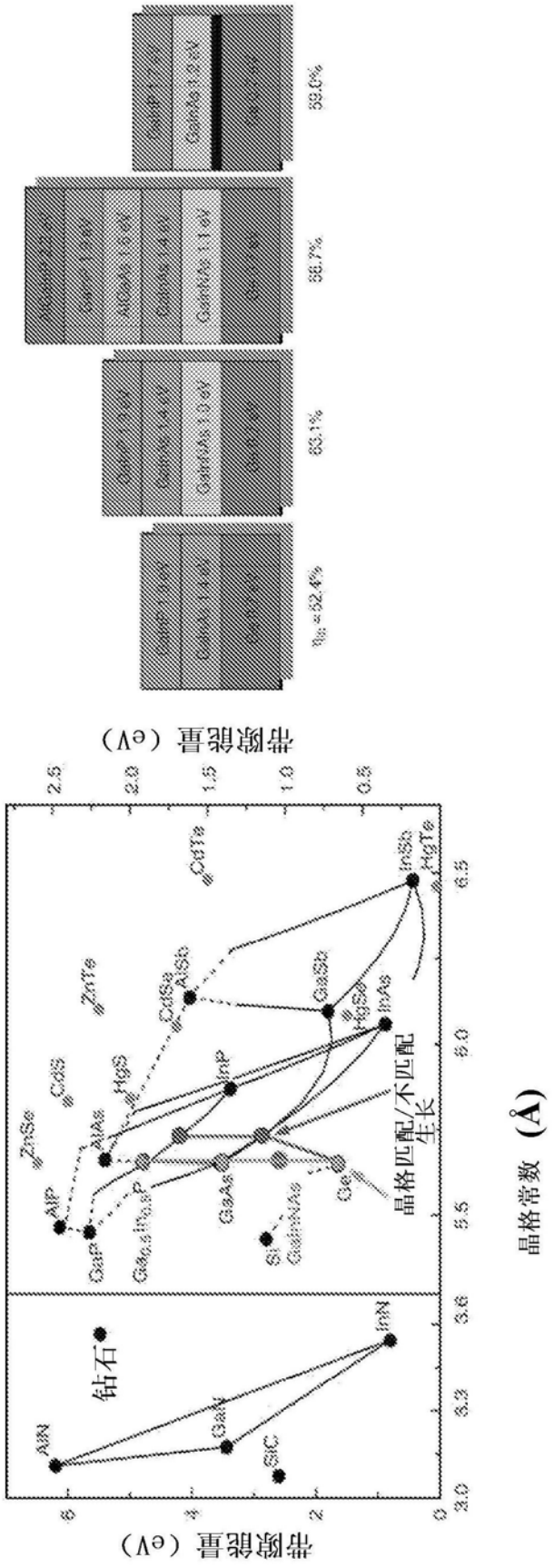

带隙能量（eV）
晶格常数（Å）
晶格匹配/不匹配生长
钻石
AlN
GaN
SiC
InN
AlP
GaP
ZnSe
CdS
ZnTe
CdSe
AlSb
HgS
InP
AlAs
GaAs
Ge
Si
CdTe
InSb
HgTe
GaSb
HgSe
InAs

图14

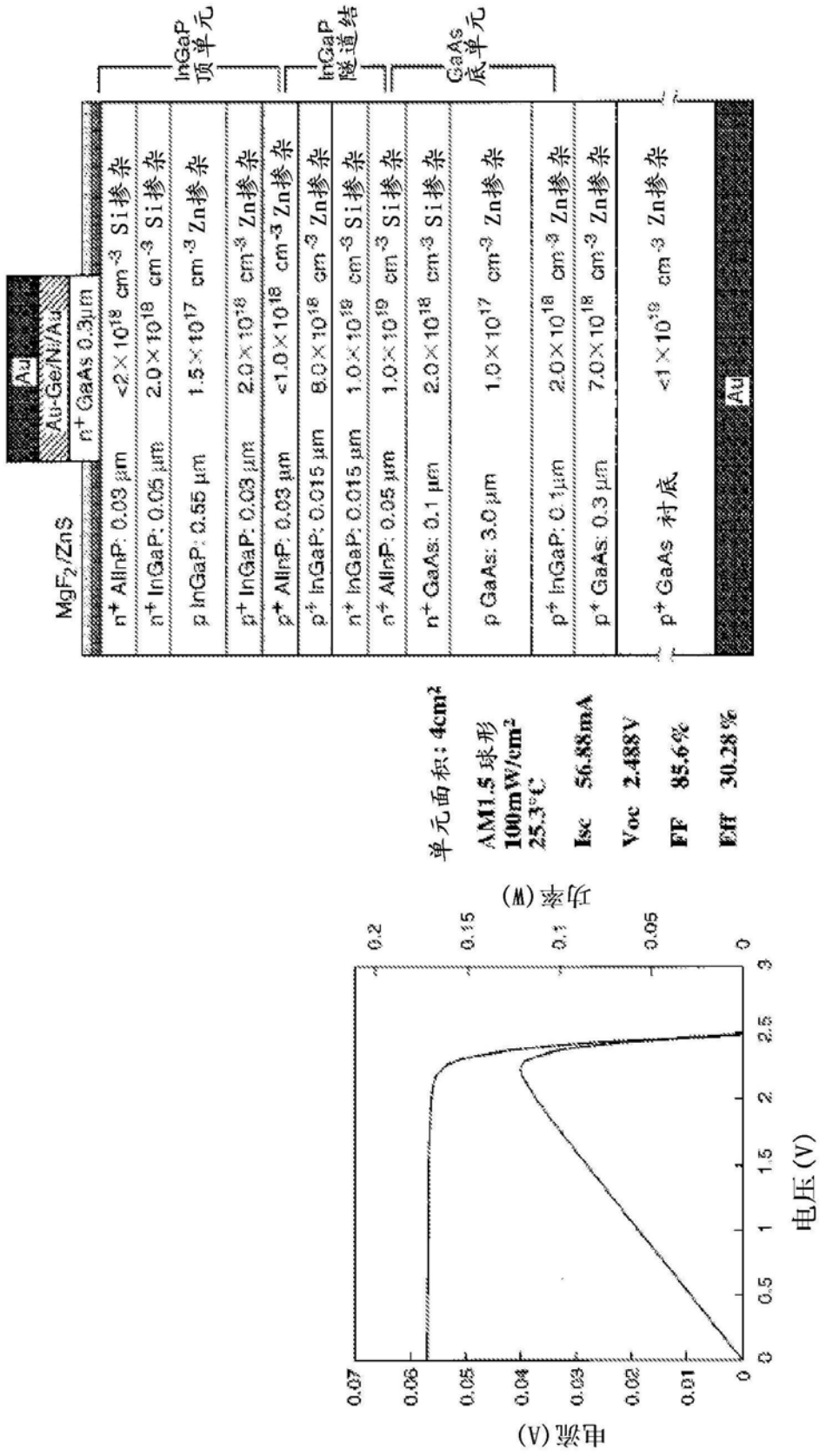

MgF2/ZnS
Au
Au-Ge/Ni/Au
n+ GaAs 0.3μm
n+ AlInP: 0.03 μm <2×10^19 cm^-3 Si掺杂
n+ InGaP: 0.05 μm 2.0×10^18 cm^-3 Si掺杂
p InGaP: 0.55 μm 1.5×10^17 cm^-3 Zn掺杂
InGaP 顶单元
p+ InGaP: 0.03 μm 2.0×10^18 cm^-3 Zn掺杂
p+ AlInP: 0.03 μm <1.0×10^18 cm^-3 Zn掺杂
InGaP 隧道结
p+ InGaP: 0.015 μm 8.0×10^18 cm^-3 Zn掺杂
n+ InGaP: 0.015 μm 1.0×10^19 cm^-3 Si掺杂
n+ AlInP: 0.05 μm 1.0×10^19 cm^-3 Si掺杂
GaAs 底单元
n+ GaAs: 0.1 μm 2.0×10^18 cm^-3 Si掺杂
p GaAs: 3.0 μm 1.0×10^17 cm^-3 Zn掺杂
p+ InGaP: 0.1μm 2.0×10^18 cm^-3 Zn掺杂
p+ GaAs: 0.3 μm 7.0×10^18 cm^-3 Zn掺杂
p+ GaAs 衬底 <1×10^19 cm^-3 Zn掺杂
Au
单元面积：4cm²
AM1.5 球形
100mW/cm²
25.3°C
Isc 56.88mA
Voc 2.488V
FF 85.6%
Eff 30.28%
功率 (W)
电流 (A)
电压 (V)
0.07
0.06
0.05
0.04
0.03
0.02
0.01
0
0.2
0.15
0.1
0.05
0
0.5
1
1.5
2
2.5
3

图15

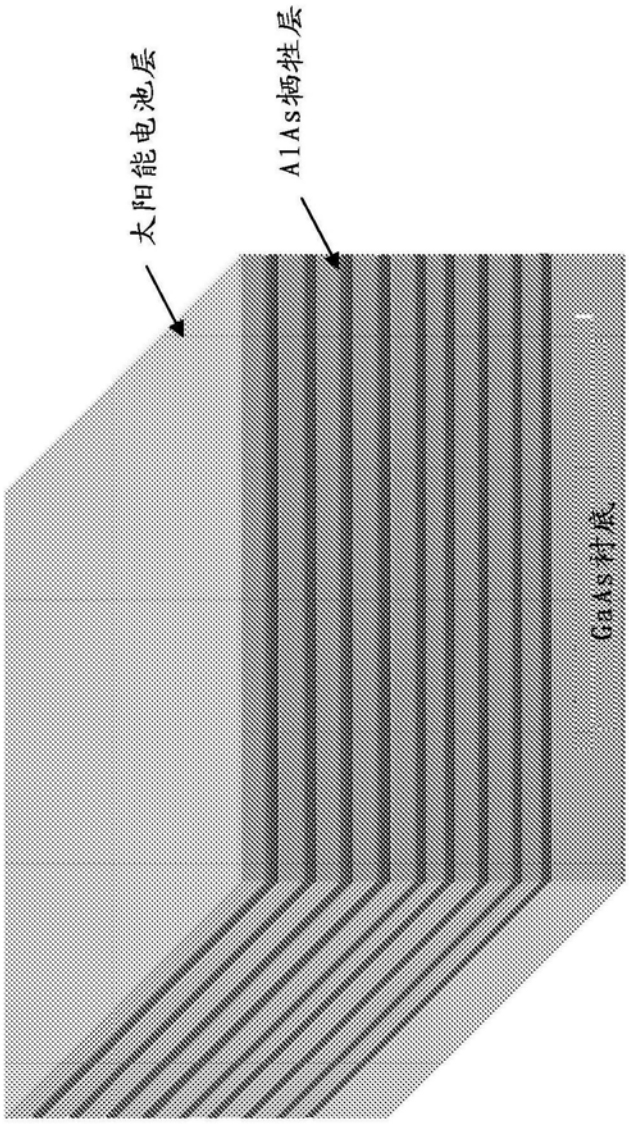


图16

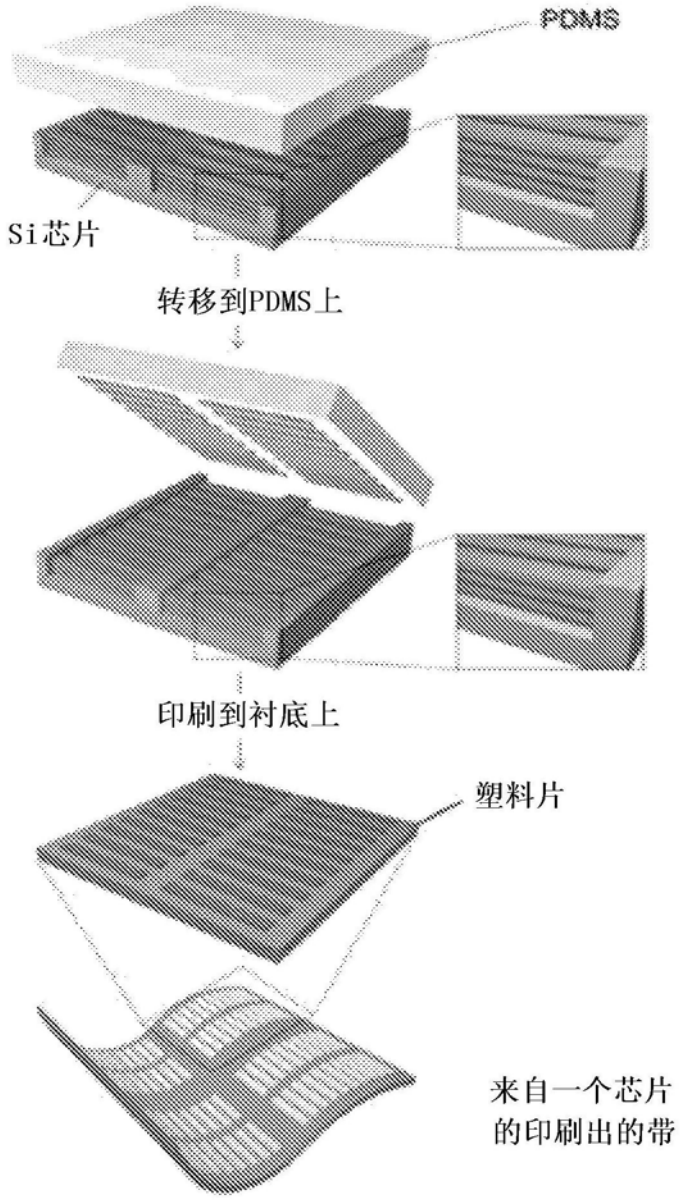


图17

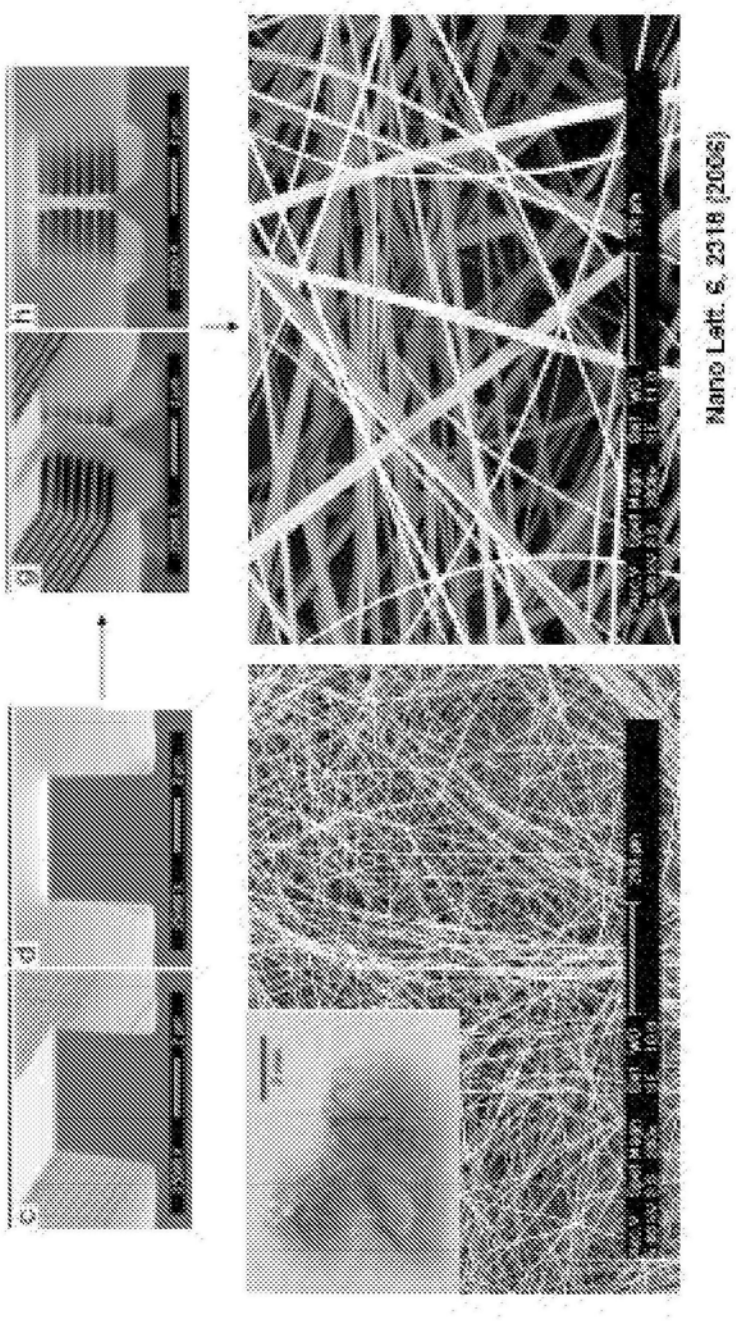


图18

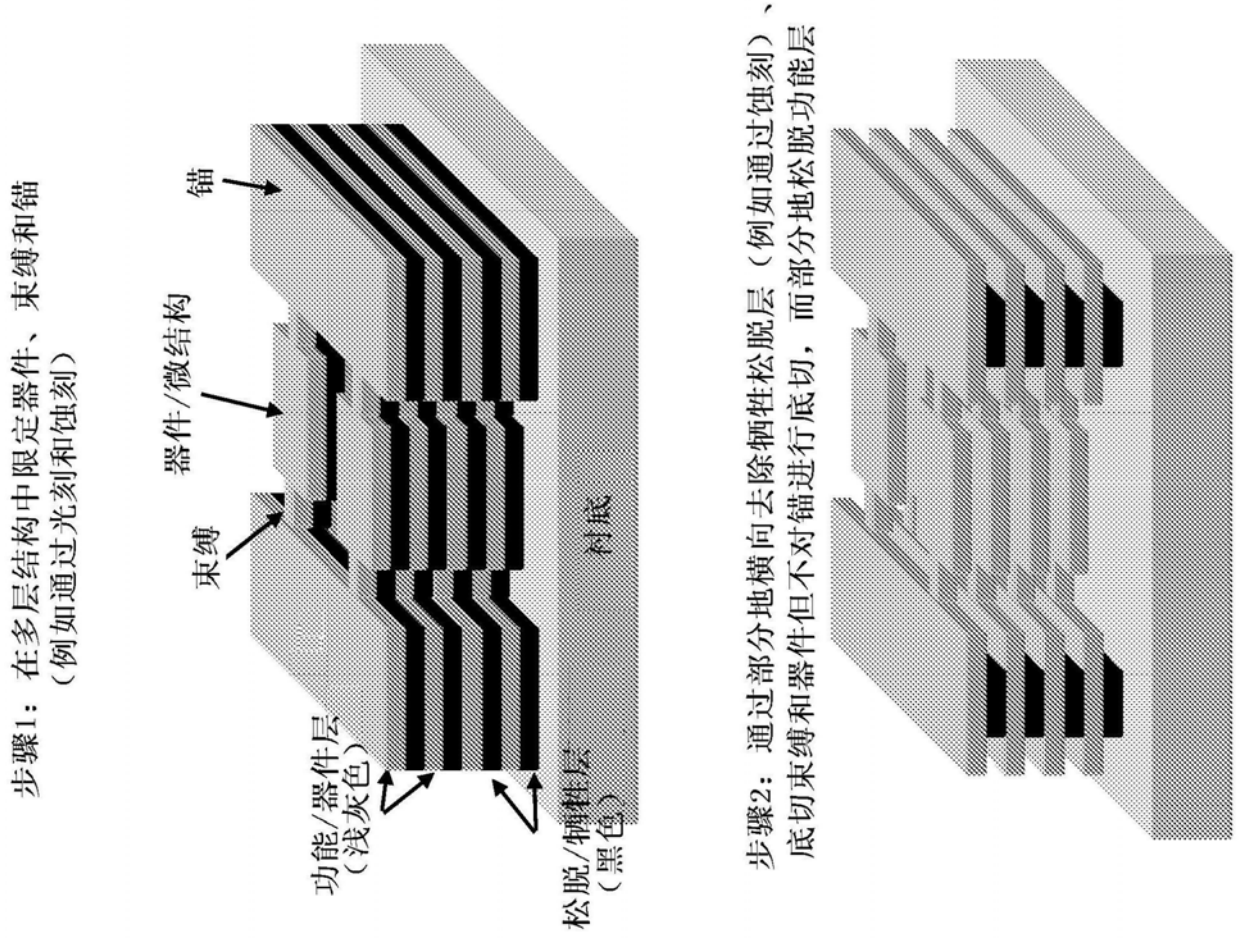

步骤1：在多层结构中限定器件、束缚和锚
（例如通过光刻和蚀刻）
束缚
器件/微结构
锚
功能/器件层
（浅灰色）
松脱/牺牲层
（黑色）
衬底
步骤2：通过部分地横向去除牺牲松脱层（例如通过蚀刻）、
底切束缚和器件但不对锚进行底切，而部分地松脱功能层

图19

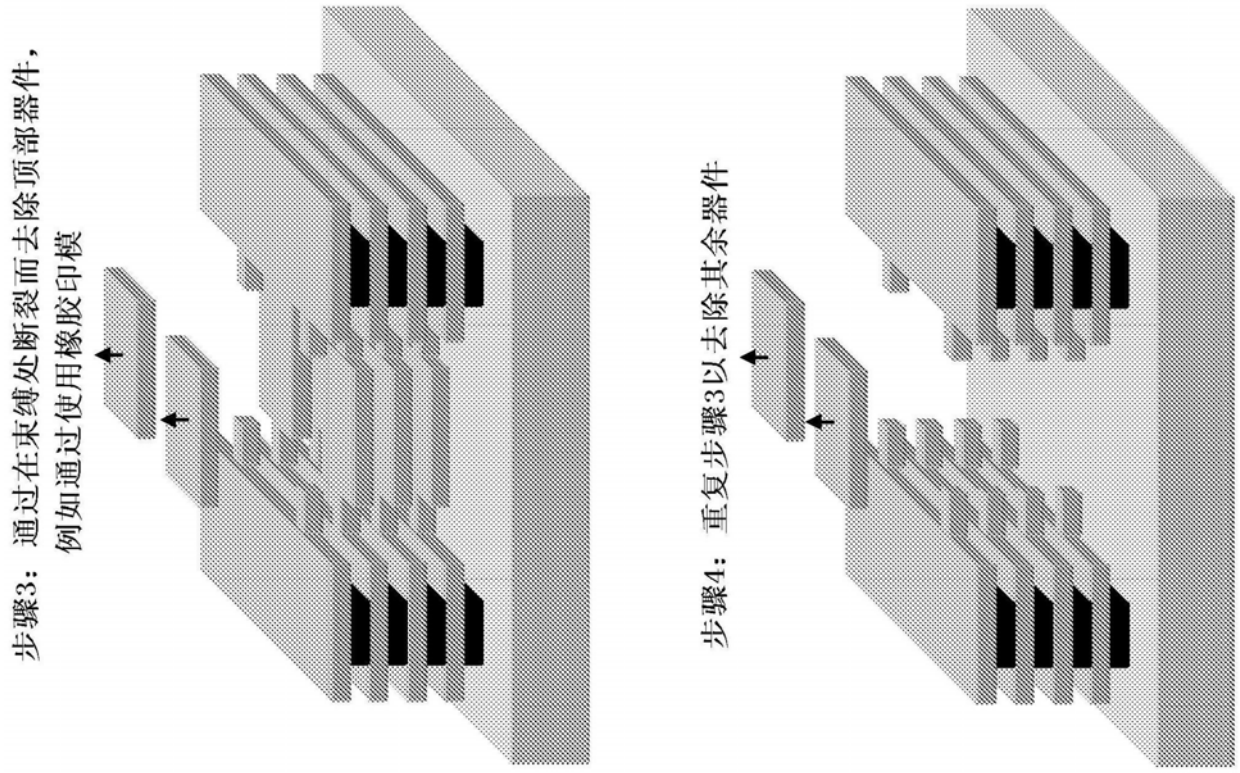


图19(续前)

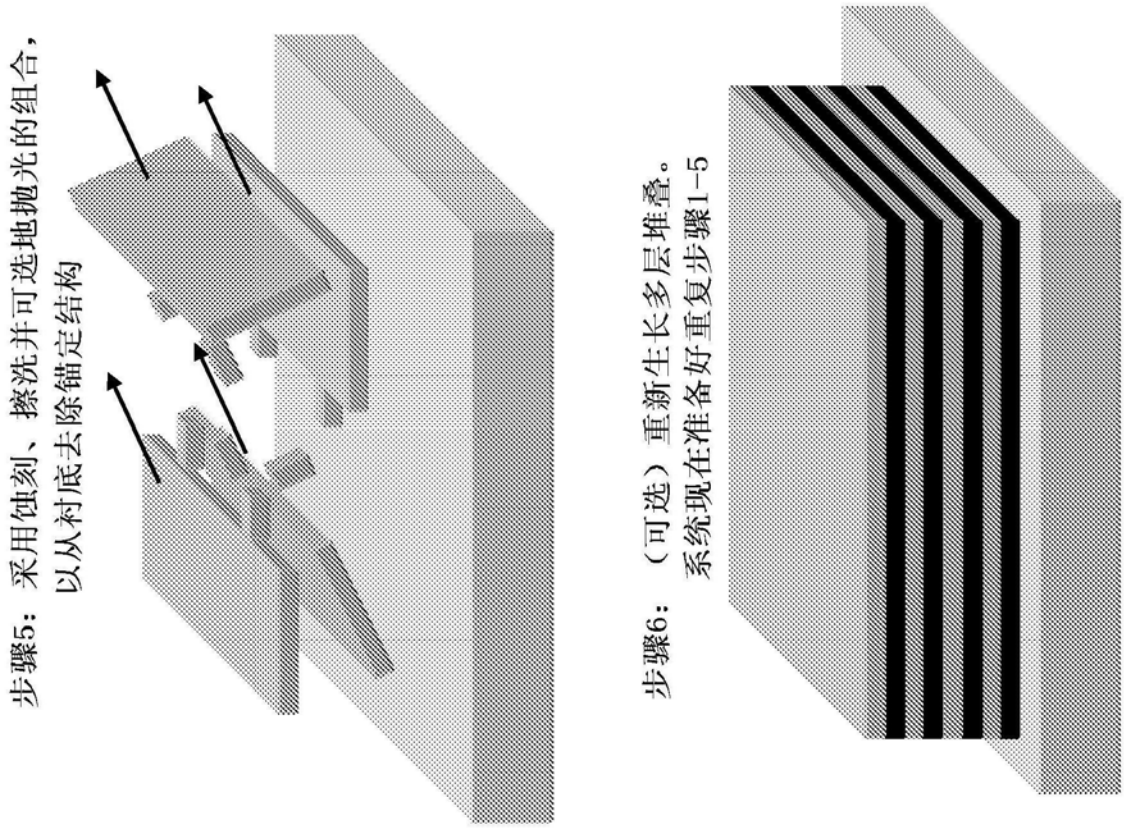

步骤5：采用蚀刻、擦洗并可选地抛光的组合，
以从衬底去除锚定结构
步骤6：（可选）重新生长多层堆叠。
系统现在准备好重复步骤1-5

图19(续前)

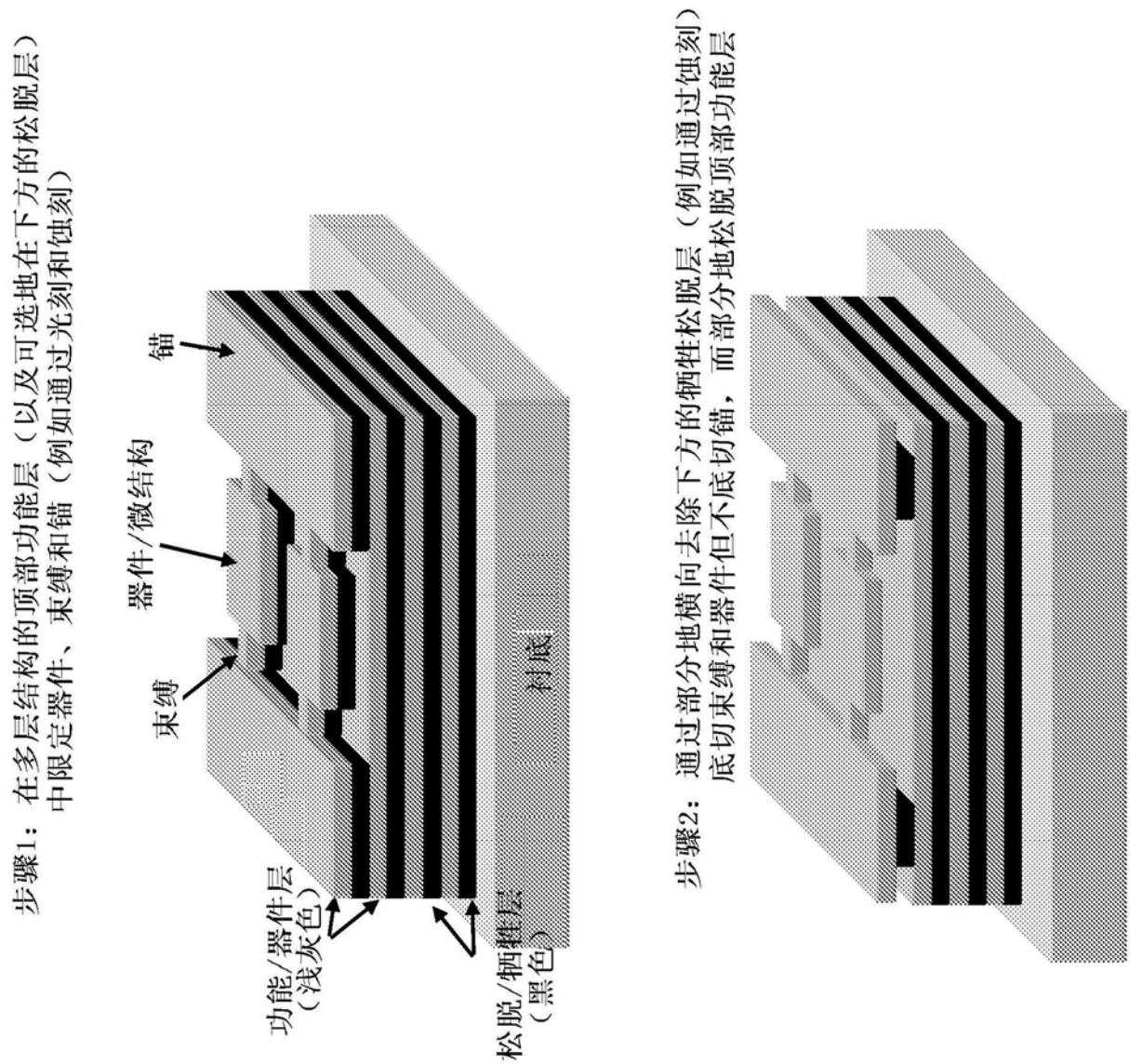

步骤1：在多层结构的顶部功能层（以及可选地在下方的松脱层）中限定器件、束缚和锚（例如通过光刻和蚀刻）
束缚
器件/微结构
锚
功能/器件层（浅灰色）
松脱/牺牲层（黑色）
衬底
步骤2：通过部分地横向去除下方的牺牲松脱层（例如通过蚀刻）、底切束缚和器件但不底切锚，而部分地松脱顶部功能层

图20

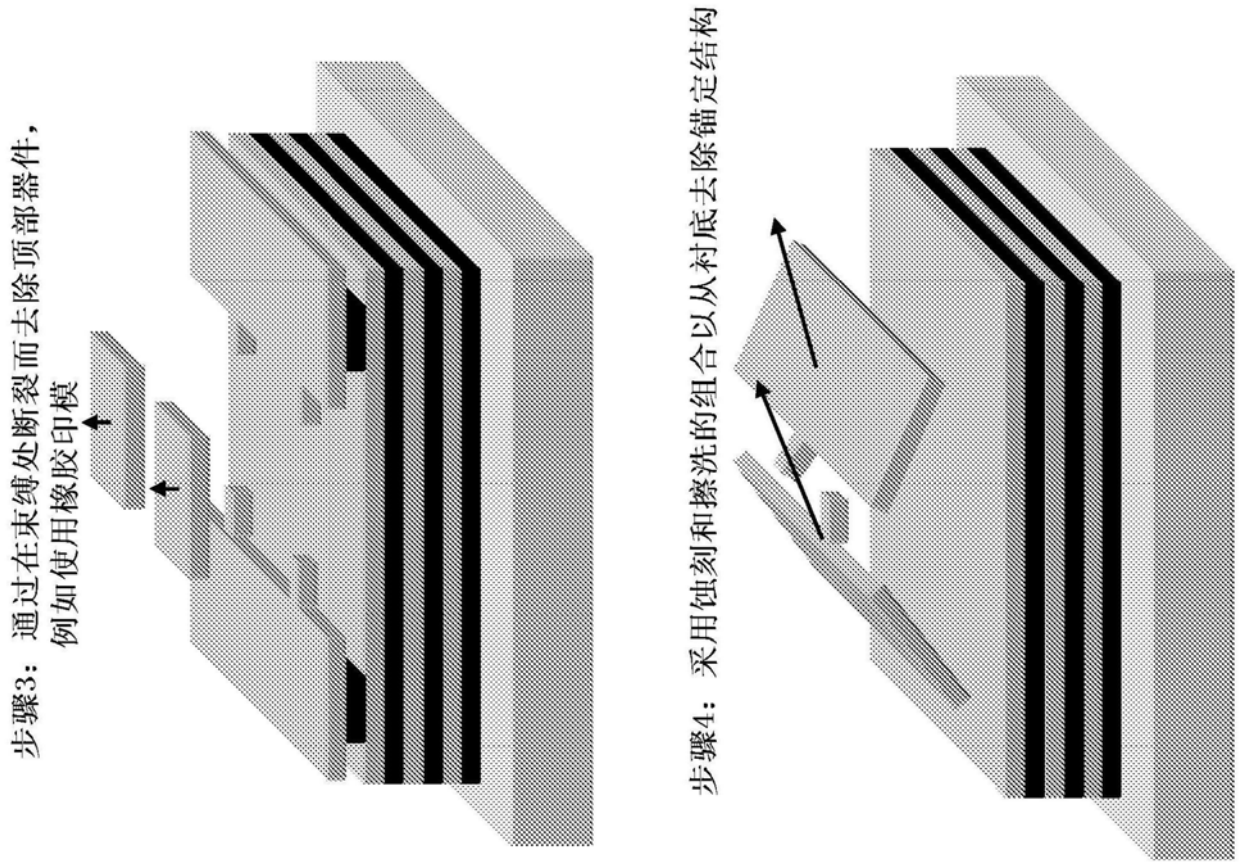


图20(续前)

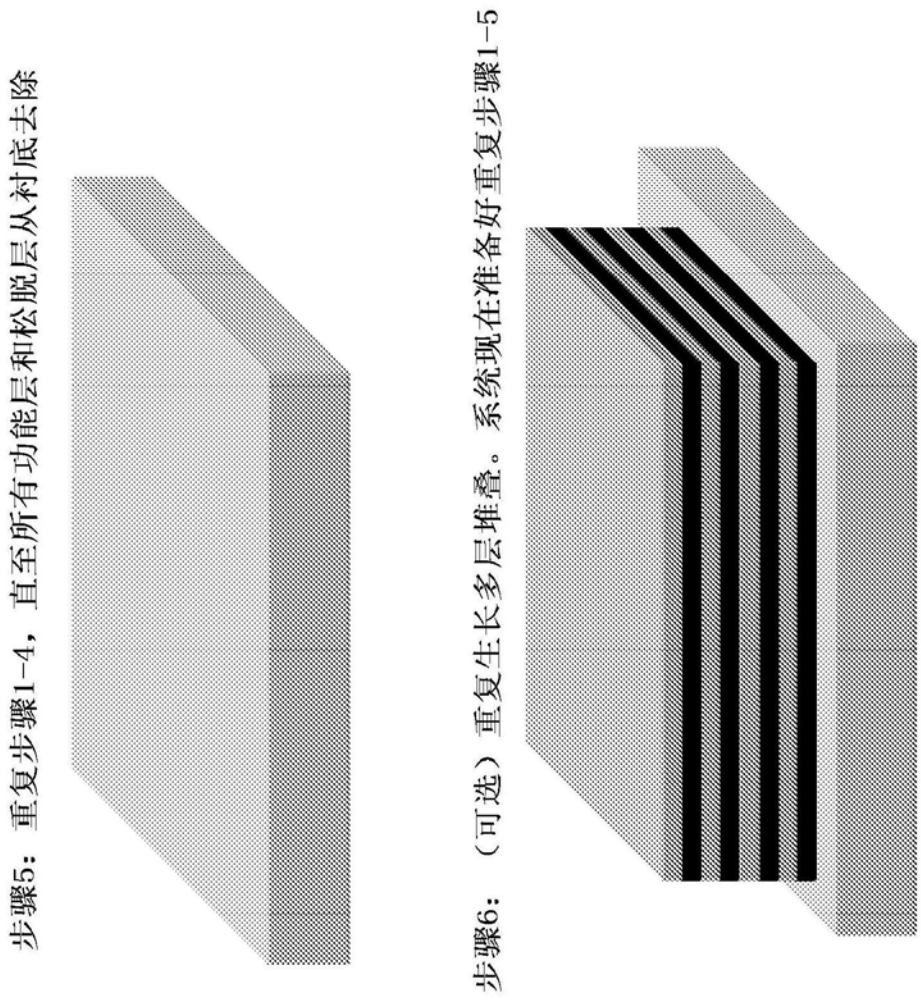

步骤5：重复步骤1-4，直至所有功能层和松脱层从衬底去除
步骤6：（可选）重复生长多层堆叠。系统现在准备好重复步骤1-5

图20(续前)

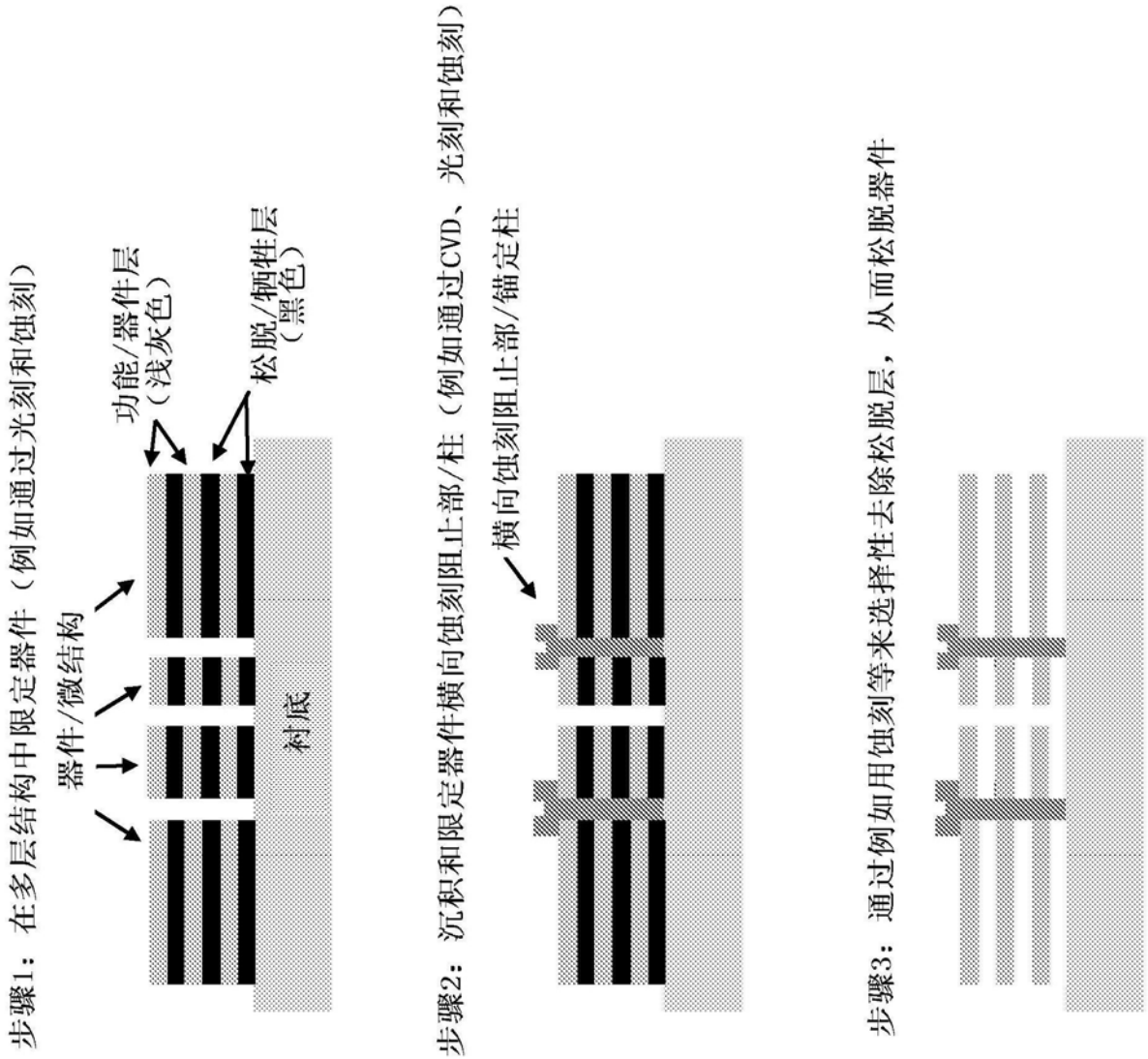

步骤1：在多层结构中限定器件（例如通过光刻和蚀刻）
器件/微结构
功能/器件层
（浅灰色）
松脱/牺牲层
（黑色）
衬底
步骤2：沉积和限定器件横向蚀刻阻止部/柱（例如通过CVD、光刻和蚀刻）
横向蚀刻阻止部/锚定柱
步骤3：通过例如用蚀刻等来选择性去除松脱层，从而松脱器件

图21

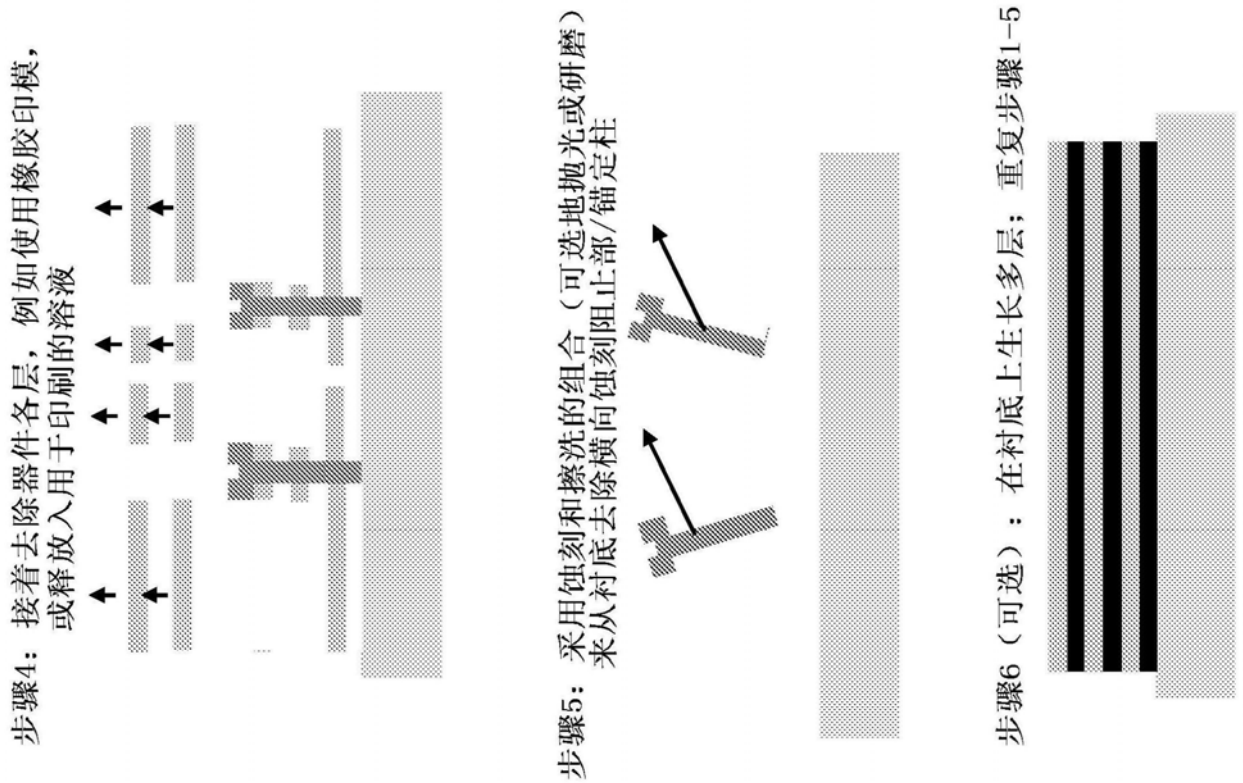

步骤4：接着去除器件各层，例如使用橡胶印模，或释放入用于印刷的溶液
步骤5：采用蚀刻和擦洗的组合（可选地抛光或研磨）来从衬底去除横向蚀刻阻止部/锚定柱
步骤6（可选）：在衬底上生长多层；重复步骤1-5

图21(续前)

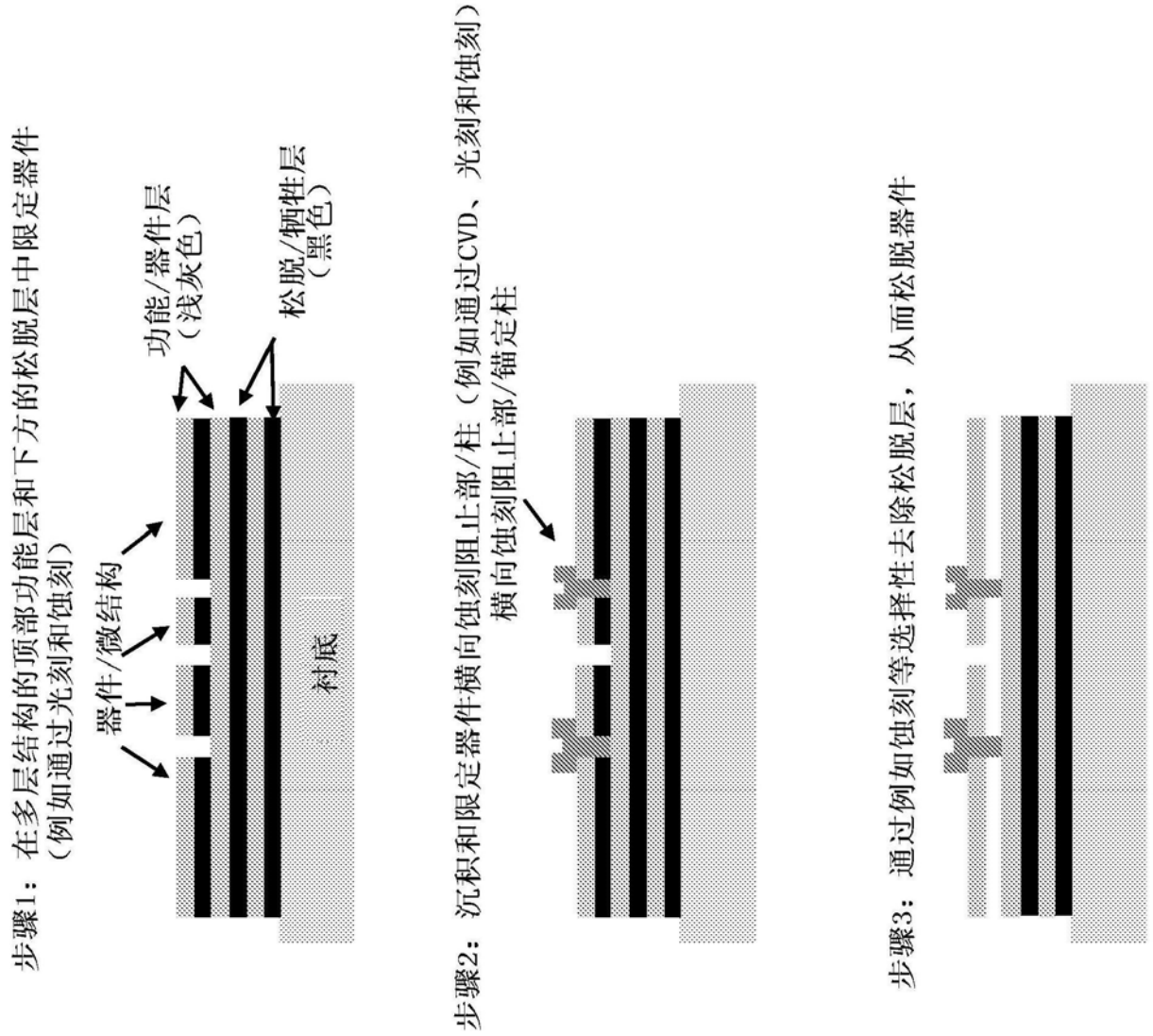

步骤1：在多层结构的顶部功能层和下方的松脱层中限定器件
（例如通过光刻和蚀刻）
器件/微结构
功能/器件层
（浅灰色）
松脱/牺牲层
（黑色）
衬底
步骤2：沉积和限定器件横向蚀刻阻止部/柱（例如通过CVD、光刻和蚀刻）
横向蚀刻阻止部/锚定柱
步骤3：通过例如蚀刻等选择性去除松脱层，从而松脱器件

图22

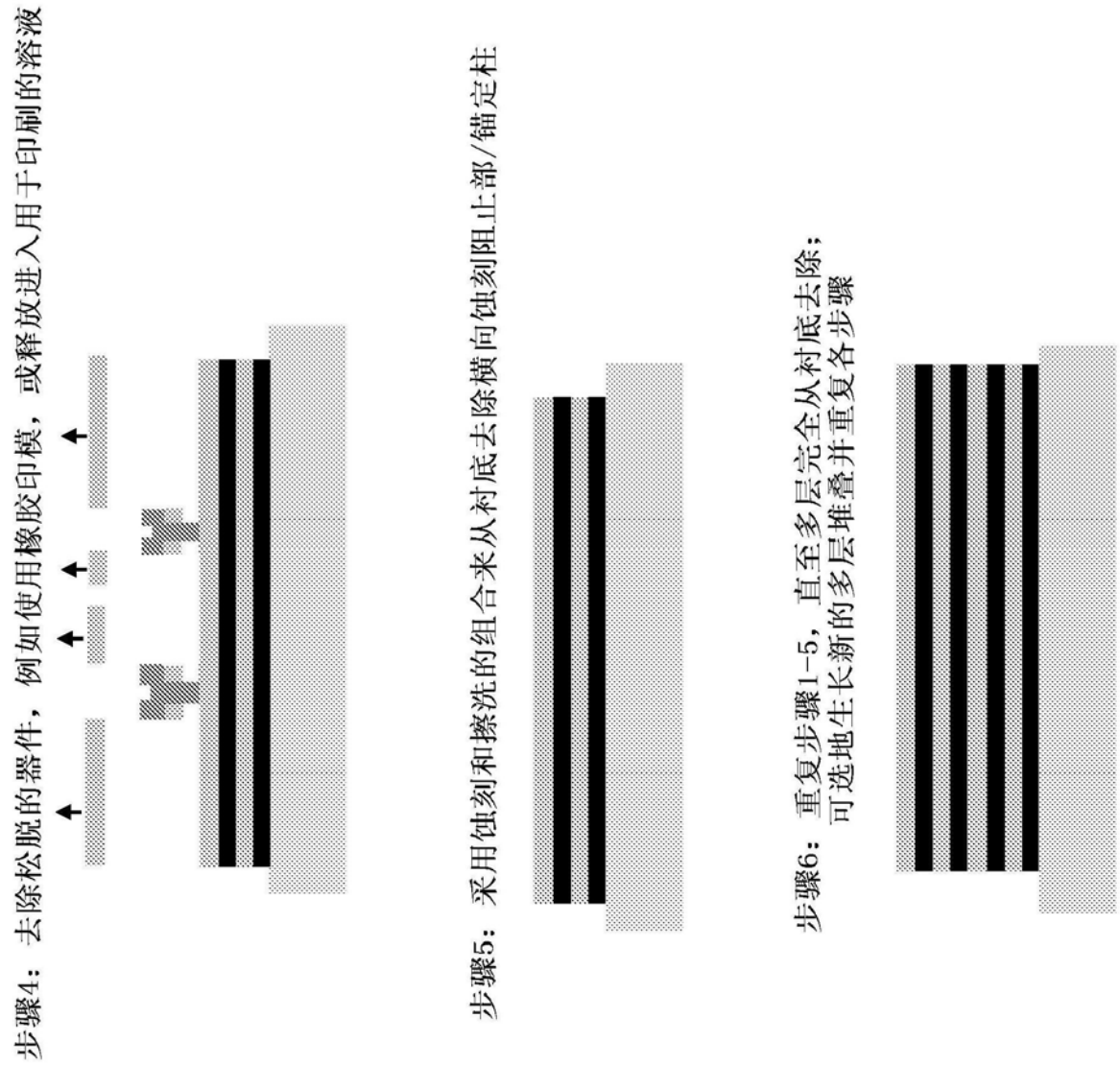

步骤4：去除松脱的器件，例如使用橡胶印模，或释放进入用于印刷的溶液
步骤5：采用蚀刻和擦洗的组合来从衬底去除横向蚀刻阻止部/锚定柱
步骤6：重复步骤1-5，直至多层完全从衬底去除；
可选地生长新的多层堆叠并重复各步骤

图22(续前)

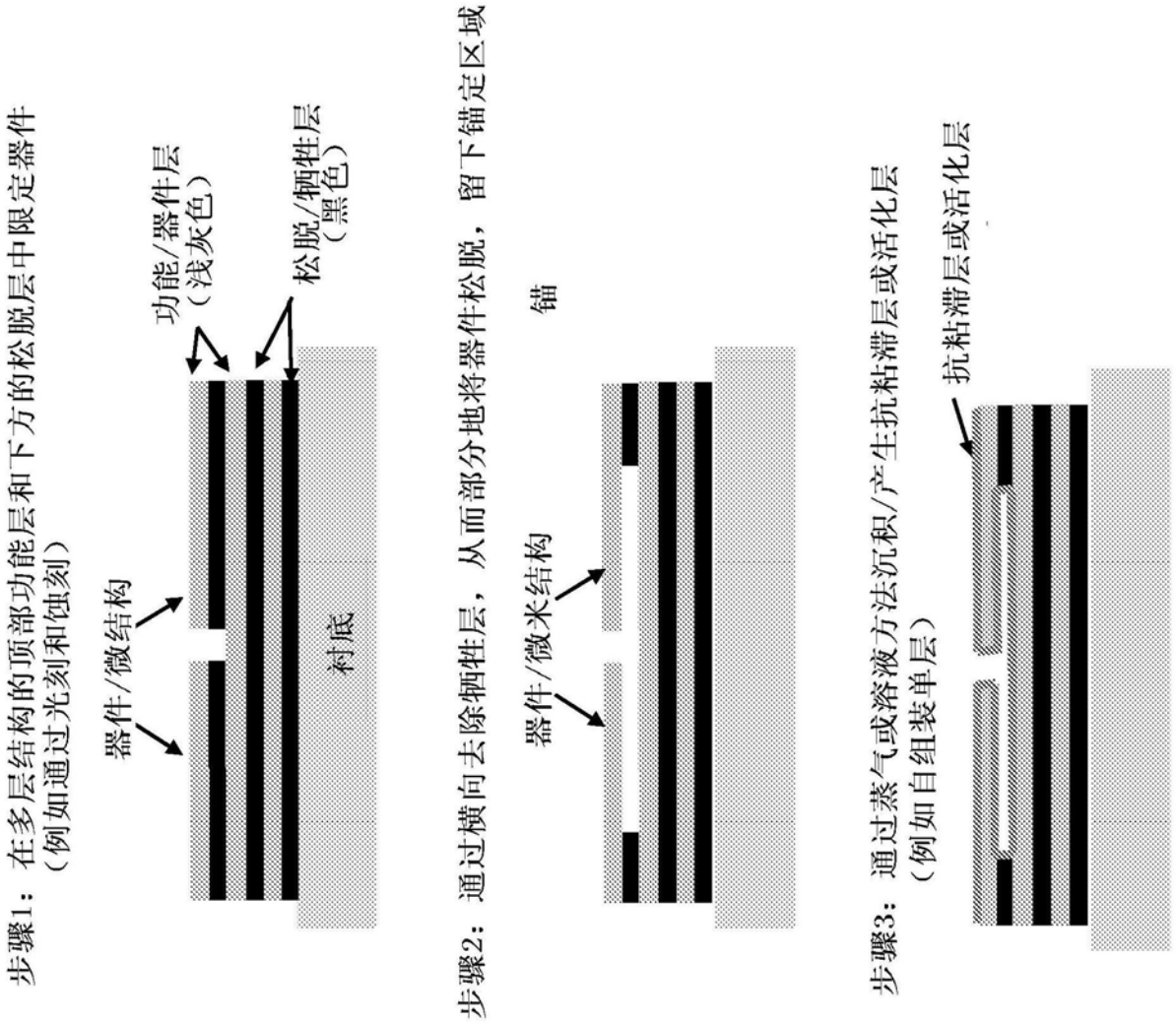

步骤1：在多层结构的顶部功能层和下方的松脱层中限定器件
（例如通过光刻和蚀刻）
器件/微结构
功能/器件层
（浅灰色）
松脱/牺牲层
（黑色）
衬底
步骤2：通过横向去除牺牲层，从而部分地将器件松脱，留下锚定区域
器件/微米结构
锚
步骤3：通过蒸气或溶液方法沉积/产生抗粘滞层或活化层
（例如自组装单层）
抗粘滞层或活化层

图23

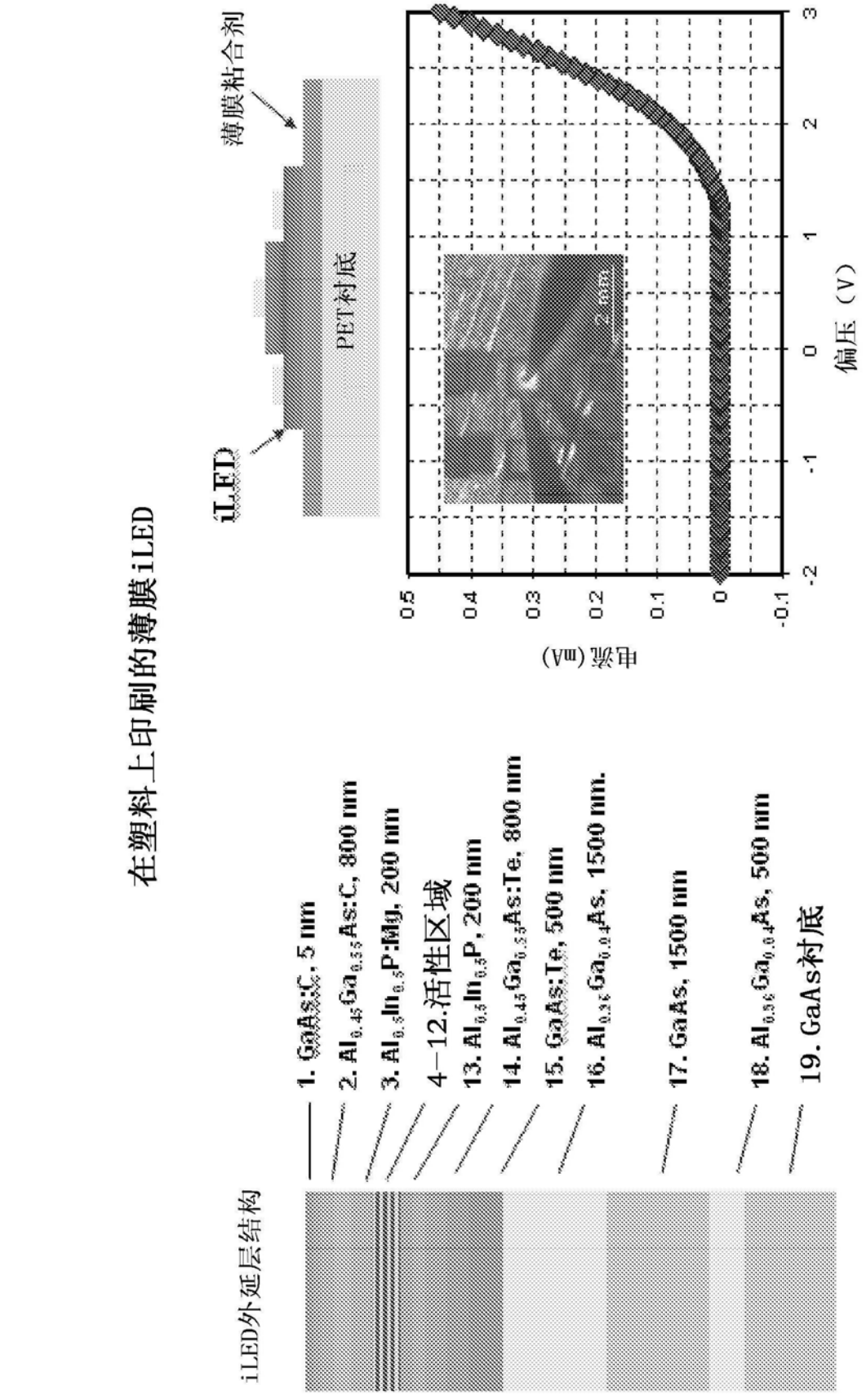

在塑料上印刷的薄膜iLED
iLED外延层结构
1. GaAs:C, 5 nm
2. $Al_{0.45}Ga_{0.55}As$:C, 800 nm
3. $Al_{0.5}In_{0.5}P$:Mg, 200 nm
4—12.活性区域
13. $Al_{0.5}In_{0.5}P$, 200 nm
14. $Al_{0.45}Ga_{0.55}As$:Te, 800 nm
15. GaAs:Te, 500 nm
16. $Al_{0.36}Ga_{0.64}As$, 1500 nm.
17. GaAs, 1500 nm
18. $Al_{0.36}Ga_{0.64}As$, 500 nm
19. GaAs衬底
iLED
薄膜粘合剂
PET衬底
电流（mA）
偏压（V）

图24

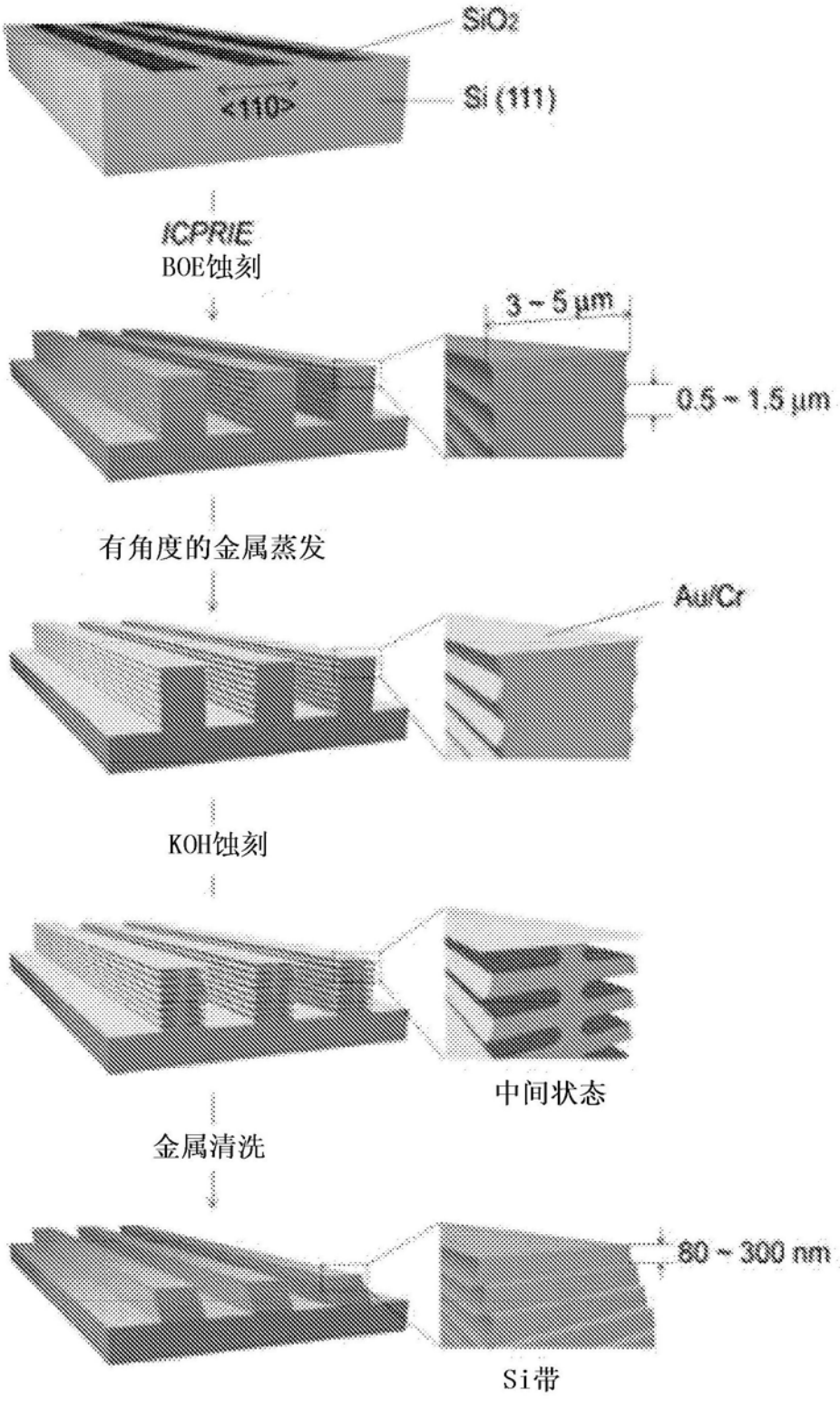

SiO2
<110>
Si (111)
ICPRIE
BOE蚀刻
3 ~ 5 μm
0.5 ~ 1.5 μm
有角度的金属蒸发
Au/Cr
KOH蚀刻
中间状态
金属清洗
80 ~ 300 nm
Si带

图25

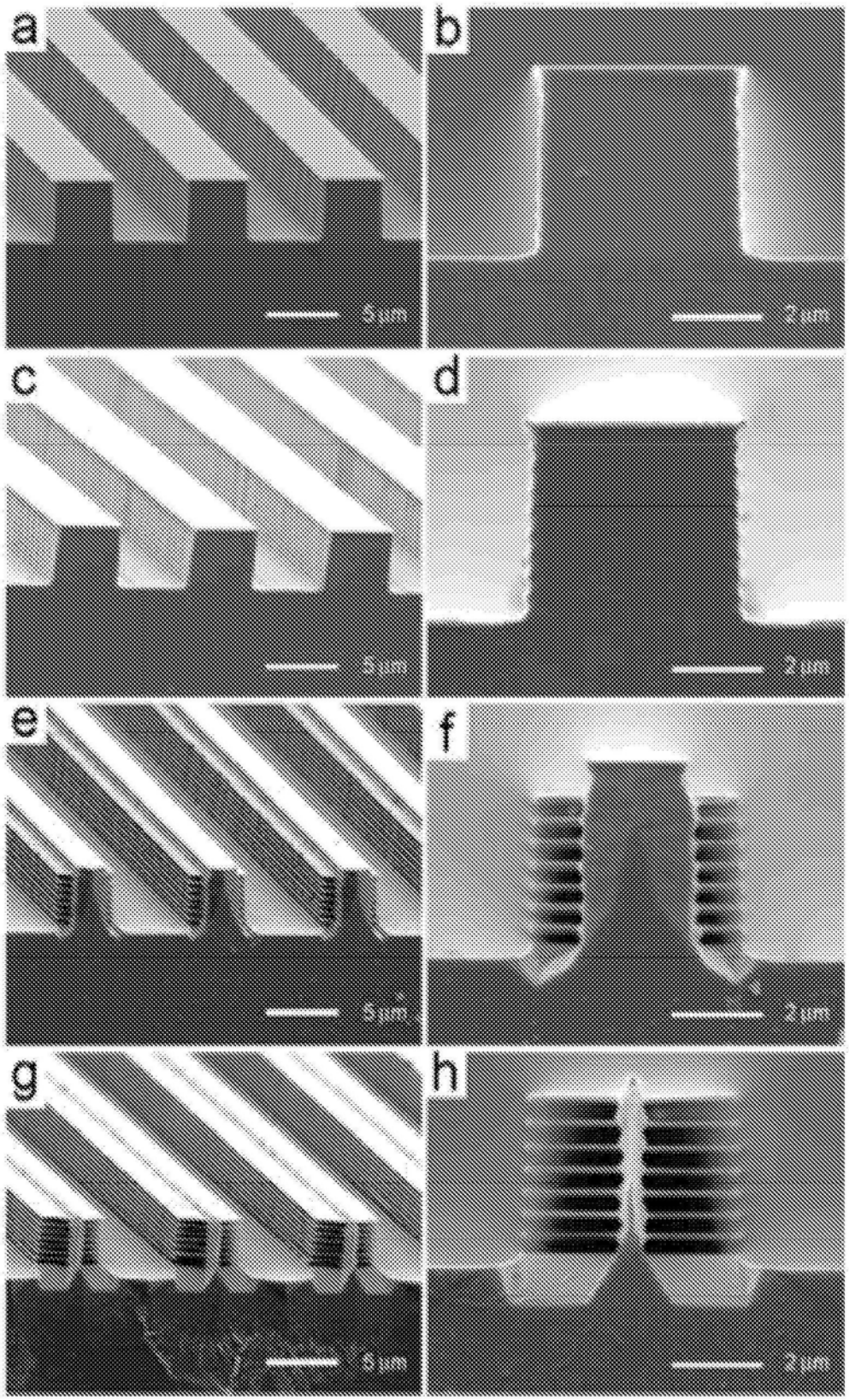


图26

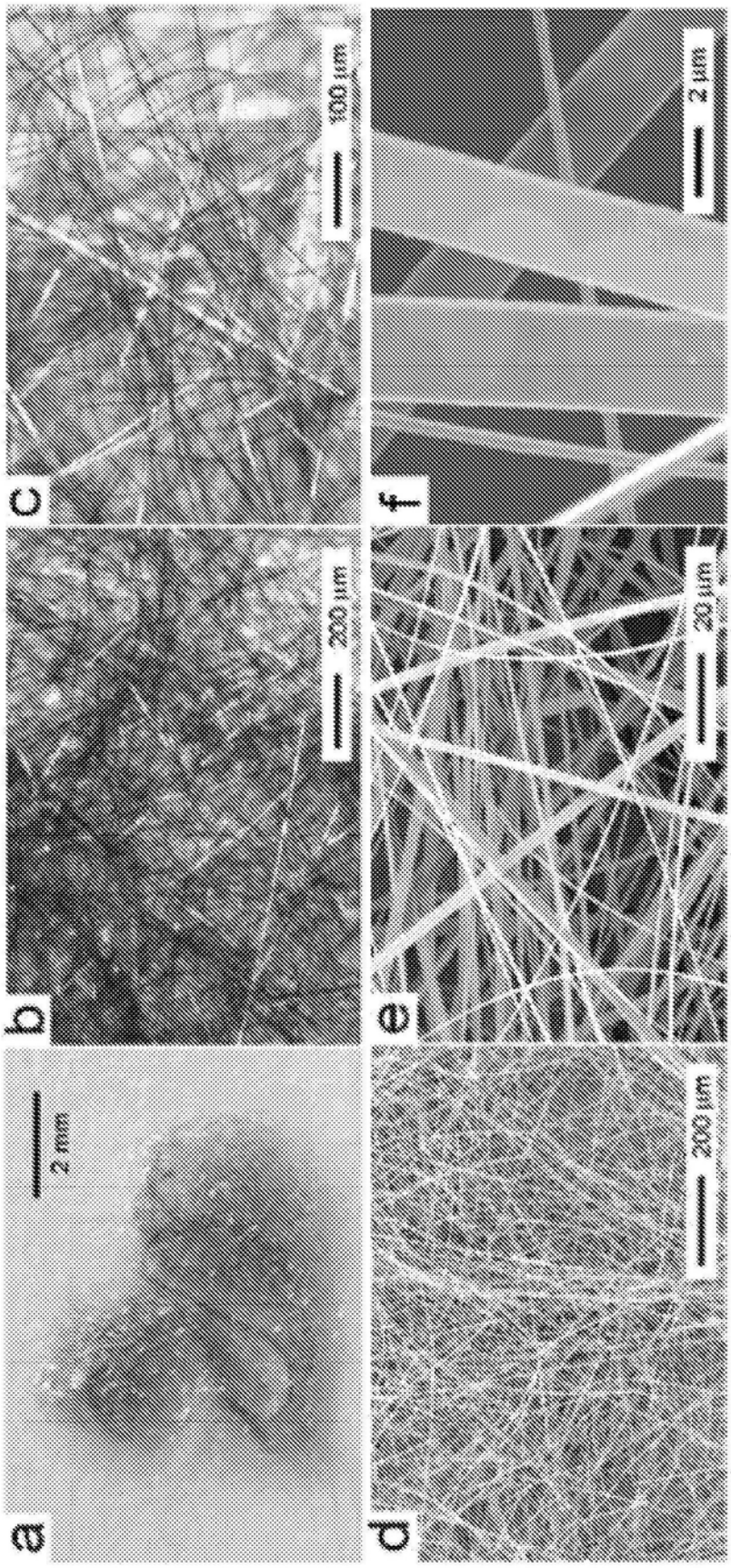


图27

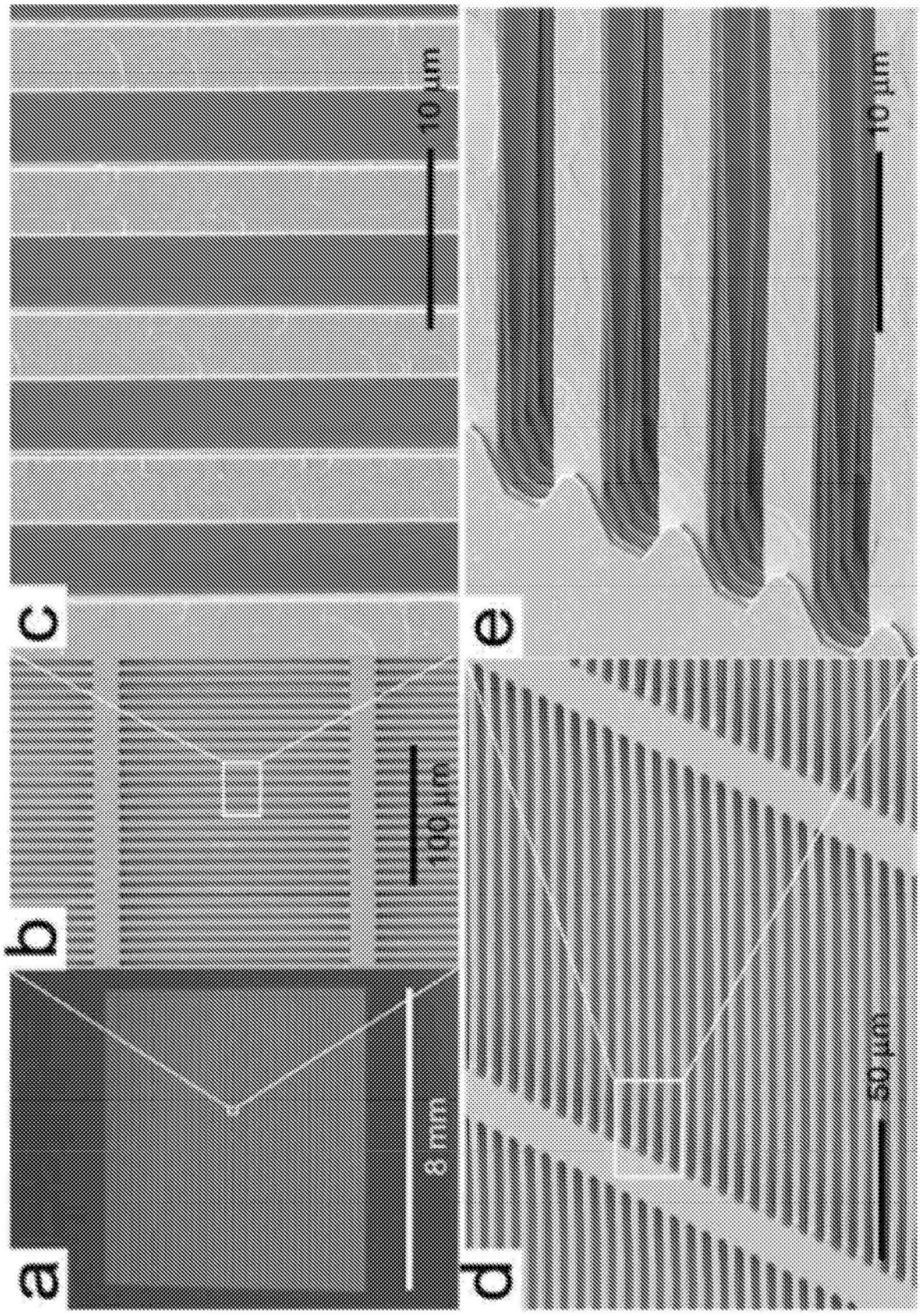


图28

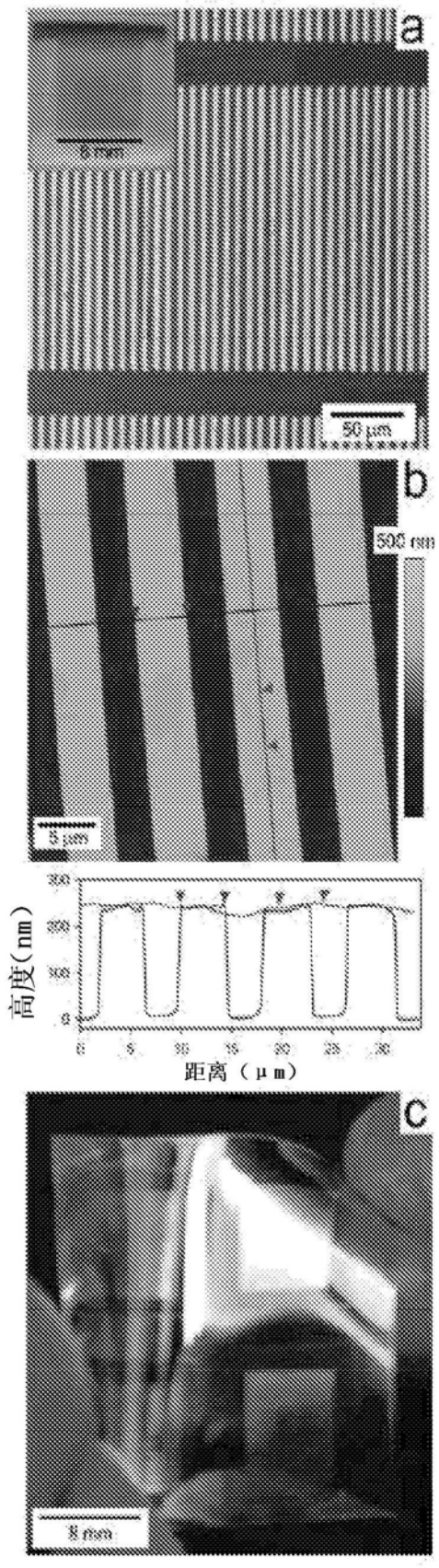


图29

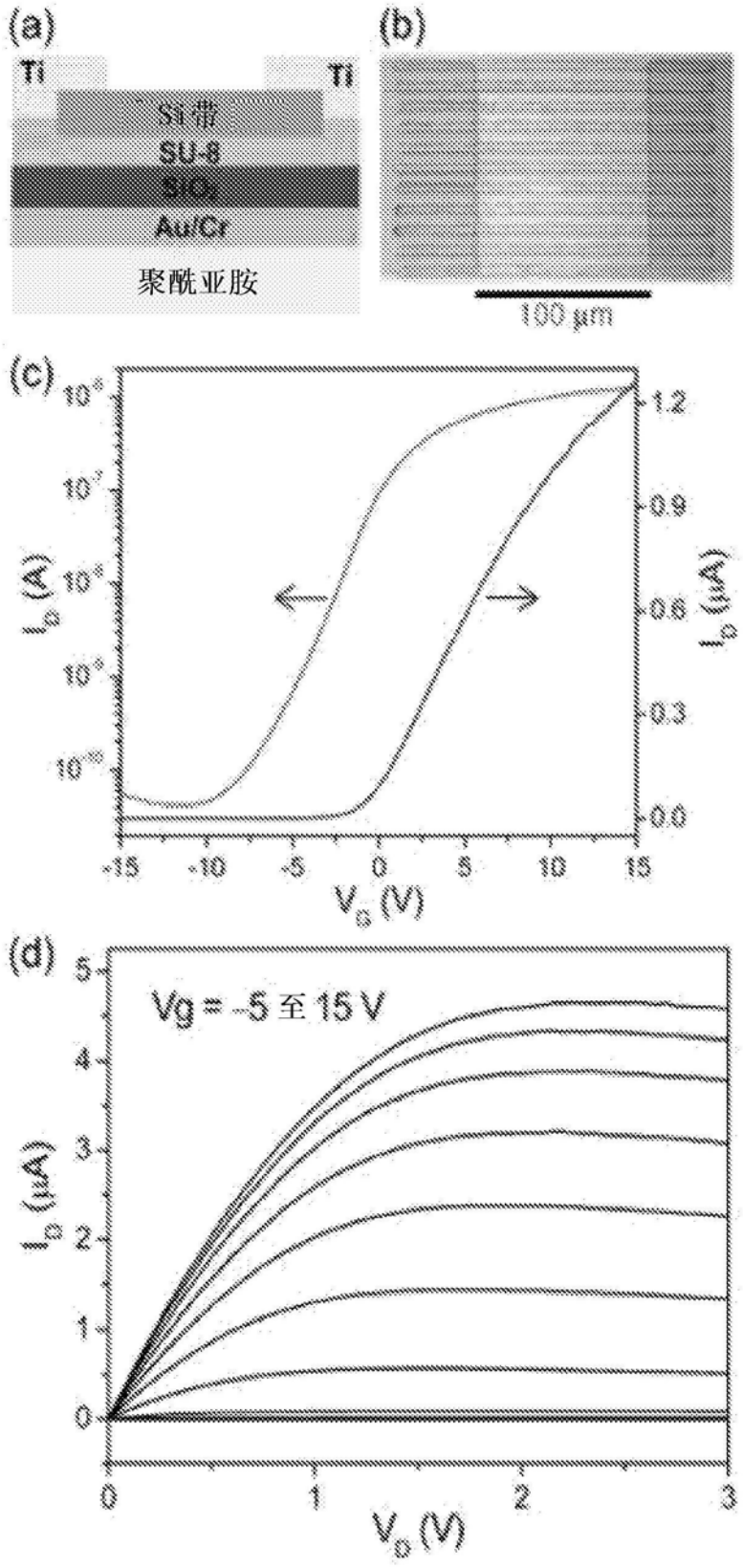

(a)
Ti
Ti
Si带
SU-8
SiO2
Au/Cr
聚酰亚胺
(b)
100 μm
(c)
10^-6
10^-7
10^-8
10^-9
10^-10
1.2
0.9
0.6
0.3
0.0
I_SD (A)
I_D (μA)
-15
-10
-5
0
5
10
15
V_G (V)
(d)
Vg = -5 至 15 V
5
4
3
2
1
0
I_D (μA)
0
1
2
3
V_D (V)

图30

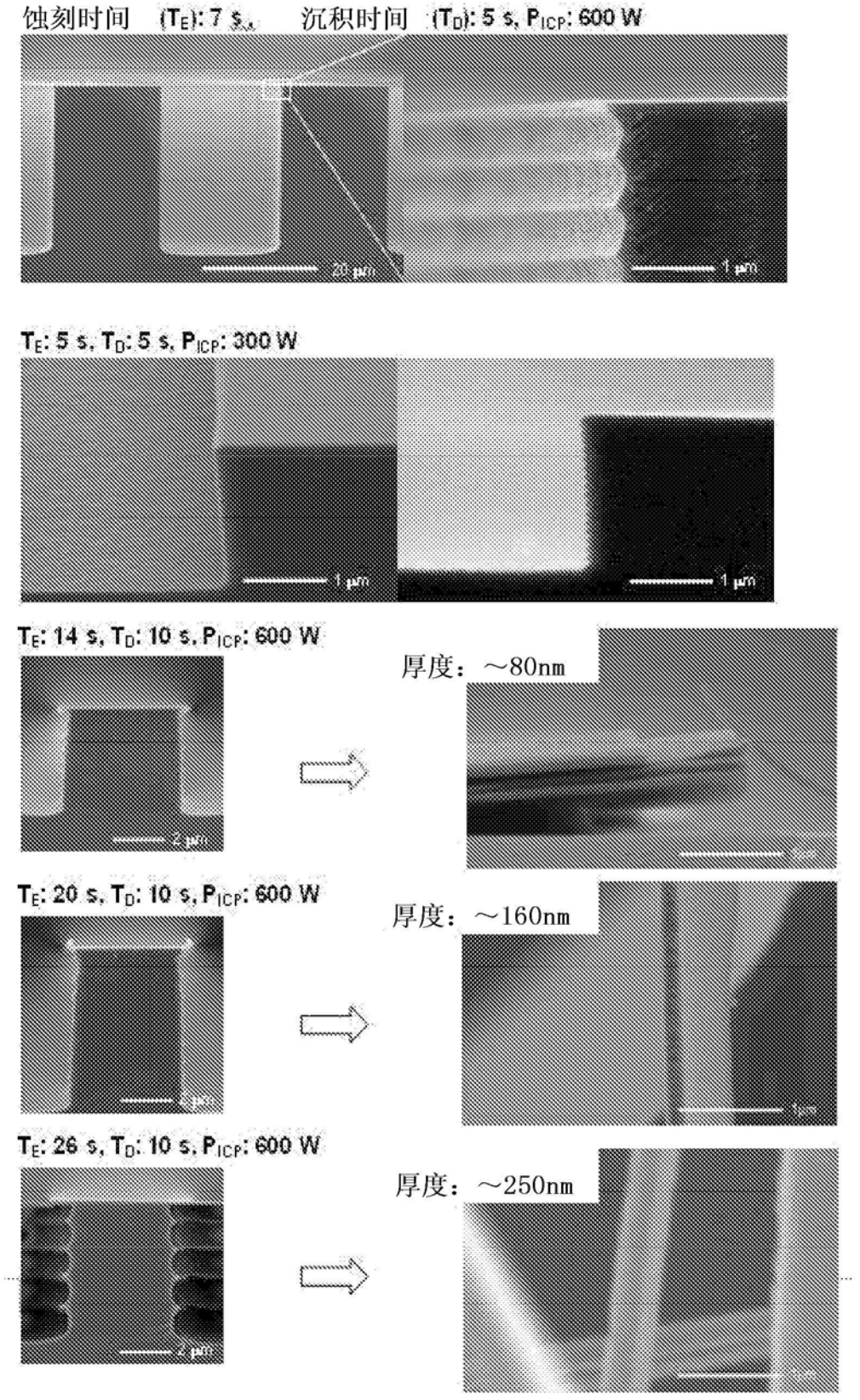

蚀刻时间 (T_E): 7 s, 沉积时间 (T_D): 5 s, P_{ICP}: 600 W
T_E: 5 s, T_D: 5 s, P_{ICP}: 300 W
T_E: 14 s, T_D: 10 s, P_{ICP}: 600 W
厚度：～80nm
T_E: 20 s, T_D: 10 s, P_{ICP}: 600 W
厚度：～160nm
T_E: 26 s, T_D: 10 s, P_{ICP}: 600 W
厚度：～250nm

图31

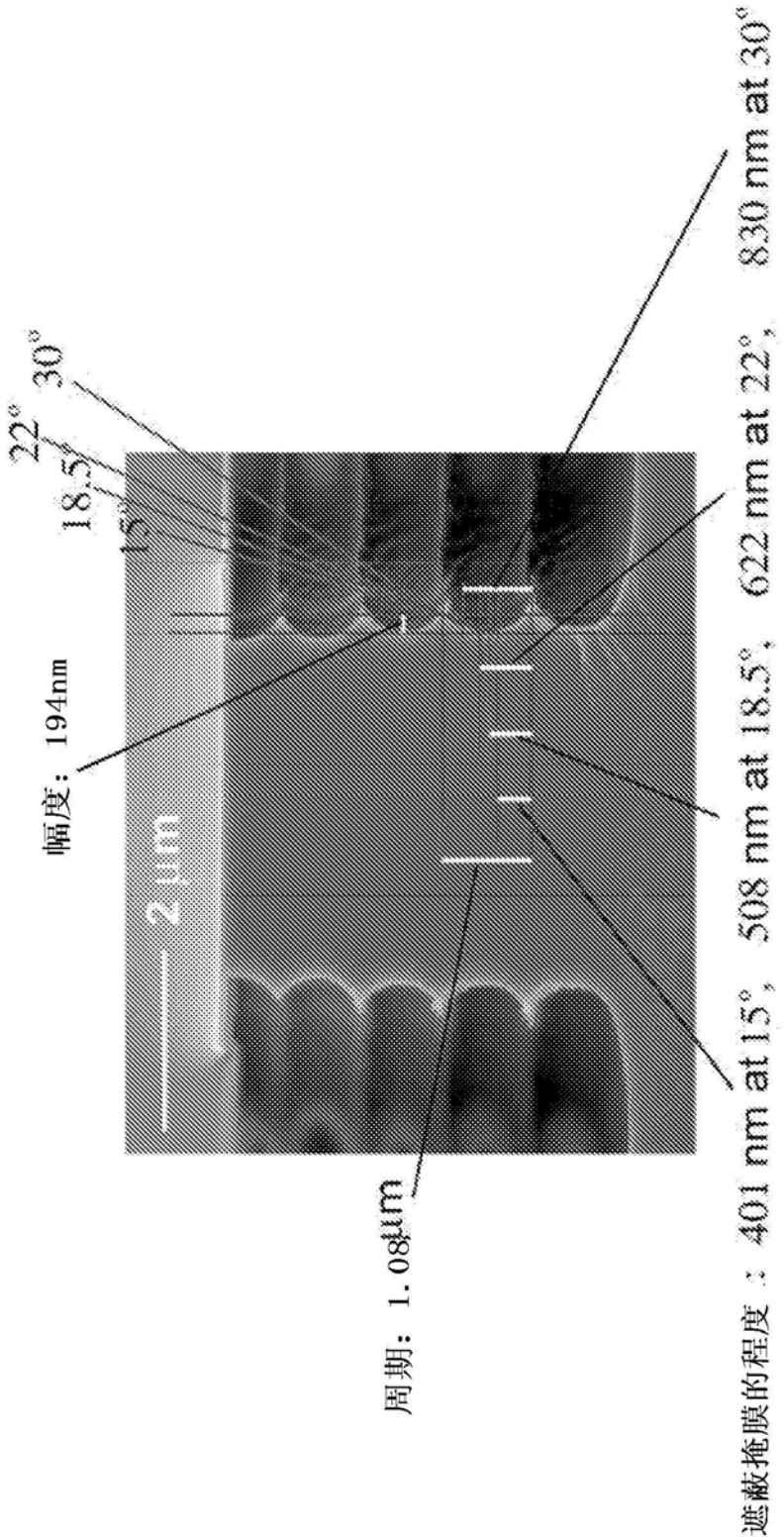

22°
30°
18.5°
15°
幅度：194nm
2 um
周期：1.08um
遮蔽掩膜的程度：401 nm at 15°, 508 nm at 18.5°, 622 nm at 22°, 830 nm at 30°

图32

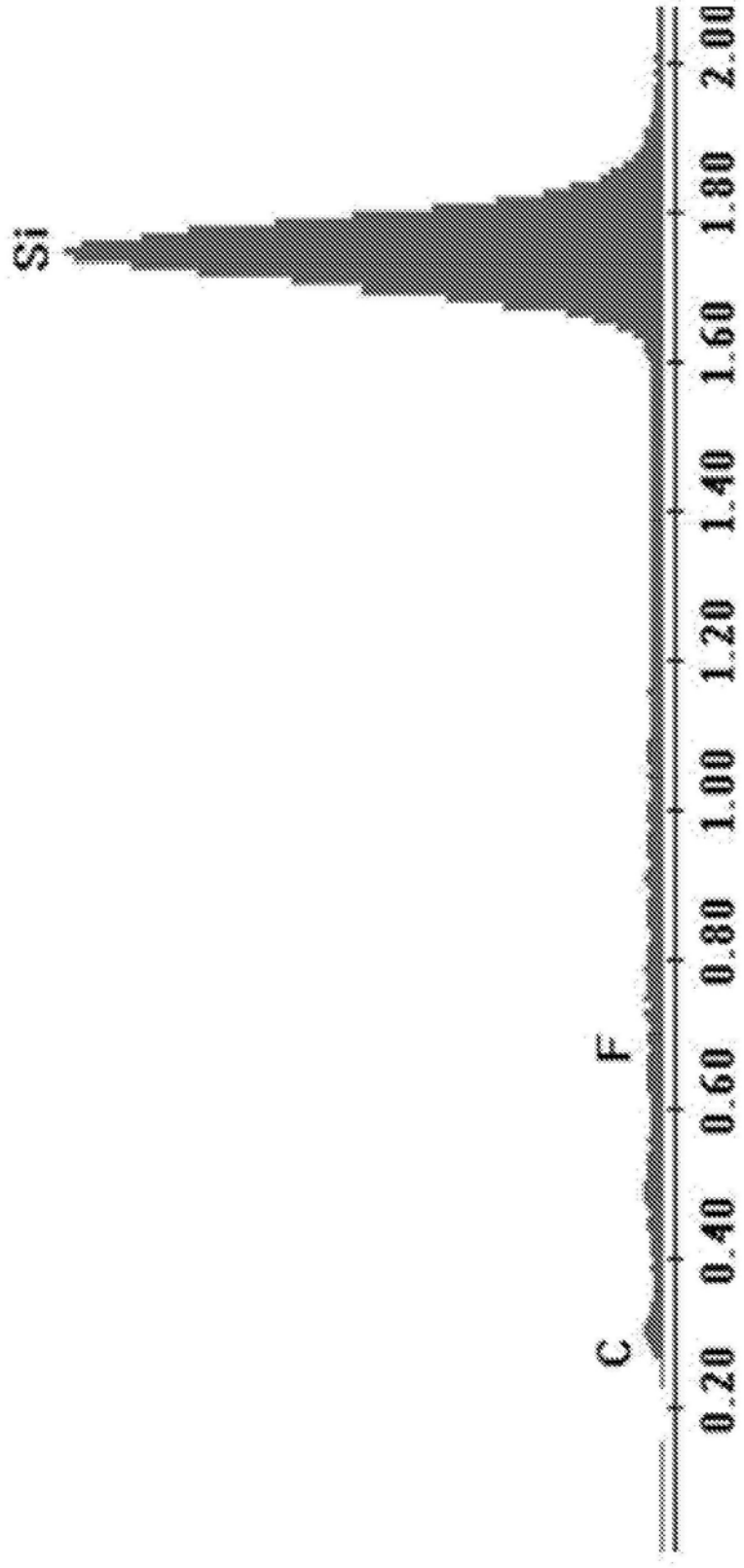


图33A

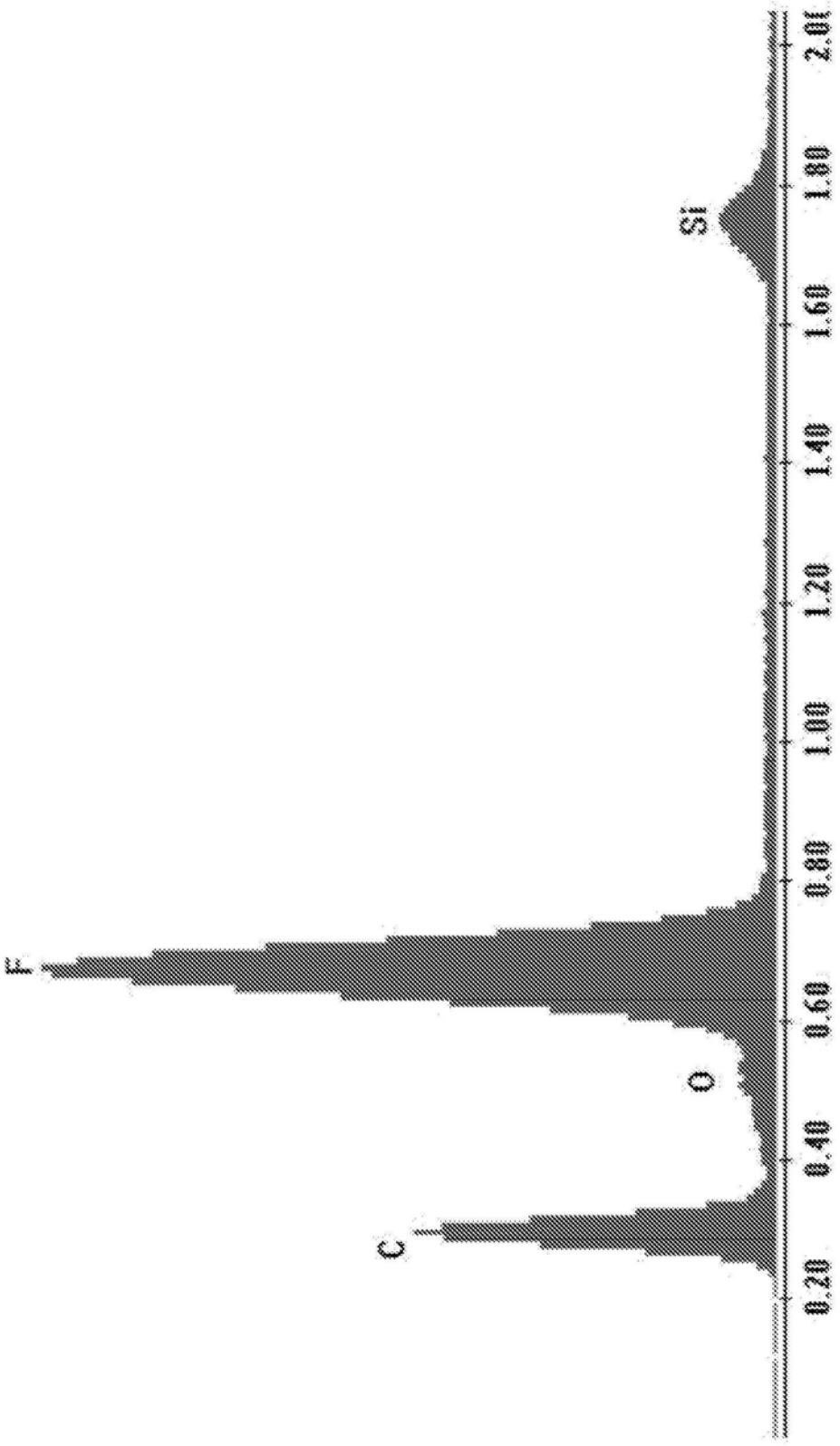


图33B

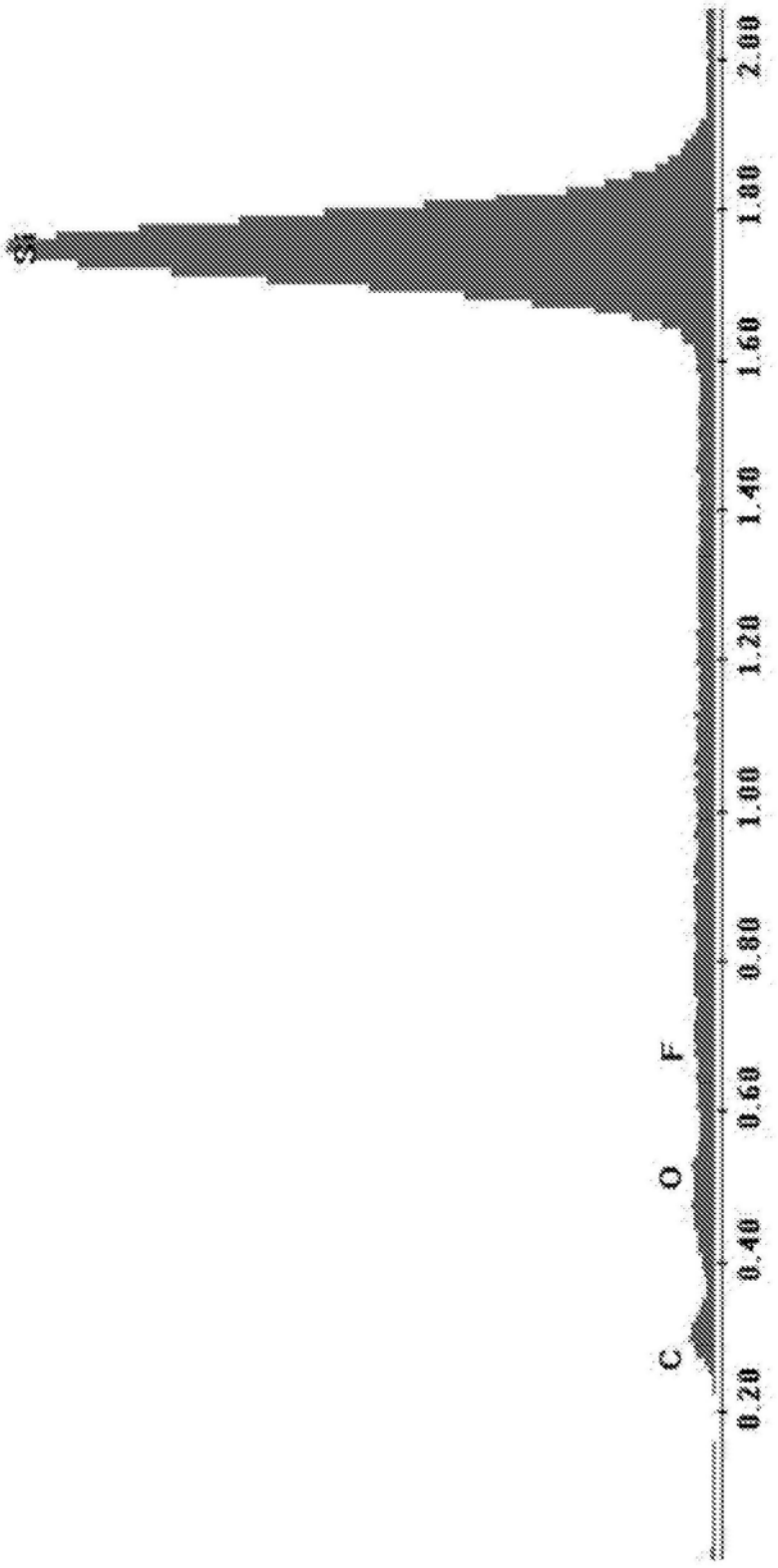


图33C

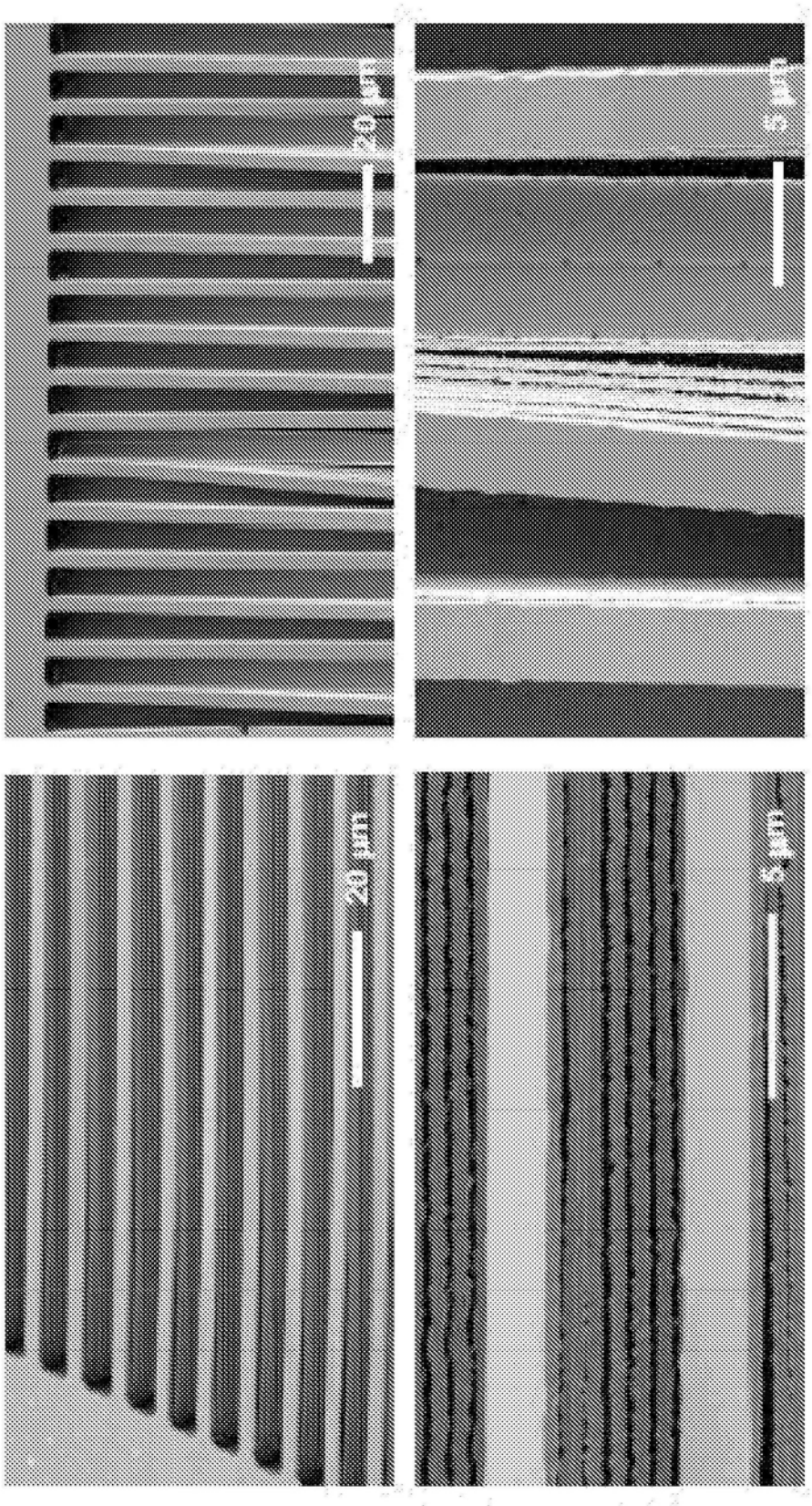


图34

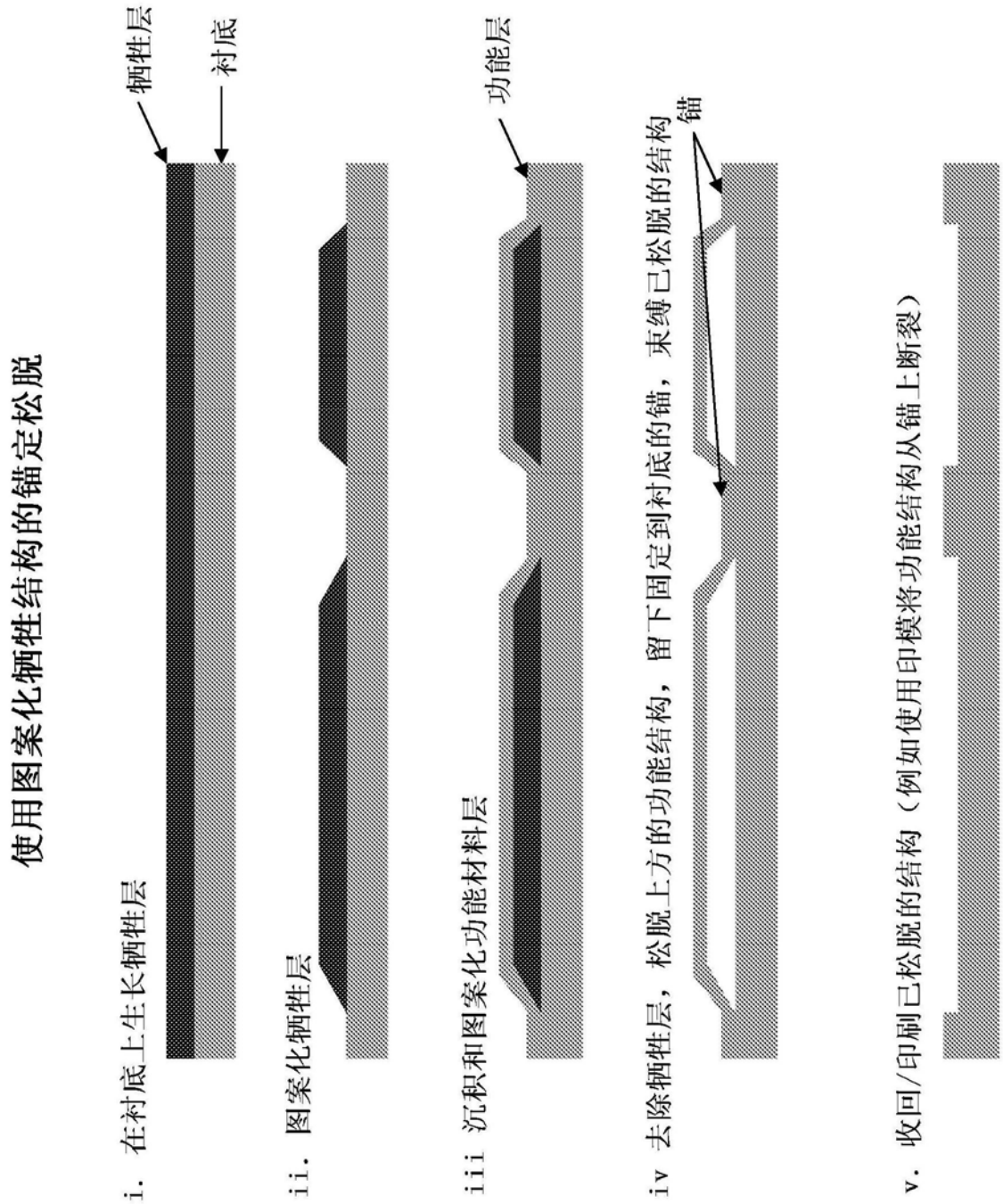

使用图案化牺牲结构的锚定松脱
牺牲层
衬底
i. 在衬底上生长牺牲层
ii. 图案化牺牲层
功能层
iii 沉积和图案化功能材料层
锚
iv 去除牺牲层，松脱上方的功能结构，留下固定到衬底的锚，束缚已松脱的结构
v. 收回/印刷已松脱的结构（例如使用印模将功能结构从锚上断裂）

图35

使用图案化牺牲结构的锚定松脱实例：从PECVD SiOx松脱的Au

在图案化SiOx（300nm）牺牲层（蓝色）上的功能层（150nm，金网格，1.5nmTi粘接层）

衬底暴露于HF15秒后使用PDMS印模回收覆盖有网格的牺牲层，以去除牺牲性PECVD SiOx。在没有牺牲层存在（右边）的情况下，网格保持锚定到衬底。

网格被印刷到涂布有PDMS（1-2微米）作为粘接层的PET衬底

图36

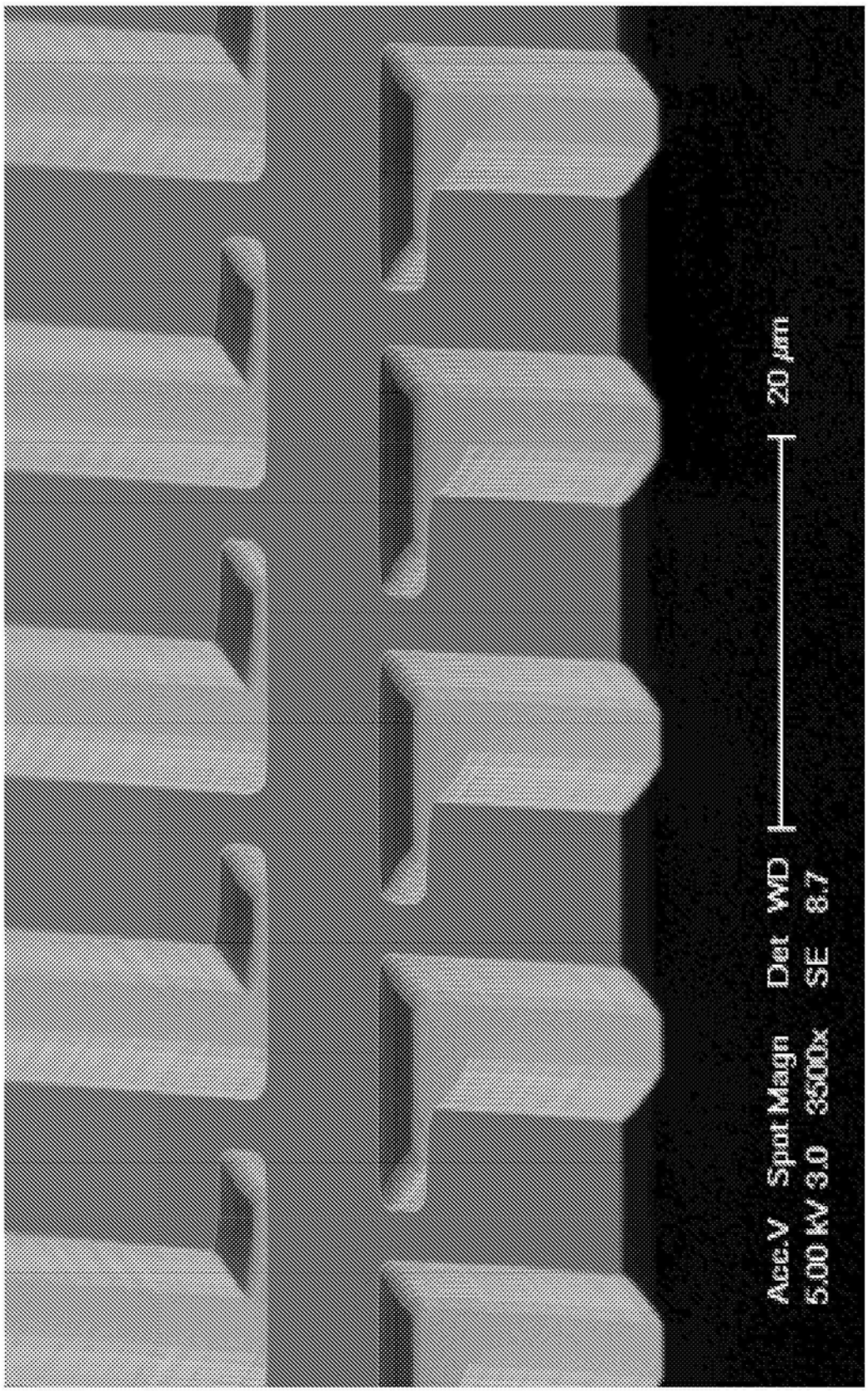


图37A

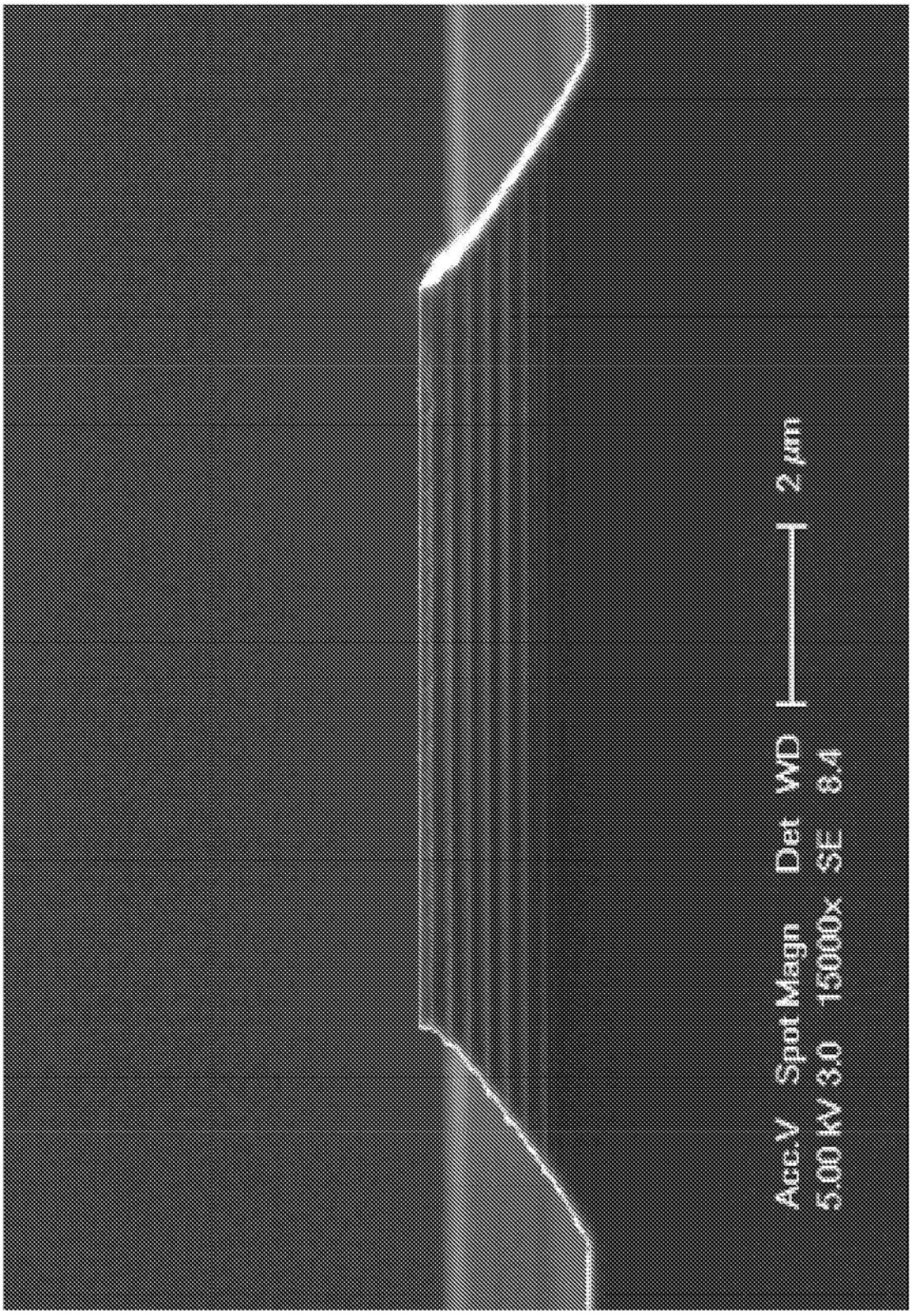


图37B

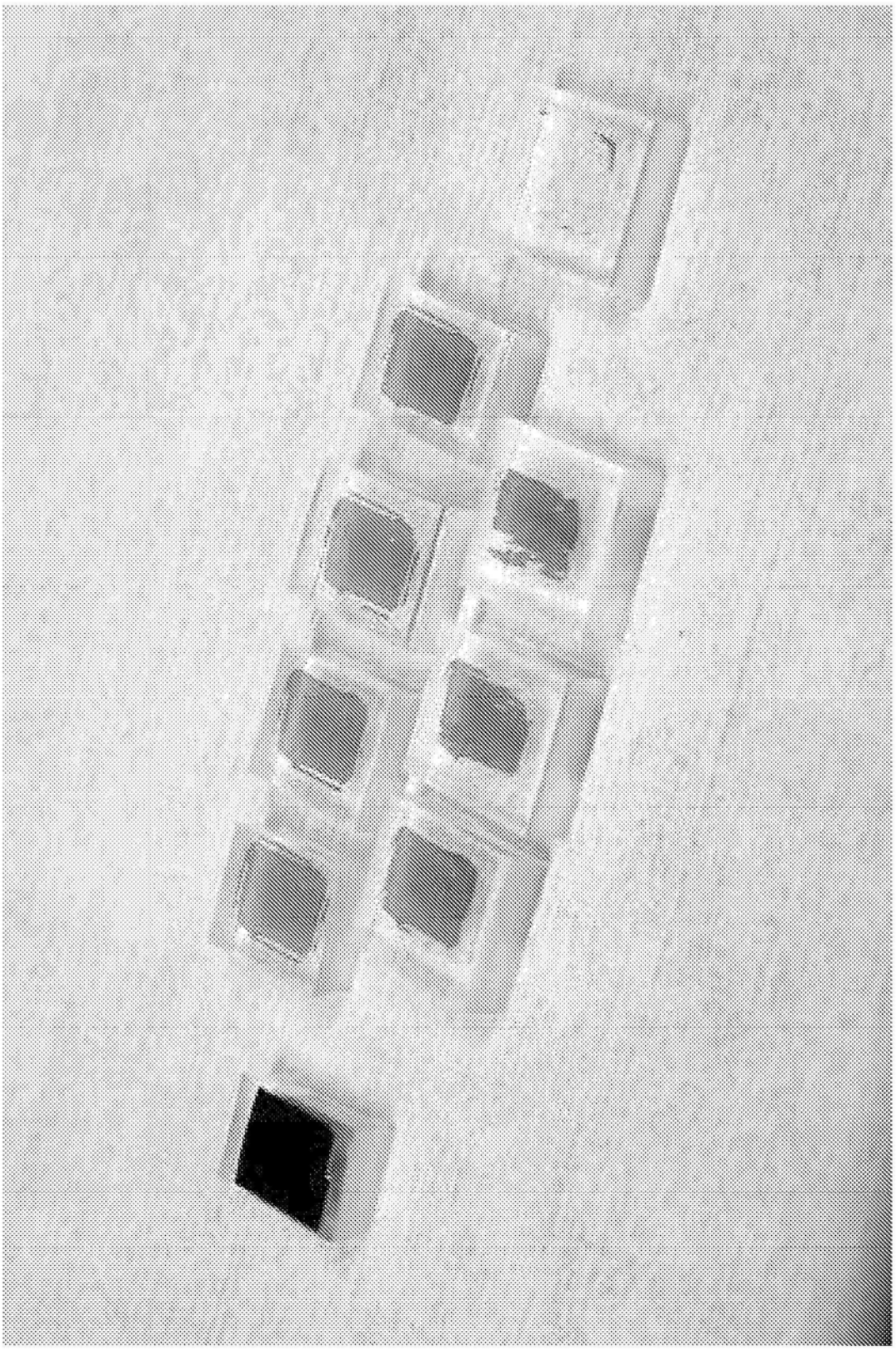


图38

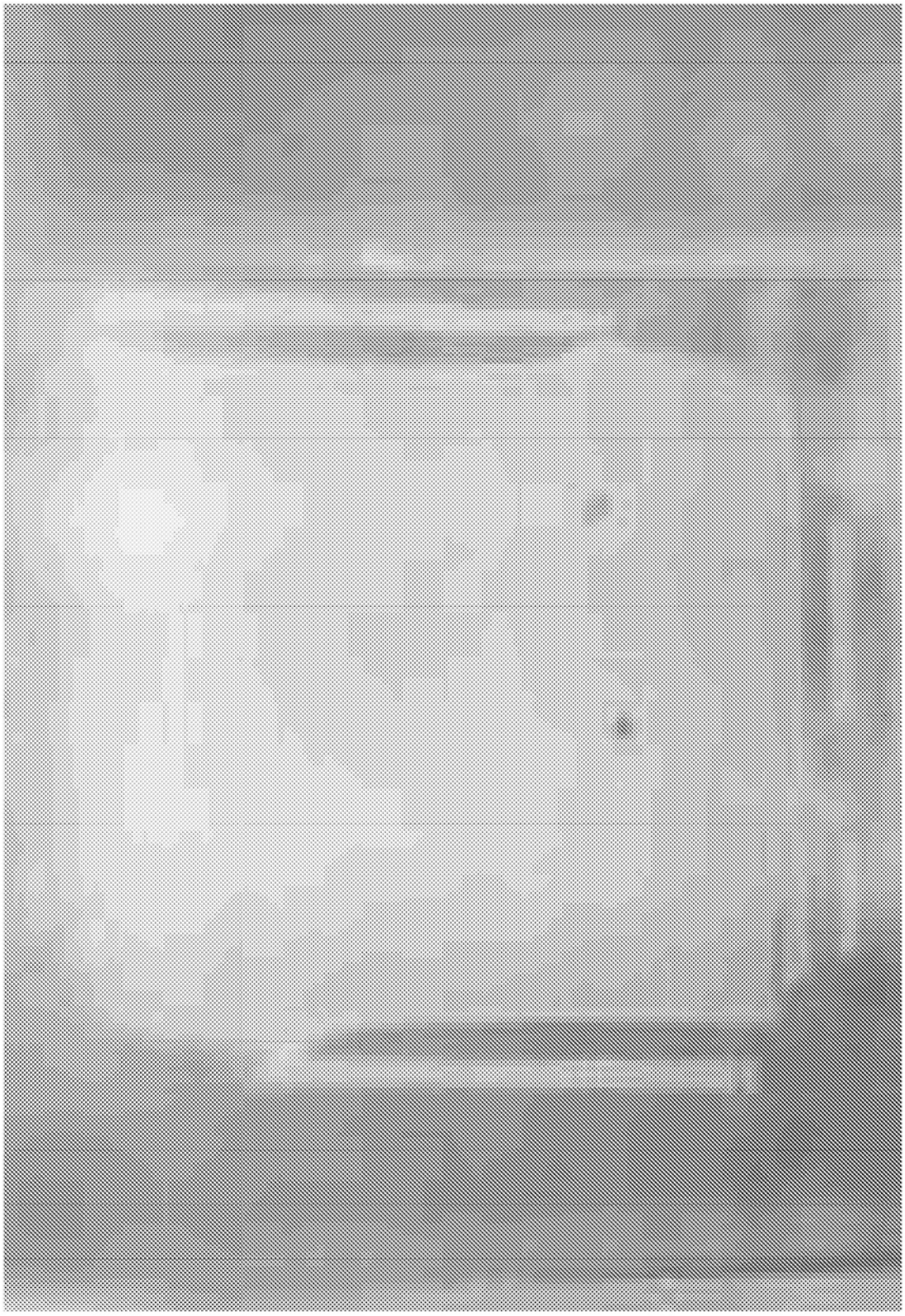


图39A

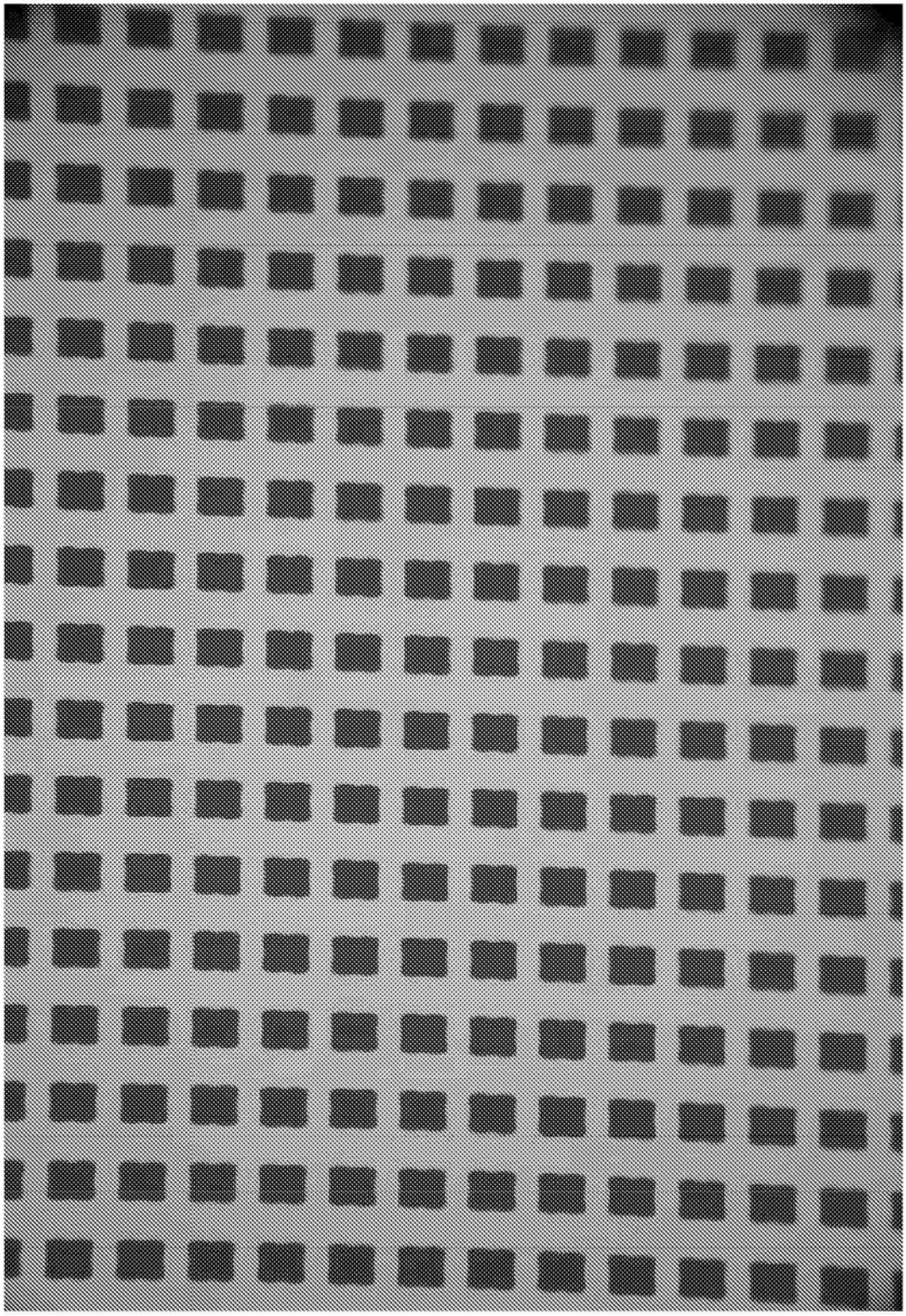


图39B