

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6902090号  
(P6902090)

(45) 発行日 令和3年7月14日(2021.7.14)

(24) 登録日 令和3年6月22日(2021.6.22)

(51) Int.Cl.

F 1

<b>H01L 21/363</b>	<b>(2006.01)</b>	<b>H01L 21/363</b>
<b>H01L 29/786</b>	<b>(2006.01)</b>	<b>H01L 29/78</b>
<b>H01L 29/80</b>	<b>(2006.01)</b>	<b>H01L 29/80</b>
<b>C23C 14/08</b>	<b>(2006.01)</b>	<b>C23C 14/08</b>
<b>C23C 14/34</b>	<b>(2006.01)</b>	<b>C23C 14/34</b>

請求項の数 12 (全 34 頁) 最終頁に続く

(21) 出願番号 特願2019-501265 (P2019-501265)  
 (86) (22) 出願日 平成30年2月15日 (2018.2.15)  
 (86) 国際出願番号 PCT/JP2018/005245  
 (87) 国際公開番号 WO2018/155301  
 (87) 国際公開日 平成30年8月30日 (2018.8.30)  
 審査請求日 令和2年9月3日 (2020.9.3)  
 (31) 優先権主張番号 特願2017-31460 (P2017-31460)  
 (32) 優先日 平成29年2月22日 (2017.2.22)  
 (33) 優先権主張国・地域又は機関  
日本国 (JP)

(73) 特許権者 000183646  
出光興産株式会社  
東京都千代田区大手町一丁目2番1号  
 (74) 代理人 110000637  
特許業務法人樹之下知的財産事務所  
 (72) 発明者 井上 一吉  
千葉県袖ヶ浦市上泉1280番地  
 (72) 発明者 柴田 雅敏  
千葉県袖ヶ浦市上泉1280番地  
 審査官 長谷川 直也

最終頁に続く

(54) 【発明の名称】酸化物半導体膜、薄膜トランジスタ、スパッタリングターゲット用酸化物焼結体、スパッタリングターゲット及び電子機器

## (57) 【特許請求の範囲】

## 【請求項 1】

In、Ga 及び Sn を下記原子比

0.01 Ga / (In + Ga + Sn) 0.30 ··· (1)

0.01 Sn / (In + Ga + Sn) 0.40 ··· (2)

0.55 In / (In + Ga + Sn) 0.98 ··· (3)

で含有し、

かつ、レアアース元素 X を下記原子比

0.03 X / (In + Ga + Sn + X) 0.25 ··· (4)

で含有する酸化物半導体膜。

10

## 【請求項 2】

前記レアアース元素 X が、イットリウム (Y)、ランタン (La)、ネオジム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホロミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb) 及びルテチウム (Lu) からなる群から選択される 1 種以上である請求項 1 に記載の酸化物半導体膜。

## 【請求項 3】

前記レアアース元素 X が、イットリウム (Y)、ランタン (La)、ネオジム (Nd) 及びサマリウム (Sm) からなる群から選択される 1 種以上である請求項 2 に記載の酸化物半導体膜。

20

**【請求項 4】**

請求項 1 から請求項 3 のいずれか一項に記載の酸化物半導体膜を用いた薄膜トランジスタ。

**【請求項 5】**

$In$ 、 $Ga$  及び  $Sn$  を下記原子比

$$0.01 \quad Ga / (In + Ga + Sn) \quad 0.30 \quad \dots (5)$$

$$0.01 \quad Sn / (In + Ga + Sn) \quad 0.40 \quad \dots (6)$$

$$0.55 \quad In / (In + Ga + Sn) \quad 0.98 \quad \dots (7)$$

で含有し、

かつ、レアアース元素 X を下記原子比

$$0.03 \quad X / (In + Ga + Sn + X) \quad 0.25 \quad \dots (8)$$

で含有するスパッタリングターゲット用酸化物焼結体。

**【請求項 6】**

前記レアアース元素 X が、イットリウム (Y)、ランタン (La)、ネオジム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホロミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb) 及びルテチウム (Lu) からなる群から選択される 1 種以上である請求項 5 に記載のスパッタリングターゲット用酸化物焼結体。

**【請求項 7】**

前記レアアース元素 X が、イットリウム (Y)、ランタン (La)、ネオジム (Nd) 及びサマリウム (Sm) からなる群から選択される 1 種以上である請求項 6 に記載のスパッタリングターゲット用酸化物焼結体。

**【請求項 8】**

$In_2O_3$  結晶を主成分とし、 $X_2Sn_2O_7$  結晶及び $X_3Ga_5O_{12}$  結晶（ここで、X は前記レアアース元素を示す）のいずれか一方又は両方を含有する請求項 5 から請求項 7 のいずれか一項に記載のスパッタリングターゲット用酸化物焼結体。

**【請求項 9】**

相対密度が 95 % 以上である請求項 5 から請求項 8 のいずれか一項に記載のスパッタリングターゲット用酸化物焼結体。

**【請求項 10】**

バルク抵抗が 30 m cm 以下である請求項 5 から請求項 9 のいずれか一項に記載のスパッタリングターゲット用酸化物焼結体。

**【請求項 11】**

請求項 5 から請求項 10 のいずれか一項に記載の酸化物焼結体と、パッキングプレートとを含むスパッタリングターゲット用酸化物焼結体。

**【請求項 12】**

請求項 4 に記載の薄膜トランジスタを用いた電子機器。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、酸化物半導体膜、それを用いた薄膜トランジスタ (TFT) の酸化物半導体膜等を製造する際に用いることのできるスパッタリングターゲット、及びその材料となる酸化物焼結体に関するものである。

**【背景技術】****【0002】**

薄膜トランジスタに用いられるアモルファス（非晶質）酸化物半導体は、汎用のアモルファスシリコン (a-Si) に比べて高いキャリヤー移動度を有し、光学バンドギャップが大きく、低温で成膜できるため、大型・高解像度・高速駆動が要求される次世代ディスプレイや、耐熱性の低い樹脂基板等への適用が期待されている。

**【0003】**

10

20

30

40

50

上記酸化物半導体（膜）の形成に当たっては、スパッタリングターゲットをスパッタリングするスパッタリング法が好適に用いられている。これは、スパッタリング法で形成された薄膜が、イオンプレーティング法や真空蒸着法、電子ビーム蒸着法で形成された薄膜に比べ、膜面方向（膜面内）における成分組成や膜厚等の面内均一性に優れており、スパッタリングターゲットと同じ成分組成の薄膜を形成できるためである。

#### 【0004】

特許文献1には、 $In_2O_3$ に $Ga_2O_3$ 及び $SnO_2$ を添加した酸化物半導体膜に関する例示がなされている。しかし、この膜は、成膜後のキャリヤー制御（キャリヤー濃度の低減）が難しく、当該膜の上にCVD等により層間絶縁膜等を形成した後では、半導体化しない場合があった。

10

#### 【0005】

特許文献2には、 $In_2O_3$ に $Ga_2O_3$ 及び $SnO_2$ を添加した酸化物半導体膜と $In_2O_3$ に $Ga_2O_3$ 及び $SnO_2$ 及び $ZnO$ を添加した酸化物半導体膜を積層したトランジスタ及びスパッタリングターゲットが例示されている。

#### 【0006】

特許文献3～6には、 $In_2O_3$ 、 $Ga_2O_3$ 及び $SnO_2$ からなる透明導電膜の製造方法が記載され、スパッタリングターゲットが例示されている。

#### 【0007】

一方でさらなる高性能なTFTへの強い要求があり、高移動度で、CVD等での特性変化の小さい材料への要望は大きい。

20

#### 【先行技術文献】

#### 【特許文献】

#### 【0008】

【特許文献1】特開2013-249537号公報

【特許文献2】国際公開2015-108110号公報

【特許文献3】特開2011-94232号公報

【特許文献4】特開平4-272612号公報

【特許文献5】国際公開2003-014409号公報

【特許文献6】国際公開2009-128424号公報

#### 【発明の概要】

30

#### 【発明が解決しようとする課題】

#### 【0009】

本発明の目的は、新たな酸化物系で構成される、新たな酸化物半導体膜を提供することである。

#### 【0010】

また、本発明の目的は、TFTに用いたときに優れたTFT性能が発揮される酸化物半導体膜、及びそれを形成できるスパッタリングターゲット、及びその材料である酸化物焼結体を提供することである。

#### 【課題を解決するための手段】

#### 【0011】

40

本発明によれば、以下の酸化物半導体膜、薄膜トランジスタ、酸化物焼結体及びスパッタリングターゲットが提供される。

$In$ 、 $Ga$ 及び $Sn$ を下記原子比

$$0.01 \quad Ga / (In + Ga + Sn) \quad 0.30 \quad \dots (1)$$

$$0.01 \quad Sn / (In + Ga + Sn) \quad 0.40 \quad \dots (2)$$

$$0.55 \quad In / (In + Ga + Sn) \quad 0.98 \quad \dots (3)$$

で含有し、

かつ、レアアース元素Xを下記原子比

$$0.03 \quad X / (In + Ga + Sn + X) \quad 0.25 \quad \dots (4)$$

で含有する酸化物半導体膜。

50

前記レアアース元素Xが、イットリウム(Y)、ランタン(La)、ネオジム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホロミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)及びルテチウム(Lu)からなる群から選択される1種以上である上記に記載の酸化物半導体膜。

前記レアアース元素Xが、イットリウム(Y)、ランタン(La)、ネオジム(Nd)及びサマリウム(Sm)からなる群から選択される1種以上である上記に記載の酸化物半導体膜。

上記いずれか1つに記載の酸化物半導体膜を用いた薄膜トランジスタ。

In、Ga及びSnを下記原子比

$$0.01 \text{ Ga} / (In + Ga + Sn) = 0.30 \quad \dots (5)$$

$$0.01 \text{ Sn} / (In + Ga + Sn) = 0.40 \quad \dots (6)$$

$$0.55 \text{ In} / (In + Ga + Sn) = 0.98 \quad \dots (7)$$

で含有し、

かつ、レアアース元素Xを下記原子比

$$0.03 \text{ X} / (In + Ga + Sn + X) = 0.25 \quad \dots (8)$$

で含有する酸化物焼結体。

前記レアアース元素Xが、イットリウム(Y)、ランタン(La)、ネオジム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホロミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)及びルテチウム(Lu)からなる群から選択される1種以上である上記に記載の酸化物焼結体。

前記レアアース元素Xが、イットリウム(Y)、ランタン(La)、ネオジム(Nd)及びサマリウム(Sm)からなる群から選択される1種以上である上記に記載の酸化物焼結体。

$In_2O_3$ 結晶を主成分とし、 $X_2Sn_2O_7$ 結晶及び $X_3Ga_5O_{12}$ 結晶(ここで、Xは前記レアアース元素を示す)のいずれか一方又は両方を含有する上記のいずれか一つに記載の酸化物焼結体。

相対密度が95%以上である上記のいずれか一つに記載の酸化物焼結体。

バルク抵抗が30mcm以下である上記のいずれか一つに記載の酸化物焼結体。

上記のいずれか一つに記載の酸化物焼結体と、バッキングプレートとを含むスパッタリングターゲット。

上記に記載の薄膜トランジスタを用いた電子機器。

#### 【0012】

本発明によれば、新たな酸化物系で構成される、新たな酸化物半導体膜が提供できる。本発明によれば、TFTに用いたときに優れたTFT性能が発揮される酸化物半導体膜、及びそれを形成できるスパッタリングターゲット、及びその材料である酸化物焼結体が提供できる。

#### 【図面の簡単な説明】

#### 【0013】

【図1】本発明の一実施形態に係るターゲットの形状を示す斜視図。

【図2】本発明の一実施形態に係るターゲットの形状を示す斜視図。

【図3】本発明の一実施形態に係るターゲットの形状を示す斜視図。

【図4】本発明の一実施形態に係るターゲットの形状を示す斜視図。

【図5】本発明の一実施形態に係る薄膜トランジスタを示す縦断面図。

【図6】本発明の一実施形態に係る薄膜トランジスタを示す縦断面図。

【図7】本発明の一実施形態に係る量子トンネル電界効果トランジスタを示す縦断面図。

【図8】量子トンネル電界効果トランジスタの他の実施形態を示す縦断面図。

【図9】図8において、p型半導体層とn型半導体層の間に酸化シリコン層が形成された部分のTEM(透過型電子顕微鏡)写真。

10

20

30

40

50

- 【図10】量子トンネル電界効果トランジスタの製造手順を説明するための縦断面図。
- 【図11】量子トンネル電界効果トランジスタの製造手順を説明するための縦断面図。
- 【図12】量子トンネル電界効果トランジスタの製造手順を説明するための縦断面図。
- 【図13】量子トンネル電界効果トランジスタの製造手順を説明するための縦断面図。
- 【図14】量子トンネル電界効果トランジスタの製造手順を説明するための縦断面図。
- 【図15】本発明の一実施形態に係る薄膜トランジスタを用いた表示装置を示す上面図。
- 【図16】VA型液晶表示装置の画素に適用することができる画素部の回路を示す図。
- 【図17】有機EL素子を用いた表示装置の画素部の回路を示す図。
- 【図18】本発明の一実施形態に係る薄膜トランジスタを用いた固体撮像素子の画素部の回路を示す図。

10

- 【図19】実施例1で作製した焼結体のXRDチャート。
- 【図20】実施例2で作製した焼結体のXRDチャート。
- 【図21】実施例3で作製した焼結体のXRDチャート。
- 【図22】実施例4で作製した焼結体のXRDチャート。
- 【図23】比較例1で作製した焼結体のXRDチャート。
- 【図24】比較例2で作製した焼結体のXRDチャート。
- 【図25】比較例3で作製した焼結体のXRDチャート。
- 【図26】比較例4で作製した焼結体のXRDチャート。

【図27】ガラス基板上に酸化物半導体薄膜を形成した状態を示す縦断面図。

【図28】図27の酸化物半導体薄膜上にSiO<sub>2</sub>膜を形成した状態を示す図。

20

#### 【発明を実施するための形態】

##### 【0014】

##### [発明の背景]

従来の、酸化インジウム(Indium oxide)、酸化ガリウム(Gallium oxide)、及び酸化スズ(Sn oxide)を焼結して得られる酸化物焼結体からなるスパッタリングターゲットは、スパッタ時にターゲットにヘアーラインクラックと呼ばれる、微小なライン状のクラックが生じることがあった。これらが生じるとスパッタ時に異常放電を起こして、ノジュールと呼ばれる異物を発生させる場合があり、製品の歩留まりや性能を低下させる要因となっていた。

##### 【0015】

ヘアーラインクラックが生じる原因は明らかではないが、スパッタリングターゲット中にGa<sub>3</sub>In<sub>5</sub>Sn<sub>2</sub>O<sub>16</sub>、Ga<sub>2</sub>In<sub>6</sub>Sn<sub>2</sub>O<sub>16</sub>、Ga<sub>3</sub>InSn<sub>5</sub>O<sub>16</sub>等の化合物が存在すると、スパッタ等により一方向から熱が加わった場合に、これらの化合物の結晶相の間の熱膨張率の違いに起因して、内部応力が発生し、ヘアーラインクラックが発生すると考えられる。

##### 【0016】

これらの問題を解決するため、本発明者らは、酸化インジウム(Indium oxide)、酸化ガリウム(Gallium oxide)、及び酸化スズ(Sn oxide)に、レアアース元素X:(Y、La、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu)の酸化物X<sub>2</sub>O<sub>3</sub>:(Y<sub>2</sub>O<sub>3</sub>、La<sub>2</sub>O<sub>3</sub>、Nd<sub>2</sub>O<sub>3</sub>、Sm<sub>2</sub>O<sub>3</sub>、Eu<sub>2</sub>O<sub>3</sub>、Gd<sub>2</sub>O<sub>3</sub>、Tb<sub>2</sub>O<sub>3</sub>、Dy<sub>2</sub>O<sub>3</sub>、Ho<sub>2</sub>O<sub>3</sub>、Er<sub>2</sub>O<sub>3</sub>、Tm<sub>2</sub>O<sub>3</sub>、Yb<sub>2</sub>O<sub>3</sub>、Lu<sub>2</sub>O<sub>3</sub>)を添加して焼結することにより、Ga<sub>3</sub>In<sub>5</sub>Sn<sub>2</sub>O<sub>16</sub>やGa<sub>2</sub>In<sub>6</sub>Sn<sub>2</sub>O<sub>16</sub>、Ga<sub>3</sub>InSn<sub>5</sub>O<sub>16</sub>等の化合物の生成を抑制できることを見出した。

これにより、内部応力が発生せず、ヘアーラインクラック等の発生がなくなり、一方で酸化物半導体も安定した組成であることが判明した。

##### 【0017】

##### [酸化物焼結体]

本発明の一態様の酸化物焼結体(以下、本発明の焼結体と略称することがある)は、In、Ga及びSnを下記原子比

0.01 Ga / (In + Ga + Sn) 0.30 . . . (5)

40

50

0 . 0 1 S n / ( I n + G a + S n ) 0 . 4 0 . . . ( 6 )  
 0 . 5 5 I n / ( I n + G a + S n ) 0 . 9 8 . . . ( 7 )

で含有し、

かつ、レアアース元素Xを下記原子比

0 . 0 3 X / ( I n + G a + S n + X ) 0 . 2 5 . . . ( 8 )

で含有することを特徴とする。

#### 【0018】

本発明の焼結体は、酸化インジウム、酸化ガリウム及び酸化スズをベースの原料とし、これに結晶の生成抑制剤として、レアアース元素の酸化物を添加して焼結することによって得られる。

10

#### 【0019】

「レアアース元素」とは、希土類金属元素とも呼ばれ、周期律表で3族に分類されているスカンジウム(Sc)、イットリウム(Y)及びランタノイド元素の総称である。「ランタノイド元素」には、ラントン(La)、セリウム(Ce)、プラセオジム(Pr)、ネオジム(Nd)、プロメチウム(Pm)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)及びルテチウム(Lu)が含まれる。以下の説明も同様である。

#### 【0020】

本発明においては、上記レアアース元素のうち、イットリウム(Y)、ラントン(La)、ネオジム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)及びルテチウム(Lu)からなる群から選択される、1種以上を用いることが好ましく、イットリウム(Y)、サマリウム(Sm)及びイッテルビウム(Yb)からなる群から選択される1種以上を用いることが、さらに好ましい。

20

レアアース元素Xは、イットリウム(Y)、ラントン(La)、ネオジム(Nd)及びサマリウム(Sm)からなる群から選択される1種以上であるのが、よりさらに好ましい。

#### 【0021】

30

レアアース元素は、In(インジウム)元素イオン、Ga(ガリウム)元素イオン、Sn(スズ)元素イオンのイオン半径より大きなイオン半径を有しており、 $Ga_3In_5Sn_2O_{16}$ や $Ga_2In_6Sn_2O_{16}$ 、 $Ga_3InSn_5O_{16}$ 化合物に固溶しない性質を有し、Sn(スズ)元素やGa(ガリウム)元素と反応しやすい性質を持ち、レアアース元素をXとした場合、 $X_2Sn_2O_7$ 化合物や $X_3Ga_5O_{12}$ 化合物を生成することで、 $Ga_3In_5Sn_2O_{16}$ や $Ga_2In_6Sn_2O_{16}$ 、 $Ga_3InSn_5O_{16}$ 化合物の結晶の生成抑制剤として機能すると考えられる。

#### 【0022】

具体的には、In、Ga及びSnの原子比組成が下記範囲

0 . 0 1 G a / ( I n + G a + S n ) 0 . 3 0 . . . ( 5 )  
 0 . 0 1 S n / ( I n + G a + S n ) 0 . 4 0 . . . ( 6 )  
 0 . 5 5 I n / ( I n + G a + S n ) 0 . 9 8 . . . ( 7 )

となるように、 $In_2O_3$ 、 $Ga_2O_3$ 及び $SnO_2$ を混合し、さらに、レアアース元素Xの原子比組成が下記範囲

0 . 0 3 X / ( I n + G a + S n + X ) 0 . 2 5 . . . ( 8 )

となるように、結晶の生成抑制剤として $X_2O_3$ を添加、混合した原料を焼結すればよい。

#### 【0023】

$In_2O_3$ 、 $Ga_2O_3$ 及び $SnO_2$ を焼結する際に、結晶の生成抑制剤として $X_2O_3$ を加えることにより、従来の $In_2O_3$ 、 $Ga_2O_3$ 及び $SnO_2$ を焼結した場合の主

50

成分であった、 $Ga_3InSn_5O_{16}$  化合物や $Ga_2In_6Sn_2O_{16}$  化合物を主成分とすることがなく、 $In_2O_3$  結晶と、 $X_2Sn_2O_7$  結晶及び／又は $X_3Ga_5O_1_2$  結晶を含有する、焼結体が得られる。

#### 【0024】

本発明の一形態であるスパッタリングターゲット（以下、本発明のターゲットと略称することがある）は、上記酸化物焼結体と、バッキングプレートとを含むことを特徴とする。

#### 【0025】

上記本発明の焼結体を切削研磨加工して板状としたスパッタリングターゲット材を作製し、これを、金属インジウム等の低融点金属を用いて、金属性のバッキングプレートにボンディングすることにより、スパッタリング装置の部材としてのスパッタリングターゲットとすることができる。10

以下、上記本発明の焼結体とバッキングプレートとを含む、スパッタリングターゲットにおける焼結体を、「本発明のターゲット材」という。

#### 【0026】

上記本発明の焼結体（ターゲット材）は、結晶の生成抑制剤として $X_2O_3$  を所定の割合で添加して焼結することで、 $Ga_3In_5Sn_2O_{16}$ 、 $Ga_2In_6Sn_2O_{16}$ 、 $Ga_3InSn_5O_{16}$  等の化合物の生成が抑制される。これらの化合物は、スパッタ時に内部応力を発生させ、ヘアーラインクラックを生じさせると考えられる。

本発明のターゲット材を用いれば、スパッタ時にヘアーラインクラックの発生がなく、ヘアーラインクラックに起因する異常放電によるノジュールと呼ばれる異物の発生もない。20

#### 【0027】

本発明の焼結体（ターゲット材）は、 $Ga_3InSn_5O_{16}$  化合物や $Ga_2In_6Sn_2O_{16}$  化合物は、含まないことが好ましいが、焼結体中のこれらの化合物の合計が、焼結体の主成分とならない量、即ち、50質量%以下の含有は許容される。

#### 【0028】

本発明の一実施形態の焼結体では、 $Ga_3InSn_5O_{16}$  化合物、及び $Ga_2In_6Sn_2O_{16}$  化合物のいずれか一方又は両方を含有しないのが好ましい。これらの化合物を含有しないことにより、スパッタ時にヘアーラインクラックが発生しない焼結体（ターゲット材）が得られる。30

#### 【0029】

本発明の一実施形態の焼結体は、 $In_2O_3$  結晶を主成分とし、 $X_2Sn_2O_7$  結晶及び $X_2SnO_7$  結晶（ここで、Xは前記レアアース元素である）のいずれか一方又は両方を含有するのが好ましい。

ここで、「 $In_2O_3$  結晶を主成分とする」とは、焼結体の全酸化物中に占める $In_2O_3$  結晶の割合が50質量%を超えることを意味し、より好ましくは、55質量%以上、さらに好ましくは、60質量%以上である。

以下、本明細書において「主成分」というときは、焼結体の全酸化物中に占める割合が50質量%を超えることを意味する。40

#### 【0030】

$In_2O_3$  結晶を主成分とし、 $X_2Sn_2O_7$  結晶を含有することにより、 $X_2O_3$  を添加しない場合に主成分であった、 $Ga_3InSn_5O_{16}$  化合物や $Ga_2In_6Sn_2O_{16}$  化合物を、含有しない焼結体を得ることができる。これにより、スパッタ時にヘアーラインクラック等が発生しない。

#### 【0031】

また、本発明の他の実施形態の焼結体では、X線解析より求めた $In_2O_3$  と $X_2Sn_2O_7$  の質量比が、 $In_2O_3 > X_2Sn_2O_7$  であることが好ましい。 $In_2O_3$  の含有比率が $X_2Sn_2O_7$  より小さくなると、焼結体（ターゲット材）のバルク抵抗が大きくなる場合が有り、スパッタ時に異常放電やアーク放電等が起こる場合がある。そのため50

、TFTの製造工程で歩留まりが低下したり、TFTの特性が劣化したりする場合がある。 $In_2O_3 > Sn_2O_7$ であれば、スパッタ時の異常放電等を抑制できるターゲット材となる。

#### 【0032】

酸化ガリウムは、酸素欠損の発生を抑える効果と、得られる酸化物半導体膜のバンドギャップを大きくする効果が有る。 $Ga / (In + Ga + Sn)$  (原子比) は、0.01  $Ga / (In + Ga + Sn)$  0.30 が好ましい。0.01未満では、酸素欠損を抑える効果が小さく、半導体膜を形成できない場合がある。また、0.30超では、酸素欠損がなくなり、得られる膜が絶縁膜化する場合がある。また、焼結体をターゲットとして用いた場合にヘアーラインクラック等が発生する恐れがある。

より好ましくは、0.02  $Ga / (In + Ga + Sn)$  0.27 であり、さらに好ましくは、0.03  $Ga / (In + Ga + Sn)$  0.23 である。

#### 【0033】

酸化スズは、耐薬品性を有しており、かつ導電膜として使用されることからも分かるように、半導体膜の移動度に影響を及ぼすことは少ないと考えられる。よって、 $Sn / (In + Ga + Sn)$  (原子比) は、0.01  $Sn / (In + Ga + Sn)$  0.40 が好ましい。0.01未満では、耐薬品性が発現しない場合がある。0.40超では、耐薬品性が高すぎて、得られる半導体膜をエッチングして、半導体膜のアイランドを形成することができない場合がある。より好ましくは、0.02  $Sn / (In + Ga + Sn)$  0.35 であり、さらに好ましくは0.03  $Sn / (In + Ga + Sn)$  0.30 である。

#### 【0034】

酸化インジウムは、半導体膜の移動度を担う酸化物である。 $In / (In + Ga + Sn)$  (原子比) は、0.55  $In / (In + Ga + Sn)$  0.98 が好ましい。0.55未満では、移動度の低下が起こる場合がある。また、焼結体をターゲットとして用いた場合にヘアーラインクラック等が発生する恐れがある。0.98超では、結晶化したり、酸素欠損の量が増えすぎて、得られる膜が半導体とならず、導体になる場合がある。より好ましくは、0.60  $In / (In + Ga + Sn)$  0.96 であり、さらに好ましくは、0.60  $In / (In + Ga + Sn)$  0.94 である。

#### 【0035】

上記ベースの原料にレアアース元素の酸化物を添加しない場合は、結晶相の主成分が $Ga_3InSn_5O_{16}$ 化合物や、 $Ga_2In_6Sn_2O_{16}$ 化合物である焼結体となる。レアアース元素の酸化物の添加により、 $In_2O_3$ 結晶、 $Z_2Sn_2O_7$ 結晶を含有し、これらを主成分とする焼結体(ターゲット材)が得られる。これにより、ヘアーラインクラック等の課題を解決することができる。

#### 【0036】

尚、本発明の酸化物焼結体は、本質的に、金属元素として $In$ 、 $Ga$ 、 $Sn$ 及びレアアース元素のみを含んでいてもよい。この場合、不可避不純物としての他の金属元素を含んでいてもよい。

#### 【0037】

不可避不純物の例としては、アルカリ金属、およびアルカリ土類金属( $Li$ 、 $Na$ 、 $K$ 、 $Rb$ 、 $Mg$ 、 $Ca$ 、 $Sr$ 、 $Ba$ 等など)が上げられ、10 ppm以下、好ましくは1 ppm以下、さらに好ましくは100 ppb以下が良い。不純物濃度は、ICPやSIMSにより測定することができる。また、アルカリ金属やアルカリ土類金属の他に、水素や窒素元素を含む場合もある。この場合、SIMSによる測定で5 ppm以下、好ましくは1 ppm以下、さらに好ましくは100 ppb以下が良い。

#### 【0038】

また、本発明の酸化物焼結体中の全金属元素の、例えば、70%原子以上、80原子%以上、90原子%以上、95原子%以上、98原子%以上又は99原子%以上が、 $In$ 、 $Ga$ 、 $Sn$ 及びレアアース元素で占められていてもよい。

10

20

30

40

50

本発明の酸化物焼結体は、In、Ga、Sn及びレアアース元素以外の金属元素として、例えば、Ce（セリウム）元素等を含んでいてもよい。

#### 【0039】

本発明の一実施形態の焼結体（ターゲット材）におけるレアアース元素Xの割合は、下記原子比

$$0.03 \quad X / (In + Ga + Sn + X) \quad 0.25 \quad \dots \quad (8)$$

の範囲であることが好ましい。0.03未満では、 $_{\text{Ga}_3\text{In}_5\text{Sn}_5\text{O}_{16}}$ 化合物や、 $_{\text{Ga}_2\text{In}_6\text{Sn}_2\text{O}_{16}}$ 化合物の生成を、十分に抑えることができない場合がある。また、0.25超では、得られる酸化物半導体膜を用いた薄膜トランジスタの移動度が小さくなり、実用に供さなくなる場合がある。レアアース元素の添加により、得られる酸化物半導体膜を用いた薄膜トランジスタの、耐CVD性が向上する効果が得られる。より好ましくは、0.04  $X / (In + Ga + Sn + X) \quad 0.20$ であり、さらに好ましくは、0.05  $X / (In + Ga + Sn + X) \quad 0.17$ である。

#### 【0040】

本発明の一実施形態の焼結体（ターゲット材）は、より好ましくは、In、Ga及びInを下記原子比

$$0.02 \quad Ga / (In + Ga + Sn) \quad 0.27 \quad \dots \quad (5A)$$

$$0.02 \quad Sn / (In + Ga + Sn) \quad 0.35 \quad \dots \quad (6A)$$

$$0.60 \quad In / (In + Ga + Sn) \quad 0.96 \quad \dots \quad (7A)$$

で含有し、

かつ、レアアース元素Xを下記原子比

$$0.04 \quad X / (In + Ga + Sn + X) \quad 0.20 \quad \dots \quad (8A)$$

で含有する。

#### 【0041】

本発明の一実施形態の焼結体（ターゲット材）は、さらに好ましくは、In、Ga及びInを下記原子比

$$0.03 \quad Ga / (In + Ga + Sn) \quad 0.23 \quad \dots \quad (5B)$$

$$0.03 \quad Sn / (In + Ga + Sn) \quad 0.30 \quad \dots \quad (6B)$$

$$0.60 \quad In / (In + Ga + Sn) \quad 0.94 \quad \dots \quad (7B)$$

で含有し、

かつ、Xを下記原子比

$$0.05 \quad X / (In + Ga + Sn + X) \quad 0.17 \quad \dots \quad (8B)$$

で含有する。

#### 【0042】

本発明の一実施形態の焼結体（ターゲット材）は、相対密度が95%以上である。

焼結体（ターゲット材）の相対密度が95%未満であると、スパッタ時にヘアーラインクラックが入ったりノジュールが発生し、得られる酸化物半導体膜を用いた薄膜トランジスタの性能の低下をもたらしたり、歩留まりを低下させる場合がある。得られる膜の密度も低くなり、当該膜の上に保護絶縁膜や層間絶縁膜をCVD装置を用いて形成する際に、CVD装置での成膜温度を下げざるを得なくなり、耐久性の乏しい膜となる場合がある。焼結体（ターゲット材）の相対密度は、好ましくは、97%以上であり、より好ましくは、98%であり、さらに好ましくは、99%以上である。

相対密度は実施例に記載の方法により測定できる。

#### 【0043】

本発明の一実施形態の焼結体は、バルク抵抗が30m cm以下であることが好ましい。バルク抵抗が30m cm以下であれば、高パワーでスパッタリングした場合でも、異常放電の発生や、エロージョン部の変色及びノジュールの発生等がなく、安定したスパッタリングを行うことができるようになる。バルク抵抗は、より好ましくは20m cm以下であり、さらに好ましくは18cm以下である。バルク抵抗の下限は、通常0.1m cmであり、好ましくは1m cmである。

10

20

30

40

50

バルク抵抗は、例えば、四探針法に基づき測定することができる。

**【0044】**

**[酸化物焼結体の製造方法]**

本発明の一実施形態に係る酸化物焼結体は、原料粉末を混合する混合工程と、混合した粉末を成形して成型体を得る成形工程と、成型体を焼結する焼結工程を実施することにより製造できる。

原料としてはインジウム化合物、ガリウム化合物、スズ化合物、およびレアアース化合物が挙げられ、これら化合物としては酸化物が好ましい。例えば、酸化インジウム ( $In_2O_3$ )、酸化ガリウム ( $Ga_2O_3$ ) 及び希土類酸化物を用いる。

**【0045】**

酸化インジウム粉は特に限定はなく、工業的に市販されているものが使用できるが、高純度、例えば、4N (0.9999) 以上であることが好ましい。また、酸化物だけでなく、塩化物、硝酸塩、酢酸塩等のインジウム塩を用いても構わない。

酸化ガリウム粉は特に限定はなく、工業的に市販されているものが使用できるが、高純度、例えば、4N (0.9999) 以上であることが好ましい。また、酸化物だけでなく、塩化物、硝酸塩、酢酸塩等のガリウム塩を用いても構わない。

酸化スズ粉は特に限定はなく、工業的に市販されているものが使用できるが、高純度、例えば、4N (0.9999) 以上であることが好ましい。また、酸化物だけでなく、塩化物、硝酸塩、酢酸塩等のアルミニウム塩を用いても構わない。

希土類酸化物粉は特に限定はなく、工業的に市販されているものが使用できるが、高純度、例えば、4N (0.9999) 以上であることが好ましい。また、酸化物でなくてよい。

**【0046】**

使用する原料粉末は、式(5)から(8)に記載の原子比を満たすように混合するのが好ましい。

**【0047】**

混合工程する方法は特に制限されず、原料粉末を1度又は2回以上に分けて混合粉碎して行うことができる。混合粉碎手段は、例えば、ボールミル、ビーズミル、ジェットミル又は超音波装置等の公知の装置が使用できる。

**【0048】**

上記の混合工程で調製した原料を、公知の方法により成形し、焼結することにより酸化物焼結体とする。

成形工程では、混合工程で得た混合粉を、例えば加圧成形して成型体とする。この工程により、製品の形状（例えば、スパッタリングターゲットとして好適な形状）に成形する。

成形処理としては、例えば、金型成形、鋳込み成形、射出成形等が挙げられるが、焼結密度の高い酸化物焼結体を得るためにには、冷間静水圧 (CIP) 等で成形するのが好ましい。

成形処理に際しては、ポリビニルアルコールやメチルセルロース、ポリワックス、オレイン酸等の成形助剤を用いてよい。

**【0049】**

焼結工程では、成形工程で得られた成型体を焼成する。

焼結条件としては、大気圧下、酸素ガス雰囲気又は酸素ガス加圧下に、通常、1200 ~ 1550において、通常、30分 ~ 360時間、好ましくは8 ~ 180時間、より好ましくは12 ~ 96時間焼結する。焼結温度が1200未満であると、ターゲットの密度が上がり難くなったり、焼結に時間がかかり過ぎたりするおそれがある。一方、1550を超えると成分の気化により、組成がずれたり、炉を傷めたりするおそれがある。

燃焼時間が30分未満であると、ターゲットの密度が上がり難く、360時間より長いと、製造時間がかかり過ぎコストが高くなるため、実用上採用できない。前記範囲内であると相対密度を向上させ、バルク抵抗を下げることができる。

10

20

30

40

50

## 【0050】

## [スパッタリングターゲット]

本発明の一実施形態に係る酸化物焼結体を用いて、スパッタリングターゲットとすることができる。具体的には、酸化物焼結体を切削・研磨加工し、バッキングプレートにボンディングすることによって、スパッタリングターゲットとすることができます。

バッキングプレートとの接合率は、95%以上であると好ましい。接合率はX線CTにより確認することができる。

本発明の一実施形態に係るスパッタリングターゲット（以下、本発明のターゲットという）は、上記本発明の一実施形態に係る酸化物焼結体（以下、併せて、本発明の酸化物焼結体という）と、バッキングプレートとを含む。本発明の一実施形態のスパッタリングターゲットは、上記本発明の酸化物焼結体と、必要に応じて酸化物焼結体に設けられる、バッキングプレート等の冷却および保持用の部材とを含むことが好ましい。10

本発明のターゲットを構成する酸化物焼結体（ターゲット材）は、上記本発明の酸化物焼結体に研削加工を施したものであるから、ターゲット材は、物質としては、本発明の酸化物焼結体と同一である。従って、本発明の酸化物焼結体についての説明はターゲット材にもそのまま当てはまる。

## 【0051】

酸化物焼結体の形状は特に限定されないが、図1の符号1に示すような板状でもよく、図2の符号1Aに示すような円筒状でもよい。板状の場合、平面形状は、図1の符号1に示すような矩形でもよく、図3の符号1Bに示すように円形でもよい。酸化物焼結体は一体成型でもよく、図4に示すように、複数に分割した酸化物焼結体（符号1C）をバッキングプレート3に各々固定した多分割式でもよい。20

バッキングプレート3は、酸化物焼結体の保持や冷却用の部材である。材料は銅等の熱伝導性に優れた材料が好ましい。

## 【0052】

スパッタリングターゲットは、例えば以下の工程で製造される。

酸化物焼結体の表面を研削する工程（研削工程）。

酸化物焼結体をバッキングプレートにボンディングする工程（ボンディング工程）。

以下、各工程を具体的に説明する。

## 【0053】

## &lt;研削工程&gt;

研削工程では、焼結体を、スパッタリング装置への装着に適した形状に切削加工する。

焼結体表面は、高酸化状態の焼結部が存在したり、面が凸凹であることが多く、また、所定の寸法に切断加工する必要がある。

焼結体の表面は0.3mm以上研削するのが好ましい。研削する深さは、0.5mm以上研削するのが好ましく、2mm以上が特に好ましい。0.3mm以上研削することにより、表面付近の結晶構造の変動部分を除去できる。

## 【0054】

酸化物焼結体を例えば、平面研削盤で研削して平均表面粗さRaが5μm以下の素材とするのが好ましい。さらにもスパッタリングターゲットのスパッタ面に鏡面加工を施して、平均表面粗さRaが $1000 \times 10^{-10}$ m以下としてもよい。鏡面加工（研磨）は、機械的な研磨、化学研磨、およびメカノケミカル研磨（機械的な研磨と化学研磨の併用）等の、公知の研磨技術を用いることができる。例えば、固定砥粒ポリッシュナー（ポリッシュ液は水）で#2000番以上にポリッシングしてもよく、遊離砥粒ラップ（研磨材はSiCペースト等）にてラッピング後、研磨材をダイヤモンドペーストに換えて、ラッピングしてもよい。研磨方法はこれらの方法に限定されない。研磨材は、#200番、もしくは#400番、さらには#800番のものが挙げられる。40

## 【0055】

研削工程後の酸化物焼結体は、エアーブローや流水洗浄等で清浄するのが好ましい。エアーブローで異物を除去する際には、ノズルの向い側から集塵機で吸気を行なうとより有50

効に除去できる。なお、エアーブローや流水洗浄では清浄力に限界があるので、さらに超音波洗浄等を行なうこともできる。超音波洗浄は、周波数が 25 kHz 以上、300 kHz 以下の間で、多重発振させて行なう方法が有効である。例えば周波数が 25 kHz 以上、300 kHz の間で、25 kHz 刻みに 12 種類の周波数を多重発振させて、超音波洗浄を行なうのが良い。

#### 【0056】

<ポンディング工程>

ポンディング工程では、研削後の焼結体を、金属インジウムなどの低融点金属で、バッキングプレートにポンディングする。

以上がスパッタリングターゲットの説明である。

10

#### 【0057】

##### [酸化物半導体膜]

本発明の一態様の酸化物半導体膜（以下、本発明の半導体膜と略称することがある）は、In、Ga 及び Sn を下記原子比

$$0.01 \text{ Ga} / (\text{In} + \text{Ga} + \text{Sn}) = 0.30 \quad \dots \quad (1)$$

$$0.01 \text{ Sn} / (\text{In} + \text{Ga} + \text{Sn}) = 0.40 \quad \dots \quad (2)$$

$$0.55 \text{ In} / (\text{In} + \text{Ga} + \text{Sn}) = 0.98 \quad \dots \quad (3) \text{ で含有し、}$$

かつ、レアアース元素 X を下記原子比

$$0.03 \text{ X} / (\text{In} + \text{Ga} + \text{Sn} + \text{X}) = 0.25 \quad \dots \quad (4)$$

で含有することを特徴とする。

20

本発明の半導体膜は、薄膜トランジスタの半導体層（半導体部分）として好適に用いることができる。

#### 【0058】

上記原子比組成を有する本発明の半導体膜は、同じ原子比組成を有する上記本発明のスパッタリングターゲットを、スパッタすることによって形成することができる。

酸化物焼結体からなるスパッタリングターゲットを、スパッタして形成された膜の原子比組成は、用いたスパッタリングターゲットの原子比組成と一致する。

#### 【0059】

スパッタ法としては、DCスパッタ法、RFスパッタ法、パルスDCスパッタ法等が好適に使用できる。パルスDCスパッタ法の場合、10 kHz ~ 300 kHz のパルスにて、デューティー比 20 ~ 90 % にて成膜することができる。出力は成膜速度の関数であり、得たい成膜速度に合わせて調整すればよい。

30

#### 【0060】

本発明の一実施形態の半導体膜は、スパッタによって成膜されたときにアモルファス状態であり、加熱処理（アニール処理）後もアモルファス状態であることが好ましい。酸化インジウム結晶が生成すると、その結晶にスズがドーピングされITOと同様に導電化する場合がある。酸化インジウム結晶が微結晶の場合は、アモルファス状の部分と微結晶が混在することになり、それらの界面でキャリヤーが散乱され移動度が低下する場合がある。また、アモルファス状の部分と微結晶の間に酸素欠損等が生じると、光吸収の色中心を生成する場合があり、TFTの光安定性が損なわれる場合がある。

40

#### 【0061】

酸化物半導体膜の原子比組成が上記範囲以外では、薄膜トランジスタを形成する工程で使用されるCVD成膜装置での処理の際に、薄膜トランジスタの半導体部分（本発明の半導体膜）のキャリヤー濃度が上昇し、その後のアニール処理によってもキャリヤー濃度が低下せず、TFTとして作動しなくなる場合があった。そのため、CVD装置の成膜温度を低下させて、キャリヤー濃度の上昇を抑え、TFT特性の発現を行っていたが、CVD装置の成膜温度を低減させることにより、耐久性の乏しい半導体膜しか得られず、TFT特性も劣ったものとなる場合がある。

#### 【0062】

本発明の半導体膜において、酸化ガリウムは、酸素欠損の発生を抑える効果と、酸化物

50

半導体膜のバンドギャップを大きくする効果が有る。Gaの割合 [ Ga / ( In + Ga + Sn ) ( 原子比 ) ] は、0.01 Ga / ( In + Ga + Sn ) 0.30 であることが好ましい。0.01未満では、酸素欠損を抑える効果が小さく、半導体膜にならない場合がある。また、0.30超では、酸素欠損がなくなり、絶縁膜となる場合があった。より好ましくは、0.02 Ga / ( In + Ga + Sn ) 0.25、さらに好ましくは、0.03 Ga / ( In + Ga + Sn ) 0.20 である。

#### 【 0063 】

本発明の半導体膜において、酸化スズは、耐薬品性を有しており、かつ導電膜として使用されることからもわかるように、半導体膜の移動度に影響を及ぼすことは少ないと考えられる。よって、Snの割合 [ Sn / ( In + Ga + Sn ) ( 原子比 ) ] は、0.01 Sn / ( In + Ga + Sn ) 0.40 が好ましい。0.01未満では、耐薬品性が得られない場合がある。0.40超では、耐薬品性が高すぎて、エッチングによる半導体膜のアイランド形成ができない場合がある。より好ましくは、0.02 Sn / ( In + Ga + Sn ) 0.35、さらに好ましくは 0.03 Sn / ( In + Ga + Sn ) 0.30 である。

#### 【 0064 】

本発明の半導体膜において、酸化インジウムは、半導体膜の移動度を担う酸化物である。Inの割合 [ In / ( In + Ga + Sn ) ( 原子比 ) ] は、0.55 In / ( In + Ga + Sn ) 0.98 が好ましい。0.55未満では、半導体膜の移動度の低下が起こる場合がある。0.98以上では、半導体膜が結晶化したり、酸素欠損の量が増えすぎて、半導体化せず、導体になる場合がある。より好ましくは、0.60 In / ( In + Ga + Sn ) 0.96、さらに好ましくは、0.60 In / ( In + Ga + Sn ) 0.94 である。

#### 【 0065 】

本発明の半導体膜において、レアアース元素Xの酸化物は、半導体膜を非晶質化する作用と、酸素欠損によるキャリヤーの発生を抑える作用を有する。ベースの原料酸化物における酸化インジウムの割合が多い酸化物半導体膜の場合、レアアース元素Xの酸化物の量を比較的多くしないと半導体膜が結晶化してしまったり、結晶化による酸化スズのドーパント効果によるキャリヤーの増大や、アモルファス状態での酸素欠損によるキャリヤーの増大を抑えることができなくなる。一方、ベースの原料酸化物における酸化インジウムの割合が少ない酸化物半導体膜の場合、レアアース元素Xの酸化物の量を比較的少なくしないと、膜が絶縁化したり、当該酸化物半導体膜を用いた薄膜トランジスタの移動度が低下したりする場合がある。ベースの原料酸化物におけるInの割合に合わせて、レアアース元素Xの割合を適宜調整すればよい。

#### 【 0066 】

例えば、Inの割合 [ In / ( In + Ga + Sn ) ( 原子比 ) ] が 0.85 以上の場合には、レアアース元素Xの割合 [ X / ( In + Ga + Sn + X ) ( 原子比 ) ] は、0.03 以上、好ましくは、0.04 以上が好ましく、より好ましくは 0.05 以上であり、上限は 0.25 以下であることが好ましい。Inの割合 [ In / ( In + Ga + Sn ) ( 原子比 ) ] が 0.85 以上では、半導体膜が結晶化しやすくなる場合があり、その結晶化を抑えるためにレアアース元素Xの添加量を增量することが好ましい。また、酸化インジウムの酸素欠損量も In の割合の増大に従って増大するので、キャリヤー発生を抑えるためにも、半導体膜中のレアアース元素Xの添加量を増加させることが好ましい。

#### 【 0067 】

また、Inの割合 [ In / ( In + Ga + Sn ) ( 原子比 ) ] が 0.70 以下の場合は、添加するレアアース元素Xの割合 [ X / ( In + Ga + Sn + X ) ( 原子比 ) ] を 0.25 以下とすることが好ましく、より好ましくは 0.20 以下にする。より好ましくは 0.17 以下である。下限は 0.03 以上であることが好ましい。

レアアース元素Xは、酸素欠損によるキャリヤーの発生を抑える効果が大きく、例えば、ケミカルベーパーデポジション ( CVD ) 処理等により、層間絶縁膜やゲート絶縁膜の

10

20

30

40

50

形成時に半導体膜に発生するキャリヤーを、後アニール時に正常なキャリヤー濃度に戻す能力が高い。レアアース元素Xのこの性質により、CVD処理等により一旦はキャリヤー濃度が高くなってしまっても、後アニールにより膜が半導体として機能し得る正常なキャリヤー濃度に戻り、TFT特性を回復することができる事が分かった。

## 【0068】

Inの割合 [ $In / (In + Ga + Sn)$  (原子比)] が上記の中間の、0.70超0.85未満の場合は、成膜の条件(酸素濃度、基板温度、成膜圧力、背圧等)を適宜選択すればよい。Inの割合 [ $In / (In + Ga + Sn)$  (原子比)] が上記の中間の、0.70超0.85未満の場合において、Gaの割合 [ $Ga / (In + Ga + Sn)$  (原子比)] が0.10を超える場合は、酸化ガリウムのアモルファス化効果、及びキャリヤーの制御効果が発現するので、レアアース元素Xの割合 [ $X / (In + Ga + Sn + X)$  (原子比)] は、Inの割合 [ $In / (In + Ga + Sn)$  (原子比)] が0.85以上の場合ほどの量は必要ないが、半導体膜の用途により耐CVD性等を持たせたい場合や、半導体膜の耐久性をより向上させたい場合には、Inの割合 [ $In / (In + Ga + Sn)$  (原子比)] が0.85以上の場合と同じ程度の量を添加すればよい。  
10

## 【0069】

一方、Snの割合 [ $Sn / (In + Ga + Sn)$  (原子比)] が0.20を超える場合は、耐薬品性が非常に高くなるので、エッチングプロセス等に耐性のある半導体膜が得られる。さらにCVD耐性や、TFTの耐久性を考慮してXの割合を適宜選択すればよい。  
一方で、本発明の半導体膜を、薄膜トランジスタの移動度の高い用途に適用する場合には、Inの割合 [ $In / (In + Ga + Sn)$  (原子比)] が0.85以下の場合の、レアアース元素Xの割合 [ $X / (In + Ga + Sn + X)$  (原子比)] を減らすことができる。これにより、移動度が高い酸化物半導体膜を用いた、薄膜トランジスタを提供することができるようになる。  
20

## 【0070】

また、酸化ガリウム及び/又はレアアース元素Xの酸化物の添加は、酸化物半導体膜のバンドギャップを向上させる効果が有り、光耐性の高い酸化物半導体膜及び薄膜トランジスタ(TFT)を得やすくなる。酸化ガリウムとレアアース元素Xの酸化物の量は、酸素欠損量とも密接に関係しているので、得られる半導体膜の用途に応じた耐久性の要望に合わせて適宜選択すればよい。  
30

## 【0071】

本発明の一実施形態の酸化物半導体膜は、In、Ga及びSnを下記原子比  
 $0.02 \quad Ga / (In + Ga + Sn) \quad 0.25 \quad \dots (1A)$   
 $0.02 \quad Sn / (In + Ga + Sn) \quad 0.35 \quad \dots (2A)$   
 $0.60 \quad In / (In + Ga + Sn) \quad 0.96 \quad \dots (3A)$

で含有し、

かつ、レアアース元素Xを下記原子比

$0.03 \quad X / (In + Ga + Sn + X) \quad 0.25 \quad \dots (4A)$

で含有することが好ましい。

## 【0072】

本発明の一実施形態の酸化物半導体膜は、In、Ga及びSnを下記原子比  
 $0.03 \quad Ga / (In + Ga + Sn) \quad 0.20 \quad \dots (1B)$   
 $0.03 \quad Sn / (In + Ga + Sn) \quad 0.30 \quad \dots (2B)$   
 $0.60 \quad In / (In + Ga + Sn) \quad 0.94 \quad \dots (3B)$

で含有し、

かつ、レアアース元素Xを下記原子比

$0.03 \quad X / (In + Ga + Sn + X) \quad 0.25 \quad \dots (4B)$

で含有することがより好ましい。

## 【0073】

酸化物半導体膜は、レアアース元素のうち、イットリウム(Y)、ランタン(La)、

50

ネオジム( Nd )、サマリウム( Sm )、ユウロピウム( Eu )、ガドリニウム( Gd )、テルビウム( Tb )、ジスプロシウム( Dy )、ホロミウム( Ho )、エルビウム( Er )、ツリウム( Tm )、イッテルビウム( Yb )及びルテチウム( Lu )からなる群から選択される、1種以上を用いることが好ましく、イットリウム( Y )、サマリウム( Sm )及びイッテルビウム( Yb )からなる群から選択される1種以上を用いることが、さらに好ましい。

レアアース元素Xは、イットリウム( Y )、ランタン( La )、ネオジム( Nd )及びサマリウム( Sm )からなる群から選択される1種以上であるのが、よりさらに好ましい。

#### 【 0 0 7 4 】

10

酸化物半導体膜中の各金属元素の含有量(原子比)は、ICP(Inductive Coupled Plasma)測定またはXRF(X-ray Fluorescence)測定により、各元素の存在量を測定することで求めることができる。ICP測定は誘導プラズマ発光分析装置を用いることができる。XRF測定は薄膜蛍光X線分析装置(AZ X 400、リガク社製)を用いることができる。

#### 【 0 0 7 5 】

20

また、セクタ型ダイナミック二次イオン質量分析計SIMS分析を用いても誘導プラズマ発光分析と同等の精度で酸化物半導体薄膜中の各金属元素の含有量(原子比)を分析できる。誘導プラズマ発光分析装置または薄膜蛍光X線分析装置で測定した金属元素の原子比が既知の標準酸化物薄膜の上面に、ソース・ドレイン電極を TFT 素子と同様の材料をチャネル長で形成したものを標準材料とし、セクタ型ダイナミック二次イオン質量分析計SIMS(IMS 7f-Auto、AMETEK社製)により酸化物半導体層の分析を行い各元素の質量スペクトル強度を得、既知の元素濃度と質量スペクトル強度の検量線を作製する。次に、実TFT素子の酸化物半導体膜部分を、セクタ型ダイナミック二次イオン質量分析計SIMS分析によるスペクトル強度から、前述の検量線を用いて、原子比を算出すると、算出された原子比は、別途薄膜蛍光X線分析装置または誘導プラズマ発光分析装置で測定された酸化物半導体膜の原子比の2原子%以内であることが確認できる。

#### 【 0 0 7 6 】

##### [ 薄膜トランジスタ ]

本発明の一態様の薄膜トランジスタ(以下、本発明のTFTと略称することがある)は、上記本発明の酸化物半導体膜を用いたことを特徴とする。

30

本発明の一実施形態の薄膜トランジスタの形状は、特に限定されないが、バックチャンネルエッチ型トランジスタ、エッチストッパー型トランジスタ、トップゲート型トランジスタ等が好ましい。

本発明の一実施形態に係る非晶質酸化物半導体膜は薄膜トランジスタに用いることができ、薄膜トランジスタのチャネル層として好適である。

本発明の一実施形態に係る薄膜トランジスタは、本発明の一実施形態に係る非晶質酸化物半導体膜を、チャネル層として有していれば他の素子構成は特に限定されず、公知のものを採用することができる。本発明の薄膜トランジスタは、液晶ディスプレイや有機ELディスプレイ等の表示装置に好適に用いることができる。

40

#### 【 0 0 7 7 】

本発明の一実施形態に係る薄膜トランジスタにおけるチャネル層の膜厚は、通常10~300nm、好ましくは20~250nmである。

#### 【 0 0 7 8 】

本発明の一実施形態に係る薄膜トランジスタにおけるチャネル層は、通常、N型領域で用いられるが、P型Si系半導体、P型酸化物半導体、P型有機半導体等の種々のP型半導体と組合せて、PN接合型トランジスタ等の各種の半導体デバイスに利用することができる。

#### 【 0 0 7 9 】

本発明の一実施形態に係る薄膜トランジスタは、電界効果型トランジスタ、論理回路、

50

メモリ回路、差動増幅回路等各種の集積回路にも適用できる。さらに、電界効果型トランジスタ以外にも静電誘起型トランジスタ、ショットキー障壁型トランジスタ、ショットキーダイオード、抵抗素子にも適応できる。

#### 【0080】

本発明の一実施形態に係る薄膜トランジスタの構成は、ボトムゲート、ボトムコンタクト、トップコンタクト等公知の構成を制限なく採用することができる。

特にボトムゲート構成が、アモルファスシリコンやZnOの薄膜トランジスタに比べ、高い性能が得られるので有利である。ボトムゲート構成は、製造時のマスク枚数を削減しやすく、大型ディスプレイ等の用途の製造コストを低減しやすいため好ましい。

本発明の一実施形態に係る薄膜トランジスタは、表示装置に好適に用いることができる。  
。

#### 【0081】

大面積のディスプレイ用としては、チャンネルエッチ型のボトムゲート構成の薄膜トランジスタが特に好ましい。チャンネルエッチ型のボトムゲート構成の薄膜トランジスタは、フォトリソ工程時のフォトマスクの数が少なく、低コストでディスプレイ用パネルを製造できる。中でも、チャンネルエッチ型のボトムゲート構成、及びトップコンタクト構成の薄膜トランジスタが、移動度等の特性が良好で工業化しやすいため特に好ましい。

#### 【0082】

具体的な薄膜トランジスタの例を図5および図6に示す。

図5に示すように、薄膜トランジスタ100は、シリコンウエハ20、ゲート絶縁膜30、酸化物半導体薄膜40、ソース電極50、ドレイン電極60、および層間絶縁膜70、70Aを備える。

#### 【0083】

シリコンウエハ20はゲート電極である。ゲート絶縁膜30はゲート電極と酸化物半導体薄膜40の導通を遮断する絶縁膜であり、シリコンウエハ20上に設けられる。

酸化物半導体薄膜40はチャネル層であり、ゲート絶縁膜30上に設けられる。酸化物半導体薄膜40は本発明の一実施形態に係る酸化物半導体薄膜が用いられる。

#### 【0084】

ソース電極50およびドレイン電極60は、ソース電流およびドレイン電流を酸化物半導体薄膜40に流すための導電端子であり、酸化物半導体薄膜40の両端近傍に接触するように、各々設けられる。

層間絶縁膜70は、ソース電極50およびドレイン電極60と、酸化物半導体薄膜40の間の接触部分以外の導通を遮断する絶縁膜である。

層間絶縁膜70Aは、ソース電極50およびドレイン電極60と、酸化物半導体薄膜40の間の接触部分以外の導通を遮断する絶縁膜である。層間絶縁膜70Aは、ソース電極50とドレイン電極60の間の導通を遮断する絶縁膜である。層間絶縁膜70Aは、チャネル層保護層もある。

#### 【0085】

図5に示すように、薄膜トランジスタ100Aの構造は、薄膜トランジスタ100と同様であるが、ソース電極50およびドレイン電極60を、ゲート絶縁膜30と酸化物半導体薄膜40の両方に接触するように設けている点が異なる。ゲート絶縁膜30、酸化物半導体薄膜40、ソース電極50、およびドレイン電極60を覆うように、層間絶縁膜70Bが一体に設けられている点も異なる。

#### 【0086】

ドレイン電極60、ソース電極50およびゲート電極を形成する材料に特に制限はなく、一般に用いられている材料を任意に選択することができる。図5および図6で挙げた例では、シリコンウエハを基板として用いており、シリコンウエハが電極としても作用するが、電極材料はシリコンに限定されない。

例えば、酸化インジウムスズ(ITO)、酸化インジウム亜鉛(IZO)、ZnO、およびSnO<sub>2</sub>等の透明電極や、Al、Ag、Cu、Cr、Ni、Mo、Au、Ti、およ

10

20

30

40

50

びTa等の金属電極、またはこれらを含む合金の金属電極や積層電極を用いることができる。

また、図5および図6において、ガラス等の基板上にゲート電極を形成してもよい。

#### 【0087】

層間絶縁膜70、70A、70Bを形成する材料にも特に制限はなく、一般に用いられている材料を任意に選択できる。層間絶縁膜70、70A、70Bを形成する材料として、具体的には、例えば、 $\text{SiO}_2$ 、 $\text{SiN}_x$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{TiO}_2$ 、 $\text{MgO}$ 、 $\text{ZrO}_2$ 、 $\text{CeO}_2$ 、 $\text{K}_2\text{O}$ 、 $\text{Li}_2\text{O}$ 、 $\text{Na}_2\text{O}$ 、 $\text{Rb}_2\text{O}$ 、 $\text{Sc}_2\text{O}_3$ 、 $\text{Y}_2\text{O}_3$ 、 $\text{HfO}_2$ 、 $\text{CaHfO}_3$ 、 $\text{PbTiO}_3$ 、 $\text{BaTa}_2\text{O}_6$ 、 $\text{SrTiO}_3$ 、 $\text{Sm}_2\text{O}_3$ 、および $\text{AlN}$ 等の化合物を用いることができる。10

#### 【0088】

本発明の一実施形態に係る薄膜トランジスタが、バックチャネルエッチ型(ボトムゲート型)の場合、ドレイン電極、ソース電極およびチャネル層上に保護膜を設けることが好ましい。保護膜を設けることにより、TFTの長時間駆動した場合でも耐久性が向上しやすくなる。なお、トップゲート型のTFTの場合、例えばチャネル層上にゲート絶縁膜を形成した構造となる。

#### 【0089】

保護膜または絶縁膜は、例えばCVDにより形成することができるが、その際に高温度によるプロセスになる場合がある。また、保護膜または絶縁膜は、成膜直後は不純物ガスを含有していることが多い、加熱処理(アニール処理)を行うことが好ましい。加熱処理で不純物ガスを取り除くことにより、安定した保護膜または絶縁膜となり、耐久性の高いTFT素子を形成しやすくなる。20

#### 【0090】

本発明の一実施形態に係る酸化物半導体薄膜を用いることにより、CVDプロセスにおける温度の影響、およびその後の加熱処理による影響を受けにくくなるため、保護膜または絶縁膜を形成した場合であっても、TFT特性の安定性を向上させることができる。

#### 【0091】

トランジスタ特性において、 $\text{On}/\text{Off}$ 特性はディスプレイの表示性能を決める要素である。液晶のスイッチングとして使用する場合は、 $\text{On}/\text{Off}$ 比は6ケタ以上であることが好ましい。OLEDの場合は電流駆動のため $\text{On}$ 電流が重要だが、 $\text{On}/\text{Off}$ 比に関しては同様に6ケタ以上であることが好ましい。30

#### 【0092】

本発明の一実施形態に係る薄膜トランジスタは、 $\text{On}/\text{Off}$ 比が $1 \times 10^6$ 以上であることが好ましい。

$\text{On-Off}$ 比は、 $V_g = -10\text{V}$ の $I_d$ の値を $\text{Off}$ 電流値とし、 $V_g = 20\text{V}$ の $I_d$ の値を $\text{On}$ 電流値として、比[ $\text{On}$ 電流値/ $\text{Off}$ 電流値]を決めることにより、求められる。

また、本発明の一実施形態に係るTFTの移動度は、 $5\text{cm}^2/\text{Vs}$ 以上であることが好ましく、 $10\text{cm}^2/\text{Vs}$ 以上であることが好ましい。

飽和移動度は、ドレイン電圧を $20\text{V}$ 印加した場合の伝達特性から求められる。具体的に、伝達特性 $I_d - V_g$ のグラフを作成し、各 $V_g$ のトランスコンダクタンス( $G_m$ )を算出し、飽和領域の式により飽和移動度を求めることにより、算出できる。 $I_d$ はソース・ドレイン電極間の電流、 $V_g$ はソース・ドレイン電極間に電圧 $V_d$ を印加したときのゲート電圧である。40

#### 【0093】

閾値電圧( $V_{th}$ )は、 $-3.0\text{V}$ 以上、 $3.0\text{V}$ 以下が好ましく、 $-2.0\text{V}$ 以上、 $2.0\text{V}$ 以下がより好ましく、 $-1.0\text{V}$ 以上、 $1.0\text{V}$ 以下がさらに好ましい。閾値電圧( $V_{th}$ )が $-3.0\text{V}$ 以上であると、高移動度の薄膜トランジスタができる。閾値電圧( $V_{th}$ )が $3.0\text{V}$ 以下であると、オフ電流が小さく、オンオフ比の大きな薄膜トランジスタができる。50

## 【0094】

閾値電圧 ( $V_{th}$ ) は、伝達特性のグラフより  $I_d = 10^{-9} A$  での  $V_g$  で定義できる。  
on-off 比は  $10^6$  以上、 $10^{12}$  以下が好ましく、 $10^7$  以上、 $10^{11}$  以下がより好ましく、 $10^8$  以上、 $10^{10}$  以下がさらに好ましい。on-off 比が  $10^6$  以上であると、液晶ディスプレイの駆動ができる。on-off 比が  $10^{12}$  以下であると、コントラストの大きな有機ELの駆動ができる。また、オフ電流を  $10^{-11} A$  以下にでき、CMOSイメージセンサーの転送トランジスタやリセットトランジスタに用いた場合、画像の保持時間を長くしたり、感度を向上させたりできる。

## 【0095】

<量子トンネル電界効果トランジスタ >

10

本発明の一実施形態に係る酸化物半導体薄膜は、量子トンネル電界効果トランジスタ (FET) に用いることもできる。

## 【0096】

図7に、一実施形態に係る、量子トンネル電界効果トランジスタ (FET) の模式図 (縦断面図) を示す。

量子トンネル電界効果トランジスタ501は、p型半導体層503、n型半導体層507、ゲート絶縁膜509、ゲート電極511、ソース電極513、およびドレイン電極515を備える。

## 【0097】

p型半導体層503、n型半導体層507、ゲート絶縁膜509、およびゲート電極511は、この順番に積層されている。

20

ソース電極513は、p型半導体層503上に設けられる。ドレイン電極515はn型半導体層507上に設けられる。

p型半導体層503は、p型のIV族半導体層であり、ここではp型シリコン層である。

n型半導体層507は、ここでは上記実施形態に係るイメージセンサーに用いた、n型の酸化物半導体薄膜である。ソース電極513およびドレイン電極515は導電膜である。

## 【0098】

図7では図示していないが、p型半導体層503上には絶縁層が形成されてもよい。この場合、p型半導体層503とn型半導体層507は、絶縁層を部分的に開口した領域であるコンタクトホールを介して接続されている。図7では図示していないが、量子トンネル電界効果トランジスタ501は、その上面を覆う層間絶縁膜を備えてよい。

30

## 【0099】

量子トンネル電界効果トランジスタ501は、p型半導体層503とn型半導体層507により形成された、エネルギー障壁をトンネリングする電流を、ゲート電極511の電圧により制御する、電流のスイッチングを行う量子トンネル電界効果トランジスタ (FET) である。この構造では、n型半導体層507を構成する酸化物半導体のバンドギャップが大きくなり、オフ電流を小さくすることができる。

## 【0100】

40

図8に、他の実施形態に係る量子トンネル電界効果トランジスタ501Aの模式図 (縦断面図) を示す。

量子トンネル電界効果トランジスタ501Aの構成は、量子トンネル電界効果トランジスタ501と同様であるが、p型半導体層503とn型半導体層507の間に、酸化シリコン層505が形成されている点が異なる。酸化シリコン層が有ることにより、オフ電流を小さくすることが出来る。

酸化シリコン層505の厚みは、 $10\text{ nm}$  以下であるのが好ましい。 $10\text{ nm}$  以下とすることにより、トンネル電流が流れなかったり、形成されるエネルギー障壁が形成しにくかったり障壁高さが変化したりするのを防止でき、トンネリング電流が低下したり、変化したりするのを防げる。好ましくは、 $8\text{ nm}$  以下、より好ましくは $5\text{ nm}$  以下、更に好ま

50

しくは3nm以下、更により好ましくは1nm以下である。

図9にp型半導体層503とn型半導体層507の間に酸化シリコン層505が形成された部分のTEM写真を示す。

#### 【0101】

量子トンネル電界効果トランジスタ501及び501Aも、n型半導体層507はn型酸化物半導体である。

#### 【0102】

n型半導体層507を構成する酸化物半導体は、非晶質でもよい。非晶質であることにより、蔴酸などの有機酸でエッティング可能となり、他の層とのエッティング速度の差が大きくなり、配線などの金属層への影響もなく、良好にエッティングできる。

10

#### 【0103】

n型半導体層507を構成する酸化物半導体は、結晶質でもよい。結晶質であることにより、非晶質の場合よりもバンドギャップが大きくなり、オフ電流を小さくできる。仕事関数も大きくできることから、p型のIV族半導体材料とn型半導体層507により形成されるエネルギー障壁を、トンネリングする電流を制御しやすくなる。

#### 【0104】

量子トンネル電界効果トランジスタ501の製造方法は、特に限定しないが、以下の方法を例示できる。

まず、図10に示すように、p型半導体層503上に絶縁膜505Aを形成し、絶縁膜505Aの一部をエッティング等で開口してコンタクトホール505Bを形成する。

20

次に、図11に示すように、p型半導体層503および絶縁膜505A上にn型半導体層507を形成する。この際、コンタクトホール505Bを介してp型半導体層503とn型半導体層507を接続する。

#### 【0105】

次に、図12に示すように、n型半導体層507上に、ゲート絶縁膜509およびゲート電極511をこの順番に形成する。

次に、図13に示すように、絶縁膜505A、n型半導体層507、ゲート絶縁膜509およびゲート電極511を覆うように、層間絶縁膜519を設ける。

#### 【0106】

次に、図14に示すように、p型半導体層503上の絶縁膜505A、および層間絶縁膜519の一部を開口して、コンタクトホール519Aを形成し、コンタクトホール519Aにソース電極513を設ける。

30

さらに、図14に示すように、n型半導体層507上のゲート絶縁膜509および層間絶縁膜519の一部を開口してコンタクトホール519Bを形成し、コンタクトホール519Bにドレイン電極515を形成する。

以上の手順で量子トンネル電界効果トランジスタ501を製造できる。

#### 【0107】

なお、p型半導体層503上にn型半導体層507を形成した後で、150以上、600以下の温度で熱処理を行うことで、p型半導体層503とn型半導体層507の間に酸化シリコン層505を形成できる。この工程を追加することにより、量子トンネル電界効果トランジスタ501Aを製造できる。

40

#### 【0108】

本発明の一実施形態に係る薄膜トランジスタは、チャネルドープ型薄膜トランジスタであることが好ましい。チャネルドープ型トランジスタとは、チャネルのキャリヤーを、雰囲気や温度等外界の刺激に対して変動しやすい酸素欠損ではなく、n型ドーピングにより適切に制御したトランジスタであり、高移動度と高信頼性を両立する効果が得られる。

#### 【0109】

##### [薄膜トランジスタの用途]

本発明の一実施形態に係る薄膜トランジスタは、電界効果型トランジスタ、論理回路、メモリ回路、および差動増幅回路等の各種の集積回路にも適用でき、それらを電子機器等

50

に適用することができる。さらに、本発明の一実施形態に係る薄膜トランジスタは、電界効果型トランジスタ以外にも静電誘起型トランジスタ、ショットキー障壁型トランジスタ、ショットキーダイオード、および抵抗素子にも適応できる。

本発明の一実施形態に係る薄膜トランジスタは、表示装置及び固体撮像素子等に好適に用いることができる。

以下、本発明の一実施形態に係る薄膜トランジスタを、表示装置および固体撮像素子に用いる場合について、説明する。

#### 【0110】

まず、本発明の一実施形態に係る薄膜トランジスタを表示装置に用いる場合について、図15～図17を参照して説明する。

10

図15は、本発明の一実施形態に係る表示装置の上面図である。図16は、本発明の一実施形態に係る表示装置の画素部に、液晶素子を適用する場合の画素部の回路を説明するための回路図である。また、図17は、本発明の一実施形態に係る表示装置の画素部に、有機EL素子を適用する場合の画素部の回路を説明するための回路図である。

#### 【0111】

画素部に配置するトランジスタは、本発明の一実施形態に係る薄膜トランジスタを用いることができる。本発明の一実施形態に係る薄膜トランジスタはnチャネル型とすることが容易なので、nチャネル型トランジスタで構成できる駆動回路の一部を、画素部のトランジスタと同一基板上に形成する。画素部や駆動回路に本実施の形態に示す薄膜トランジスタを用いることにより、信頼性の高い表示装置を提供できる。

20

#### 【0112】

アクティブマトリクス型表示装置の上面図の一例を図15に示す。表示装置の基板300上には、画素部301、第1の走査線駆動回路302、第2の走査線駆動回路303、信号線駆動回路304が形成される。画素部301には、複数の信号線が信号線駆動回路304から延伸して配置され、複数の走査線が第1の走査線駆動回路302、および第2の走査線駆動回路303から延伸して配置される。走査線と信号線との交差領域には、各自、表示素子を有する画素がマトリクス状に設けられる。表示装置の基板300は、FPC(Flexible Printed Circuit)等の接続部を介して、タイミング制御回路(コントローラ、制御ICともいう)に接続される。

#### 【0113】

30

図15では、第1の走査線駆動回路302、第2の走査線駆動回路303、信号線駆動回路304は、画素部301と同じ基板300上に形成される。そのため、外部に設ける駆動回路等の部品の数が減るので、コストの低減を図ることができる。また、基板300外部に駆動回路を設けた場合、配線を延伸させる必要が生じ、配線間の接続数が増える。同じ基板300上に駆動回路を設けた場合、その配線間の接続数を減らすことができ、信頼性の向上、または歩留まりの向上を図ることができる。

#### 【0114】

また、画素の回路構成の一例を図16に示す。ここでは、VA型液晶表示装置の画素部に適用することができる画素部の回路を示す。

#### 【0115】

40

この画素部の回路は、一つの画素に複数の画素電極を有する構成に適用できる。それぞれの画素電極は異なるトランジスタに接続され、各トランジスタは異なるゲート信号で駆動できるように構成されている。これにより、マルチドメイン設計された画素の個々の画素電極に印加する信号を、独立して制御できる。

#### 【0116】

トランジスタ316のゲート配線312と、トランジスタ317のゲート配線313には、異なるゲート信号を与えられるように分離されている。一方、データ線として機能するソース電極またはドレイン電極314は、トランジスタ316とトランジスタ317で共通に用いられる。トランジスタ316とトランジスタ317は、本発明の一実施形態に係るトランジスタを用いることができる。これにより、信頼性の高い液晶表示装置を提供

50

できる。

**【0117】**

トランジスタ316には、第1の画素電極が電気的に接続され、トランジスタ317には、第2の画素電極が電気的に接続される。第1の画素電極と第2の画素電極とは分離されている。第1の画素電極と第2の画素電極の形状は、特に限定しない。例えば、第1の画素電極は、V字状とすればよい。

**【0118】**

トランジスタ316のゲート電極はゲート配線312と接続され、トランジスタ317のゲート電極はゲート配線313と接続されている。ゲート配線312とゲート配線313に異なるゲート信号を与えて、トランジスタ316とトランジスタ317の動作タイミングを異ならせ、液晶の配向を制御できる。

10

**【0119】**

また、容量配線310と、誘電体として機能するゲート絶縁膜と、第1の画素電極または第2の画素電極と電気的に接続する容量電極とで、保持容量を形成してもよい。

**【0120】**

マルチドメイン構造は、一画素に第1の液晶素子318と第2の液晶素子319を備える。第1の液晶素子318は第1の画素電極と対向電極との間の液晶層とで構成され、第2の液晶素子319は第2の画素電極と対向電極との間の液晶層とで構成される。

**【0121】**

画素部は、図16に示す構成に限定されない。図16に示す画素部にスイッチ、抵抗素子、容量素子、トランジスタ、センサー、または論理回路を追加してもよい。

20

**【0122】**

画素の回路構成の他の一例を図17に示す。ここでは、有機EL素子を用いた表示装置の画素部の構造を示す。

**【0123】**

図17は、適用可能な画素部320の回路の一例を示す図である。ここではnチャネル型のトランジスタを1つの画素に2つ用いる例を示す。本発明の一実施形態に係る酸化物半導体膜は、nチャネル型のトランジスタのチャネル形成領域に用いることができる。当該画素部の回路は、デジタル時間階調駆動を適用できる。

**【0124】**

30

スイッチング用トランジスタ321および駆動用トランジスタ322は、本発明の一実施形態に係る薄膜トランジスタを用いることができる。これにより、信頼性の高い有機EL表示装置を提供することができる。

**【0125】**

画素部の回路の構成は、図17に示す構成に限定されない。図17に示す画素部の回路にスイッチ、抵抗素子、容量素子、センサー、トランジスタまたは論理回路を追加してもよい。

以上が本発明の一実施形態に係る薄膜トランジスタを表示装置に用いる場合の説明である。

**【0126】**

40

次に、本発明の一実施形態に係る薄膜トランジスタを固体撮像素子に用いる場合について、図18を参照して説明する。

**【0127】**

C MOS (Complementary Metal Oxide Semiconductor) イメージセンサーは、信号電荷蓄積部に電位を保持し、その電位を、增幅トランジスタを介して、垂直出力線に出力する固体撮像素子である。C MOSイメージセンサーに含まれるリセットトランジスタ、および/または転送トランジスタにリーク電流があると、そのリーク電流によって充電または放電が起こり、信号電荷蓄積部の電位が変化する。信号電荷蓄積部の電位が変化すると、増幅トランジスタの電位も変わってしまい、本来の電位からずれた値となり、撮像された映像が劣化してしまう。

50

## 【0128】

本発明の一実施形態に係る薄膜トランジスタを、CMOSイメージセンサーのリセットトランジスタ、および転送トランジスタに適用した場合の動作の効果を説明する。増幅トランジスタは、薄膜トランジスタまたはバルクトランジスタのどちらを適用しても良い。

## 【0129】

図18は、CMOSイメージセンサーの画素構成の一例を示す図である。画素は光電変換素子であるフォトダイオード3002、転送トランジスタ3004、リセットトランジスタ3006、増幅トランジスタ3008および各種配線で構成されており、マトリクス状に複数が配置されてセンサーを構成する。増幅トランジスタ3008と電気的に接続される選択トランジスタを設けても良い。トランジスタ記号に記してある「OS」は酸化物半導体(Oxide Semiconductor)を、「Si」はシリコンを示しており、それぞれのトランジスタに適用すると好ましい材料を表している。以降の図面についても同様である。

10

## 【0130】

フォトダイオード3002は、転送トランジスタ3004のソース側に接続されており、転送トランジスタ3004のドレイン側には信号電荷蓄積部3010(FD:フローティングディフュージョンとも呼ぶ)が形成される。信号電荷蓄積部3010にはリセットトランジスタ3006のソース、および増幅トランジスタ3008のゲートが接続されている。別の構成として、リセット電源線3110を削除することもできる。例えば、リセットトランジスタ3006のドレインをリセット電源線3110ではなく、電源線3100または垂直出力線3120につなぐ方法がある。

20

なお、フォトダイオード3002に本発明の一実施形態に係る酸化物半導体膜を用いても良く、転送トランジスタ3004、リセットトランジスタ3006に用いられる酸化物半導体膜と同じ材料を用いてよい。

以上が、本発明の一実施形態に係る薄膜トランジスタを固体撮像素子に用いる場合の説明である。

## 【実施例】

## 【0131】

以下、実施例、比較例を挙げて本発明をより具体的に説明するが、本発明はこれらによって何ら限定されるものではない。

## 【0132】

30

## [酸化物焼結体の製造及び特性評価]

実施例1：

表1に示す割合(原子比)となるように、酸化ガリウム粉末、酸化スズ粉末、酸化インジウム粉末、レアアース元素Xの酸化物の粉末を秤量し、ポリエチレン製のポットに入れて、乾式ボールミルにより72時間混合粉碎し、混合粉末を作製した。

この混合粉末を金型に入れ、49MPa(500kg/cm<sup>2</sup>)の圧力でプレス成型体とした。この成型体を196MPa(2000kg/cm<sup>2</sup>)の圧力でCIPにより緻密化を行った。次に、この成型体を大気圧焼成炉に入れ、350で3時間保持した後に、昇温速度100/時間にて昇温し、1450にて、32時間保持し、その後、放置して冷却し、酸化物焼結体を得た。

40

## 【0133】

## &lt;酸化物焼結体の特性評価&gt;

得られた酸化物焼結体について、下記物性を評価した。結果を表1に示す。

## (1) XRDによる結晶相

得られた焼結体について、X線回折測定装置Smartlabにより、以下の条件で、焼結体のX線回折(XRD)を測定した。得られたXRDチャートをJADE6により分析し、焼結体中の結晶相を求めた。得られたXRDチャートを図19に示す。

## 【0134】

- ・装置：Smartlab(株式会社リガク製)
- ・X線：Cu-K 線(波長  $1.5418 \times 10^{-10}$ m)

50

- ・ 2 - 反射法、連続スキャン (2.0° / 分)
- ・サンプリング間隔 : 0.02°
- ・スリット D S (発散スリット)、S S (散乱スリット)、R S (受光スリット) : 1 m  
m

## 【0135】

## (2) 相対密度 (%)

ここで「相対密度」とは、アルキメデス法により測定される酸化物焼結体の実測密度を、酸化物焼結体の理論密度で除した値の百分率であることを意味する。本発明において、理論密度は以下のように算出されるものである。

理論密度 = 酸化物焼結体に用いた原料粉末の総重量 / 酸化物焼結体に用いた原料粉末の総体積 10

例えば、酸化物焼結体の原料粉末として酸化物 A、酸化物 B、酸化物 C、酸化物 D を用いた場合において、酸化物 A、酸化物 B、酸化物 C、酸化物 D の使用量 (仕込量) をそれぞれ a (g)、b (g)、c (g)、d (g) とすると、理論密度は、以下のように当てはめることで算出できる。

$$\text{理論密度} = (a + b + c + d) / ((a / \text{酸化物 A の密度}) + (b / \text{酸化物 B の密度}) + (c / \text{酸化物 C の密度}) + (d / \text{酸化物 D の密度}))$$

尚、本発明において各酸化物の密度は、密度と比重はほぼ同等であることから化学便覧 基礎編 I 日本化学編 改定 2 版 (丸善株式会社) に記載されている比重の値を用いた。

## 【0136】

## (3) バルク抵抗 (m · cm)

得られた焼結体のバルク抵抗 (m · cm) を、抵抗率計ロレスタ (三菱化学株式会社 製) を使用して、四探針法 (JIS R 1637) に基づき測定した。

## 【0137】

## (4) 400 WDC パワー 5 時間成膜後のターゲット (酸化物焼結体) の状態

D C パワー 400 W で 5 時間成膜を行った後、ターゲット表面を目視で確認した。

## 【0138】

## 実施例 2 ~ 4 及び比較例 1 ~ 4

原料粉末を、表 1 に示した組成で原料酸化物を使用して、実施例 1 と同様に操作して酸化物焼結体を得た。得られた酸化物焼結体について、実施例 1 と同様に評価した。結果を表 1 及び表 2 に示す。また、得られた XRD チャートを図 20 ~ 26 に示す。 30

## 【0139】

【表1】

		実施例1	実施例2	実施例3	実施例4
レアース元素Xの種類		Y	Y	Sm	Sm
質量%	Ga <sub>2</sub> O <sub>3</sub> /(In <sub>2</sub> O <sub>3</sub> +Ga <sub>2</sub> O <sub>3</sub> +SnO <sub>2</sub> +X <sub>2</sub> O <sub>3</sub> )	8.0	8.0	8.0	8.0
	SnO <sub>2</sub> /(In <sub>2</sub> O <sub>3</sub> +Ga <sub>2</sub> O <sub>3</sub> +SnO <sub>2</sub> +X <sub>2</sub> O <sub>3</sub> )	20.0	12.0	20.0	12.0
	In <sub>2</sub> O <sub>3</sub> /(In <sub>2</sub> O <sub>3</sub> +Ga <sub>2</sub> O <sub>3</sub> +SnO <sub>2</sub> +X <sub>2</sub> O <sub>3</sub> )	60.0	68.0	54.0	60.0
	X <sub>2</sub> O <sub>3</sub> /(In <sub>2</sub> O <sub>3</sub> +Ga <sub>2</sub> O <sub>3</sub> +SnO <sub>2</sub> +X <sub>2</sub> O <sub>3</sub> )	12.0	12.0	18.0	20.0
原子比	Ga/(In+Ga+Sn)	0.131	0.130	0.140	0.143
	Sn/(In+Ga+Sn)	0.204	0.122	0.219	0.133
	In/(In+Ga+Sn)	0.665	0.748	0.641	0.724
	X/(In+Ga+Sn+X)	0.141	0.140	0.145	0.161
XRDによる結晶相(質量%)		In <sub>2</sub> O <sub>3</sub> (94.5%) Y <sub>2</sub> Sn <sub>2</sub> O <sub>7</sub> (5.5%)	In <sub>2</sub> O <sub>3</sub> (77.4%) Y <sub>2</sub> Sn <sub>2</sub> O <sub>7</sub> (11.1%) Y <sub>3</sub> Ga <sub>5</sub> O <sub>12</sub> (11.5%)	In <sub>2</sub> O <sub>3</sub> (76.6%) Sm <sub>2</sub> Sn <sub>2</sub> O <sub>7</sub> (23.4%) Sm <sub>3</sub> Ga <sub>5</sub> O <sub>12</sub> (≒0%)	In <sub>2</sub> O <sub>3</sub> (60.8%) Sm <sub>2</sub> Sn <sub>2</sub> O <sub>7</sub> (21.1%) Sm <sub>3</sub> Ga <sub>5</sub> O <sub>12</sub> (18.1%)
相対密度[%]		100.1	98.4	99.6	99.46
バルク抵抗 [mΩ·cm]		16.3	8.8	1.69	0.70
400WDCパワー5時間成膜後のターゲットの状態		エロージョンの形成以外大きな変化なし	エロージョンの形成以外大きな変化なし	エロージョンの形成以外大きな変化なし	エロージョンの形成以外大きな変化なし

10

20

【0140】

【表2】

		比較例1	比較例2	比較例3	比較例4
レアース元素Xの種類		—	Y	Sm	Sm
重量%	Ga <sub>2</sub> O <sub>3</sub> /(In <sub>2</sub> O <sub>3</sub> +Ga <sub>2</sub> O <sub>3</sub> +SnO <sub>2</sub> +X <sub>2</sub> O <sub>3</sub> )	6.9	22.0	18.0	22.0
	SnO <sub>2</sub> /(In <sub>2</sub> O <sub>3</sub> +Ga <sub>2</sub> O <sub>3</sub> +SnO <sub>2</sub> +X <sub>2</sub> O <sub>3</sub> )	11.1	12.0	32.0	12.0
	In <sub>2</sub> O <sub>3</sub> /(In <sub>2</sub> O <sub>3</sub> +Ga <sub>2</sub> O <sub>3</sub> +SnO <sub>2</sub> +X <sub>2</sub> O <sub>3</sub> )	82.0	58.0	43.0	51.0
	X <sub>2</sub> O <sub>3</sub> /(In <sub>2</sub> O <sub>3</sub> +Ga <sub>2</sub> O <sub>3</sub> +SnO <sub>2</sub> +X <sub>2</sub> O <sub>3</sub> )	—	8.0	7.0	15.0
原子比	Ga/(In+Ga+Sn)	0.10	0.321	0.269	0.306
	Sn/(In+Ga+Sn)	0.10	0.109	0.297	0.104
	In/(In+Ga+Sn)	0.80	0.570	0.434	0.479
	X/(In+Ga+Sn+X)	—	0.088	0.053	0.112
XRDによる結晶相(質量%)		Ga <sub>2</sub> In <sub>6</sub> Sn <sub>2</sub> O <sub>16</sub> (92.7%) In <sub>2</sub> O <sub>3</sub> (7.3%)	Ga <sub>2</sub> In <sub>6</sub> Sn <sub>2</sub> O <sub>16</sub> (≒100%)	Ga <sub>2</sub> In <sub>6</sub> Sn <sub>2</sub> O <sub>16</sub> (81.3%) Sm <sub>2</sub> Sn <sub>2</sub> O <sub>7</sub> (12.4%) Ga <sub>2.84</sub> In <sub>1.16</sub> Sn <sub>5</sub> O <sub>16</sub> (6.3%)	In <sub>4</sub> Sn <sub>3</sub> O <sub>12</sub> (85.6%) Sm <sub>3</sub> Ga <sub>5</sub> O <sub>12</sub> (14.41%)
相対密度[%]		95.7	98.39	—	96.24
バルク抵抗 [mΩ·cm]		0.96	21.0	—	23.2
400WDCパワー5時間成膜後のターゲットの状態		エロージョン部に黒色異物及びヘアーラインクラック発生	エロージョン部に黒色異物及びヘアーラインクラック発生	ターゲット製造中に割れ発生	エロージョン部に黒色異物及びヘアーラインクラック発生

30

40

【0141】

表1に示すように、実施例1から実施例4は、式(5)から式(8)を満たす原子比でGa、Sn、Inおよびレアース元素Xを含んでおり、成膜後は、エロージョンの形成以外、外観に大きな変化がなかった。相対密度は95%以上であり、バルク抵抗は30m·cm以下であった。

表2に示すように、比較例1はレアース元素Xを含んでおらず、成膜後のエロージョン部に黒色異物およびヘアーラインクラックが発生した。

比較例2は、Gaの含有量が式(5)の上限外れであり、成膜後のエロージョン部に黒色異物およびヘアーラインクラックが発生した。

50

比較例3は、Inの含有量が式(7)の下限外れであり、焼結時に試料が割れてしまい、ターゲットを製造できなかった。

比較例4は、Gaの含有量が式(5)の上限外れ、Inの含有量が式(7)の下限外れであり、成膜後のエロージョン部に黒色異物およびヘアーラインクラックが発生した。

#### 【0142】

[薄膜トランジスタの製造及び性能評価]

##### 実施例A

###### (1) 成膜工程

実施例1で製造した酸化物焼結体から作製したスパッタリングターゲットを用いて、表2に示す成膜条件で、熱酸化膜(ゲート絶縁膜)付きのシリコンウエハ(ゲート電極)上に、メタルマスクを介して50nmの薄膜(酸化物半導体層)を形成した。スパッタガスとして、高純度アルゴン及び高純度酸素1%の混合ガスを用い、スパッタリングを行った。

薄膜(酸化物半導体層)の成膜は4インチターゲットを用いて、200kHz、デューディー比50%、出力200Wにて行った。得られた半導体膜の下記特性を評価した。結果を表3に示す。

#### 【0143】

###### (2) ソース・ドレイン電極の形成

メタルマスクを用いてソース・ドレイン電極として、チタン金属をスパッタ成膜で付けた後、得られた積層体を大気中にて350、30分間加熱処理した。薄膜トランジスタ(TFT)を完成し、TFTの特性を評価した。

#### 【0144】

###### < TFT の特性評価 >

得られたTFTの下記特性について、以下の項目の評価を行った。

#### 【0145】

飽和移動度は、ドレイン電圧に5V印加した場合の伝達特性から求めた。具体的に、伝達特性 $I_d - V_g$ のグラフを作成し、各 $V_g$ のトランスコンダクタンス(Gm)を算出し、線形領域の式により飽和移動度を導いた。尚、Gmは $(I_d) / (V_g)$ によって表され、 $V_g$ は-15~25Vまで印加し、その範囲での最大移動度を飽和移動度と定義した。本明細書において特に断らない限り、飽和移動度はこの方法で評価した。上記 $I_d$ はソース・ドレイン電極間の電流、 $V_g$ はソース・ドレイン電極間に電圧 $V_d$ を印加したときのゲート電圧である。

#### 【0146】

閾値電圧( $V_{th}$ )は、伝達特性のグラフより $I_d = 10^{-9} A$ での $V_g$ と定義した。

#### 【0147】

$on-off$ 比は、 $V_g = -10V$ の $I_d$ の値をオフ電流値とし、 $V_g = 20V$ の $I_d$ の値をオン電流値として比[On/Off]を決めた。

結果を表3の「加熱処理後のTFTの特性」に示す。

#### 【0148】

###### (3) 保護絶縁膜の形成

加熱処理後の半導体膜の上に、基板温度300で化学蒸着法(CVD)により、 $SiO_2$ 膜(保護絶縁膜；層間絶縁膜)を形成し、その後、後アニールとして350、1時間加熱処理を行った。

$SiO_2$ 膜成膜後の加熱処理を行ったTFTの特性を「加熱処理後のTFTの特性」と同じ条件で評価した。結果を表3の「CVDで $SiO_2$ 膜成膜後、加熱処理して得られたTFTの特性」に示す。

#### 【0149】

###### <半導体膜の特性評価>

また、酸化物薄膜のみをガラス基板に載せたサンプルも同時に作製し、以下の手順で、半導体膜成膜の加熱処理後、並びにCVDでの $SiO_2$ 膜成膜直後及び加熱処理後の各段

10

20

30

40

50

階でホール測定を行い、キャリヤー密度の増減等の半導体膜の特性を測定、評価した。

尚、得られた酸化物薄膜は、用いたターゲットと同じ原子比組成を有していた。

### 【0150】

#### ホール効果測定：

TFT 製造工程と同様に図 27 に示すように、ガラス基板上に厚さ 50 nm の酸化物半導体膜を成膜し、加熱処理を行った後、1 cm 角の正方形に切り出して、4 角に金 (Au) を 2 mm × 2 mm 以下の大さき位になるようにメタルマスクを用いてイオンコーティングで成膜し、Au 金属上にインジウムはんだを乗せて接触を良くしてホール効果測定用サンプルとした。

ガラス基板には、日本電気硝子株式会社製 ABC-G を用いた。

10

ホール効果測定用サンプルをホール効果・比抵抗測定装置 (Resist 8300 型、東陽テクニカ社製) にセットし、室温においてホール効果を評価し、キャリヤー密度及び移動度を求めた。結果を表 3 の「加熱処理後の半導体膜の特性」に示す。

### 【0151】

上記ホール効果測定用サンプルの半導体膜上に、図 28 に示すように、CVD 装置により SiO<sub>2</sub> 膜を成膜したのち、「加熱処理後の半導体膜の特性」と同じ条件でホール測定を実施した。結果を表 3 の「CVD で SiO<sub>2</sub> 膜成膜後の半導体膜の特性」に示す。

さらに加熱処理後にも「加熱処理後の半導体膜の特性」と同じ条件でホール測定を行った。SiO<sub>2</sub> 膜に測定用針を Au 金属の層まで突き刺し、コンタクトを取った。結果を表 3 の「CVD で SiO<sub>2</sub> 膜成膜後、加熱処理した半導体膜の特性」に示す。

20

### 【0152】

#### 半導体膜の結晶特性：

スパッタ後（膜堆積後）の加熱していない膜、及び加熱した後の膜の結晶性を、X 線回折 (XRD) 測定によって評価した結果を表 3 に示した。

### 【0153】

#### 半導体膜のバンドギャップ：

石英基板上に成膜し、半導体膜と同様に熱処理した薄膜資料の透過スペクトルを測定し、横軸の波長をエネルギー (eV) に、縦軸の透過率を

(h) <sup>1/2</sup>

（ここで、

30

: 吸収係数

h : プランク定数

: 振動数

である。）

に変換したあと、吸収が立ち上がる部分に直線をフィッティングし、その直線がベースラインと交わるところの eV 値を算出した。

### 【0154】

#### 実施例 B 及び比較例 A：

表 3 に示した実施例で製造した酸化物焼結体から作製したスパッタリングターゲットを用い、表 3 に示した条件とした以外は、実施例 A と同様にして半導体膜および薄膜トランジスタを製造し、評価した。結果を表 3 に示す。

40

### 【0155】

【表3】

		実施例A	実施例B	比較例A
半導体膜の成膜条件	使用したスパッタリングターゲット	実施例1	実施例2	比較例1
	雰囲気ガス	Ar+O <sub>2</sub>	Ar+O <sub>2</sub>	Ar+O <sub>2</sub>
	製膜前の背圧(Pa)	5.0 × 10 <sup>-4</sup>	5.0 × 10 <sup>-4</sup>	5.0 × 10 <sup>-4</sup>
	成膜時のスパッタ圧(Pa)	0.5	0.5	0.5
	成膜時の基板温度(°C)	室温	室温	室温
半導体膜成膜後の 加熱処理条件	成膜時の酸素分圧(%)	1	1	1
	成膜後の熱処理: 温度(°C)	350	350	350
	: 昇温速度(°C/分)	10	10	10
	: 時間(分)	30	30	60
	: 雰囲気	大気	大気	大気
加熱処理後の半導体膜の 特性	膜厚(nm)	50	50	50
	ホール測定キャリヤー密度(cm <sup>-3</sup> )	2.5 × 10 <sup>16</sup>	1.2 × 10 <sup>16</sup>	3.6 × 10 <sup>19</sup>
	ホール測定移動度(cm <sup>2</sup> /V·sec)	9.8	12.0	24.3
	膜堆積直後の結晶性(XRD)	アモルファス	アモルファス	アモルファス
	加熱直後の結晶性(XRD)	アモルファス	アモルファス	アモルファス
	半導体膜のバンドギャップ(eV)	3.46	3.45	3.58
加熱処理後のTFTの特性	飽和移動度(cm <sup>2</sup> /V·sec)	12.2	7.3	導通
	V <sub>th</sub> (V)	-1.1	0.8	-
	on/off比	>10 <sup>7</sup>	>10 <sup>8</sup>	-
	オフ電流(A)	<10 <sup>-11</sup>	<10 <sup>-12</sup>	-
CVDでSiO <sub>2</sub> 膜成膜後の半 導体膜の特性	基板温度°C	300	300	300
	ホール測定キャリヤー密度(cm <sup>-3</sup> )	2.4 × 10 <sup>19</sup>	3.6 × 10 <sup>19</sup>	1.9 × 10 <sup>20</sup>
	ホール測定移動度(cm <sup>2</sup> /V·sec)	13.7	15.4	26.2
CVDでSiO <sub>2</sub> 膜成膜後、 加熱処理した半導体膜の 特性	熱処理: 温度(°C)	350	350	350
	: 時間(分)	60	60	30
	: 雰囲気	大気	大気	大気
	ホール測定キャリヤー密度(cm <sup>-3</sup> )	8.8 × 10 <sup>16</sup>	7.4 × 10 <sup>13</sup>	7.0 × 10 <sup>19</sup>
	ホール測定移動度(cm <sup>2</sup> /V·sec)	19.8	26.6	25.1
CVDでSiO <sub>2</sub> 膜成膜後、加熱 処理して得られたTFTの特 性	飽和移動度(cm <sup>2</sup> /V·sec)	17.7	12.2	導通
	V <sub>th</sub> (V)	-2.4	0.2	-
	on/off比	>10 <sup>7</sup>	>10 <sup>8</sup>	-
	オフ電流(A)	<10 <sup>-11</sup>	<10 <sup>-12</sup>	-

## 【0156】

表3に示すように、実施例A、実施例Bは、実施例1、実施例2の焼結体を用いて半導体膜を成膜したものであり、加熱後でもTFTとしての特性が得られていた。

比較例Aは、比較例1の焼結体を用いて半導体膜を製膜したものであり、加熱すると膜が導通てしまい、TFTとしての特性が得られなかった。

## 【産業上の利用可能性】

## 【0157】

本発明の一態様の酸化物半導体膜は、薄膜トランジスタ等の半導体膜として有用である。

本発明の一態様の酸化物焼結体は、スパッタリングターゲット材として有用である。

## 【符号の説明】

## 【0158】

1 : 酸化物焼結体

3 : バッキングプレート

20 : シリコンウエハ

30 : ゲート絶縁膜

40 : 酸化物半導体薄膜

10

20

30

40

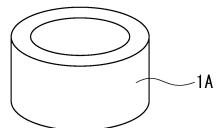
50

5 0	: ソース電極	
6 0	: ドレイン電極	
7 0	: 層間絶縁膜	
7 0 A	: 層間絶縁膜	
7 0 B	: 層間絶縁膜	
1 0 0	: 薄膜トランジスタ	
1 0 0 A	: 薄膜トランジスタ	
3 0 0	: 基板	
3 0 1	: 画素部	
3 0 2	: 第1の走査線駆動回路	10
3 0 3	: 第2の走査線駆動回路	
3 0 4	: 信号線駆動回路	
3 1 0	: 容量配線	
3 1 2	: ゲート配線	
3 1 3	: ゲート配線	
3 1 4	: ドレイン電極	
3 1 6	: トランジスタ	
3 1 7	: トランジスタ	
3 1 8	: 第1の液晶素子	
3 1 9	: 第2の液晶素子	20
3 2 0	: 画素部	
3 2 1	: スイッチング用トランジスタ	
3 2 2	: 駆動用トランジスタ	
3 0 0 2	: フォトダイオード	
3 0 0 4	: 転送トランジスタ	
3 0 0 6	: リセットトランジスタ	
3 0 0 8	: 増幅トランジスタ	
3 0 1 0	: 信号電荷蓄積部	
3 1 0 0	: 電源線	
3 1 1 0	: リセット電源線	30
3 1 2 0	: 垂直出力線	

【図1】



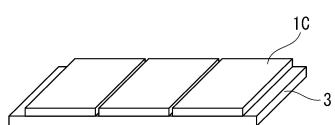
【図2】



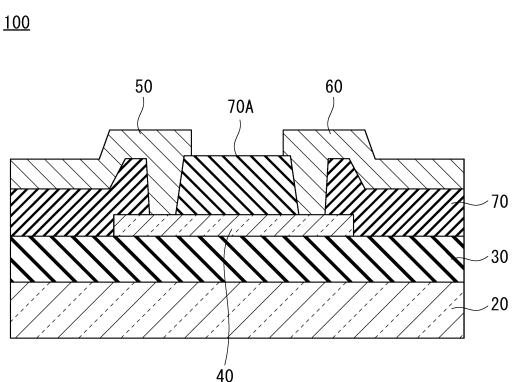
【図3】



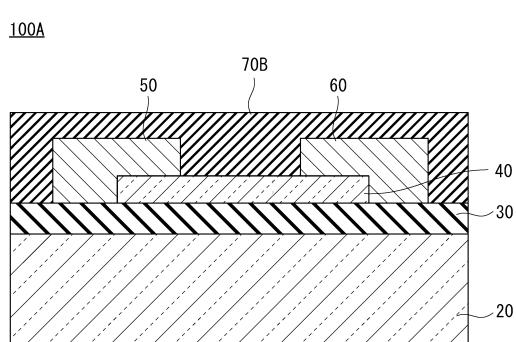
【図4】



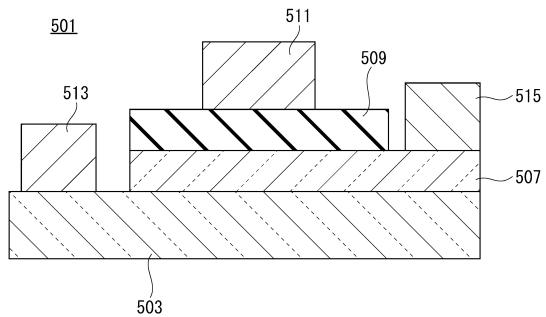
【図5】



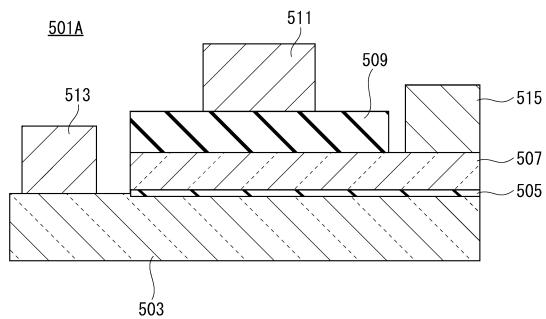
【図6】



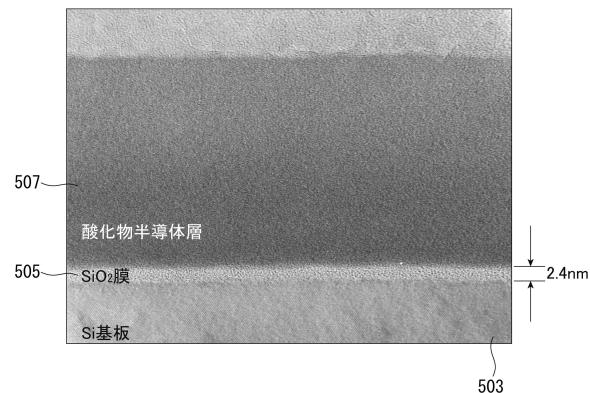
【図7】



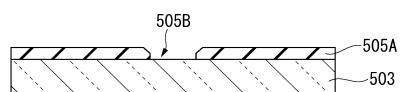
【図 8】



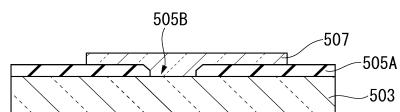
【図 9】



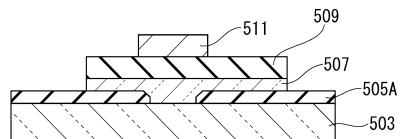
【図 10】



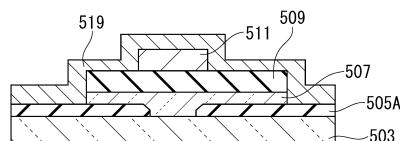
【図 11】



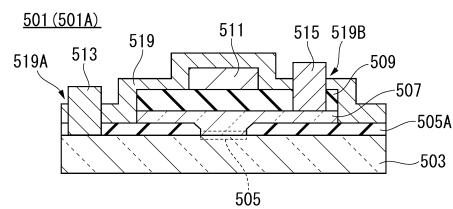
【図 12】



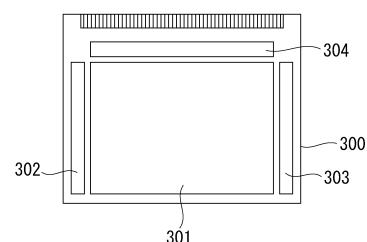
【図 13】



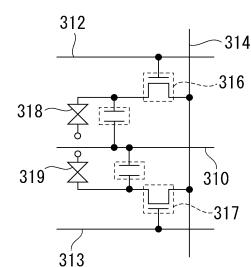
【図 14】



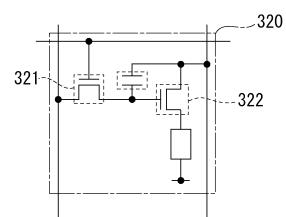
【図 15】



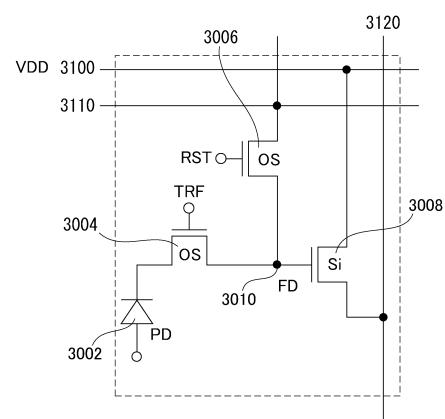
【図 16】



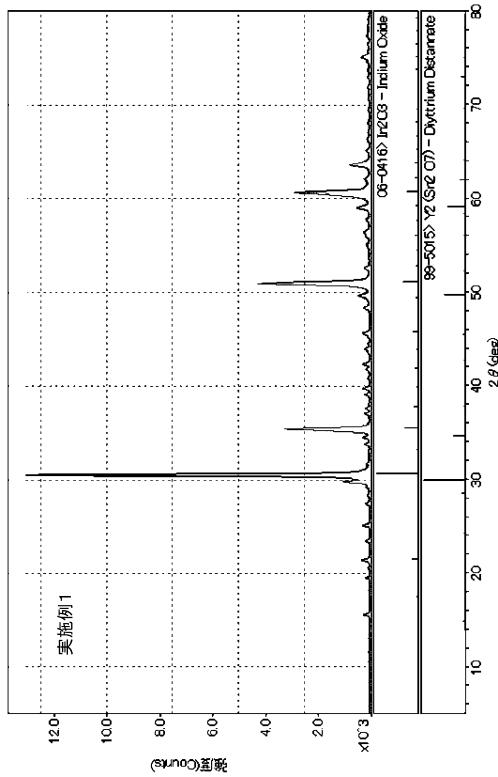
【図17】



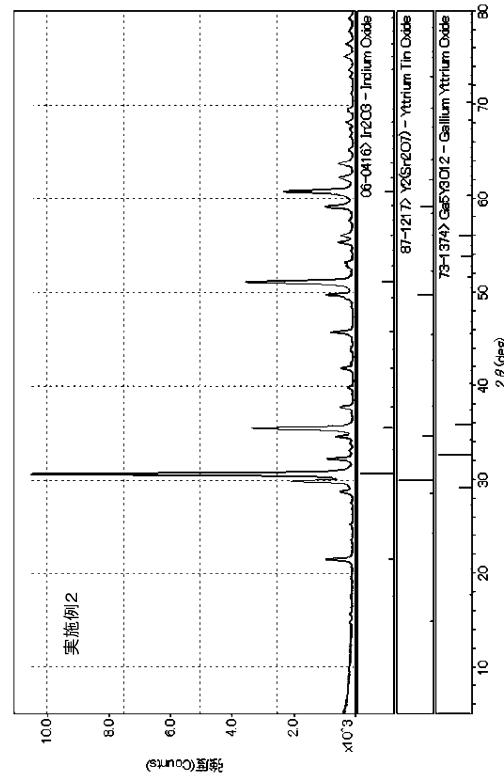
【図18】



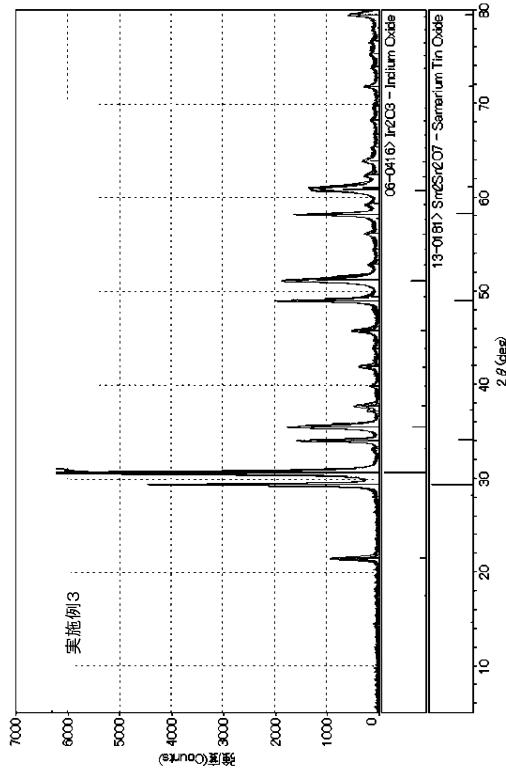
【図19】



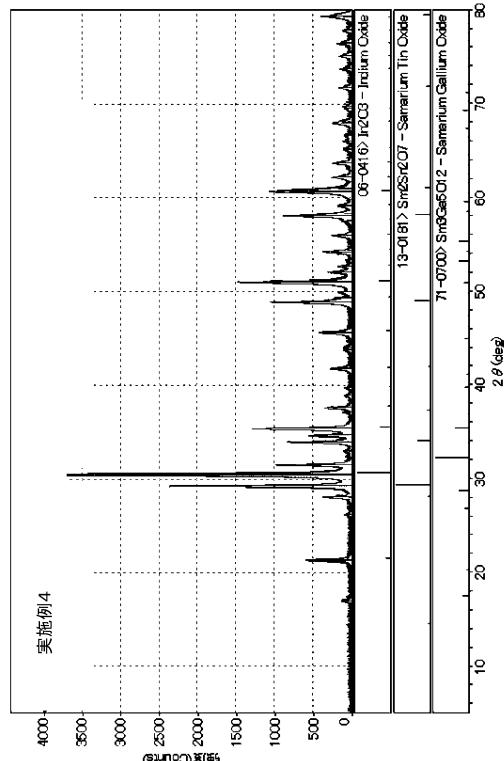
【図20】



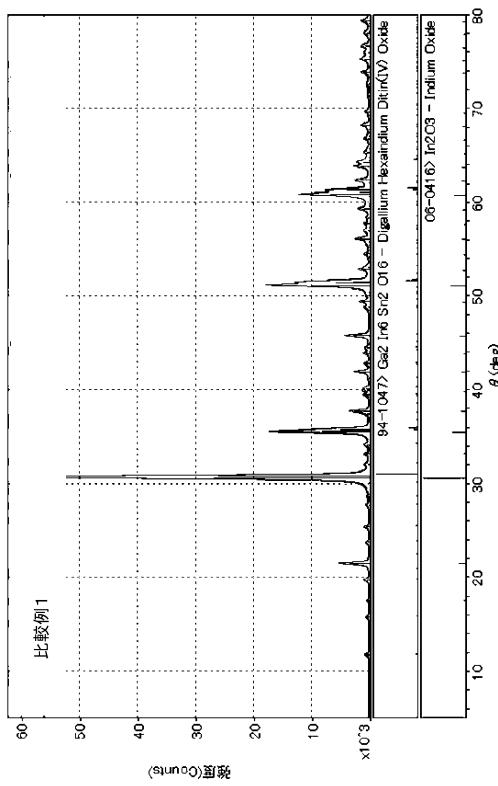
【図21】



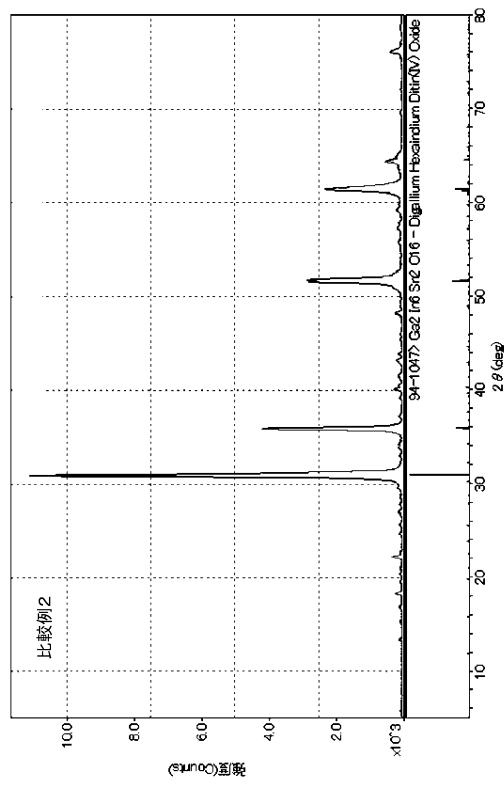
【図22】



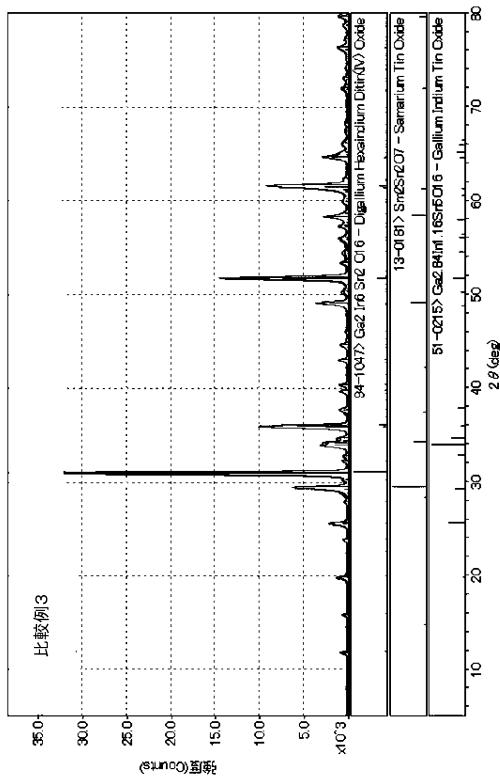
【図23】



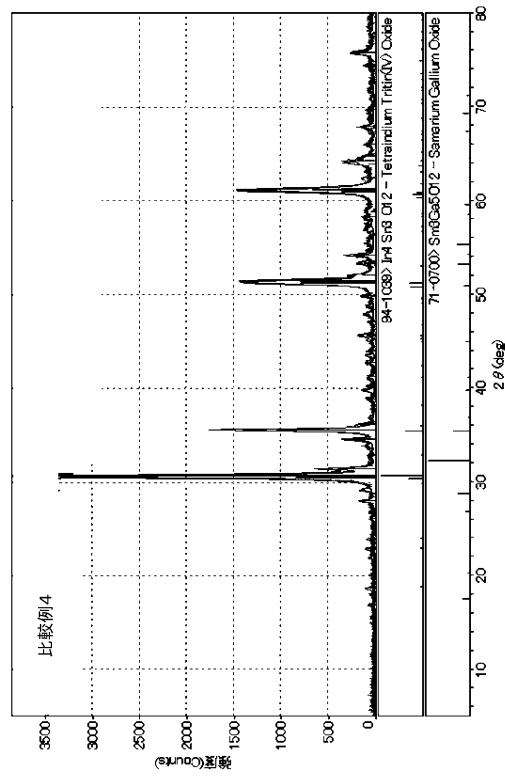
【図24】



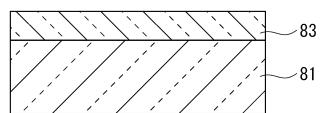
【図25】



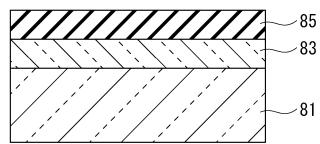
【図26】



【図27】



【図28】



---

フロントページの続き

(51)Int.Cl. F I  
**C 0 4 B 35/01 (2006.01)** C 0 4 B 35/01  
H 0 1 L 27/146 (2006.01) H 0 1 L 27/146 C

(56)参考文献 特開2011-174134(JP,A)  
特開2014-111818(JP,A)  
特開2016-026268(JP,A)  
特開2016-208515(JP,A)  
特開2010-030824(JP,A)  
RICKERT, Karl et al., Site Dependency of the High Conductivity of Ga<sub>2</sub>In<sub>6</sub>Sn<sub>20</sub>16: The Role of the 7-Coordinate Site, Chemistry of Materials, Vol.27, 米国, 2015年11月11日, pp. 8084-8093, DOI:10.1021/acs.chemmater.5b03790

## (58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 6 3  
H 0 1 L 2 9 / 7 8 6  
H 0 1 L 2 9 / 8 0  
C 2 3 C 1 4 / 0 8  
C 2 3 C 1 4 / 3 4  
C 0 4 B 3 5 / 0 1  
H 0 1 L 2 7 / 1 4 6