



(12)发明专利

(10)授权公告号 CN 105161126 B

(45)授权公告日 2018.02.06

(21)申请号 201510483986.7

(22)申请日 2010.07.01

(65)同一申请的已公布的文献号

申请公布号 CN 105161126 A

(43)申请公布日 2015.12.16

(30)优先权数据

12/504,131 2009.07.16 US

12/761,179 2010.04.15 US

(62)分案原申请数据

201080039043.0 2010.07.01

(73)专利权人 奈特力斯股份有限公司

地址 美国加利福尼亚州尔湾市帝斯卡威路
51号

(72)发明人 李铉 雅耶斯·R·巴克塔

(74)专利代理机构 上海晨皓知识产权代理事务
所(普通合伙) 31260

代理人 成丽杰

(51)Int.Cl.

G11C 5/02(2006.01)

G11C 5/04(2006.01)

G11C 5/06(2006.01)

(56)对比文件

US 2009/0103387 A1,2009.04.23,

US 5784705 A,1998.07.21,

CN 1484833 A,2004.03.24,

CN 101221809 A,2008.07.16,

US 7532537 B2,2009.05.12,

US 2007/0058409 A1,2007.03.15,

审查员 梁岩

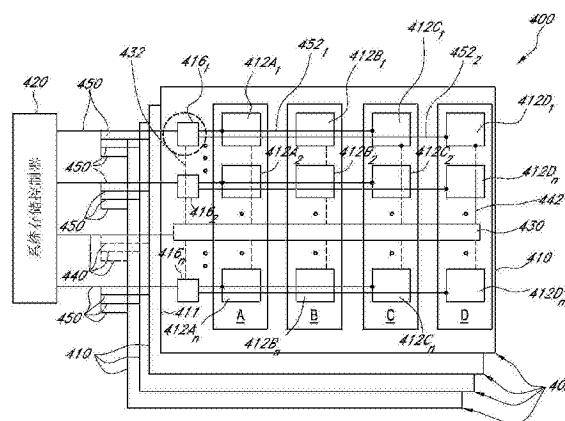
权利要求书3页 说明书15页 附图8页

(54)发明名称

利用存储模块上的分布式字节缓冲器的系
统和方法

(57)摘要

本发明提供一种使用一个或多个存储模块的存储系统和方法。存储模块(400)包括多个存储装置(412)以及一个控制器(430),所述控制器(430)经配置以从系统存储控制器(420)接收控制信息(440),并产生模块控制信号(442)。所述存储模块进一步包括多个电路,例如字节缓冲器(416),所述电路经配置以选择性地将所述多个存储装置与所述系统控制器隔离。所述电路可响应于所述模块控制信号而运行,以便将写入数据从所述系统存储控制器驱动到所述多个存储装置,并将来自所述多个存储装置的读出数据合并到所述系统存储控制器中。所述电路分布在彼此隔开的对应位置上。



1. 一种可在具有系统存储控制器的计算机系统中操作的位宽为N位的存储模块,所述计算机系统包含在所述存储模块和所述系统存储控制器之间的多个控制信号线路和位宽为N位的数据信号线路,所述位宽为N位的数据信号线路包含M个位宽为n位的数据信号线路组,其中 $N=M \times n$,所述存储模块包括:

电路板,其具有边缘连接器,所述边缘连接器包含用于提供在所述存储模块和所述N个比特宽的数据信号线路之间的导电性的电触点;

耦接到所述电路板的控制电路,所述控制电路用于经由所述控制信号线路从所述系统存储控制器接收为一读或写的操作的输入控制信号,且用于产生响应于所述输入控制信号的第一模块控制信号和第二模块控制信号;以及

多个存储装置,其耦接到所述电路板,且排列为多个位宽为N位的排,所述多个位宽为N位的排包括一个被选定的位宽为N位的排其经配置执行所述读或写的操作以响应于所述第一模块控制信号;以及

M个缓冲器电路,其耦接到所述电路板,且配置成响应所述第二模块控制信号在所述被选定的位宽为N位的排和所述位宽为N位的数据信号线路之间有效驱动所述读或写的操作的每个位宽为N位的数据信号;所述M个缓冲器电路中的每个对应的缓冲器电路在其一侧以可操作方式耦接到所述多个存储装置中的一个对应的子集,在其另一侧以可操作方式耦接到所述M个位宽为n位的数据信号线路组中的一个对应的位宽为n位的数据信号线路组;所述多个存储装置中的一个对应的子集在每个位宽为N位的排中都包括有至少一个对应的存储装置;

所述每个对应的缓冲器电路包括多个三态缓冲器以及控制所述多个三态缓冲器的逻辑其经配置响应所述第二模块控制信号来启用所述多个三态缓冲器中的一个子集在所述M个位宽为n位的数据信号线路组中的一个对应的位宽为n位的数据信号线路组和所述被选定的位宽为N位的排中的至少一个对应的存储装置之间有效驱动所述读或写的操作的每个位宽为N位的数据信号中的一个对应的位宽为n位的片段。

2. 根据权利要求1所述的存储模块,其特征在于,所述控制电路还经配置利用所述第二模块控制信号来控制所述M个缓冲器电路以使其根据一时延参数操作。

3. 根据权利要求2所述的存储模块,其特征在于,所述读或写的操作为一写入操作,所述M个缓冲器电路经配置从所述位宽为N位的数据信号线路接收所述写入操作的每个位宽为N位的数据信号,所述M个缓冲器电路中的每个对应的缓冲器电路响应所述第二模块控制信号将所述写入操作的每个位宽为N位的数据信号中的一个对应的位宽为n位的片段通过与其连接的位宽为n位的模块数据线路有效地驱动到至少两排中的至少两个对应的存储装置,所述逻辑更经配置停用所述多个三态缓冲器中的另一个子集以响应所述第二模块控制信号,所述多个三态缓冲器中的另一个子集包括读取缓冲器。

4. 根据权利要求3所述的存储模块,其特征在于,所述每个对应的缓冲器电路包含n个写入缓冲器分别与所述一个对应的位宽为n位的数据信号线路组中的各线路连接,所述n个写入缓冲器中的每个写入缓冲器在所述写入操作期间向所述系统存储控制器呈现的负载相当于一个存储装置上的输入缓冲器的负载。

5. 根据权利要求2所述的存储模块,其特征在于,其中所述读或写的操作为一读取的操作,其中所述M个缓冲器电路经配置响应所述第二模块控制信号从所述被选定的位宽为N位

的排接收所述读取操作的每个位宽为N位的数据信号,并将所述读取操作的每个位宽为N位的数据信号有效地驱动到所述位宽为N位的数据信号线路,所述逻辑更经配置停用所述多个三态缓冲器中的另一个子集以响应所述第二模块控制信号。

6. 根据权利要求1所述的存储模块,其特征在于,所述M个缓冲器电路中的每个缓冲器电路的位宽都是8位,所述多个存储装置中的每个存储装置的位宽都是4位,所述被选定的位宽为N位的排中的所述至少一个对应的存储装置包括第一存储装置和第二存储装置,其中所述多个三态缓冲器中的一个子集的一半与所述第一存储装置耦接,所述多个三态缓冲器中的一个子集的另一半与所述第二存储装置耦接。

7. 根据权利要求1所述的存储模块,其特征在于,所述电路板提供第一模块信号线路和第二模块信号线路,其中,所述第一模块控制信号经由所述第一组模块信号线路传输,所述第二模块控制信号经由所述第二组模块信号线路传输。

8. 根据权利要求1所述的存储模块,其特征在于,所述数据路径是字节宽的或半字节宽的。

9. 根据权利要求1所述的存储模块,其特征在于,所述每个对应的缓冲器电路具有与一个存储装置的位宽相同的位宽。

10. 根据权利要求1所述的存储模块,其特征在于,所述每个对应的缓冲器电路的位宽为一个存储装置的位宽的两倍。

11. 根据权利要求1所述的存储模块,其特征在于,所述多组存储装置中的每个存储装置是双倍数据速率(DDR)动态随机存取存储器(DRAM)装置。

12. 一种在计算机系统中操作一个位宽为N位的存储模块的方法,所述存储模块包含一个电路板和安装在所述电路板上且排列为多个位宽为N位的排的多个存储装置,所述电路板经由在所述存储模块和系统存储控制器之间的多个控制信号线路和位宽为N位的数据信号线路耦接到所述系统存储控制器,所述位宽为N位的数据信号线路包含M个位宽为n位的数据信号线路组,其中 $N=M \times n$,所述方法包括以下步骤:

经由所述多个控制信号线路从所述系统存储控制器接收为一读或写的操作的输入控制信号,其中所述读或写的操作针对是所述多个位宽为N位的排中的一个被选定的位宽为N位的排;

产生响应于所述输入控制信号的第一模块控制信号和第二模块控制信号;

将所述第一模块控制信号传输到所述多个存储装置;

将所述第二模块控制信号传输到安装在所述电路板上且分布在所述存储模块上的M个缓冲器电路,所述M个缓冲器电路中的每个对应的缓冲器电路在其一侧以可操作方式耦接到所述多个存储装置中的一个对应的子集,在其另一侧以可操作方式耦接到所述M个位宽为n位的数据信号线路组中的一个对应的位宽为n位的数据信号线路组;所述多个存储装置中的一个对应的子集在每个位宽为N位的排中都包括有至少一个对应的存储装置;以及

控制所述M个缓冲器电路使其通过响应所述第二模块控制信号在所述被选定的位宽为N位的排和所述位宽为N位的数据信号线路之间传输所述读或写的操作的每个位宽为N位的数据信号,其中所述每个对应的缓冲器电路包括多个三态缓冲器以及控制所述多个三态缓冲器的逻辑其经配置响应所述第二模块控制信号来启用所述多个三态缓冲器中的一个子集在所述M个位宽为n位的数据信号线路组中的一个对应的位宽为n位的数据信号线路组和

所述被选定的位宽为N位的排中的至少一个对应的存储装置之间有效驱动所述读或写的操作的每个位宽为N位的数据信号中的一个对应的位宽为n位的片段。

13. 根据权利要求12所述的方法,其特征在于,所述方法还包括以下步骤:

利用所述第二模块控制信号来控制分布在所述存储模块上的所述M个缓冲器电路以使其根据一时延参数操作。

14. 根据权利要求13所述的方法,其特征在于,所述读或写的操作为一写入操作,并且所述方法还包括以下步骤:

在所述写入操作期间,响应于所述第二模块控制信号,控制所述M个缓冲器电路从所述系统存储控制器接收所述写入操作的每个位宽为N位的数据信号,并将所述写入操作的每个位宽为N位的数据信号驱动到所述被选定的位宽为N位的排中的存储装置,且响应所述第二模块控制信号停用所述多个三态缓冲器中的另一个子集,所述多个三态缓冲器中的另一个子集包括读取缓冲器。

15. 根据权利要求13所述的方法,其特征在于,其中所述读或写的操作为一读取的操作,所述方法还包括以下步骤:

在所述读取操作期间,响应于所述第二组模块控制信号,控制所述M个缓冲器电路从所述被选定的位宽为N位的排接收所述读取操作的每个位宽为N位的数据信号,并将所述所接收的每个位宽为N位的数据信号通过所述位宽为N位的数据信号线路驱动到所述系统存储控制器,且响应所述第二模块控制信号停用所述多个三态缓冲器中的另一个子集。

16. 根据权利要求12所述的方法,其特征在于,所述每个对应的缓冲器电路在所述写入操作期间向所述系统存储控制器提供减少的负载,所述减少的负载小于所述至少两个存储装置的负载。

17. 根据权利要求12所述的方法,其特征在于,所述M个缓冲器电路中的每个缓冲器电路的位宽都是8位,所述多个存储装置中的每个存储装置的位宽都是4位,所述被选定的位宽为N位的排中的所述至少一个对应的存储装置包括第一存储装置和第二存储装置,其中所述多个三态缓冲器中的一个子集的一半与所述第一存储装置耦接,所述多个三态缓冲器中的一个子集的另一半与所述第二存储装置耦接。

利用存储模块上的分布式字节缓冲器的系统和方法

[0001] 相关申请案的交叉参考

[0002] 本申请案为申请号为201080039043.0 (国际申请号为:PCT/US2010/040826)、申请日2012年3月12日 (国际申请日为2010-7-1)、申请人为奈特力斯股份有限公司、发明创造名称为“利用存储模块上的分布式字节缓冲器的系统和方法”的分案申请,因此本申请包含原申请以及原申请所请求的优先权文件中的所有内容。

技术领域

[0003] 本发明大体上涉及计算机系统的存储子系统,确切地说,涉及用于改进存储子系统或存储“板”,尤其是包括双列直插式存储模块(DIMM)的存储板的性能和存储容量的系统、装置和方法。

背景技术

[0004] 某些类型的计算机存储子系统包括安装在印刷电路板(PCB)上的多个动态随机存取存储器(DRAM)或同步动态随机存取存储器(SDRAM)装置。这些存储子系统或存储“板”通常安装在诸如服务器系统或个人计算机等计算机系统的存储槽或插口中,并可被计算机系统的处理器访问。存储板通常包括一个或多个存储模块,每个存储模块均具有采用独特的行、列和组(bank)配置的多个存储装置(例如,DRAM或SDRAM),从而为存储模块提供总存储容量。

[0005] 存储模块的各存储装置通常布置成存储排(rank)或存储行,每个存储排通常具有特定的位宽。例如,将存储模块的排为64位宽的存储模块描述为“x64”或“乘64”结构。类似地,将存储排为72位宽的存储模块描述为“x72”或“乘72”结构。

[0006] 存储模块的存储容量随着存储装置数量的增加而增加。可以增加存储模块的存储装置的数量,方法是,增加每个存储排的存储装置的数量,或增加存储排的数量。有时并不使用存储模块的存储容量作为参考项,而是使用存储模块的存储密度作为替代。

[0007] 在运行期间,存储模块的存储排由从处理器处接收的控制信号进行选择或启动。此类控制信号的实例包括,但不限于,排选择信号,也称为芯片选择信号。对于每个存储模块而言,大多数计算机和服务器系统所支持的存储排数量有限,这样便限制了每个存储模块中可设置的存储密度。

[0008] 电子系统的存储空间受物理寻址空间的限制,物理寻址空间由地址位的数量或所选择的芯片的数量来定义。通常情况下,在定义了电子系统的存储空间后,在不对设计进行大规模更改的情况下,无法修改存储空间。特别是在有关协会(例如,联合电子设备工程委员会(JEDEC))定义了存储空间的情况下。当用户的应用程序需要的可寻址存储空间超过了现有电子系统可支持的存储空间时,就会出现这个问题。

[0009] 在开发存储子系统的过程中,通常要考虑到存储密度、功耗(或热耗散)、速度和成本问题。通常,这些属性彼此之间并非毫无关联,就是说,优化其中一个属性可能会对另一个属性造成不利影响。例如,增加存储密度通常会导致功耗变高、运行速度变慢和成本变

高。

[0010] 此外,存储子系统的规格可能会受到与这些属性关联的物理项限制。例如,热耗散高的话可能会限制运行的速度,或者,存储模块的物理大小可能会限制模块密度。

[0011] 这些属性大体上规定了存储模块的设计参数,当为了提高存储卡的密度而在存储子系统中加入较多的存储装置时,通常要求降低存储系统的运行速度。

发明内容

[0012] 在某些实施例中,提供一种存储模块。所述存储模块包括至少一个印刷电路板,以及以机械方式耦接到所述至少一个印刷电路板的多个存储装置。所述存储模块进一步包括以机械方式耦接到所述至少一个印刷电路板的控制电路。所述控制电路可经配置以从系统存储控制器接收控制信号,并将模块控制信号传输到所述多个存储装置。所述存储模块进一步包括多个数据传输电路,所述多个数据传输电路以机械方式耦接到所述至少一个印刷电路板,并相对于所述至少一个印刷电路板分布在对应位置上。所述多个数据传输电路可经配置以有效地耦接到系统存储控制器,并可经配置以从控制电路接收模块控制信号。所述多个数据传输电路中的至少一个第一数据传输电路有效地耦接到所述多个存储装置中的至少两个存储装置。所述多个数据传输电路中的至少一个第二数据传输电路有效地耦接到所述多个存储装置中的至少两个存储装置。所述至少一个第一数据传输电路可经配置以对模块控制信号作出响应,从而选择允许或禁止在系统存储控制器与至少一个选定的存储装置之间发生数据传输,所述至少一个选定的存储装置为所述有效地耦接到所述至少一个第一数据传输电路的所述至少两个存储装置中的至少一个选定的存储装置。所述至少一个第二数据传输电路可经配置以对模块控制信号作出响应,从而选择允许或禁止在系统存储控制器与至少一个选定存储装置之间发生数据传输,所述至少一个选定的存储装置为所述有效地耦接到所述至少一个第二数据传输电路的所述至少两个存储装置中的至少一个选定的存储装置。

[0013] 在某些实施例中,提供一种存储模块。所述存储模块包括多个存储装置以及一个控制器,所述控制器经配置以从系统存储控制器接收控制信息,并产生模块控制信号。所述存储模块进一步包括多个电路,所述电路经配置以选择性地多个存储装置与系统存储控制器隔离。所述电路可响应于所述模块控制信号运行,以便将写入数据从系统存储控制器驱动到多个存储装置,并将来自多个存储装置的读出数据合并到系统存储控制器中。所述电路分布在彼此隔开的对应位置上。

[0014] 在某些实施例中,提供一种操作包括多个存储装置的存储模块的方法。所述方法包括在计算机系统存储控制器与所述存储模块的所述多个存储装置之间的数据线路上提供数据传输电路。所述数据传输电路包括字节缓冲器。所述方法进一步包括在写入操作期间,使数据传输电路通过多条路径中的一条路径将数据信号从计算机系统存储控制器驱动到存储模块的存储装置。所述方法进一步包括在读取操作期间,使数据传输电路合并来自存储模块的存储装置的多个数据信号,并将所合并的数据信号驱动到计算机系统存储控制器。

[0015] 在某些实施例中,提供一种包括多个存储装置的存储模块。所述存储模块可进一步包括控制器,所述控制器经配置以从系统存储控制器接收控制信息,并产生模块控制信

号。在一些实施例中,所述存储模块包括交换电路,所述交换电路经配置以将所述多个存储装置与所述系统存储控制器隔离。所述交换电路可响应于所述模块控制信号运行,以便将写入数据从系统存储控制器驱动到所述多个存储装置,且在一些实施例中,将来自所述多个存储装置的读出数据合并到所述系统存储控制器中。

[0016] 根据某些实施例,提供一种操作包括多个存储装置的存储模块的方法。所述方法可包括在计算机系统存储控制器与所述存储模块的所述多个存储装置之间的数据线路上提供减载交换电路。在一些实施例中,所述方法包括在写入操作期间,使减载交换电路通过多条路径中的一条路径将数据信号从计算机系统存储控制器驱动到存储模块的存储装置。在某些实施例中,所述方法包括在读取操作期间,使减载交换电路合并来自存储模块的存储装置的多个数据信号,并将所合并的数据信号驱动到计算机系统存储控制器。

附图说明

[0017] 参阅附图并同时结合随后的具体说明,可全面地理解本发明,其中:

[0018] 图1A是设有至少一个JEDEC标准双排(rank)存储模块的传统存储子系统的示意图。

[0019] 图1B是设有至少一个JEDEC标准四排存储模块的传统存储子系统的示意图。

[0020] 图2A是设有至少一个双排存储模块的另一个传统存储子系统的示意图。

[0021] 图2B是设有至少一个四排存储模块的另一个传统存储子系统的示意图。

[0022] 图2C和图2D分别图示了传统双排存储模块和四排存储模块,每个存储模块均包括存储缓冲器。

[0023] 图3A是根据本发明的一项实施例的示例性存储子系统的示意图。

[0024] 图3B图示了根据本文中所述的某些实施例的另一个示例性存储子系统。

[0025] 图3C图示了根据本文中所述的某些实施例的存储模块的各存储装置、各数据传输电路和各控制电路的示例性布局。

[0026] 图3D是根据本文中所述的某些实施例的示例性存储子系统的图。

[0027] 图4A图示了包括数据传输电路的示例性存储子系统,其中数据传输电路的位宽与各个存储装置的位宽相同。

[0028] 图4B图示了包括数据传输电路的示例性存储子系统,其中数据传输电路的位宽与各个存储装置的位宽不同。

[0029] 图5是与图3A所示的存储子系统兼容的数据传输电路的示例性实施例的示意图。

[0030] 图6是说明图3A和图5所示存储系统的运行的示例性时序图。

[0031] 为了简洁清晰起见,类似的元件和部件在附图中具有类似的标识和编号。

具体实施方式

[0032] 一种用于基于地址解码方案增加存储空间的方法。电子行业中将这种方法广泛地应用于专用集成电路(ASIC)和片上系统(SOC)装置的设计中,用于扩展系统内存。另一种方法无需大规模更改现有电子系统的软件或硬件便可增加可寻址存储空间。

[0033] 这种方法将芯片选择信号与地址信号组合,从而增加物理寻址存储空间的数量(例如,增加2倍、4倍、8倍或其他倍数)。

[0034] 这些方法存在一些缺点。例如,由于这些方法通过直接添加存储芯片来增加可寻址存储空间,因此造成系统控制器的输出和存储装置的输出的负载较大,从而导致系统变慢。另外,增加存储装置的数量会导致功率耗散变高。此外,由于每个存储模块上存储装置的数量增加改变了存储模块的物理性质,而系统板保持不变,因此整个信号(传输线路)波形特征会偏离原始设计意图或说明。此外,尤其是在使用寄存式DIMM(RDIMM)时,存储装置的数量增加导致数据路径而非控制路径(例如地址路径)上分布式RC负载增加,从而使数据信号路径和控制信号路径之间出现不均匀的信号传播延迟。本文中所使用的术语“控制线路”和“控制路径”包括地址线路或地址路径以及命令线路或命令路径,且术语“控制信号”包括地址信号和命令信号。

[0035] 图1A和1B所示为一种增加存储装置数量的现有技术方法。具体而言,图1A所示为传统存储子系统100,其具有至少一个JEDEC标准双排(rank)存储模块110,例如寄存式双列直插式存储模块(RDIMM),为清晰起见,只图示了其中一个JEDEC标准双列直插式存储模块。存储模块110的每排包括多个存储装置112,例如动态随机存取存储器(DRAM)装置或同步DRAM(SDRAM)装置。寄存器130从系统存储控制器120接收多条控制线路140(图示为单实线),并通过控制线路142连接到存储模块110的每排中的存储装置112。此存储子系统100将来自系统存储控制器120的数据线路150(图示为虚线)的阵列中的每条数据线路连接到每个存储模块110的两排中对应的存储装置112。因此,在写入操作期间,系统存储控制器120通过数据线路150将所有存储装置112视作负载,且在读取操作期间,每个存储装置112通过数据线路150将多个其他存储装置112以及系统存储控制器120视作负载。

[0036] 图1B是另一种传统存储子系统100'的示意图,其具有至少一个JEDEC标准四排存储模块110'(为清晰起见,只图示其中一个),每排包括多个存储装置112'。寄存器130'从系统存储控制器120'接收多条控制线路140'(图示为单实线),并通过控制线路142'连接到存储模块110'的每排中的存储装置112'。来自系统存储控制器120'的数据线路150'(图示为虚线)的阵列中的每条数据线路连接到(例如通过四个扇出端)每个存储模块110'的四排中对应的存储装置112'。因此,与图1A中所示的双排存储模块110一样,在写入操作期间,系统存储控制器120'通过数据线路150'将所有存储装置112'视作负载,且在读取操作期间,每个存储装置112'通过数据线路150'将多个其他存储装置112'和系统存储控制器120'视作负载。

[0037] 在传统双排存储模块110和传统四排存储模块110'中,存储控制器120、120'在写入操作期间所承受(see)的负载以及存储装置112、112'在读取操作期间所承受的负载可造成严重的性能问题。例如,为了进行同步操作,需要使各个信号的时间延迟实质上相等,以便使存储模块110、110'的操作与计算机系统的系统总线同步。因此,可选择存储模块110、110'的迹线长度,以使信号处于同一时钟相位。例如,从寄存器130、130'到存储装置112、112'中的每个存储装置的控制线路142、142'的长度实质上相等。但是,当时钟速度变快时,迹线长度中存在的较小误差会导致难以或无法进行此类同步操作。因此,这些现有技术不仅降低了存储系统的速度,还需要进行硬件调整,才能最小化传输线路波形特征与原始设计说明之间的所有偏差。

[0038] 图2A和2B所示为增加存储装置数量的另一种现有技术方法。具体而言,图2A所示为传统存储子系统200,其具有至少一个双排存储模块210,为清晰起见,只图示其中的一

个。存储模块210的每排包括多个存储装置212,例如动态随机存取存储器(DRAM)装置或同步DRAM(SDRAM)装置。寄存器230从系统存储控制器220接收多条控制线路240(图示为单实线),并通过控制线路242连接到存储模块210的每排中的存储装置212。此存储子系统200将来自系统存储控制器220的数据线路250(图示为虚线)的阵列中的每条数据线路连接到每个存储模块210的两排中对应的存储装置212。因此,在写入操作期间,系统存储控制器220通过数据线路250将所有存储装置212视作负载,且在读取操作期间,每个存储装置212通过数据线路250将多个其他存储装置212以及系统存储控制器220视作负载。

[0039] 图2B是另一种传统存储子系统200'的示意图,其具有至少一个四排存储模块210'(为清晰起见,只图示其中一个),每排包括多个存储装置212'。寄存器230'从系统存储控制器220'接收多条控制线路240'(图示为单实线),并通过控制线路242'连接到存储模块210'的每排中的存储装置212'。来自系统存储控制器220'的数据线路250'(图示为虚线)的阵列中的每条数据线路连接到(例如通过四个扇出端)每个存储模块210'的四排中对应的存储装置212'。因此,与图2A中所示的双排存储模块210一样,在写入操作期间,系统存储控制器220'通过数据线路250'将所有存储装置212'视作负载,且在读取操作期间,每个存储装置212'通过数据线路250'将多个其他存储装置212'和系统存储控制器220'视作负载。

[0040] 存储模块210、210'的控制线路242、242'采用“飞越(fly-by)”配置。在此配置中,控制信号沿着控制线路242、242'(例如,在单路径菊花链中)从寄存器230、230'发送到给定排的存储装置212、212'。这些控制信号依次到达所述排的每个存储装置212、212',其中控制信号首先到达控制线路242、242'最短的存储装置212、212',随后到达控制线路242、242'第二短的存储装置212、212',依此类推。例如,在控制信号到达控制线路242、242'最短的存储装置212、212'后相当长的一段时间内,同一控制信号可到达控制线路242、242'最长的存储装置212、212'。为了进行同步操作,存储子系统200、200'对数据线路250、250'进行配置,从而使存储控制器220、220'和特定存储装置212、212'之间各种数据信号的时间延迟实质上得以调整,以便数据信号和控制信号到达特定存储装置212、212',从而使对存储模块210、210'的操作与计算机系统的系统总线同步。此类“飞越”配置被描述为以“局部同步”而“全局异步”的方式操作。

[0041] 在此类“飞越”配置方面,图2A和图2B的存储控制器220、220'比图1A和图1B的存储控制器120、120'更为复杂,因为存储控制器220、220'要考虑各个存储装置212、212'之间的时间延迟,并适当地调整这些信号的时序,以实现同步操作。但在有些时候,时钟周期时间约等于或小于控制信号到达控制线路242、242'最长的存储装置212、212'和到达控制线路242、242'最短的存储装置212、212'之间的时差(例如,约900皮秒)。此时,无法实现同步操作。因此,控制信号到达控制线路242、242'最长与最短的存储装置212、212'之间的时差会限制对存储模块210、210'进行操作的时钟速度。这些时差可能超过一个时钟周期,并将限制存储模块的操作速度和性能。此外,与图1A和图1B的存储子系统100、100'一样,图2A和图2B的“飞越”式存储子系统200、200'承受较大负载,从而导致时钟速度变慢。

[0042] 针对此“飞越”配置的一项当前建议是使用存储缓冲器,用于处理控制信号和数据信号。图2C和图2D分别图示了传统双排存储模块310和四排存储模块310',每个存储模块均包括存储缓冲器330、330'。控制线路340、340'提供从存储控制器320、320'到存储缓冲器330、330'的控制信号导管,且控制线路342、342'提供从存储缓冲器330、330'到存储装置

312、312'的控制信号导管。多条控制线路350、350' (为清晰起见,图示为一条虚线) 提供从存储控制器320、320'到存储缓冲器330、330'的数据信号导管,存储模块310、310'上的数据线路(为清晰起见,未图示)提供从存储控制器320、320'到存储装置312、312'的数据信号导管。

[0043] 图2C和图2D的配置意图使数据信号和控制信号均进入存储缓冲器330、330'。但是,此类配置的缺点较为明显。要将数据信号发送到各个存储装置312、312',则存储模块310、310'要包括数量极为庞大的数据线路(为清晰起见,未图示),以使存储缓冲器330、330'耦接到存储装置312、312'。例如,在特定环境下,LRDIMM的存储缓冲器330、330'是用于一种极大的628针脚装置(628-pin device)。此外,对这些数据线路的时间延迟进行调整的逻辑较为复杂或困难,因而无法提供数据信号从存储缓冲器330、330'到存储装置312、312'所需的时序。另外,由于存储缓冲器330、330'接管了传统存储控制器对数据信号时序的一部分控制权,因此存储模块310、310'会采用对存储控制器320、320'进行的大量调整。即便如此,图2C和图2D的存储模块310、310'只可通过异步模式而非同步模式操作,因为飞越时间要比所需的时钟频率长。例如,在飞越延迟为1毫微秒的情况下,如果数据率是1Gb/秒,那么在读取/写入转换期间,数据线路上可能会发生冲突。要解决此类冲突,可降低数据率或嵌入“死”循环。存储模块310、310'是单个单元,无法以同步模式进行操作,但可以局部同步、全局(DIMM级)异步模式进行操作。

[0044] 图3A图示了根据本文中所述的某些实施例的具有减载存储模块402的示例性存储子系统400。图3B图示了根据本文中所述的某些实施例的具有减载存储模块402'的示例性存储子系统400'。图3C图示了根据本文中所述的某些实施例的存储模块402'的存储装置412'、数据传输电路416'和控制电路430'的示例性布局。图3D是根据本文中所述的某些实施例的示例性存储子系统的图。在图3A到图3C中,控制线路(例如,将系统存储控制器420、420'耦接到存储模块410、410'的地址和控制线路440、440')用虚线表示,数据线路(例如,将系统存储控制器420、420'耦接到存储模块410、410'的数据线路450、450')用实线表示,且在图3A和图3B中,输入/输出连接用黑点表示。在某些实施例中,如图3A到图3C所示,地址和控制线路440、440',即将系统存储控制器420、420'耦接到存储模块410、410' (例如,耦接到控制电路430、430')的线路;以及数据线路450、450',即将系统存储控制器420、420'耦接到存储模块410、410' (例如,耦接到数据传输电路416、416')的线路,彼此隔开。例如,在某些实施例中,与传统存储子系统相比,存储子系统400、400'可提供更高的速度和更高的存储密度,以及更低的热耗散。下文中,示例性子系统400和对应部件(例如,存储模块402、存储装置412A、412B、412C、412D、数据传输电路416、控制电路430),以及示例性子系统400'和对应部件(例如,存储模块402'、存储装置412'A₁、412'A₂、412'B₁、412'B₂、412'C₁、412'C₂、412'D₁、412'D₂、数据传输电路416'、控制电路430')的各方面应理解为,同样适用于某些其他实施例。

[0045] 如图3A和图3B所示,示例性存储模块402、402'包括:至少一个印刷电路板410、410',以及以机械方式耦接到所述至少一个印刷电路板410、410'的多个存储装置412、412'。存储模块402、402'进一步包括以机械方式耦接到所述至少一个印刷电路板410、410'的控制电路430、430'。控制电路430、430'可经配置以从系统存储控制器420、420'接收控制信号,并将模块控制信号传输到所述多个存储装置412、412'。存储模块402、402'进一步包

括多个数据传输电路416、416'，所述多个数据传输电路416、416'以机械方式耦接到所述至少一个印刷电路板410、410'，并相对于所述至少一个印刷电路板410、410'分布在对应位置上。所述多个数据传输电路416、416'可经配置以有效地耦接到系统存储控制器420、420'，并可经配置以从控制电路430、430'接收模块控制信号。所述多个数据传输电路416、416'中的至少一个第一数据传输电路有效地耦接到所述多个存储装置412、412'中的至少两个存储装置。所述多个数据传输电路416、416'中的至少一个第二数据传输电路有效地耦接到所述多个存储装置412、412'中的至少两个存储装置。所述至少一个第一数据传输电路可经配置以响应模块控制信号，从而选择允许或禁止在系统存储控制器420、420'与至少一个选定的存储装置之间发生数据传输，所述至少一个选定的存储装置为有效地耦接到所述至少一个第一数据传输电路的所述至少两个存储装置中的至少一个选定的存储装置。所述至少一个第二数据传输电路可经配置以响应模块控制信号，从而选择允许或禁止在系统存储控制器420、420'与至少一个选定的存储装置之间发生数据传输，所述至少一个选定的存储装置为有效地耦接到所述至少一个第二数据传输电路的所述至少两个存储装置中的至少一个选定的存储装置。

[0046] 如图3A和图3B所示，存储子系统400、400'可经配置以有效地耦接到系统存储控制器420、420'，所述系统存储控制器420、420'是所属领域中已知的类型（例如，英特尔 Nehalem EP、EX芯片集、AMD皓龙（Opteron）芯片集）。存储子系统400、400'通常包括一个或多个存储模块402、402'，例如DIMM或RDIMM，为清晰起见，只图示其中一个存储模块的额外详情。多种类型的存储模块402、402'均适用于本文中所述的各实施例。例如，存储容量为512MB、1GB、2GB、4GB、8GB或其他容量的存储模块均适用于本文中所述的各实施例。此外，位宽为4字节、8字节、9字节、16字节、32字节或32位、64位、72位、128位、256位以及其他位宽（以字节或位表示）的存储模块均适用于本文中所述的各实施例。另外，适用于本文中所述的各实施例的存储模块402、402'包括，但不限于，单列直插式存储模块（SIMM）、双列直插式存储模块（DIMM）、小外形DIMM（SO-DIMM）、无缓冲DIMM（UDIMM）、寄存式DIMM（RDIMM）、全缓冲DIMM（FBDIMM）、极小型DIMM以及微型DIMM。

[0047] 一个或多个存储模块402、402'包括一个或多个印刷电路板（PCB）410、410'，所述印刷电路板410、410'布置成垂直堆（如图所示），或背靠背阵列。在某些实施例中，每个存储模块402、402'包括单个PCB 410、410'，而在某些其他实施例中，所述一个或多个存储模块402中的每个存储模块包括多个PCB 410、410'。在一些实施例中，PCB 410、410'可安装在计算机系统的模块插槽（未图示）中。某些此类实施例中的PCB 410、410'具有至少一个边缘连接器（未图示），所述边缘连接器包括多个电触点，所述电触点位于PCB 410、410'的边缘上，且配置成以可拆除方式耦接到计算机系统插口的对应触点，从而使系统存储控制器420、420'和PCB 410、410'上存储模块402、402'的各部件之间导电。

[0048] 至少一个存储模块402、402'包括多个存储装置412、412'（例如DRAM或SDRAM）。有利的是，存储模块402、402'的存储装置412、412'可布置成多个行或排。适用于本文中所述的实施例的存储装置412、412'包括，但不限于，随机存取存储器（RAM）、动态随机存取存储器（DRAM）、同步DRAM（SDRAM），以及双倍速率DRAM（例如，DDR、DDR2、DDR3等）。此外，位宽为4、8、16、32以及其他位宽的存储装置412、412'均适用于本文中所述的实施例。适用于本文中所述的实施例的存储装置412、412'可采用多种封装，包括，但不限于，薄型小尺寸封装

(TSOP)、球栅阵列(BGA)、细间距BGA(FBGA)、微型BGA(μ BGA)、极小型BGA(mBGA)以及芯片级封装(CSP)。

[0049] 在某些实施例中,存储模块402、402'的存储装置412、412'布置成四排,但是在一些实施例中,每个存储模块402、402'可采用小于四排(例如,一排、二排、三排)或大于四排(例如,6排、8排)。在某些实施例中,每排包括八个或九个存储装置,而在某些其他实施例中,每排也可包括其他数量的存储装置。在某些实施例中,如图3A所示,存储装置412布置成四排,分别标记为A、B、C和D,且每排包括n个存储装置。就本发明而言,在图3A的示例性存储子系统400中,排A包括存储装置412A₁、412A₂、...、412A_n;排B包括存储装置412B₁、412B₂、...、412B_n;排C包括存储装置412C₁、412C₂、...、412C_n;以及排D包括存储装置412D₁、412D₂、...、412D_n。就本发明而言,在图3B的示例性存储子系统400'中,排A包括存储装置412'A₁、412'A₂、...、412'A_n;排B包括存储装置412'B₁、412'B₂、...、412'B_n;排C包括存储装置412'C₁、412'C₂、...、412'C_n;以及排D包括存储装置412'D₁、412'D₂、...、412'D_n。

[0050] 在某些实施例中,所述至少一个存储模块402、402'包括一个或多个电气部件(未图示),所述电气部件可安装在PCB 410、410'上、在PCB 410、410'内、或在PCB 410、410'上和内,且彼此之间有效地耦接,并耦接到多个存储装置412、412'。例如,电气部件可通过表面安装、穿孔安装、嵌入或埋入PCB 410、410'各层之间,或者以其他方式连接到PCB 410、410'。这些电气部件包括,但不限于,电缆、电阻器、电容器、电感器、晶体管、缓冲器、寄存器、逻辑元件或其他电路元件。在某些实施例中,这些电气部件中的至少一些电气部件是分立元件,而在其他某些实施例中,这些电气部件的至少一些电气部件构成一个或多个集成电路。

[0051] 在某些实施例中,至少一个存储模块402、402'包括控制电路430、430',所述控制电路430、430'经配置以有效地耦接到系统存储控制器420、420',并耦接到存储模块402、402'的存储装置412、412'(例如,通过线路442、442')。在某些实施例中,控制电路430、430'可包括一个或多个功能器件,例如,可编程逻辑器件(PLD)、专用集成电路(ASIC)、现场可编程门阵列(FPGA)、定制半导体器件或复杂可编程逻辑器件(CPLD)。在某些实施例,控制电路430、430'可包括一个或多个自定义装置。在某些实施例中,控制电路430、430'可包括多种离散电气元件;而在其他实施例中,控制电路430、430'可包括一个或多个集成电路。

[0052] 某些实施例中的控制电路430、430'可经配置以有效地耦接到控制线路440、440',以便从系统存储控制器420、420'接收控制信号(例如,组地址信号、行地址信号、列地址信号、地址选通信号以及排地址或芯片选择信号)。某些实施例中的控制电路430、430'以特定的方式记录来自控制线路440、440'的信号,这种记录方式在功能上可与传统RDIMM的地址寄存器相当。记录后的控制线路440、440'还有效地耦接到存储装置412、412'。此外,控制电路430、430'将控制信号供应给数据传输电路416、416'(例如,通过线路432、432'),如下文详细描述。例如,所述控制信号表示数据流的方向,即送往或来自存储装置412、412'。控制电路430、430'可基于地址解码来产生额外的芯片选择信号或输出使能(enable)信号。可作为控制电路430、430'的电路的实例在第7,289,386号和第7,532,537号美国专利中进行了更详细的描述,上述各专利的全文以引用的方式并入本文中。

[0053] 在某些实施例中,至少一个存储模块402、402'包括多个数据传输电路416、416',所述多个数据传输电路416、416'安装在一个或多个PCB 410、410'上、一个或多个PCB410、

410'内或一个或多个PCB 410、410'上和内。所述多个数据传输电路416、416'有效地耦接到控制电路430、430' (例如,通过线路432、432'),并且配置成在将存储模块402、402'有效地耦接到计算机系统后,有效地耦接到系统存储控制器420、420' (例如,通过数据线路450、450')。在某些实施例中,这些数据传输电路416、416'可称为“减载电路”或“减载交换电路”。本文中所使用的术语“减载”或“减载交换”是指,使用数据传输电路416、416'来减少系统存储控制器420、420'在有效地耦接到存储模块402、402'时所承受的负载。在某些实施例中,如图3A所示,存储模块402包括n个数据传输电路416,其中n是存储模块410每排中存储装置的数量。例如,如图3A所示,存储模块410的存储装置412布置成四排,每排有n个存储装置,且存储模块410包括至少一个第一数据传输电路416₁和第二数据传输电路416₂。某些此类实施例中的第一数据传输电路416₁有效地耦接到每排中的至少一个存储装置412 (例如,存储装置412A₁、412B₁、412C₁、412D₁)。某些此类实施例中的第二数据传输电路416₂有效地耦接到每排中的至少一个存储装置412 (例如,存储装置412A₂、412B₂、412C₂、412D₂)。在某些实施例中,如图3B所示,存储模块402'包括n/2个数据传输电路416',其中n是存储模块410'每排中存储装置的数量。例如,如图3B所示,存储模块410'的存储装置412'布置成四排,每排有n个存储装置,且存储模块410'包括至少一个第一数据传输电路416'₁和第二数据传输电路416'₂。某些此类实施例中的第一数据传输电路416'₁有效地耦接到每排中的至少两个存储装置412' (例如,存储装置412'A₁、412'A₂;412'B₁、412'B₂;412'C₁、412'C₂;412'D₁、412'D₂)。某些此类实施例中的第二数据传输电路416'₂有效地耦接到每排中的至少两个存储装置412' (例如,存储装置412'A₃、412'A₄;412'B₃、412'B₄;412'C₃、412'C₄;412'D₃、412'D₄)。

[0054] 在某些实施例中,至少一个数据传输电路416、416'选择性地在两个或两个以上存储装置412、412'之间进行切换,从而将至少一个选定的存储装置412、412'有效地耦接到系统存储控制器420、420' (例如,数据传输电路416、416'经配置以响应模块控制信号,从而选择允许或禁止系统存储控制器420、420'与至少一个选定的存储装置412、412'之间发生数据传输)。在某些此类实施例中,所述至少一个数据传输电路416、416'选择性地将两个选定的存储装置有效地耦接到系统存储控制器420、420'。例如,如图3A所示,第一数据传输电路416₁可经配置以响应模块控制信号,从而选择允许或禁止系统存储控制器420与选定的存储装置412A₁和412C₁或选定的存储装置412B₁和412D₁之间发生数据传输,且第二数据传输电路416₂可经配置以响应模块控制信号,从而选择允许或禁止系统存储控制器420与选定的存储装置412A₂和412C₂或选定的存储装置412B₂和412D₂之间发生数据传输。相反,在不具有数据传输电路416的传统存储模块中,两个或两个以上存储装置412 (例如,存储装置412A₁、412B₁、412C₁、412D₁)同时有效地耦接到系统存储控制器420。在某些实施例中,数据传输电路416双向缓冲系统存储控制器420与对应于数据传输电路416的存储装置412之间的数据信号。又例如,如图3B所示,第一数据传输电路416'₁可经配置以响应模块控制信号,从而选择允许或禁止系统存储控制器420'与选定的存储装置412'A₁和412'C₁或选定的存储装置412'B₁和412'D₁之间,以及与选定的存储装置412'A₂和412'C₂或选定的存储装置412'B₂和412'D₂之间,发生数据传输,且第二数据传输电路416'₂可经配置以响应模块控制信号,从而选择允许或禁止系统存储控制器420'与选定的存储装置412'A₃和412'C₃或选定的存储装置412'B₃和412'D₃之间,以及与选定的存储装置412'A₄和412'C₄或选定的存储装置412'B₄和412'D₄之间,发生数据传输。

[0055] 在某些实施例中,两个或两个以上数据传输电路416、416'在彼此隔开的对应位置上以机械方式耦接到至少一个PCB 410、410'。例如,如图3A所示,第一数据传输电路416₁和第二数据传输电路416₂处于彼此隔开的对应位置上(例如,含有第一数据传输电路416₁的封装所处的位置与含有第二数据传输电路416₂的封装所处的位置隔开)。再例如,如图3B所示,第一数据传输电路416'₁和第二数据传输电路416'₂处于彼此隔开的对应位置上(例如,含有第一数据传输电路416'₁的封装所处的位置与含有第二数据传输电路416'₂的封装所处的位置隔开)。在某些此类实施例中,两个或两个以上数据传输电路416、416'分布在存储模块402、402'的PCB 410、410'的表面上。在某些实施例中,两个或两个以上数据传输电路416、416'(例如,图3A中的第一数据传输电路416₁和第二数据传输电路416₂,或图3B中的第一数据传输电路416'₁和第二数据传输电路416'₂)的对应位置为沿着至少一个PCB 410、410'的边缘411、411',从而使数据传输电路416、416'实质上位于边缘411、411'与数据传输电路416、416'有效地耦接到的至少两个存储装置412、412'中的至少一些存储装置之间。例如,如图3A所示,第一数据传输电路416₁实质上位于边缘411与第一数据传输电路416₁有效地耦接到的存储装置412A₁、412B₁、412C₁、412D₁之间,且第二数据传输电路416₂实质上位于边缘411与第二数据传输电路416₂有效地耦接到的存储装置412A₂、412B₂、412C₂、412D₂之间。又例如,如图3B所示,第一数据传输电路416'₁实质上位于边缘411'与第一数据传输电路416'₁有效地耦接到的存储装置412'A₁、412'A₂、412'B₁、412'B₂、412'C₁、412'C₂、412'D₁、412'D₂之间,且第二数据传输电路416'₂实质上位于边缘411'与第二数据传输电路416'₂有效地耦接到的存储装置412'A₃、412'A₄、412'B₃、412'B₄、412'C₃、412'C₄、412'D₃、412'D₄之间。

[0056] 图3C和3D所示为根据本文中所述的某些实施例的数据传输电路416'的位置。在某些实施例中,数据传输电路416'中的至少一个数据传输电路的位置大体上与数据传输电路416'有效地耦接到的存储装置412'中的一个或多个存储装置对齐。例如,数据传输电路416'及其有效地耦接到的存储装置412'中的一个或多个可大体上沿着实质上垂直于PCB 410'的边缘411'的线路放置。在某些实施例中,数据传输电路416'中的至少一个数据传输电路的位置大体上偏离由数据传输电路416'有效地耦接到的存储装置412'中的一个或多个存储装置的位置确定的线路。例如,如图3C和图3D所示,有效地耦接到数据传输电路416'的存储装置412'可沿着实质上垂直于PCB 410'的边缘411'的线路放置,且数据传输电路416'可在大体上沿着PCB 410'的边缘411'的方向上大体偏离该线路。在某些此类实施例中,数据传输电路416'的宽度和幅度(breadth)足够小(例如,2.5mm×7.5mm),以致于可安装在边缘411'和对应的存储装置412'之间,同时维持存储模块400'所需的大小。分离的数据传输电路416'的其他位置和大小也适用于本文中所述的某些实施例。例如,在某些实施例中,数据传输电路416、416'中的一个或多个数据传输电路可位于两个或两个以上存储装置412、412'之间,或者可远离PCB 410、410'的边缘411、411',其中一个或多个存储装置412、412'位于边缘411、411'和一个或多个数据传输电路416、416'之间。

[0057] 在某些实施例中,数据传输电路416包括或用作字节缓冲器。在某些此类实施例中,一个或多个数据传输电路416中的每个数据传输电路的位宽与数据传输电路416有效地耦接到的每排中相关的存储装置412的位宽相同。例如,如图4A所示(大体上对应图3A),数据传输电路416可有效地耦接到每排中的单个存储装置412,数据传输电路416与数据传输电路416有效地耦接到的每排中的存储装置412的位宽相同(例如,4位、8位或16位)。图4A的

数据传输电路416的位宽为8位,并从系统存储控制器420接收数据位0到7,且响应于来自控制电路430的模块控制信号,选择性地将数据位0到7传输到选定的存储装置412A、412B、412C、412D。类似地,某些实施例中的数据传输电路416'可响应于来自控制电路430'的模块控制信号,作为数据传输电路416'有效地耦接到的相关存储装置412'A、412'B、412'C、412'D的字节缓冲器。

[0058] 在某些其他实施例中,一个或多个存储装置412的位宽可不同于其所连接到的一个或多个数据传输电路416的位宽。例如,如图4B所示(大体上对应图3B),数据传输电路416可具有第一位宽(例如,8位的位宽),且存储装置412可具有小于第一位宽的第二位宽(例如,第一位宽的一半,或4位的位宽),其中每个数据传输电路416有效地耦接到每排中的多个存储装置412(例如,每排中的两个存储装置412)。在某些此类实施例中,连接到电路416的每排中的多个存储装置412的总位宽等于电路416的位宽(例如,4位、8位或16位)。图4B的数据传输电路416的总位宽为8位,而且从系统存储控制器420接收数据位0到7,并响应于来自控制电路430的模块控制信号,选择性地将数据位0到3传输到第一存储装置412A₁、412B₁、412C₁、412D₁,而且将数据位4到7传输到第二存储装置412A₂、412B₂、412C₂、412D₂。类似地,某些实施例中的数据传输电路416'可响应于来自控制电路430'的模块控制信号,使用与数据传输电路416'有效地耦接到的相关存储装置412'A₁、412'A₂、412'B₁、412'B₂、412'C₁、412'C₂、412'D₁、412'D₂不同的位宽来运行。

[0059] 在某些实施例中,数据传输电路416包括或用作“字节”缓冲器(例如,如图4A和图4B中的实例所示),这样,数据信号就可与同步时钟同步。此外,在存储模块400的一个或多个特征(例如,温度、电压、制造参数)发生变化的某些此类实施例中,与未使用字节缓冲的其他配置(例如,具有四排8位存储装置,以及具有两个4位缓冲器)相比,存储模块400可用于优化部件数量较少的电路。在某些实施例中,数据传输电路416用于进行位切片,其中数据会形成片段。例如,不是使数据形成为64位宽(例如,[63:0]),而是使数据形成或切片成16位宽的片段(例如,[15:0]、[31:16]、[47:32]、[63:48])。在某些此类实施例中,并非将所有位组合在一起,且并非所有位产生相同行为(例如,在逻辑和/或时间方面)。

[0060] 根据本发明的一项实施例,数据传输电路416中的一个或多个数据传输电路有效地耦接到数据线路452中对应的一条或多条数据线路,所述一条或多条数据线路连接到排A、B、C、D中的每排中的一个或多个存储装置412。例如,在某些实施例,每个数据传输电路416连接到一条或多条数据线路452,数据线路452连接到每排中的一个对应的存储装置(例如,存储装置204A、204B、204C和204D,如图3A所示)。因此,每条数据线路450、452通过数据传输电路416将数据从系统存储控制器420运载到连接至数据传输电路416的存储装置204A、204B、204C、204D。在某些实施例中,数据传输电路416可用于在存储控制器420和存储装置412之间来回驱动每个数据位,而不是由存储控制器420和存储装置412直接在所述存储控制器420和存储装置412之间驱动每个数据位。具体而言,如下文详细描述,在某些实施例中,每个数据传输电路416的一侧有效地耦接到每排中的存储装置412(例如,通过数据线路452),而所述数据传输电路416的另一侧有效地耦接到存储控制器420对应的数据线路450。

[0061] 要减少系统存储控制器420所承受的存储装置负载(例如,在写入操作期间),有利的是,某些实施例中的数据传输电路416经配置以被系统存储控制器420识别为单个存储负

载。在某些实施例中,实现这种有利结果的方法是,使用数据传输电路416只将启用的存储装置412电耦接到存储控制器420(例如,即将写入数据的一个、两个或多个存储装置412),并使其他存储装置412与存储控制器420电气隔离(例如,将不会写入数据的一个、两个或多个存储装置412)。因此,在将数据写入存储模块400的一排中的单个存储装置412的写入操作期间,来自系统存储控制器420的每个数据位承受来自存储模块400的单个负载,即数据传输电路416中的一个数据传输电路,而不是同时承受数据传输电路416有效地耦接到的四个存储装置412A、412B、412C、412D的所有负载。在图3A的实例中,在将数据写入两排中的两个存储装置412(例如,存储装置412A和412C,或存储装置412B和412D)的写入操作期间,来自系统存储控制器420的每个数据位承受来自存储模块402的单个负载,即数据传输电路416中的一个数据传输电路,而不是同时承受数据传输电路416有效地耦接到的四个存储装置412A、412B、412C、412D的所有负载。与标准JEDEC四排DIMM配置相比(见图2A和图2B),某些实施例中的存储系统402可使系统存储控制器420上的负载减少四分之三。

[0062] 图5图示了适用于本文中所述的某些实施例的示例性数据传输电路416。在一项实施例中,数据传输电路416包括控制逻辑电路502,用于对数据传输电路416的多个部件进行控制,所述部件可包括一个或多个缓冲器、一个或多个开关以及一个或多个多路复用器以及其他部件。图5所示的实施例为1位位宽,并且在存储控制器420和存储装置412之间切换单条数据线路518。在其他实施例中,数据传输电路416的位宽可为多位位宽,例如8位,并且切换对应数量的数据线路518。在多位位宽的实施例中,控制逻辑电路502可通过多个位被共享。

[0063] 作为将存储装置412与系统存储控制器420隔离的一部分,在一项实施例中,数据传输电路416可“驱动”写入数据,并“合并”读出数据。在图5所示的操作实施例中,在写入操作中,通过数据线路518进入数据传输电路416的数据优选在通过写入缓冲器503后,被驱动到两条数据路径上,所述数据路径标记为路径A和路径B。存储装置412的各排同样也分成两组,其中一组与路径A相关,且另一组与路径B相关。如图3A所示,排A和排C属于第一组,且排B和排D属于第二组。因此,排A和排C中的存储装置412A、412C通过两条数据路径中的第一条数据路径连接到数据传输电路416,且排B和排D中的存储装置412B、412D通过两条数据路径中的第二条数据路径连接到数据传输电路416。在其他实施例中,可通过两条以上数据路径来驱动写入数据以及合并读出数据。

[0064] 众所周知,列地址选通(CAS)等待时间是存储控制器420通知存储模块402访问选定的排或行中的特定列的时间与用于或来自于特定列的数据位于选定的排或行的输出引脚上的时间之间的延迟时间。存储模块可使用该等待时间来控制数据传输电路416的运行。在等待时间内,地址和控制信号从存储控制器420传送到控制电路430,从而产生控制,该控制发送到控制逻辑电路502(例如,通过线路432),随后对数据传输电路416的部件的运行进行控制。

[0065] 对于写入操作,在一项实施例中,控制电路430在CAS等待时间内将使能控制信号提供给每个数据传输电路416的控制逻辑电路502,借此,控制逻辑电路502选择路径A或路径B来引导数据。因此,例如,当控制逻辑电路502接收“使能A”信号时,路径A中的第一三态缓冲器504启用,并在其输出端上有效驱动数据值,同时路径B中的第二三态缓冲器506停用,且其输出端处于高阻抗状态。在此情况下,数据传输电路416可沿着路径A将数据引导至

第一终端Y1,所述第一终端Y1连接到第一组存储装置412,例如排A和排C中的存储装置,且只与所述第一组存储装置412通信。类似地,如果接收到“使能B”信号,那么第一三态缓冲器504打开路径A,且第二三态缓冲器506关闭路径B,从而将数据引导至第二终端Y2,所述第二终端Y2连接到第二组存储装置412,例如排B和排D中的存储装置,且只与所述第二组存储装置412通信。

[0066] 在读取操作中,数据传输电路416用作多路复用电路。例如,在图5所示的实施例中,从一排中的存储装置412中读取的数据信号在数据传输电路416的第一终端Y1或第二终端Y2处接收。将数据信号馈送到多路复用器508,多路复用器508选择一个数据信号,并将其路由至其输出端。控制逻辑电路502产生选择信号以选择适当的数据信号,且所选择的数据信号优选在通过读出缓冲器509之后,沿着单条数据线路518传输至系统存储控制器420。读出缓冲器509可为三态缓冲器,在读取操作期间,其可由控制逻辑电路502启用。在另一项实施例中,多路复用器508和读出缓冲器509可组合成一个部件。在又一项实施例中,多路复用器508和读出缓冲器509的操作被分在两个三态缓冲器上,其中一个三态缓冲器用于启用从Y1到数据线路518的值,另一个三态缓冲器用于启用从Y2到数据线路518的值。

[0067] 数据传输电路416在数据线路518上呈现来自写入缓冲器503和读出缓冲器509的负载。写入缓冲器503相当于存储装置412中的一个存储装置上的输入缓冲器,且读出缓冲器509相当于存储装置412中的一个存储装置上的输出缓冲器。因此,数据传输电路416呈现给存储控制器420的负载实质上与存储装置412中的一个存储装置所呈现的负载相同。类似地,数据传输电路416在第一终端Y1和第二终端Y2呈现来自多路复用器508的以及第一三态缓冲器504(位于第一终端Y1上)和第二三态缓冲器506(位于第二终端Y2上)的负载。在负载方面,多路复用器508相当于存储控制器420上的输入缓冲器,且第一三态缓冲器504和第二三态缓冲器506各自相当于存储控制器420上的输出缓冲器。因此,数据传输电路416呈现给存储装置412的负载实质上与存储控制器420所呈现的负载相同。

[0068] 此外,数据传输电路416可改进在存储控制器420与存储装置412之间传送的数据信号的质量。在没有数据传输电路416的情况下,数据信号的波形实质上会降级或从来源与接收器(sink)之间所需的形状失真。例如,信号质量会因有损耗的传输线路特性、传输线路段的特性之间的失配、信号串扰或电噪声而降级。但在读取方向上,读出缓冲器509再生来自存储装置412的信号,从而恢复所需的信号波形形状。类似地,在写入方向上,第一三态缓冲器504和第二三态缓冲器506再生来自存储控制器420的信号,从而恢复所需的信号波形形状。

[0069] 再次参阅图3A,当存储控制器420执行读取或写入操作时,每个特定操作针对的是特定存储模块402的排A、B、C和D中的特定一个排。存储模块402中被专门针对的一个存储模块上的数据传输电路416用作双向中继器/多路复用器,从而在其从系统存储控制器420连接到存储装置412时,驱动数据信号。在特定操作中,剩余存储模块402上的其他数据传输电路416停用。例如,在数据线路518上进入数据传输电路416的数据信号被驱动到存储装置412A和412C或者412B和412D,具体取决于活动且被启用的存储装置。数据传输电路416随后将信号从存储装置412A、412B、412C、412D多路复用至系统存储控制器420。例如,数据传输电路416可各自控制半字节宽的数据路径或字节宽的数据路径。如上所述,与每个模块402相关的数据传输电路416可用于合并数据读出信号并驱动数据写入信号,从而在系统存储

控制器420与所针对或选择的存储装置412之间启用适当的数据路径。这样,当存在四个四排存储模块时,存储控制器420承受四个减载交换电路负载,而非十六个存储装置负载。例如,与上文参阅图1A、图1B以及图2A到图2D所述的传统系统相比,存储控制器420上所减少的负载增强了性能,并降低了存储系统对功率的要求。

[0070] 可参阅图6进一步理解使用数据传输电路416的存储模块的操作,图6是存储模块402的信号的示例性时序图。此时序图包括第一到第八时间周期601到608。如果存储装置404为同步存储器,那么时间周期601到608中的每个时间周期可对应存储装置404的一个时钟周期。

[0071] 第一、第二及第三时间周期601到603所示为数据从存储控制器401传送到存储模块402的写入操作。第四时间周期604是写入操作与随后的读取操作之间的过渡。该时序图所示为对连接到数据传输电路416的第一终端Y1的第一组存储装置412A、412C进行的写入操作,以及对连接到数据传输电路416的第二终端Y2的第二组存储装置412B、412D进行的写入操作。回想上文所述的CAS等待时间,每个写入操作以流水线方式延长超过两个时间周期。

[0072] 对第一组存储装置412A、412C进行的写入发生在第一时间周期601,此时系统地址和控制信号440从存储控制器420传送到模块控制器430。控制电路430对地址和控制信号440进行评估,以确定数据即将写入第一组中的存储装置412A、412C。在第二时间周期602中,控制电路430将控制信号供应给控制逻辑电路502,以启用第一三态缓冲器504,并停用第二三态缓冲器506和读出缓冲器509。因此,在第二时间周期602中,数据位从数据线路518传送到第一终端Y1,并继续传送到存储装置412A、412C。

[0073] 类似地,对第二组存储装置412A、412C进行的写入发生在第二时间周期602,此时系统地址和控制信号440从存储控制器420传送到控制电路430。控制电路430对地址和控制信号440进行评估,以确定数据即将写入第二组中的存储装置412B、412D。在第三时间周期603中,控制电路430将控制信号供应给控制逻辑电路502,以启用第二三态缓冲器506,并停用第一三态缓冲器504和读出缓冲器509。因此,在第三时间周期603中,数据位从数据线路518传送到第二终端Y2,并继续传送到存储装置412B、412D。

[0074] 第五、第六、第七和第八时间周期605到608说明数据从存储模块402传送到存储控制器420的读取操作。时序图所示为从连接到数据传输电路416的第一终端Y1的第一组存储装置412A、412C进行的读取操作,以及从连接到数据传输电路416的第二终端Y2的第二组存储装置412B、412D进行的读取操作。回想上文所述的CAS等待时间,每个读取操作以流水线方式延长超过两个时间周期。

[0075] 从第一组存储装置412A、412C进行的读取发生在第五时间周期605,此时系统地址和控制信号440从存储控制器420传送到控制电路430。控制电路430对地址和控制信号440进行评估,以确定即将从第一组中的存储装置412A、412C读取数据。在第六时间周期606中,控制电路430将控制信号供应给控制逻辑电路502,从而使多路复用器58选择来自第一终端Y1的数据;启用读出缓冲器509;以及停用第一三态缓冲器504和第二三态缓冲器506。因此,在第六时间周期606中,数据位通过第一终端Y1从存储装置412A、412C传送到数据线路518,并继续传送到存储控制器420。

[0076] 从第二组存储装置412B、412D进行的读取发生在第七时间周期607,此时系统地址

和控制信号440从存储控制器420传送到控制电路430。控制电路430对地址和控制信号440进行评估,以确定即将从第二组中的存储装置412B、412D读取数据。在第八时间周期608中,控制电路430将控制信号供应给控制逻辑电路502,从而使多路复用器508选择来自第二终端Y2的数据;启用读出缓冲器509;以及停用第一三态缓冲器504和第二三态缓冲器506。因此,在第八时间周期608中,数据位通过第二终端Y2从存储装置412B、412D传送到数据线路518,并继续传送到存储控制器420。

[0077] 上文描述了多个实施例。尽管已参考这些具体实施例描述了本发明,但这些描述意在说明本发明,而非限定本发明。在不脱离所附权利要求书中所定义的本发明的真实范围或精神的情况下,所属领域的技术人员可对本发明进行各种修改和应用。

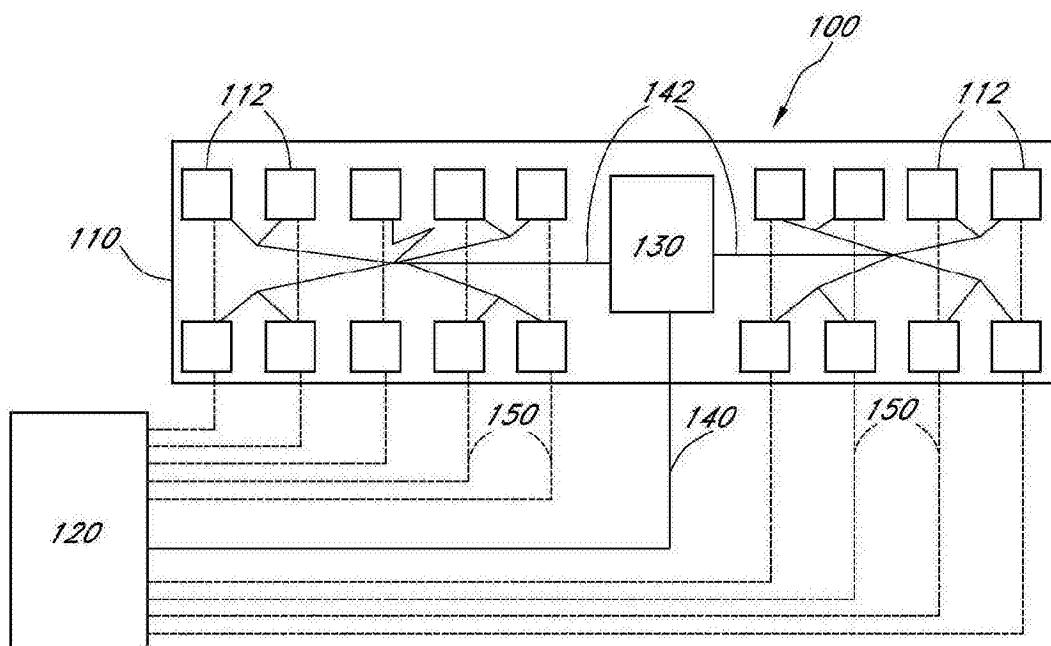


图1A(现有技术)

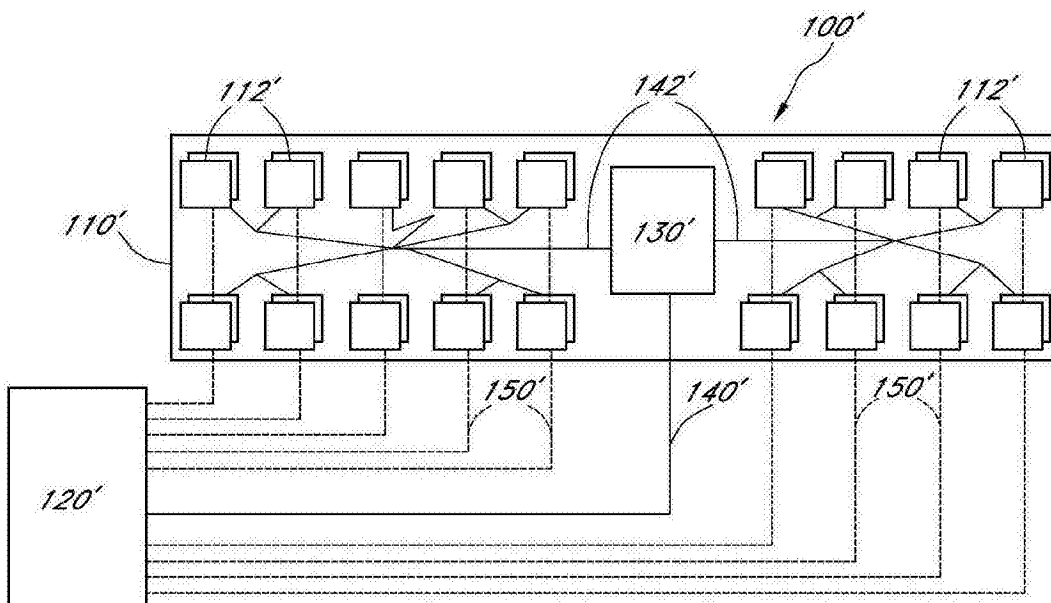


图1B(现有技术)

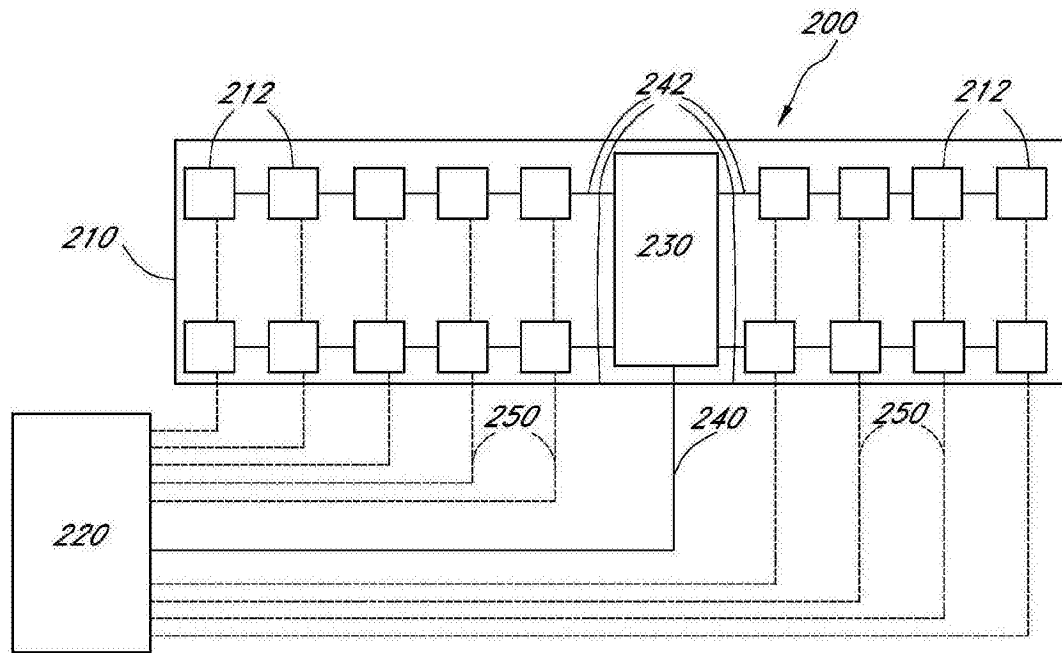


图2A (现有技术)

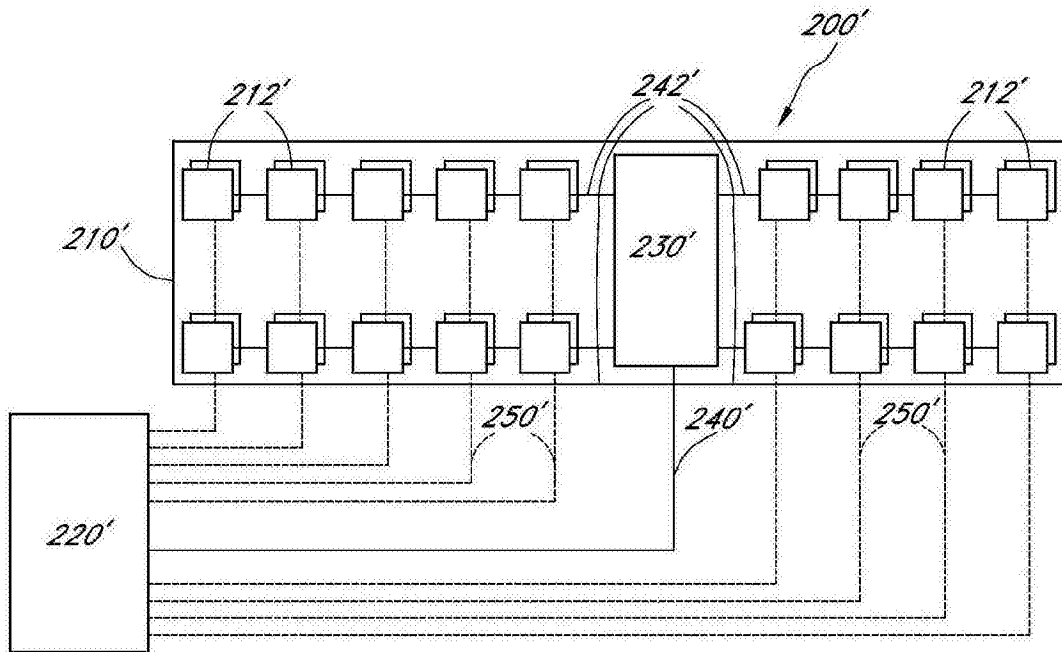


图2B (现有技术)

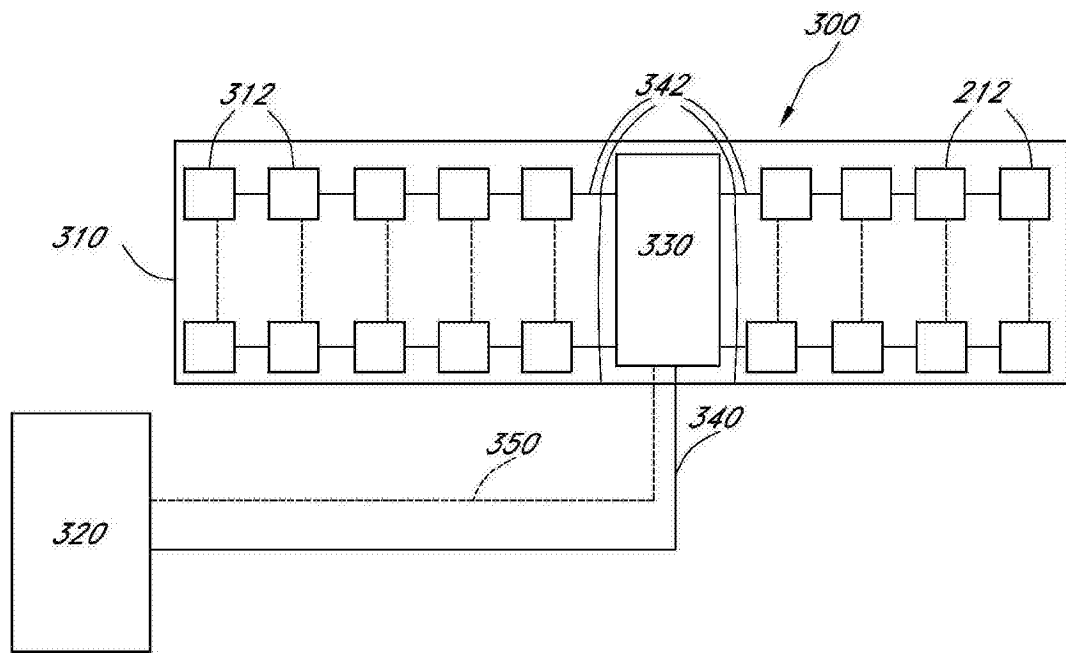


图2C (现有技术)

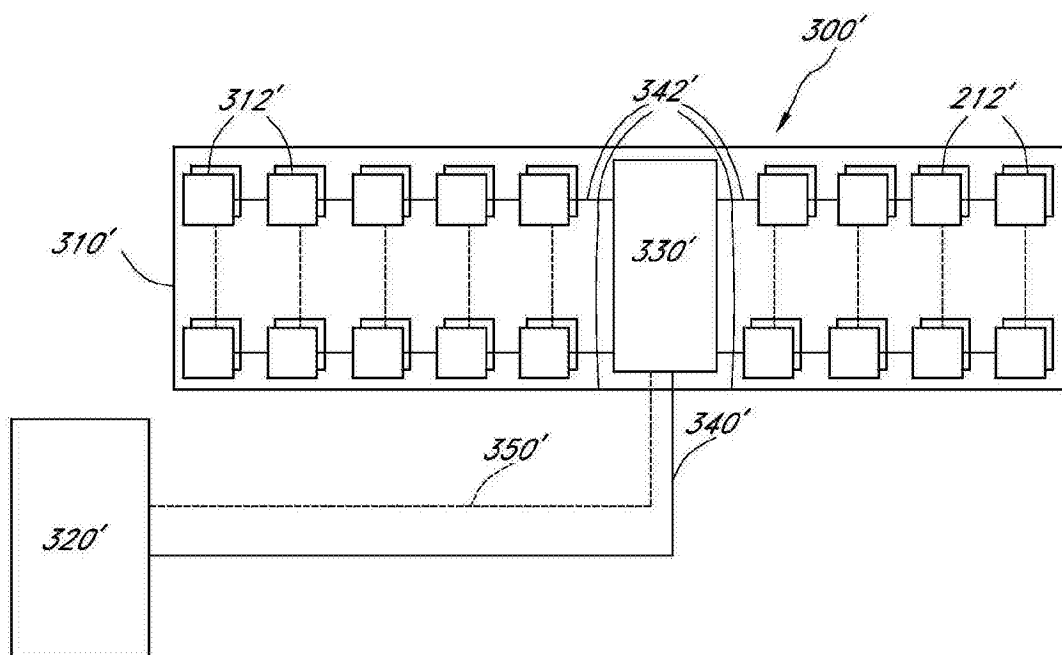


图2D (现有技术)

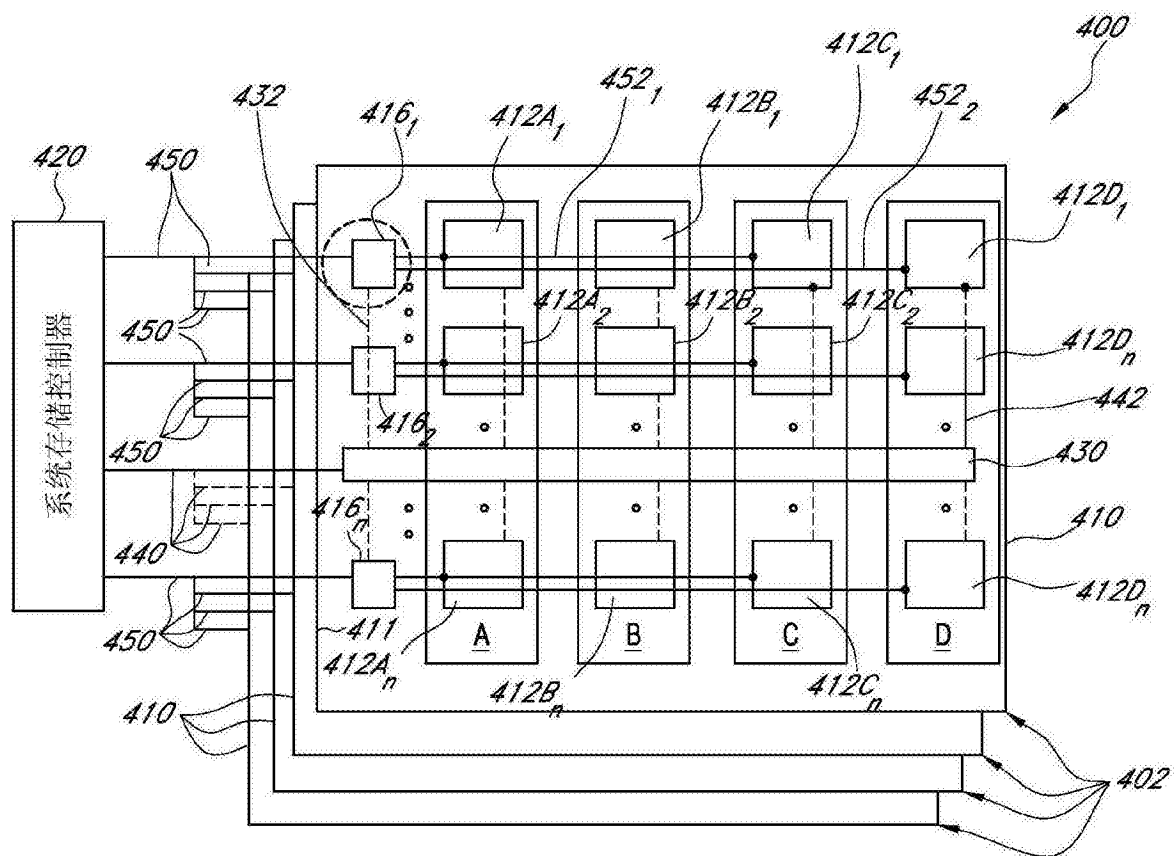


图3A

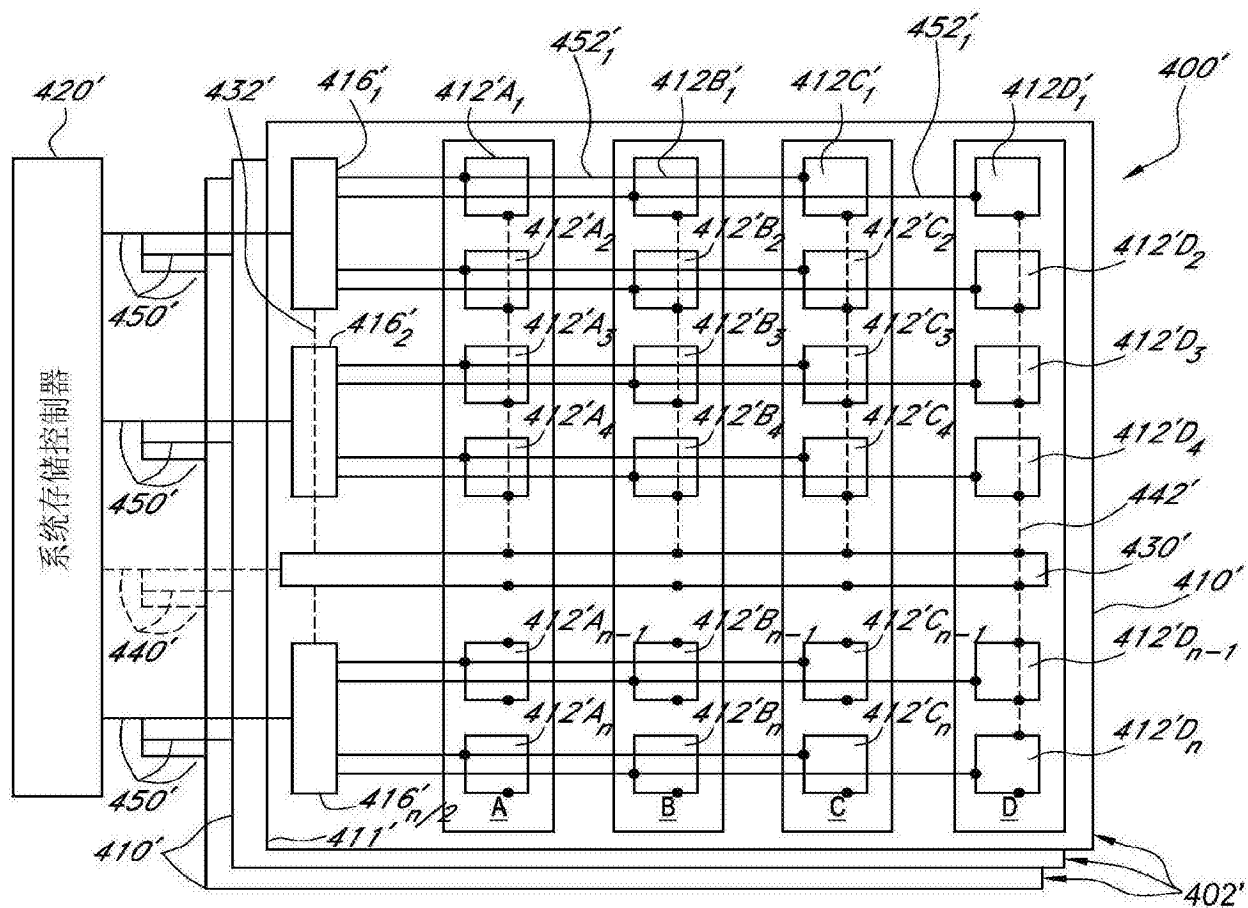


图3B

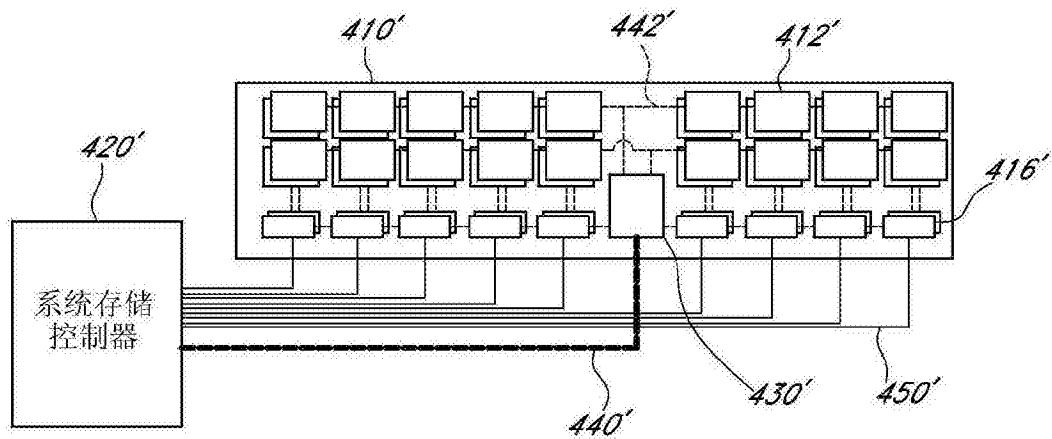


图3C

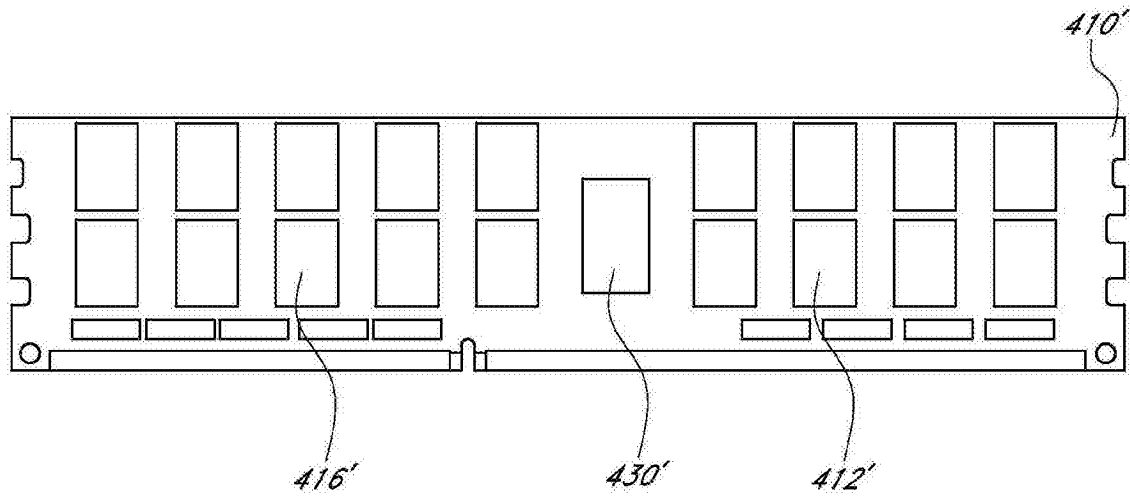


图3D

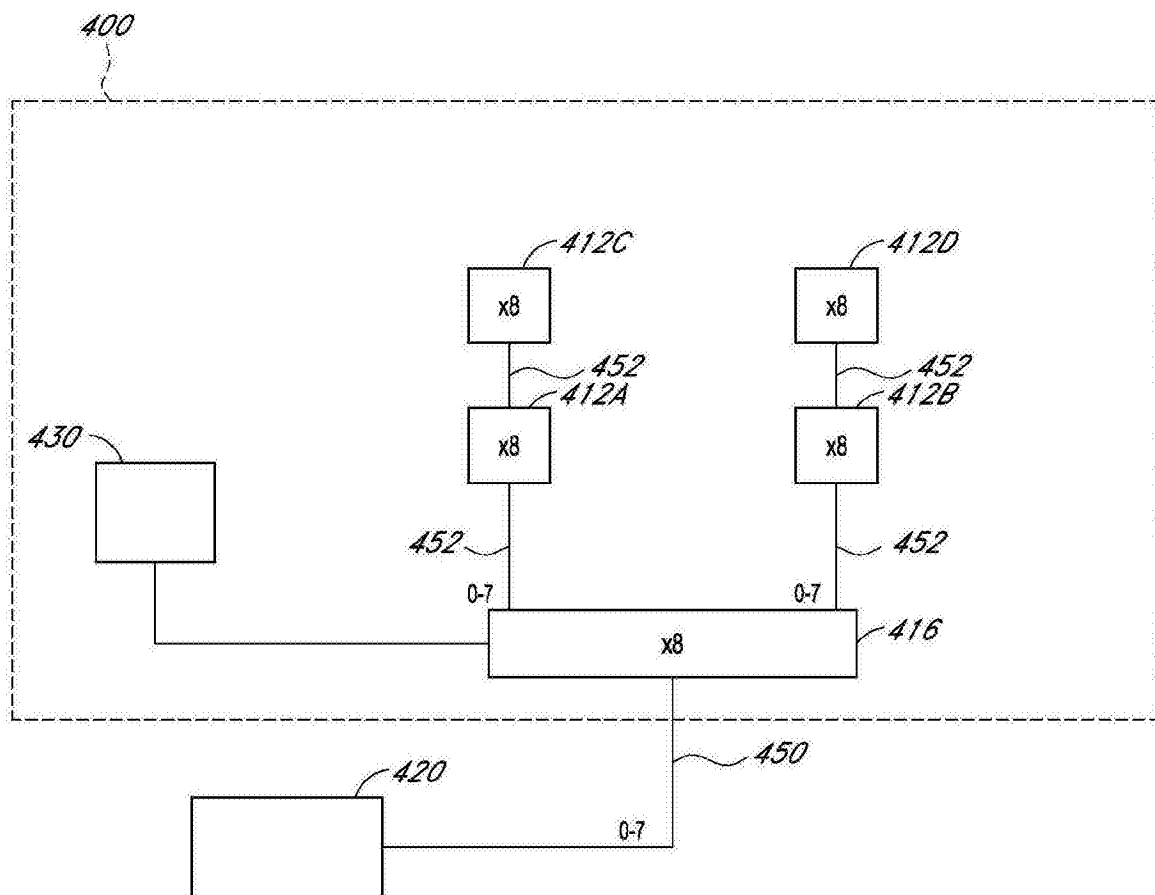


图4A

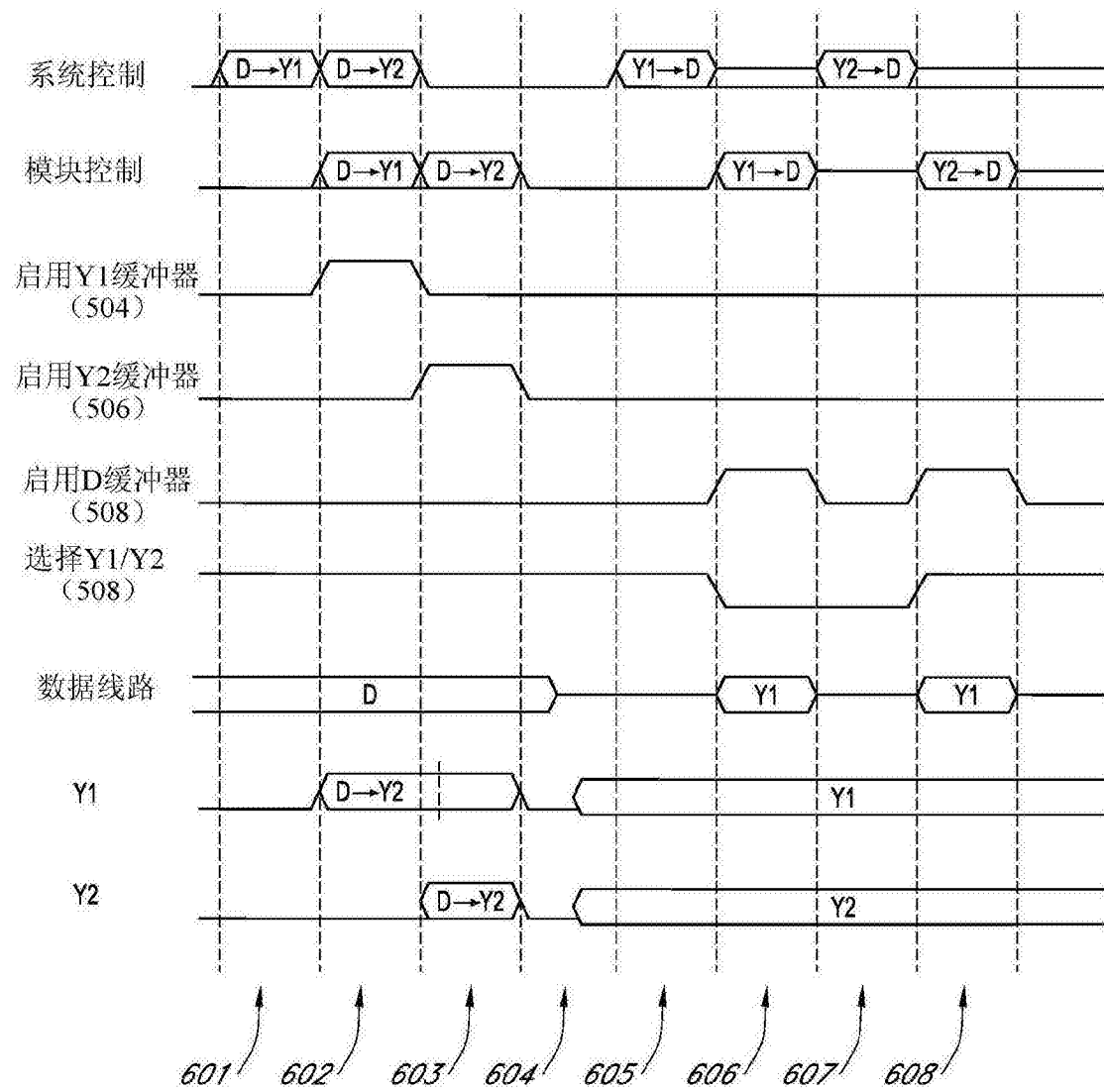


图6