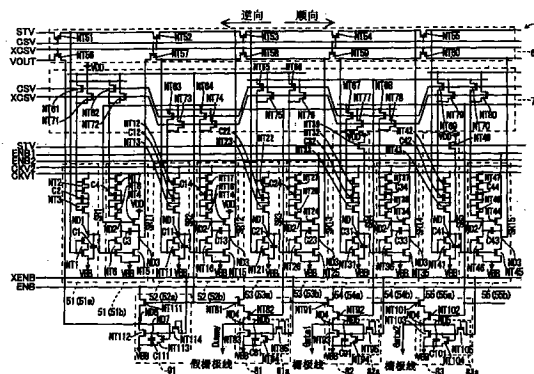




(45) 授权公告日 2011.08.03

权利要求书 1 页 说明书 40 页 附图 18 页



1. 一种显示装置,具备移位寄存器电路,该移位寄存器电路包含:

多个移位寄存器电路部,根据开始信号依序将移位信号输出至下一段的移位寄存器电路;以及

逻辑合成电路部,由以第1电位导通的多个第1导电型的晶体管所构成,同时连接于输出有前述移位信号的节点,且根据前述移位信号将移位输出信号予以逻辑合成而输出,

而且前述移位寄存器电路部包含重置晶体管,用以响应前述开始信号,而将输出有前述移位信号的节点的电位重置为前述逻辑合成电路部的晶体管不导通的第2电位。

2. 如权利要求1所述的显示装置,其中,前述移位寄存器电路适用于用以驱动栅极线的移位寄存器电路以及用以驱动漏极线的移位寄存器电路的至少一方。

3. 如权利要求1所述的显示装置,其中,构成前述移位寄存器电路部及前述逻辑合成电路部的晶体管,以及前述重置晶体管,皆是第1导电型的晶体管。

显示装置

[0001] 本申请是申请号为 200610065186.4、申请日为 2006 年 3 月 27 日、发明名称为“显示装置”的中国专利申请的分案申请。

技术领域

[0002] 本发明涉及一种显示装置,尤其涉及一种具备移位寄存器电路的显示装置。

背景技术

[0003] 以往,已知一种具备移位寄存器电路的显示装置。该种显示装置揭示于例如日本专利特开 2005-17973 号公报。

[0004] 图 18 是用以说明上述日本专利特开 2005-17973 号公报所揭示的、一例传统技术的、使显示装置的漏极线驱动的移位寄存器电路的电路构成的电路图。参照图 18,一例传统技术的、使显示装置的漏极线驱动的移位寄存器电路中,设有多段的移位寄存器电路部 1001 至 1003。第 1 段的移位寄存器电路部 1001 是由前段的第 1 电路部 1001a 及后段的第 2 电路部 1001b 所构成。而且,第 1 段的移位寄存器电路部 1001 的第 1 电路部 1001a 包含:n 沟道晶体管 NT501 至 NT503;呈二极管连接的 n 沟道晶体管 NT504;以及电容 C501。此外,第 1 段的移位寄存器电路部 1001 的第 2 电路部 1001b 包含:n 沟道晶体管 NT505 至 NT507;呈二极管连接的 n 沟道晶体管 NT508;以及电容 C502。以下,n 沟道晶体管 NT501 至 NT508 称为晶体管 NT501 至 NT508。

[0005] 此外,于第 1 电路部 1001a 中,晶体管 NT501 的漏极连接于正侧电位 VDD,同时源极与晶体管 NT502 的漏极相连接。此外,晶体管 NT501 的栅极连接于节点 ND501。晶体管 NT502 的源极连接于负侧电位 VBB。此外,对于晶体管 NT502 的栅极供应有开始信号 ST。此外,在连接有晶体管 NT501 的栅极的节点 ND501 与负侧电位 VBB 之间,连接有晶体管 NT503。此外,对于晶体管 NT503 的栅极供应有开始信号 ST。而且,在晶体管 NT501 的栅极与源极之间连接有电容 C501。而且,在连接有晶体管 NT501 的栅极的节点 ND501 与时钟信号线 CLK1 之间,连接有呈二极管连接的晶体管 NT504。

[0006] 此外,于第 2 电路部 1001b 中,晶体管 NT505 的漏极连接于正侧电位 VDD。晶体管 NT505 的源极与晶体管 NT506 的漏极相连接。此外,晶体管 NT505 的栅极连接于节点 ND503。晶体管 NT506 的源极连接于负侧电位 VBB。此外,晶体管 NT506 的栅极连接于设在第 1 电路部 1001a 的晶体管 NT501 与晶体管 NT502 之间的节点 ND502。

[0007] 此外,在连接有晶体管 NT505 的栅极的节点 ND503 与负侧电位 VBB 之间,连接有晶体管 NT507。此外,晶体管 NT507 的栅极连接于第 1 电路部 1001a 的节点 ND502。而且,在晶体管 NT505 的栅极与源极之间连接有电容 C502。而且,在连接有晶体管 NT505 的栅极的节点 ND503 与时钟信号线 CLK1 之间,连接有呈二极管连接的晶体管 NT508。

[0008] 此外,由设在晶体管 NT505 的源极与晶体管 NT506 的漏极之间的节点 ND504(输出节点)输出有第 1 段的移位寄存器电路部 1001 的移位输出信号 SR501。此外,第 2 段以后的移位寄存器电路部 1002 及 1003 具有与第 1 段的移位寄存器电路部 1001 相同的电路构

成。亦即,第2段的移位寄存器电路部1002包含具有与第1段的移位寄存器电路部1001的第1电路部1001a及第2电路部1001b相同的电路构成的第1电路部1002a及第2电路部1002b。第2段的移位寄存器电路部1002的第1电路部1002a连接于第1段的移位寄存器电路部1001的第2电路部1001b的节点ND504(输出节点)。借此方式,第1段的移位寄存器电路部1001的移位输出信号SR501被输入至第2段的移位寄存器电路部1002的第1电路部1002a。此外,于第2段的移位寄存器电路部1002,连接有用以供应时钟信号CLK2的时钟信号线(CLK2),该时钟信号CLK2的时序与供应至第1段的移位寄存器电路部1001的时钟信号CLK1不同。此外,由第2段的移位寄存器电路部1002的第2电路部1002b的节点ND504(输出节点)输出第2段的移位寄存器电路部1002的移位输出信号SR502。

[0009] 此外,第3段的移位寄存器电路部1003包含具有与第1段的移位寄存器电路部1001的第1电路部1001a及第2电路部1001b相同的电路构成的第1电路部1003a及第2电路部1003b。第3段的移位寄存器电路部1003的第1电路部1003a连接于第2段的移位寄存器电路部1002的第2电路部1002b的节点ND504(输出节点)。借此方式,第2段的移位寄存器电路部1002的移位输出信号SR502被输入至第3段的移位寄存器电路部1003的第1电路部1003a。此外,于第3段的移位寄存器电路部1003,连接有用以供给与第1段的移位寄存器电路部1001相同的时钟信号CLK1的时钟信号线(CLK1)。此外,由第3段的移位寄存器电路部1003的第2电路部1003b的节点ND504(输出节点)输出第3段的移位寄存器电路部1003的移位输出信号SR503。该移位输出信号SR503被输入至未图示的下一段的移位寄存器电路部的第1电路部。

[0010] 此外,各段的移位寄存器电路部1001至1003的节点ND504连接于水平开关1100。具体而言,水平开关1100具有多个晶体管NT510至NT512。该晶体管NT510至NT512的栅极分别连接于第1段至第3段的移位寄存器电路部1001至1003的节点ND504。借此方式,各段的移位寄存器电路部1001至1003的移位输出信号SR501至SR503分别被输入至水平开关1100的晶体管NT510至NT512的栅极。此外,晶体管NT510至NT512的漏极分别连接于各段的漏极线。而且,晶体管NT510至NT512的源极连接于视频信号线Video。

[0011] 通过上述的构成,在一例传统技术的、使显示装置的漏极线驱动的移位寄存器电路中,通过各段的移位寄存器电路部1001至1003使上升至H电平的时序移位的移位输出信号SR501至SR503分别被输入至水平开关1100的晶体管NT510至NT512的栅极。借此方式,由于水平开关1100的晶体管NT510至NT512依序呈导通(ON)状态,因此形成通过晶体管NT510至NT512而依序将影像信号由视频信号线Video输出至各段的漏极线的构成。

[0012] 然而,在图18所示的一例传统技术的具备移位寄存器电路的显示装置中,在将正侧电位VDD与负侧电位VBB供应至移位寄存器电路之后,在尚未进行移位寄存器电路的扫描的状态下,会有这一问题产生:作为各段的移位寄存器电路部1001至1003的输出节点的节点ND504的电位形成正侧电位VDD与负侧电位VBB之间的不稳定电位。借此方式,会有这一问题发生:栅极连接于节点ND504的水平开关1100的晶体管NT510至NT512在意料之外的时序导通的情形。此时,由于通过形成该导通状态的晶体管NT510至NT512,而使影像信号由视频信号线Video输出至漏极线,因此会有在意料之外的时序使影像信号输出至漏极线的问题。

发明内容

[0013] 本发明是为解决上述问题而研创,本发明的目的之一是提供一种可抑制在意料之外的时序将信号输出至栅极线或漏极线的显示装置。

[0014] 为达成上述目的,本发明的一方面的显示装置具备移位寄存器电路,该移位寄存器电路包含:多个移位寄存器电路部,根据开始信号依序将移位信号输出至下一段的移位寄存器电路;以及逻辑合成电路部,由以第1电位导通的多个第1导电型的晶体管所构成,同时连接于输出有前述移位信号的节点,且根据前述移位信号将移位输出信号予以逻辑合成而输出;而且前述移位寄存器电路部包含重置晶体管,用以响应前述开始信号,而将输出有前述移位信号的节点的电位重置为前述逻辑合成电路部的晶体管不导通的第2电位。

[0015] 在该一方面的显示装置中,如上所述,构成为:第1移位寄存器电路部包含重置晶体管,用以响应预定的驱动信号,而将输出有第1移位信号或第2移位信号的节点的电位重置为逻辑合成电路部的晶体管不导通的第2电位,借此可在对移位寄存器电路接通电源后,输入预定的驱动信号,且若通过重置晶体管,将输出有第1移位信号或第2移位信号的节点的电位重置为第2电位,则可将输出至逻辑合成电路部的第1移位信号及第2移位信号的至少一方,固定在逻辑合成电路部的晶体管不导通的第2电位。借此方式,由于在对逻辑合成电路部的2个晶体管的栅极分别输入第1移位信号及第2移位信号的同时,将经由该2个晶体管输出的信号作为将第1移位信号与第2移位信号予以逻辑合成后的移位输出信号来使用时,将第1移位信号及第2移位信号的至少一方固定在逻辑合成电路部的晶体管不导通的第2电位,因此可将逻辑合成电路部的2个晶体管的至少一方保持在不导通状态。因此,经由逻辑合成电路部的2个晶体管,并不会输出移位输出信号,因此,可抑制在意料之外的时序将信号输出至栅极线或漏极线。

[0016] 于上述一方面的显示装置中,最好第1移位寄存器电路部及第2移位寄存器电路部双方均包含重置晶体管。若以此方式构成,通过重置晶体管由第1移位寄存器电路部输出的第1移位信号与由第2移位寄存器电路部输出的第2移位信号双方均可固定在逻辑合成电路部的晶体管不导通的第2电位。借此方式,由于在对逻辑合成电路部的2个晶体管的栅极分别输入第1移位信号及第2移位信号的同时,将经由该2个晶体管输出的信号作为将第1移位信号与第2移位信号予以逻辑合成后的移位输出信号来使用时,可将逻辑合成电路部的2个晶体管双方均保持在不导通状态。因此,可更加确实地抑制在意料之外的时序由逻辑合成电路部将信号输出至栅极线或漏极线。

[0017] 于上述一方面的显示装置中,最好预定的驱动信号是用以使移位寄存器电路开始扫描的开始信号。若以此方式构成,由于不需要另外形成用以产生预定的驱动信号的信号产生电路,因此可抑制显示装置的电路构成复杂化。

[0018] 于上述一方面的显示装置中,最好第1移位寄存器电路部及第2移位寄存器电路部的至少一方包含前段的第1电路部及后段的第2电路部,第2电路部包含第1导电型的第1晶体管,该第1晶体管连接于第2电位侧与输出有第1移位信号或第2移位信号的节点之间,同时其栅极连接于第1电路部的输出节点,重置晶体管具有响应预定的驱动信号而将第1电路部的输出节点重置为第1电位的功能,响应由重置晶体管将第1电路部的输出节点重置为第1电位,而使第1晶体管呈导通状态,借此使输出有第2电路部的第1移位信号或第2移位信号的节点重置为第2电位。若以此方式构成,通过重置晶体管响应预定

的驱动信号而将第 1 电路部的输出节点重置为第 1 电位,借此可使栅极连接于第 1 电路部的输出节点的第 1 导电型的第 1 晶体管导通,因此,可经由第 1 晶体管由第 2 电位侧将第 2 电位供应至输出有第 1 移位信号或第 2 移位信号的节点。借此方式,可轻易地响应预定的驱动信号,而将输出有第 1 移位信号或第 2 移位信号的节点的电位重置为第 2 电位。

[0019] 于前述重置晶体管具有将第 1 电路部的输出节点重置为第 1 电位的功能的构成中,最好重置晶体管连接于第 1 电位侧与第 1 电路部的输出节点之间,同时其栅极连接于供应预定的驱动信号的第 1 驱动信号线。若以此方式构成,可轻易地使重置晶体管具有响应预定的驱动信号而将第 1 电路部的输出节点重置为第 1 电位的功能。

[0020] 于包含前述第 1 驱动信号线的构成中,第 1 驱动信号线是供应开始信号的开始信号线,该开始信号是作为预定的驱动信号且用以使移位寄存器电路开始扫描。若以此方式构成,可使用开始信号作为预定的驱动信号,因此,不需要另外形成用以产生预定的驱动信号的信号产生电路。借此方式,可抑制显示装置的电路构成复杂化。此外,使用用以供应开始信号的开始信号线来作为第 1 驱动信号线,借此无须另外设置配线来作为用以供应预定的驱动信号的第 1 驱动信号线,因此,可抑制显示装置的电路规模增大。

[0021] 于上述一方面的显示装置中,最好逻辑合成电路部的晶体管包含:第 2 晶体管,其源极/漏极的一方连接于用以供应切换成第 1 电位与第 2 电位的第 1 信号的第 1 信号线,并对该第 2 晶体管的栅极输入有第 1 移位信号;以及第 3 晶体管,其源极/漏极的一方连接于第 2 晶体管的源极/漏极的另一方,并对该第 3 晶体管的栅极输入有第 2 移位信号,当第 1 移位信号及第 2 移位信号为第 1 电位时,使第 2 晶体管及第 3 晶体管呈导通状态,同时,由第 1 信号线供应第 1 电位的第 1 信号至第 2 晶体管的源极/漏极的一方,借此通过第 2 晶体管及第 3 晶体管而输出第 1 电位的移位输出信号,当第 1 移位信号由第 1 电位变化成第 2 电位时,由第 1 信号线供应第 2 电位的第 1 信号至第 2 晶体管的源极/漏极的一方,借此通过第 2 晶体管及第 3 晶体管而输出第 2 电位的移位输出信号。若以此方式构成,当第 1 移位信号及第 2 移位信号为第 1 电位时,可经由逻辑合成电路部的第 2 晶体管及第 3 晶体管等 2 个晶体管,输出将第 1 电位的第 1 移位信号与第 1 电位的第 2 移位信号予以逻辑合成的第 1 电位的移位输出信号,同时当第 1 移位信号由第 1 电位变化成第 2 电位时,可经由逻辑合成电路部的第 2 晶体管及第 3 晶体管等 2 个晶体管,输出将第 2 电位的第 1 移位信号与第 1 电位的第 2 移位信号予以逻辑合成的第 2 电位的移位输出信号。借此方式,可轻易地由逻辑合成电路部输出将第 1 移位信号与第 2 移位信号予以逻辑合成的移位输出信号。

[0022] 此时,最好在第 1 信号为第 2 电位的期间,将移位输出信号强制性地保持在第 2 电位。若以此方式构成,由多段的逻辑合成电路部输出的移位输出信号的电位依序由第 2 电位(例如 L 电平)变化成第 1 电位(例如 H 电平)时,于第 1 信号为第 2 电位(L 电平)的期间,可将由前段的逻辑合成电路部输出的移位输出信号与由下一段的逻辑合成电路部输出的移位输出信号双方强制性地设在第 2 电位(L 电平)。借此方式,当由前段的逻辑合成电路部输出的移位输出信号为第 1 电位(H 电平),由下一段的逻辑合成电路部输出的移位输出信号为第 2 电位(L 电平)时,将第 1 信号设为第 2 电位(L 电平),借此可将由前段及下一段的逻辑合成电路部分别输出的移位输出信号均设为第 2 电位(L 电平)。此外,在第 1 信号为第 2 电位(L 电平)的期间之后,若仅使由下一段的逻辑合成电路部输出的移位输出信号变化成第 1 电位(H 电平),则可抑制由前段的逻辑合成电路部输出的移位输出信号

由第 1 电位 (H 电平) 变化成第 2 电位 (L 电平) 的时序与由下一段的逻辑合成电路部输出的移位输出信号由第 2 电位 (L 电平) 变化成第 1 电位 (H 电平) 的时序相重叠。借此方式, 可抑制由于由前段的逻辑合成电路部输出的移位输出信号由第 1 电位 (H 电平) 变化成第 2 电位 (L 电平) 的时序与由下一段的逻辑合成电路部输出的移位输出信号由第 2 电位 (L 电平) 变化成第 1 电位 (H 电平) 的时序相重叠所引起的噪声 (noise)。

[0023] 在当上述第 1 移位信号由第 1 电位变化成第 2 电位时, 输出有第 2 电位的移位输出信号的构成中, 最好逻辑合成电路部包含电位固定电路部, 以在第 1 移位信号由第 1 电位变化成第 2 电位之后, 将移位输出信号固定在第 2 电位。若以此方式构成, 通过电位固定电路部, 可在第 1 移位信号由第 1 电位变化成第 2 电位之后, 将移位输出信号固定在第 2 电位, 因此当第 1 移位信号为第 2 电位、第 2 移位信号为第 1 电位时, 可将移位输出信号固定在第 2 电位。此外, 之后, 在通过第 2 移位信号变化成第 2 电位, 而使第 1 移位信号及第 2 移位信号双方均变为第 2 电位时, 亦可将移位输出信号固定在第 2 电位。

[0024] 在上述逻辑合成电路部包含对栅极输入有第 1 移位信号的第 2 晶体管及对栅极输入有第 2 移位信号的第 3 晶体管的构成中, 最好第 1 移位寄存器电路部包含: 第 4 晶体管, 对于其漏极至少供应第 1 电位, 同时, 其栅极连接于输出有第 1 移位信号的节点; 以及第 1 电容, 连接于第 4 晶体管的栅极-源极之间, 第 2 移位寄存器电路部包含: 第 5 晶体管, 对于其漏极至少供应第 1 电位, 同时, 其栅极连接于输出有第 2 移位信号的节点; 以及第 2 电容, 连接于第 5 晶体管的栅极-源极之间。若以此方式构成, 例如, 将正侧电位 VDD 供应至第 4 晶体管 (第 5 晶体管) 的漏极, 同时, 第 4 晶体管 (第 5 晶体管) 为 n 沟道晶体管时, 由于可使第 4 晶体管 (第 5 晶体管) 的栅极电位上升至比 VDD 还高第 4 晶体管 (第 5 晶体管) 的临限值电压 (V_t) 以上的预定电压 (V_{α}) 份的电位, 因此可对逻辑合成电路部的第 2 晶体管及第 3 晶体管的栅极分别供应具有高于 $VDD+V_t$ 的电位 ($VDD+V_{\alpha}$) 的第 1 移位信号及第 2 移位信号。借此方式, 可抑制经由逻辑合成电路部的第 2 晶体管及第 3 晶体管所输出的移位输出信号的电位仅由 VDD 降低第 2 晶体管及第 3 晶体管的临限值电压 (V_t) 份。此外, 对第 4 晶体管 (第 5 晶体管) 的漏极供应负侧电位 VBB, 同时, 第 4 晶体管 (第 5 晶体管) 为 p 沟道晶体管时, 由于可使第 4 晶体管 (第 5 晶体管) 的栅极电位下降至比 VBB 还低第 4 晶体管 (第 5 晶体管) 的临限值电压 (V_t) 以上的预定电压 (V_{α}) 份的电位, 因此可对逻辑合成电路部的第 2 晶体管及第 3 晶体管的栅极分别供应具有低于 $VBB-V_t$ 的电位 ($VDD-V_{\alpha}$) 的第 1 移位信号及第 2 移位信号。借此方式, 可抑制经由逻辑合成电路部的第 2 晶体管及第 3 晶体管所输出的移位输出信号的电位仅由 VBB 上升第 2 晶体管及第 3 晶体管的临限值电压 (V_t) 份。

[0025] 于包含上述第 4 晶体管及第 5 晶体管的构成中, 最好对于第 4 晶体管的漏极连接有用以供应切换成第 1 电位与第 2 电位的第 1 信号的第 1 信号线, 同时对于栅极供应有第 1 时钟信号, 对于第 5 晶体管的漏极连接有用以供应第 1 信号的第 1 信号线, 同时对于栅极供应有第 2 时钟信号, 第 1 信号在第 1 时钟信号由第 2 电位变成第 1 电位之后, 以及在第 2 时钟信号由第 2 电位变成第 1 电位之后, 分别由第 2 电位切换成第 1 电位。若以此方式构成, 随着通过第 1 时钟信号 (第 2 时钟信号) 使第 4 晶体管 (第 5 晶体管) 的栅极电位由第 2 电位变化成第 1 电位, 而使第 4 晶体管 (第 5 晶体管) 呈导通状态之后, 可通过第 1 信号使第 4 晶体管 (第 5 晶体管) 的源极电位由第 2 电位变化成第 1 电位。借此方式, 此时

的第 4 晶体管（第 5 晶体管）的源极电位的变化份亦可使第 4 晶体管（第 5 晶体管）的栅极电位上升或下降。亦即，除了对于第 4 晶体管（第 5 晶体管）的漏极供应为固定电位的第 1 电位时的第 4 晶体管（第 5 晶体管）的栅极与源极之间的第 1 电容（第 2 电容）所引起的第 4 晶体管（第 5 晶体管）的栅极电位的上升或下降之外，使源极电位由第 2 电位变化成第 1 电位时的变化份亦可使第 4 晶体管（第 5 晶体管）的栅极电位较高或较低。借此方式，可更轻易地将第 1 及第 2 移位信号的电位设定为比 VDD 还高临限值电压 (V_t) 以上的电位或比 VBB 还低临限值电压 (V_t) 以上的电位。因此，可更轻易地对于逻辑合成电路部的第 2 晶体管的栅极及第 3 晶体管的栅极，供应具有 VDD+ V_t 以上的电位或 VBB- V_t 以下的电位的第 1 移位信号及第 2 移位信号，因此，可更加抑制经由第 2 晶体管及第 3 晶体管所输出的移位输出信号的电位仅下降或上升临限值电压 (V_t) 份。

[0026] 在包含上述第 4 晶体管及第 5 晶体管的构成中，最好对于第 4 晶体管的漏极连接有有用以供应切换成第 1 电位与第 2 电位的第 2 信号的第 2 信号线，同时对于栅极供应有第 1 时钟信号，对于第 5 晶体管的漏极连接有有用以供应切换成第 1 电位与第 2 电位的第 3 信号的第 3 信号线，同时对于栅极供应有第 2 时钟信号，第 2 信号在第 1 时钟信号由第 2 电位变成第 1 电位之后，由第 2 电位切换成第 1 电位，第 3 信号在第 2 时钟信号由第 2 电位变成第 1 电位之后，由第 2 电位切换成第 1 电位。若以此方式构成，第 1 移位寄存器电路部的第 4 晶体管与第 2 移位寄存器电路部的第 5 晶体管可分别配合响应第 1 时钟信号与第 2 时钟信号而导通的时序，使第 4 及第 5 晶体管的源极电位由第 2 电位变化成第 1 电位。此外，可在第 1 移位寄存器电路部的第 4 晶体管与第 2 移位寄存器电路部的第 5 晶体管分别响应第 1 时钟信号与第 2 时钟信号而呈不导通为止，将第 4 及第 5 晶体管的源极电位分别保持在第 1 电位。借此方式，可抑制在第 4 及第 5 晶体管响应第 1 时钟信号与第 2 时钟信号而呈不导通状态为止的期间，第 4 及第 5 晶体管的源极电位成为第 2 电位而引起第 4 及第 5 晶体管的栅极电位发生变动的问题产生。此时，可抑制由连接有第 1 移位寄存器电路部的第 4 晶体管的栅极的节点所输出的第 1 移位信号以及由连接有第 2 移位寄存器电路部的第 5 晶体管的栅极的节点所输出的第 2 移位信号发生变动，因此，可抑制对于栅极输入有第 1 移位信号的逻辑合成电路部的第 2 晶体管的动作、以及对于栅极输入有第 2 移位信号的逻辑合成电路部的第 3 晶体管的动作变得不稳定。

[0027] 在包含上述第 4 晶体管及第 5 晶体管的构成中，最好重置晶体管亦具有以下功能：响应预定的驱动信号，将第 4 晶体管或第 5 晶体管的源极的电位重置为第 2 电位。若以此方式构成，例如，当第 4 晶体管（第 5 晶体管）为 n 沟道晶体管，同时，在对第 4 晶体管（第 5 晶体管）的漏极供应正侧电位 VDD（第 1 电位），而使第 4 晶体管（第 5 晶体管）的源极的电位上升之前，若先将第 4 晶体管（第 5 晶体管）的源极的电位重置为负侧电位 VBB（第 2 电位）的话，则可使第 4 晶体管（第 5 晶体管）的栅极电位上升第 4 晶体管（第 5 晶体管）的源极的电位由负侧电位 VBB 上升至正侧电位 VDD 的电位差的量。借此方式，与使第 4 晶体管（第 5 晶体管）的源极的电位由正侧电位 VDD 与负侧电位 VBB 之间的不稳定电位上升的情形相较之下，由于可使第 4 晶体管（第 5 晶体管）的栅极电位更加上升，因此，可更加确实地使第 4 晶体管（第 5 晶体管）的栅极电位上升至比 VDD 还高第 4 晶体管（第 5 晶体管）的临限值电压 (V_t) 以上的预定电压 (V_a) 份的电位。此外，第 4 晶体管（第 5 晶体管）为 p 沟道晶体管，同时，在对第 4 晶体管（第 5 晶体管）的漏极供应负侧电位 VBB（第

1 电位),而使第 4 晶体管(第 5 晶体管)的源极的电位降低之前,若先将第 4 晶体管(第 5 晶体管)的源极的电位重置为正侧电位 VDD(第 2 电位)的话,则可使第 4 晶体管(第 5 晶体管)的栅极电位降低第 4 晶体管(第 5 晶体管)的源极的电位由正侧电位 VDD 降低至负侧电位 VBB 的电位差的量。借此方式,与使第 4 晶体管(第 5 晶体管)的源极的电位由正侧电位 VDD 与负侧电位 VBB 之间的不稳定电位降低的情形相较之下,由于可使第 4 晶体管(第 5 晶体管)的栅极电位更加降低,因此,可更加确实地使第 4 晶体管(第 5 晶体管)的栅极电位降低至比 VBB 还低第 4 晶体管(第 5 晶体管)的临限值电压(V_t)以上的预定电压(V_a)份的电位。

[0028] 于上述一方面的显示装置中,最好移位寄存器电路适用于用以驱动栅极线的移位寄存器电路及用以驱动漏极线的移位寄存器电路的至少一方。若以此方式构成,可轻易地抑制在意料的之外的时序将信号输出至栅极线及漏极线的至少一方。

[0029] 于上述一方面的显示装置中,最好构成第 1 移位寄存器电路部、第 2 移位寄存器电路部及逻辑合成电路部的晶体管、以及重置晶体管具有第 1 导电型。若以此方式构成,与通过具有第 1 导电型或第 2 导电型等 2 种导电型的晶体管构成第 1 移位寄存器电路部、第 2 移位寄存器电路部及逻辑合成电路部的晶体管、以及重置晶体管的情形相较之下,可降低在形成该等晶体管时的离子注入制造过程的次数以及离子注入掩模的个数。借此方式,可抑制制造过程复杂化,同时可抑制制造成本增加。

[0030] 于上述一方面的显示装置中,最好显示装置是由液晶显示装置及 EL 显示装置的任一方所构成。

附图说明

[0031] 图 1 是显示本发明的第 1 实施方式的液晶显示装置的俯视图。

[0032] 图 2 为图 1 所示的第 1 实施方式的液晶显示装置的 V 驱动器内部的电路图。

[0033] 图 3 是用以说明本发明第 1 实施方式的液晶显示装置的 V 驱动器的动作的电压波形图。

[0034] 图 4 是显示本发明的第 2 实施方式的液晶显示装置的俯视图。

[0035] 图 5 为图 4 所示的第 2 实施方式的液晶显示装置的 V 驱动器内部的电路图。

[0036] 图 6 是用以说明本发明第 2 实施方式的液晶显示装置的 V 驱动器的动作的电压波形图。

[0037] 图 7 为本发明的第 3 实施方式的液晶显示装置的 V 驱动器内部的电路图。

[0038] 图 8 是用以说明本发明第 3 实施方式的液晶显示装置的 V 驱动器的动作的电压波形图。

[0039] 图 9 为本发明的第 4 实施方式的液晶显示装置的 V 驱动器内部的电路图。

[0040] 图 10 是用以说明本发明第 4 实施方式的液晶显示装置的 V 驱动器的动作的电压波形图。

[0041] 图 11 为本发明的第 5 实施方式的液晶显示装置的 V 驱动器内部的电路图。

[0042] 图 12 是用以说明本发明第 5 实施方式的液晶显示装置的 V 驱动器的动作的电压波形图。

[0043] 图 13 为本发明的第 6 实施方式的液晶显示装置的 V 驱动器内部的电路图。

[0044] 图 14 是用以说明本发明第 6 实施方式的液晶显示装置的 V 驱动器的动作的电压波形图。

[0045] 图 15 为本发明的第 7 实施方式的液晶显示装置的 H 驱动器内部的电路图。

[0046] 图 16 是显示本发明第 8 实施方式的有机 EL 显示装置的俯视图。

[0047] 图 17 是显示本发明第 9 实施方式的有机 EL 显示装置的俯视图。

[0048] 图 18 是用以说明使一例传统技术显示装置的漏极线驱动的移位寄存器电路的电路构成的电路图。

[0049] 主要组件符号说明

[0050] 1、1a、1b 基板

[0051] 2、2a、102、102a 显示部

[0052] 3、3a 水平开关 (HSW)

[0053] 4、4a H 驱动器

[0054] 5、5a V 驱动器 10 驱动 IC

[0055] 11 信号产生电路

[0056] 12、120、120a 电源电路

[0057] 20、20a 像素

[0058] 21、121、122 n 沟道晶体管 (晶体管)

[0059] 21a p 沟道晶体管 (晶体管)

[0060] 22、22a 像素电极

[0061] 23、23a 对向电极

[0062] 24、24a 液晶

[0063] 25、25a、123、123a 补助电容

[0064] 51 至 55、501 至 505、511 至 515、521 至 525、531 至 535、541 至 545
移位寄存器电路部

[0065] 51a 至 55a、501a 至 505a、511a 至 515a、521a 至 525a、531a 至 535a、541a 至 545a、
1001a 至 1003a 第 1 电路部

[0066] 51b 至 55b、501b 至 505b、511b 至 515b、521b 至 525b、531b 至 535b、541b 至 545b、
1001b 至 1003b 第 2 电路部

[0067] 60、600、610、620、630、640 扫描方向切换电路部

[0068] 70、700、710、720、730、740 输入信号切换电路部

[0069] 81 至 83、801 至 803、811 至 813、821 至 823、831 至 833、841 至 843
逻辑合成电路部

[0070] 81a 至 83a、801a 至 803a、811a 至 813a、821a 至 823a、

[0071] 831a 至 833a、841a 至 843a 电位固定电路部

[0072] 91、901、911、921 电路部

[0073] 124、124a 阳极

[0074] 125、125a 阴极

[0075] 126 有机 EL 组件

[0076] Video 视频信号 (线)

[0077]	SR1 至 SR5	移位信号	
[0078]	SR11 至 SR15	输出信号	
[0079]	ST、STV、STH	开始信号	
[0080]	(STV)、(STH)	开始信号线	
[0081]	CSV、CSH	扫描方向切换信号	
[0082]	(CSV)、(CSH)	扫描方向切换信号线	
[0083]	CKH、CKH1、CKH2、CKV、CKV1、CKV2、CLK1、CLK2		时钟信号
[0084]	(CKV1)、(CKV2)、(CLK1)、(CLK2)	时钟信号线	
[0085]	SR501 至 SR503、Dummy、Drain1、Drain 2、Gate1、		
[0086]	Gate2	移位输出信号	
[0087]	ENB、ENB1、ENB2	使能信号	
[0088]	(ENB1)、(ENB2)	使能信号线	
[0089]	XENB	反转使能信号	
[0090]	(XENB)	反转使能信号线	
[0091]	VDD	正侧电位	
[0092]	VBB	负侧电位	
[0093]	NT1 至 NT8、NT11 至 NT18、NT21 至 NT28、NT31 至 NT38、		
[0094]	NT41 至 NT48、NT51 至 NT85、NT91 至 NT95、NT101 至 NT105、		
[0095]	NT111 至 NT114、NT121 至 NT123、NT500 至 NT508、		
[0096]	NT510 至 NT512	n 沟道晶体管 (晶体管)	
[0097]	NT39、NT49	n 沟道晶体管 (重置晶体管)	
[0098]	PT1 至 PT8、PT11 至 PT18、PT21 至 PT28、PT31 至 PT38、PT41		
[0099]	至 PT48、PT51 至 PT85、PT91 至 PT95、PT101 至 PT105、PT111		
[0100]	至 PT114	p 沟道晶体管 (晶体管)	
[0101]	PT39、PT49	p 沟道晶体管 (重置晶体管)	
[0102]	C1 至 C4、C11 至 C14、C21 至 C24、C31 至 C34、C41 至 C44、		
[0103]	C81、C91、C101、C111、C501、C502	电容	
[0104]	ND1 至 ND7、ND501 至 ND504	节点	
[0105]	XCSH、XCSV	反转扫描方向切换信号	
[0106]	(XCSH)、(XCSV)	反转扫描方向切换信号线	
[0107]	(Dummy)	假栅极线	
[0108]	(Gate1)	第 1 段的栅极线	
[0109]	(Gate2)	第 2 段的栅极线	
[0110]	(Video)	视频信号线	

具体实施方式

[0111] 以下参照图示说明本发明的实施方式。

[0112] 第 1 实施方式

[0113] 首先,参照图 1,在本第 1 实施方式中,在基板 1 上设有显示部 2。在该显示部 2 以

矩阵状配置有像素 20。此外,在图 1 中,为简化图示,仅图示 1 个像素 20。各个像素 20 由以下所构成:n 沟道晶体管 21(以下称为晶体管 21);像素电极 22;与像素电极 22 相对向配置的各像素 20 共通的相对向电极 23;夹持在像素电极 22 与对向电极 23 之间的液晶 24;以及补助电容 25。而晶体管 21 的源极连接于像素电极 22 与补助电容 25,同时,其漏极连接于漏极线。该晶体管 21 的栅极连接于栅极线。

[0114] 此外,以沿着显示部 2 的一边的方式,在基板 1 上设有用以驱动(扫描)显示部 2 的漏极线的水平开关(HSW)3 及 H 驱动器 4。此外,以沿着显示部 2 的另一边的方式,在基板 1 上设有用以驱动(扫描)显示部 2 的栅极线的 V 驱动器 5。此外,关于图 1 的水平开关 3,虽仅图示 2 个开关,但实际上配置有对应像素数的数量的开关。此外,关于图 1 的 H 驱动器 4 及 V 驱动器 5,虽然分别仅图示 2 个移位寄存器电路部,但实际上配置有对应像素数的数量的移位寄存器电路部。

[0115] 此外,在基板 1 的外部设置有驱动 IC10。该驱动 IC10 具备:信号产生电路 11 及电源电路 12。由驱动 IC10 往 H 驱动器 4 供应有:视频信号 Video、开始信号 STH、扫描方向切换信号 CSH、时钟信号 CKH、使能信号(Enable Signal)ENB、正侧电位 VDD 及负侧电位 VBB。此外,由驱动 IC10 往 V 驱动器 5 供应有:开始信号 STV、使能信号 ENB、扫描方向切换信号 CSV、时钟信号 CKV、正侧电位 VDD 及负侧电位 VBB。

[0116] 如图 2 所示,在第 1 实施方式中,在 V 驱动器 5 的内部设有:多段的移位寄存器电路部 51 至 55;扫描方向切换电路部 60;输入信号切换电路部 70;多段的逻辑合成电路部 81 至 83;以及电路部 91。此外,在图 2 中为简化图示,虽仅图示 5 段份的移位寄存器电路部 51 至 55 及 3 段份的逻辑合成电路部 81 至 83,但在实际上设有对应像素数的数量的移位寄存器电路部及逻辑合成电路部。

[0117] 第 1 段的移位寄存器电路部 51 由前段的第 1 电路部 51a 与后段的第 2 电路部 51b 所构成。第 1 电路部 51a 包含:n 沟道晶体管 NT1 及 NT2;呈二极管连接的 n 沟道晶体管 NT3;电容 C1 及 C2。此外,第 2 电路部 51b 包含:n 沟道晶体管 NT4、NT5、NT6 及 NT7;呈二极管连接的 n 沟道晶体管 NT8;电容 C3 及 C4。以下,n 沟道晶体管 NT1 至 NT8 分别称为晶体管 NT1 至 NT8。

[0118] 此外,设在第 1 段的移位寄存器电路部 51 的晶体管 NT1 至 NT8 全部均通过由 n 型 MOS 晶体管(场效应型晶体管)构成的 TFT(thin film transistor,薄膜晶体管)所构成。而且,晶体管 NT1、NT2、NT6、NT7 及 NT8 具有相互电性连接的 2 个栅极电极。此外,于第 1 电路部 51a 中,晶体管 NT1 的源极连接于负侧电位 VBB,同时,其漏极连接于为第 1 电路部 51a 的输出节点的节点 ND1。此外,电容 C1 的一方的电极连接于负侧电位 VBB,同时,另一方的电极连接于节点 ND1。而且,晶体管 NT2 的源极经由晶体管 NT3 而连接于节点 ND1,同时,其漏极连接于时钟信号线(CKV1)。此外,电容 C2 连接于晶体管 NT2 的栅极与源极之间。

[0119] 此外,于第 2 电路部 51b 中,晶体管 NT4 的源极连接于节点 ND3,同时,其漏极连接于正侧电位 VDD。该晶体管 NT4 的栅极连接于节点 ND2。此外,晶体管 NT5 的源极连接于负侧电位 VBB,同时,其漏极连接于节点 ND3。该晶体管 NT5 的栅极连接于第 1 电路部 51a 的节点 ND1。此外,晶体管 NT6 的源极连接于负侧电位 VBB,同时,其漏极连接于节点 ND2。该晶体管 NT6 的栅极连接于第 1 电路部 51a 的节点 ND1。而且,晶体管 NT6 是当晶体管 NT5 呈导通状态时,为了将晶体管 NT4 设为不导通状态而设置。而且,晶体管 NT7 的源极经由晶体

管 NT8 而连接于节点 ND2,同时,其漏极连接于时钟信号线 (CKV1)。此外,电容 C3 连接于晶体管 NT4 的栅极与源极之间。电容 C4 连接于晶体管 NT7 的栅极与源极之间。

[0120] 此外,第 2 段至第 5 段的移位寄存器电路部 52 至 55 具有与上述第 1 段的移位寄存器电路部 51 几乎相同的电路构成。具体而言,第 2 段至第 5 段的移位寄存器电路部 52 至 55 分别由以下所构成:电路构成几乎与第 1 段的移位寄存器电路部 51 的第 1 电路部 51a 相同的第 1 电路部 52a 至 55a;以及电路构成几乎与第 2 电路部 51b 相同的第 2 电路部 52b 至 55b。

[0121] 第 2 段的移位寄存器电路部 52 包含:对应于第 1 段的移位寄存器电路部 51 的晶体管 NT1 至 NT8 的 n 沟道晶体管 NT11 至 NT18;以及对应于电容 C1 至 C4 的电容 C11 至 C14。其中,n 沟道晶体管 NT14 是本发明的“第 4 晶体管”及“第 5 晶体管”的一例,n 沟道晶体管 NT16 是本发明的“第 1 晶体管”的一例。此外,电容 C13 是本发明的“第 1 电容”及“第 2 电容”的一例。以下,n 沟道晶体管 NT11 至 NT18 分别称为晶体管 NT11 至 NT18。此外,第 3 段的移位寄存器电路部 53 包含:对应于第 1 段的移位寄存器电路部 51 的晶体管 NT1 至 NT8 的 n 沟道晶体管 NT21 至 NT28 以及对应于电容 C1 至 C4 的电容 C21 至 C24。其中,n 沟道晶体管 NT24 是本发明的“第 4 晶体管”及“第 5 晶体管”的一例,n 沟道晶体管 NT26 是本发明的“第 1 晶体管”的一例。此外,电容 C23 是本发明的“第 1 电容”及“第 2 电容”的一例。以下,n 沟道晶体管 NT21 至 NT28 分别称为晶体管 NT21 至 NT28。

[0122] 此外,第 4 段的移位寄存器电路部 54 包含:对应于第 1 段的移位寄存器电路部 51 的晶体管 NT1 至 NT8 的 n 沟道晶体管 NT31 至 NT38 以及对应于电容 C1 至 C4 的电容 C31 至 C34。其中,n 沟道晶体管 NT34 是本发明的“第 4 晶体管”及“第 5 晶体管”的一例,n 沟道晶体管 NT36 是本发明的“第 1 晶体管”的一例。此外,电容 C33 是本发明的“第 1 电容”及“第 2 电容”的一例。以下,n 沟道晶体管 NT31 至 NT38 分别称为晶体管 NT31 至 NT38。此外,第 5 段的移位寄存器电路部 55 包含:对应于第 1 段的移位寄存器电路部 51 的晶体管 NT1 至 NT8 的 n 沟道晶体管 NT41 至 NT48;以及对应于电容 C1 至 C4 的电容 C41 至 C44。其中,n 沟道晶体管 NT44 是本发明的“第 4 晶体管”及“第 5 晶体管”的一例,n 沟道晶体管 NT46 是本发明的“第 1 晶体管”的一例。此外,电容 C43 是本发明的“第 1 电容”及“第 2 电容”的一例。以下,n 沟道晶体管 NT41 至 NT48 分别称为晶体管 NT41 至 NT48。

[0123] 在此,在第 1 实施方式中,第 4 段的移位寄存器电路部 54 的第 1 电路部 54a 包含 n 沟道晶体管 NT39,用以将输出移位信号 SR4 的节点 ND2 的电位重置为负侧电位 VBB。此外,第 5 段的移位寄存器电路部 55 的第 1 电路部 55a 包含 n 沟道晶体管 NT49,用以将输出移位信号 SR5 的节点 ND2 的电位重置为负侧电位 VBB。以下,n 沟道晶体管 NT39 及 NT49 分别称为重置晶体管 NT39 及 NT49。

[0124] 此外,对于重置晶体管 NT39 的漏极供应有正侧电位 VDD,同时,其源极连接于为第 4 段的移位寄存器电路部 54 的第 1 电路部 54a 的输出节点的节点 ND1。此外,于重置晶体管 NT39 的栅极连接有用以供应开始信号 STV 的开始信号线 (STV)。其中,开始信号 STV 是本发明的“预定的驱动信号”的一例,开始信号线 (STV) 是本发明的“第 1 驱动信号线”的一例。借此方式构成为:响应 H 电平的开始信号 STV 而使重置晶体管 NT39 导通时,经由重置晶体管 NT39 供应有正侧电位 VDD,借此使第 1 电路部 54a 的节点 ND1 的电位成为正侧电位 VDD(H 电平)。接着,构成为:由于当第 1 电路部 54a 的节点 ND1 的电位成为正侧电位 VDD(H

电平)时,第2电路部54b的晶体管NT36为导通,因此,经由晶体管NT36供应有负侧电位VBB,借此将用以输出移位信号SR4的第2电路部54b的节点ND2重置为负侧电位VBB。

[0125] 此外,对于重置晶体管NT49的漏极供应有正侧电位VDD,同时,其源极连接于为第5段的移位寄存器电路部55的第1电路部55a的输出节点的节点ND1。此外,于重置晶体管NT49的栅极连接有用以供应开始信号STV的开始信号线(STV)。借此方式,在第5段的移位寄存器电路部55中,与上述第4段的移位寄存器电路部54相同地,构成为:将用以输出移位信号SR5的第2电路部55b的节点ND2重置为负侧电位VBB。

[0126] 此外,第2段的移位寄存器电路部52的晶体管NT12及NT17、与第4段的移位寄存器电路部54的晶体管NT32及NT37,是连接于时钟信号线(CKV2)。此外,第3段的移位寄存器电路部53的晶体管NT22及NT27、与第5段的移位寄存器电路部55的晶体管NT42及NT47,是连接于时钟信号线(CKV1)。亦即,时钟信号线(CKV1)与时钟信号线(CKV2)是每隔1段交替连接。

[0127] 而且,在第1实施方式中,是将1条1条的使能信号线(ENB1)与使能信号线(ENB2)交替连接于第3段以后的移位寄存器电路部53至55。其中,该使能信号线(ENB1)及(ENB2)是本发明的“第2信号线”及“第3信号线”的一例。构成为:经由该使能信号线(ENB1),供应有在预定时序将电位由L电平切换成H电平的使能信号(ENB1),同时,经由使能信号线(ENB2),供应有在与使能信号线ENB1不同的时序将电位由L电平切换成H电平的使能信号ENB2。而在第3段的移位寄存器电路部53及第5段的移位寄存器电路部55中,分别将使能信号线(ENB1)连接于晶体管NT24及NT44的漏极。此外,在第4段的移位寄存器电路部54中,将使能信号线(ENB2)连接于晶体管NT34的漏极。

[0128] 此外,扫描方向切换电路部60包含n沟道晶体管NT51至NT60。以下,n沟道晶体管NT51至NT60分别称为晶体管NT51至NT60。该晶体管NT51至NT60全部均通过由n型MOS晶体管构成的TFT所构成。

[0129] 此外,晶体管NT51至NT55是以此顺序将源极/漏极的一方与源极/漏极的另一方相互连接。此外,于晶体管NT51、NT53及NT55的栅极连接扫描方向切换信号线(CSV),同时,于晶体管NT52及NT54的栅极连接反转扫描方向切换信号线(XCSV)。亦即,于晶体管NT51至NT55的栅极,分别交替连接扫描方向切换信号线(CSV)及反转扫描方向切换信号线(XCSV)。

[0130] 此外,晶体管NT56连接于后述的电路部91的节点ND6。此外,晶体管NT57至NT60是以此顺序将源极/漏极的一方与源极/漏极的另一方相互连接。于晶体管NT56、NT58及NT60的栅极连接反转扫描方向切换信号线(XCSV),同时,于晶体管NT57及NT59的栅极连接扫描方向切换信号线(CSV)。亦即,于晶体管NT56至NT60的栅极,分别交替连接反转扫描方向切换信号线(XCSV)及扫描方向切换信号线(CSV)。

[0131] 其中,当扫描方向为顺向时,是以使扫描方向切换信号CSV成为H电平(VDD)的方式,且反转扫描方向切换信号XCSV成为L电平(VBB)的方式进行控制。因此,当扫描方向为顺向时,是以使晶体管NT51、NT53、NT55、NT57及NT59呈导通状态的方式,且晶体管NT52、NT54、NT56、NT58及NT60呈不导通状态的方式进行控制。此外,当扫描方向为逆向时,是以使扫描方向切换信号CSV成为L电平(VBB)、且反转扫描方向切换信号XCSV成为H电平(VDD)的方式进行控制。因此,当扫描方向为逆向时,是以使晶体管NT51、NT53、NT55、NT57

及 NT59 呈不导通状态的方式,且晶体管 NT52、NT54、NT56、NT58 及 NT60 呈导通状态的方式进行控制。

[0132] 此外,第 1 段的移位寄存器电路部 51 的晶体管 NT1 的栅极连接于扫描方向切换电路部 60 的晶体管 NT51 的源极 / 漏极的另一方 (晶体管 NT52 的源极 / 漏极的一方),同时,第 1 段的移位寄存器电路部 51 的节点 ND3 连接于扫描方向切换电路部 60 的晶体管 NT57 的源极 / 漏极的一方。

[0133] 此外,第 2 段的移位寄存器电路部 52 的晶体管 NT11 的栅极连接于扫描方向切换电路部 60 的晶体管 NT57 的源极 / 漏极的另一方 (晶体管 NT58 的源极 / 漏极的一方),同时,第 2 段的移位寄存器电路部 52 的节点 ND3 连接于扫描方向切换电路部 60 的晶体管 NT52 的源极 / 漏极的另一方 (晶体管 NT53 的源极 / 漏极的一方)。

[0134] 此外,第 3 段的移位寄存器电路部 53 的晶体管 NT21 的栅极连接于扫描方向切换电路部 60 的晶体管 NT53 的源极 / 漏极的另一方 (晶体管 NT54 的源极 / 漏极的一方),同时,第 3 段的移位寄存器电路部 53 的节点 ND3 连接于扫描方向切换电路部 60 的晶体管 NT58 的源极 / 漏极的另一方 (晶体管 NT59 的源极 / 漏极的一方)。

[0135] 此外,第 4 段的移位寄存器电路部 54 的晶体管 NT31 的栅极连接于扫描方向切换电路部 60 的晶体管 NT59 的源极 / 漏极的另一方 (晶体管 NT60 的源极 / 漏极的一方),同时,第 4 段的移位寄存器电路部 54 的节点 ND3 连接于扫描方向切换电路部 60 的晶体管 NT54 的源极 / 漏极的另一方 (晶体管 NT55 的源极 / 漏极的一方)。

[0136] 此外,第 5 段的移位寄存器电路部 55 的晶体管 NT41 的栅极连接于扫描方向切换电路部 60 的晶体管 NT55 的源极 / 漏极的另一方,同时,第 5 段的移位寄存器电路部 55 的节点 ND3 连接于扫描方向切换电路部 60 的晶体管 NT60 的源极 / 漏极的另一方。

[0137] 将各段的移位寄存器电路部 51 至 55 与扫描方向切换电路部 60 连接成如上所述,借此控制成:按照扫描方向,于预定段的移位寄存器电路部的第 1 电路部,相对于扫描方向输入前段的输出信号 (SR11 至 SR15)。但是,对于扫描方向为顺向时的初段的移位寄存器电路部 51 的第 1 电路部 51a 输入有开始信号 STV。

[0138] 此外,输入信号切换电路部 70 包含:栅极连接于扫描方向切换信号线 (CSV) 的 n 沟道晶体管 NT61 至 NT70;以及栅极连接于反转扫描方向切换信号线 (XCSV) 的 n 沟道晶体管 NT71 至 NT80。以下, n 沟道晶体管 NT61 至 NT80 分别称为晶体管 NT61 至 NT80。此外,构成输入信号切换电路部 70 的晶体管 NT61 至 NT80 全部均通过由 n 型 MOS 晶体管构成的 TFT 所构成。

[0139] 此外,连接于扫描方向切换信号线 (CSV) 的 n 沟道晶体管与连接于反转扫描方向切换信号线 (XCSV) 的 n 沟道晶体管相对于各段的移位寄存器电路部 51 至 55 分别配置 2 个。具体而言,对应于第 1 段的移位寄存器电路部 51,配置有:栅极连接于扫描方向切换信号线 (CSV) 的晶体管 NT61 及 NT62;以及栅极连接于反转扫描方向切换信号线 (XCSV) 的晶体管 NT71 及 NT72。晶体管 NT61 及 NT71 的源极 / 漏极的一方连接于第 1 段的移位寄存器电路部 51 的晶体管 NT2 的栅极。晶体管 NT61 的源极 / 漏极的另一方连接于第 2 段的移位寄存器电路部 52 的节点 ND2,同时,晶体管 NT71 的源极 / 漏极的另一方连接于正侧电位 VDD。此外,晶体管 NT62 及 NT72 的源极 / 漏极的一方连接于第 1 段的移位寄存器电路部 51 的晶体管 NT7 的栅极。晶体管 NT62 的源极 / 漏极的另一方连接于供应有开始信号 STV 的扫描

方向切换电路部 60 的晶体管 NT51 的源极 / 漏极的另一方 (晶体管 NT52 的源极 / 漏极的一方) 以及晶体管 NT1 的栅极,同时,晶体管 NT72 的源极 / 漏极的另一方连接于第 2 段的移位寄存器电路部 52 的节点 ND2。

[0140] 此外,对应于第 2 段的移位寄存器电路部 52,配置有:栅极连接于扫描方向切换信号线 (CSV) 的晶体管 NT63 及 NT64;以及栅极连接于反转扫描方向切换信号线 (XCSV) 的晶体管 NT73 及 NT74。晶体管 NT63 及 NT73 的源极 / 漏极的一方连接于第 2 段的移位寄存器电路部 52 的晶体管 NT12 的栅极。晶体管 NT63 的源极 / 漏极的另一方连接于第 3 段的移位寄存器电路部 53 的节点 ND2,同时,晶体管 NT73 的源极 / 漏极的另一方连接于第 1 段的移位寄存器电路部 51 的节点 ND2。此外,晶体管 NT64 及 NT74 的源极 / 漏极的一方连接于第 2 段的移位寄存器电路部 52 的晶体管 NT17 的栅极。晶体管 NT64 的源极 / 漏极的另一方连接于第 1 段的移位寄存器电路部 51 的节点 ND2,同时,晶体管 NT74 的源极 / 漏极的另一方连接于第 3 段的移位寄存器电路部 53 的节点 ND2。

[0141] 此外,对应于第 3 段的移位寄存器电路部 53,配置有:栅极连接于扫描方向切换信号线 (CSV) 的晶体管 NT65 及 NT66;以及栅极连接于反转扫描方向切换信号线 (XCSV) 的晶体管 NT75 及 NT76。晶体管 NT65 及 NT75 的源极 / 漏极的一方连接于第 3 段的移位寄存器电路部 53 的晶体管 NT22 的栅极。晶体管 NT65 的源极 / 漏极的另一方连接于第 4 段的移位寄存器电路部 54 的节点 ND2,同时,晶体管 NT75 的源极 / 漏极的另一方连接于第 2 段的移位寄存器电路部 52 的节点 ND2。此外,晶体管 NT66 及 NT76 的源极 / 漏极的一方连接于第 3 段的移位寄存器电路部 53 的晶体管 NT27 的栅极。晶体管 NT66 的源极 / 漏极的另一方连接于第 2 段的移位寄存器电路部 52 的节点 ND2,同时,晶体管 NT76 的源极 / 漏极的另一方连接于第 4 段的移位寄存器电路部 54 的节点 ND2。

[0142] 此外,对应于第 4 段的移位寄存器电路部 54,配置有:栅极连接于扫描方向切换信号线 (CSV) 的晶体管 NT67 及 NT68;以及栅极连接于反转扫描方向切换信号线 (XCSV) 的晶体管 NT77 及 NT78。晶体管 NT67 及 NT77 的源极 / 漏极的一方连接于第 4 段的移位寄存器电路部 54 的晶体管 NT32 的栅极。晶体管 NT67 的源极 / 漏极的另一方连接于第 5 段的移位寄存器电路部 55 的节点 ND2,同时,晶体管 NT77 的源极 / 漏极的另一方连接于第 3 段的移位寄存器电路部 53 的节点 ND2。此外,晶体管 NT68 及 NT78 的源极 / 漏极的一方连接于第 4 段的移位寄存器电路部 54 的晶体管 NT37 的栅极。晶体管 NT68 的源极 / 漏极的另一方连接于第 3 段的移位寄存器电路部 53 的节点 ND2,同时,晶体管 NT78 的源极 / 漏极的另一方连接于第 5 段的移位寄存器电路部 55 的节点 ND2。

[0143] 此外,对应于第 5 段的移位寄存器电路部 55,配置有:栅极连接于扫描方向切换信号线 (CSV) 的晶体管 NT69 及 NT70;以及栅极连接于反转扫描方向切换信号线 (XCSV) 的晶体管 NT79 及 NT80。晶体管 NT69 及 NT79 的源极 / 漏极的一方连接于第 5 段的移位寄存器电路部 55 的晶体管 NT42 的栅极。晶体管 NT69 的源极 / 漏极的另一方连接于未图示的第 6 段的移位寄存器电路部的节点 ND2,同时,晶体管 NT79 的源极 / 漏极的另一方连接于第 4 段的移位寄存器电路部 54 的节点 ND2。此外,晶体管 NT70 及 NT80 的源极 / 漏极的一方连接于第 5 段的移位寄存器电路部 55 的晶体管 NT47 的栅极。晶体管 NT70 的源极 / 漏极的另一方连接于第 4 段的移位寄存器电路部 54 的节点 ND2,同时,晶体管 NT80 的源极 / 漏极的另一方连接于未图示的第 6 段的移位寄存器电路部的节点 ND2。

[0144] 通过将构成输入信号切换电路部 70 的晶体管 NT61 至 NT80 构成如上所述,当扫描方向为顺向时,是控制成:晶体管 NT61 至 NT70 呈导通状态,而且,晶体管 NT71 至 NT80 呈不导通状态。此外,通过将各段的移位寄存器电路部 51 至 55 与输入信号切换电路部 70 连接成如上所述,而控制成:按照扫描方向,于预定段的移位寄存器电路部的第 1 电路部,相对于扫描方向输入下一段的移位信号 (SR1 至 SR5),而且,于预定段的移位寄存器电路部的第 2 电路部,相对于扫描方向输入前段的移位信号 (SR1 至 SR5)。但是,对于初段的移位寄存器电路部 51 的第 1 电路部 51a 输入有开始信号 STV。

[0145] 此外,逻辑合成电路部 81 至 83 分别连接于假栅极线 (Dummy)、第 1 段的栅极线 (Gate1) 及第 2 段的栅极线 (Gate2)。其中,假栅极线 (Dummy) 为未连接于设在显示部 2 的像素 20 (参照图 1) 的栅极线。此外,逻辑合成电路部 81 至 83 分别构成为:将由所对应的预定段的移位寄存器电路部输出的移位信号与由该预定段的下一段的移位寄存器电路部输出的移位信号予以逻辑合成,而将移位输出信号输出至各段的栅极线。此外,连接于假栅极线 (Dummy) 的逻辑合成电路部 81 包含:n 沟道晶体管 NT81 至 NT84;呈二极管连接的 n 沟道晶体管 NT85;以及电容 C81。其中,n 沟道晶体管 NT81 是本发明的“第 2 晶体管”的一例,n 沟道晶体管 NT82 是本发明的“第 3 晶体管”的一例。以下,n 沟道晶体管 NT81 至 NT85 分别称为晶体管 NT81 至 NT85。

[0146] 此外,晶体管 NT83 至 NT85 通过电容 C81 而构成有电位固定电路部 81a。该电位固定电路部 81a 是当由逻辑合成电路部 81 输出 L 电平的移位输出信号至假栅极线 (Dummy) 时,为了固定该移位输出信号的 L 电位的电位而设。此外,构成逻辑合成电路部 81 的晶体管 NT81 至 NT85 全部均是通过由 n 型 MOS 晶体管构成的 TFT 所构成。此外,晶体管 NT81 的漏极连接于使能信号线 (ENB),同时,源极连接于晶体管 NT82 的漏极。此外,晶体管 NT82 的源极连接于节点 ND4 (假栅极线)。晶体管 NT81 的栅极连接于输出有第 2 段的移位寄存器电路部 52 的移位信号 SR2 的节点 ND2,同时,晶体管 NT82 的栅极连接于输出有第 3 段的移位寄存器电路部 53 的移位信号 SR3 的节点 ND2。

[0147] 此外,晶体管 NT83 的源极连接于负侧电位 VBB,同时,漏极连接于节点 ND4 (假栅极线)。该晶体管 NT83 的栅极连接于节点 ND5。此外,晶体管 NT84 的源极连接于负侧电位 VBB,同时,漏极连接于节点 ND5。该晶体管 NT84 的栅极连接于节点 ND4 (假栅极线)。此外,电容 C81 的一方的电极连接于负侧电位 VBB,同时,另一方的电极连接于节点 ND5。此外,节点 ND5 经由晶体管 NT85 而连接于反转使能信号线 (XENB)。

[0148] 此外,连接于第 1 段的栅极线 (Gate1) 的逻辑合成电路部 82 具有与连接于假栅极线 (Dummy) 的逻辑合成电路部 81 相同的电路构成。具体而言,连接于第 1 段的栅极线 (Gate1) 的逻辑合成电路部 82 包含:对应于连接于假栅极线 (Dummy) 的逻辑合成电路部 81 的晶体管 NT81 至 NT85 及电容 C81 的 n 沟道晶体管 NT91 至 NT95 及电容 C91。其中,n 沟道晶体管 NT91 是本发明的“第 2 晶体管”的一例,n 沟道晶体管 NT92 是本发明的“第 3 晶体管”的一例。以下,n 沟道晶体管 NT91 至 NT95 分别称为晶体管 NT91 至 NT95。此外,对应于连接于假栅极线 (Dummy) 的逻辑合成电路部 81 的电位固定电路部 81a 的电位固定电路部 82a 是由晶体管 NT93 至 NT95 及电容 C91 所构成。

[0149] 其中,于连接于第 1 段的栅极线 (Gate1) 的逻辑合成电路部 82 中,晶体管 NT91 的栅极连接于输出有第 3 段的移位寄存器电路部 53 的移位信号 SR3 的节点 ND2,同时,晶体管

NT92 的栅极连接于输出有第 4 段的移位寄存器电路部 54 的移位信号 SR4 的节点 ND2。此外,节点 ND5 经由晶体管 NT95 而连接于反转使能信号线 (XENB)。

[0150] 此外,连接于第 2 段的栅极线 (Gate2) 的逻辑合成电路部 83 具有与连接于假栅极线 (Dummy) 的逻辑合成电路部 81 相同的电路构成。具体而言,连接于第 2 段的栅极线 (Gate2) 的逻辑合成电路部 83 包含:对应于连接于假栅极线 (Dummy) 的逻辑合成电路部 81 的晶体管 NT81 至 NT85 及电容 C81 的 n 沟道晶体管 NT101 至 NT105 及电容 C101。其中, n 沟道晶体管 NT101 是本发明的“第 2 晶体管”的一例, n 沟道晶体管 NT102 是本发明的“第 3 晶体管”的一例。以下, n 沟道晶体管 NT101 至 NT105 分别称为晶体管 NT101 至 NT105。此外,对应于连接于假栅极线 (Dummy) 的逻辑合成电路部 81 的电位固定电路部 81a 的电位固定电路部 83a 是由晶体管 NT103 至 NT105 及电容 C101 所构成。

[0151] 其中,于连接于第 2 段的栅极线 (Gate2) 的逻辑合成电路部 83 中,晶体管 NT101 的栅极连接于输出有第 4 段的移位寄存器电路部 54 的移位信号 SR4 的节点 ND2,同时,晶体管 NT102 的栅极连接于输出有第 5 段的移位寄存器电路部 55 的移位信号 SR5 的节点 ND2。此外,节点 ND5 经由晶体管 NT105 而连接于反转使能信号线 (XENB)。

[0152] 此外,电路部 91 包含: n 沟道晶体管 NT111 至 NT113;呈二极管连接的 n 沟道晶体管 NT114;以及电容 C111。以下, n 沟道晶体管 NT111 至 NT114 分别称为晶体管 NT111 至 NT114。构成电路部 91 的晶体管 NT111 至 NT114 全部均是通过由 n 型 MOS 晶体管构成的 TFT 所构成。

[0153] 接着,晶体管 NT111 的漏极连接于使能信号线 (ENB),同时,源极连接于节点 ND6。该晶体管 NT111 的栅极连接于第 2 段的移位寄存器电路部 52 的节点 ND2。晶体管 NT112 的源极连接于负侧电位 VBB,同时,漏极连接于节点 ND6。该晶体管 NT112 的栅极连接于节点 ND7。晶体管 NT113 的源极连接于负侧电位 VBB,同时,漏极连接于节点 ND7。该晶体管 NT113 的栅极连接于节点 ND6。电容 C111 的一方的电极连接于负侧电位 VBB,同时,另一方的电极连接于节点 ND7。此外,节点 ND6 连接于扫描方向切换电路部 60 的晶体管 NT56 的源极/漏极的另一方。此外,节点 ND7 经由晶体管 NT114 而连接于反转使能信号线 (XENB)。

[0154] 接着,参照图 1 至图 3,就第 1 实施方式的液晶显示装置的 V 驱动器的动作加以说明。

[0155] 首先,沿着图 2 中的顺向,就时序发生移位的移位输出信号依序输出至各段的栅极线的情形(顺向扫描的情形)加以说明。首先,通过接通电源,将正侧电位 VDD 及负侧电位 VBB 供应至 V 驱动器 5 的各段的移位寄存器电路部。然后,当为顺向扫描时,将扫描方向切换信号 CSV 保持在 H 电平,同时,将反转扫描方向切换信号 XCSV 保持在 L 电平。借此方式,当进行顺向扫描时,将扫描方向切换信号 CSV 输入至栅极的晶体管 NT51、NT53、NT55、NT57、NT59 及 NT61 至 NT70 保持在导通状态。此外,将反转扫描方向切换信号 XCSV 输入至栅极的晶体管 NT52、NT54、NT56、NT58、NT60 及 NT71 至 NT80 保持在不导通状态。然后,在初始状态下,各段的移位寄存器电路部 51 至 55 的节点 ND1 至 ND3 的电位形成正侧电位 VDD 与负侧电位 VBB 之间的不稳定电位。借此方式,在初始状态下,由各段的移位寄存器电路部 51 至 55 输出的移位信号 SR1 至 SR5 与输出信号 SR11 至 SR15 形成正侧电位 VDD 与负侧电位 VBB 之间的不稳定电位。在该状态下,如图 3 所示,使开始信号 STV 上升至 H 电平。

[0156] 借此方式,在第 1 实施方式中,将 H 电平的开始信号 STV 输入至第 4 段的移位寄存

器电路部 54 的第 1 电路部 54a 的重置晶体管 NT39 的栅极。因此,由于重置晶体管 NT39 为导通,因此,经由重置晶体管 NT39 而将正侧电位 VDD 供应至第 4 段的移位寄存器电路部 54 的第 1 电路部 54a 的节点 ND1。借此方式,在初始状态下,为正侧电位 VDD 与负侧电位 VBB 之间的不稳定电位的第 1 电路部 54a 的节点 ND1 的电位被重置为正侧电位 VDD(H 电平)。因此,分别对于连接于第 1 电路部 54a 的节点 ND1 的第 2 电路部 54b 的晶体管 NT36 及 NT35 的栅极施加正侧电位 VDD(H 电平)。借此方式,由于晶体管 NT36 及 NT35 为导通,因此经由晶体管 NT36 及 NT35 而分别将负侧电位 VBB 供应至第 4 段的移位寄存器电路部 54 的节点 ND2 及 ND3。

[0157] 因此,在初始状态下,为正侧电位 VDD 与负侧电位 VBB 之间的不稳定电位的第 4 段的移位寄存器电路部 54 的节点 ND2 及 ND3 的电位,是在开始信号 STV 为 H 电平的期间被重置为负侧电位 VBB。借此方式,分别由第 4 段的移位寄存器电路部 54 的节点 ND2 及 ND3 输出的移位信号 SR4 及输出信号 SR14 共同被重置为负侧电位 VBB(L 电平)。

[0158] 然后,由于 L 电平的移位信号 SR4 被输入至逻辑合成电路部 82 的晶体管 NT92 的栅极以及逻辑合成电路部 83 的晶体管 NT101 的栅极,因此,该等晶体管 NT92 及 NT101 固定在不导通状态。此外,L 电平的移位信号 SR4 经由输入信号切换电路部 70 呈导通状态的晶体管 NT65,而被输入至第 3 段的移位寄存器电路部 53 的晶体管 NT22 的栅极。借此方式,第 3 段的移位寄存器电路部 53 的晶体管 NT22 固定在不导通状态。此外, L 电平的移位信号 SR4 经由输入信号切换电路部 70 呈导通状态的晶体管 NT70,而被输入至第 5 段的移位寄存器电路部 55 的晶体管 NT47 的栅极。借此方式,第 5 段的移位寄存器电路部 55 的晶体管 NT47 固定在不导通状态。

[0159] 此外,由第 4 段的移位寄存器电路部 54 的节点 ND3 输出的 L 电平的输出信号 SR14 经由扫描方向切换电路部 60 呈导通状态的晶体管 NT55,而被输入至第 5 段的移位寄存器电路部 55 的晶体管 NT41 的栅极。借此方式,第 5 段的移位寄存器电路部 55 的晶体管 NT41 固定在不导通状态。

[0160] 此外,在第 5 段的移位寄存器电路部 55 中,通过将 H 电平的开始信号 STV 输入至第 1 电路部 55a 的重置晶体管 NT49 的栅极,而与上述第 4 段的移位寄存器电路部 54 相同地,将节点 ND1 的电位重置为正侧电位 VDD(H 电平),同时,将节点 ND2 及 ND3 的电位重置为负侧电位 VBB(L 电平)。由此,分别由第 5 段的移位寄存器电路部 55 的节点 ND2 及 ND3 输出的移位信号 SR5 及输出信号 SR15 亦被重置为负侧电位 VBB(L 电平)。然后,该 L 电平的移位信号 SR5 被输入至逻辑合成电路部 83 的晶体管 NT102 的栅极以及对应于逻辑合成电路部 83 的晶体管 NT101 的逻辑合成电路部 83 的下一段逻辑合成电路部的 n 沟道晶体管的栅极。借此方式,该等晶体管固定在不导通状态。此外,L 电平的移位信号 SR5 经由输入信号切换电路部 70 呈导通状态的晶体管 NT67,而被输入至第 4 段的移位寄存器电路部 54 的晶体管 NT32 的栅极。借此方式,晶体管 NT32 固定在不导通状态。

[0161] 如上所述,在开始信号 STV 成为 H 电平的期间,于第 4 段以后的所有移位寄存器电路部中,将节点 ND1 的电位与节点 ND2 及 ND3 的电位一次重置为正侧电位 VDD 与负侧电位 VBB。然后,由此,分别由第 4 段以后的移位寄存器电路部输出的移位信号或输出信号被重置为负侧电位 VBB(L 电平)。借此方式,将该 L 电平的移位信号及输出信号输入至栅极的各段移位寄存器电路部的晶体管与进行各段逻辑合成电路部的逻辑合成的晶体管固定在不

导通状态。

[0162] 此外, H 电平的开始信号 STV 经由扫描方向切换电路部 60 呈导通状态的晶体管 NT51, 而被输入至第 1 段的移位寄存器电路部 51 的晶体管 NT1 的栅极。因此, 晶体管 NT1 呈导通状态。之后, 输入至晶体管 NT2 的漏极的时钟信号 CKV1 上升至 H 电平。

[0163] 此时, 经由呈导通状态的晶体管 NT61, 将由第 2 段的移位寄存器电路部 52 输出的移位信号 SR2 输入至第 1 段的移位寄存器电路部 51 的晶体管 NT2 的栅极。其中, 此时输入至晶体管 NT2 的栅极的移位信号 SR2 虽为正侧电位 VDD 与负侧电位 VBB 之间的不稳定电位, 但为可使晶体管 NT2 不导通的电位。借此方式, 晶体管 NT2 呈不导通状态。

[0164] 此外, 由于第 1 段的移位寄存器电路部 51 的晶体管 NT1 呈导通状态、晶体管 NT2 呈不导通状态, 因此, 经由晶体管 NT1 由负侧电位 VBB 供应 L 电位的电位, 借此使节点 ND1 的电位下降至 L 电平。借此方式, 栅极连接于第 1 段的移位寄存器电路部 51 的节点 ND1 的晶体管 NT5 及 NT6 呈不导通状态。此外, H 电平的开始信号 STV 经由呈导通状态的晶体管 NT51 及 NT62, 而被输入至第 1 段的移位寄存器电路部 51 的晶体管 NT7 的栅极。借此方式, 晶体管 NT7 呈导通状态。然后, 输入至晶体管 NT7 的漏极的时钟信号 CKV1 的电位上升至 H 电平。

[0165] 此时, 即使晶体管 NT7 呈导通状态, 由于晶体管 NT6 呈导通状态, 因此贯通电流并不会经由晶体管 NT7、NT8 及 NT6 而在时钟信号线 (CKV1) 与负侧电位 VBB 之间流通。此外, 通过经由晶体管 NT7 与呈二极管连接的晶体管 NT8 输入 H 电平的时钟信号 CKV1, 使第 1 段的移位寄存器电路部 51 的节点 ND2 的电位上升至 H 电平。借此方式, 晶体管 NT4 呈导通状态。然后, 将 H 电平 (VDD) 的电位由正侧电位 VDD 经由晶体管 NT4 供应至节点 ND3。

[0166] 此时, 即使晶体管 NT4 呈导通状态, 由于晶体管 NT5 呈导通状态, 因此贯通电流并不会经由晶体管 NT4 及 NT5 而在正侧电位 VDD 与负侧电位 VBB 之间流通。然后, 将 H 电平 (VDD) 的电位由正侧电位 VDD 经由晶体管 NT4 供应至节点 ND3, 借此使第 1 段的移位寄存器电路部 51 的节点 ND3 的电位上升至 VDD 侧。此时, 为通过电容 C3 来维持晶体管 NT4 的栅极-源极间电压, 第 1 段的移位寄存器电路部 51 的节点 ND2 的电位伴随着节点 ND3 的电位的上升而激活 (boot) 而借此上升。借此方式, 节点 ND2 的电位上升至比 VDD 还高晶体管 NT4 的临限值电压 (V_t) 以上的预定电压 (V_{α}) 份的电位。结果由第 1 段的移位寄存器电路部 51 的节点 ND2, 输出具有 $VDD+V_t$ 以上的电位 ($VDD+V_{\alpha}$) 的 H 电平的移位信号 SR1。此外, 同时由第 1 段的移位寄存器电路部 51 的节点 ND3, 输出 H 电平 (VDD) 的输出信号 SR11。

[0167] 然后, 第 1 段的移位寄存器电路部 51 的 H 电平 (VDD) 的输出信号 SR11 经由呈导通状态的晶体管 NT57 而被输入至第 2 段的移位寄存器电路部 52 的晶体管 NT11 的栅极。借此方式, 晶体管 NT11 呈导通状态。然后, 第 1 段的移位寄存器电路部 51 的 H 电平 ($VDD+V_{\alpha}$) 的移位信号 SR1 被输入至呈导通状态的晶体管 NT64 的漏极。此时, 晶体管 NT64 的栅极电压与扫描方向切换信号 CSV 的电位 (VDD) 相等, 因此, 连接于晶体管 NT64 的源极的晶体管 NT17 的栅极电压被充电至 ($VDD-V_t$)。借此方式, 晶体管 NT17 呈导通状态。

[0168] 此外, 经由呈导通状态的晶体管 NT63, 将由第 3 段的移位寄存器电路部 53 的节点 ND2 输出的移位信号 SR3 输入至第 2 段的移位寄存器电路部 52 的晶体管 NT12 的栅极。其中, 此时输入至晶体管 NT12 的栅极的移位信号 SR3 虽为正侧电位 VDD 与负侧电位 VBB 之间的不稳定电位, 但为可使晶体管 NT12 不导通的电位。借此方式, 晶体管 NT12 呈不导通状态。

[0169] 之后,输入至第 2 段移位寄存器电路部 52 的晶体管 NT17 的漏极的时钟信号 CKV2 的电位由 L 电平 (VBB) 上升至 H 电平 (VDD)。借此方式,在晶体管 NT17 中,通过电容 C14 的功能,一面保持栅极-源极间电压,一面使栅极电位由 $VDD-V_t$ 上升 VDD 与 VBB 的电位差份。因此,第 2 段的移位寄存器电路部 52 的节点 ND2 的电位上升至 H 电平 (VDD) 的电位,而非降低晶体管 NT17 的临限值电压 (V_t) 份。之后,与上述第 1 段的移位寄存器电路部 51 的动作相同地,由第 2 段的移位寄存器电路部 52 的节点 ND2,输出具有 $VDD+V_t$ 以上的电位 ($VDD+V_{\alpha}$) 的 H 电平的移位信号 SR2。此外,同时由第 2 段的移位寄存器电路部 52 的节点 ND3,输出 H 电平 (VDD) 的输出信号 SR12。

[0170] 然后,第 2 段的移位寄存器电路部 52 的 H 电平 ($VDD+V_{\alpha} > VDD+V_t$) 的移位信号 SR2,被输入至连接于假栅极线的逻辑合成电路部 81 的晶体管 NT81 的栅极。此外, H 电平 ($VDD+V_{\alpha} > VDD+V_t$) 的移位信号 SR2 被输入至通过将 VDD 的扫描方向切换信号 CSV 输入至栅极而呈导通的晶体管 NT61 及 NT66 的漏极。借此方式,晶体管 NT61 及 NT66 的源极电位成为 ($VDD-V_t$),因此对于第 1 段的移位寄存器电路部 51 的晶体管 NT2 的栅极与第 3 段的移位寄存器电路部 53 的晶体管 NT27 的栅极输入有 ($VDD-V_t$) 的电位。此外, H 电平 (VDD) 的输出信号 SR12 经由呈导通状态的晶体管 NT53 而被输入至第 3 段的移位寄存器电路部 53 的晶体管 NT21 的栅极。

[0171] 然后,连接于假栅极线的逻辑合成电路部 81 的晶体管 NT81 通过将 H 电平 ($VDD+V_{\alpha}$) 的移位信号 SR2 输入至栅极,而呈导通状态。此时,晶体管 NT83 保持在导通状态,因此,经由晶体管 NT83 而将负侧电位 VBB 供应至节点 ND4。此外,此时,对于晶体管 NT82 的栅极是由第 3 段的移位寄存器电路部 53 的节点 ND2 输入有正侧电位 VDD 与负侧电位 VBB 之间的不稳定电位的移位信号 SR3。借此方式,晶体管 NT82 有形成意料之外的导通状态的情形。

[0172] 当晶体管 NT82 形成意料之外的导通状态时,是通过经由晶体管 NT81 及 NT82 所供应的使能信号 ENB,使节点 ND4 的电位上升至比 VBB 还高的电位。借此方式,会有由逻辑合成电路部 81 的节点 ND4,在意料之外的时序将电位比 VBB 还高的移位输出信号 Dummy 输出至假栅极线的情形。其中,即使如上所述在意料之外的时序将电位比 VBB 还高的移位输出信号 Dummy 输出至假栅极线,由于假栅极线并未连接于像素 20 (参照图 1),因此几乎不会对于影像显示造成影响。

[0173] 此外,由晶体管 NT61 将 ($VDD-V_t$) 的电位输入至栅极,借此使第 1 段的移位寄存器电路部 51 的晶体管 NT2 呈导通状态。然后输入至晶体管 NT2 及 NT7 的漏极的时钟信号 CKV1 的电位降低至 L 电平。此时,第 1 段的移位寄存器电路部 51 的节点 ND1 的电位保持在 L 电平。借此方式,第 1 段的移位寄存器电路部 51 的晶体管 NT5 及 NT6 保持在不导通状态。

[0174] 此外,由于时钟信号 CKV1 降低至 L 电平,晶体管 NT8 的栅极电压降低至 L 电平,因此,晶体管 NT8 呈不导通状态。借此方式,由于第 1 段的移位寄存器电路部 51 的节点 ND2 的电位保持在 H 电平 ($VDD+V_{\alpha}$),因此,由第 1 段的移位寄存器电路部 51 持续输出 H 电平 ($VDD+V_{\alpha}$) 的移位信号 SR1。此外,通过将第 1 段的移位寄存器电路部 51 的节点 ND2 的电位保持在 H 电平 ($VDD+V_{\alpha}$),使晶体管 NT4 保持在导通状态,因此,由第 1 段的移位寄存器电路部 51 的节点 ND3 持续输出 H 电平 (VDD) 的输出信号 SR11。

[0175] 此外,由晶体管 NT66 将 ($VDD-V_t$) 的电位输入至栅极,借此使第 3 段的移位寄存器

电路部 53 的晶体管 NT27 呈导通状态。此外,晶体管 NT21 通过将 H 电平 (VDD) 的输出信号 SR12 输入至栅极而呈导通状态。此时,第 3 段的移位寄存器电路部 53 的晶体管 NT22 固定在不导通状态。然后,由于晶体管 NT21 导通而经由晶体管 NT21 供应有负侧电位 VBB,借此使第 3 段的移位寄存器电路部 53 的节点 ND1 的电位固定在负侧电位 VBB (L 电平)。借此方式,晶体管 NT25 及 NT26 呈不导通状态。

[0176] 此时,由于由时钟信号线 (CKV1) 经由呈导通状态的晶体管 NT27 供应至晶体管 NT28 的栅极的时钟信号 CKV1 是由 H 电平 (VDD) 下降至 L 电平 (VBB),因此,晶体管 NT28 呈不导通状态。借此方式,第 3 段的移位寄存器电路部 53 的节点 ND2 的电位保持在正侧电位 VDD 与负侧电位 VBB 之间的不稳定电位。因此,由第 3 段的移位寄存器电路部 53 的节点 ND2,持续输出正侧电位 VDD 与负侧电位 VBB 之间的不稳定电位的移位信号 SR3。此外,此时,使第 3 段的移位寄存器电路部 53 的节点 ND3 的电位亦保持在正侧电位 VDD 与负侧电位 VBB 之间的不稳定电位,借此由第 3 段的移位寄存器电路部 53 的节点 ND3,持续输出正侧电位 VDD 与负侧电位 VBB 之间的不稳定电位的输出信号 SR13。

[0177] 然后,开始信号 STV 的电位下降至 L 电平。借此方式,第 1 段的移位寄存器电路部 51 的晶体管 NT1 呈不导通状态。因此,第 1 段的移位寄存器电路部 51 的节点 ND1 的电位保持在 L 电平,因此,晶体管 NT5 及 NT6 保持在不导通状态。此外,由于开始信号 STV 的电位下降至 L 电平,开始信号 STV 经由晶体管 NT51 及 NT62 而被输入至栅极的晶体管 NT7 亦呈不导通状态。借此方式,第 1 段的移位寄存器电路部 51 的节点 ND2 的电位保持在 H 电平 ($VDD+V_{\alpha}$),同时,节点 ND3 的电位保持在 H 电平 (VDD)。因此,由第 1 段的移位寄存器电路部 51 持续输出 H 电平 ($VDD+V_{\alpha}$) 的移位信号 SR1 与 H 电平 (VDD) 的输出信号 SR11。

[0178] 此外,由于下降至 L 电平的开始信号 STV 亦输入至与第 4 段移位寄存器电路部 54 的重置晶体管 NT39、第 5 段移位寄存器电路部 55 的重置晶体管 NT49 及未图示的第 6 段以后的移位寄存器电路部的上述重置晶体管 NT39 及 NT49 相对应的 n 沟道晶体管的栅极,因此该等晶体管呈导通。借此方式,于第 4 段以后的移位寄存器电路部中,节点 ND1 一面保持 H 电位的电位,一面形成浮动 (floating) 状态,同时,节点 ND2 及 ND3 的电位保持在 L 电平。因此,由第 4 段以后的移位寄存器电路部的节点 ND2 输出的移位信号与由节点 ND3 输出的输出信号一同保持在 L 电平。

[0179] 之后,输入至第 3 段移位寄存器电路部 53 的晶体管 NT27 的漏极的时钟信号 CKV1 上升至 H 电平。借此方式,由于第 3 段的移位寄存器电路部 53 的节点 ND2 的电位上升至 H 电平 (VDD),因此移位信号 SR3 的电位上升至 H 电平。此外,栅极连接于第 3 段移位寄存器电路部 53 的节点 ND2 的晶体管 NT24 呈导通状态。此时,由于将 L 电平的使能信号 ENB1 供应至晶体管 NT24 的漏极,因此晶体管 NT24 的源极电位 (节点 ND3 的电位) 保持在 L 电平。

[0180] 之后,在第 1 实施方式中,使能信号 ENB1 的电位由 L 电平上升至 H 电平。借此方式,由于第 3 段移位寄存器电路部 53 的节点 ND3 的电位上升至 H 电平 (VDD),因此输出信号 SR13 的电位亦上升至 H 电平 (VDD)。其中,此时,为了通过电容 C23 来维持晶体管 NT24 的栅极-源极间电压,第 3 段移位寄存器电路部 53 的节点 ND2 的电位伴随着节点 ND3 的电位的上升而激活,而借此由 VDD 更加上升。借此方式,第 3 段移位寄存器电路部 53 的节点 ND2 的电位上升至比 VDD 还高临限值电压 (V_t) 以上的预定电压 (V_{β}) 份的电位 ($VDD+V_{\beta}$) ($VDD+V_{\beta} > VDD+V_t$)。其中,此时的节点 ND2 的电位 ($VDD+V_{\beta}$) 为比上述第 1 段移位寄存器电路部 51

及第 2 段移位寄存器电路部 52 中的上升后的节点 ND2 的电位 ($V_{DD}+V_{\alpha}$) 还要更高的电位。接着,由第 3 段的移位寄存器电路部 53 的节点 ND2 输出具有 $V_{DD}+V_t$ 以上的电位 ($V_{DD}+V_{\beta}$) 的 H 电平的移位信号 SR3。

[0181] 接着,H 电平 ($V_{DD}+V_{\beta} > V_{DD}+V_t$) 的移位信号 SR3 被输入至连接于假栅极线的逻辑合成电路部 81 的晶体管 NT82 的栅极及连接于第 1 段的栅极线的逻辑合成电路部 82 的晶体管 NT91 的栅极。而且,H 电平 ($V_{DD}+V_{\beta} > V_{DD}+V_t$) 的移位信号 SR3 被输入至呈导通状态的晶体管 NT63 的漏极,同时,被输入至呈导通状态的晶体管 NT68 的漏极。此外,H 电平 (V_{DD}) 的输出信号 SR13 经由呈导通状态的晶体管 NT59 而被输入至第 4 段移位寄存器电路部 54 的晶体管 NT31 的栅极。

[0182] 此时,在第 1 实施方式中,于连接于假栅极线的逻辑合成电路部 81 中,分别输入至晶体管 NT81 及 NT82 的栅极的移位信号 SR2 与移位信号 SR3 双方均成为 H 电平,因此,晶体管 NT81 及晶体管 NT82 双方均呈导通状态。借此方式,由使能信号线 (ENB) 经由晶体管 NT81 及 NT82 将使能信号 ENB 供应至节点 ND4。该使能信号 ENB 在移位信号 SR1 及 SR2 双方均为 H 电平的时间点为 L 电平,在其稍微之后的期间后,电位即由 L 电平切换至 H 电平。借此方式,由于连接于假栅极线的逻辑合成电路部 81 的节点 ND4 的电位由 L 电平上升至 H 电平,因此,由逻辑合成电路部 81 将 H 电平的移位输出信号 Dummy 输出至假栅极线。亦即,在使能信号 ENB 为 L 电平的期间,移位输出信号 Dummy 的电位被强制性地保持在第 2 电位,同时,随着使能信号 ENB 的电位由 L 电平上升至 H 电平,而上升至 H 电平。

[0183] 其中,此时,随着连接于假栅极线的逻辑合成电路部 81 的节点 ND4 的电位 (移位输出信号 Dummy 的电位) 上升至 H 电平,栅极连接于节点 ND4 的晶体管 NT84 呈导通状态。借此方式,由于经由晶体管 NT84 由负侧电位 VBB 将 L 电位的电位供应至晶体管 NT83 的栅极,因此,晶体管 NT83 呈不导通状态。因此,在晶体管 NT81 及 NT82 双方均呈导通状态的情形时,晶体管 NT83 亦呈不导通状态,因此,可抑制贯通电流经由晶体管 NT81、NT82 及 NT83,而在使能信号线 (ENB) 与负侧电位 VBB 之间流通。

[0184] 此外,在第 1 实施方式中,对于晶体管 NT81 及 NT82 的栅极分别输入有比 V_{DD} 还高临限值电压 (V_t) 以上的预定电压 (V_{α} 或 V_{β}) 份的电位 ($V_{DD}+V_{\alpha}$ 或 $V_{DD}+V_{\beta}$) 的 H 电平移位信号 SR2 及 SR3。借此方式,当将具有 V_{DD} 电位的 H 电平的使能信号 ENB 供应至晶体管 NT81 的漏极时,可抑制在连接于假栅极线的逻辑合成电路部 81 的节点 ND4 所出现的电位,由 V_{DD} 下降晶体管 NT81 及 NT82 的临限值电压 (V_t) 份。因此,可抑制由逻辑合成电路部 81 输出至假栅极线的移位输出信号 Dummy 的电位由 H 电平下降。

[0185] 此外,在连接于第 1 段的栅极线的逻辑合成电路部 82 中,通过将第 3 段移位寄存器电路部 53 的 H 电平 ($V_{DD}+V_{\beta}$) 的移位信号 SR3 输入至晶体管 NT91 的栅极,而使晶体管 NT91 呈导通。此时,由于晶体管 NT92 固定在不导通状态,因此,并不会由使能信号线 (ENB) 经由晶体管 NT91 及 NT92 将使能信号 ENB 供应至节点 ND4。

[0186] 其中,在该时间点之前的反转使能信号 XENB 为 H 电平的期间,栅极连接于反转使能信号线 (XENB) 的晶体管 NT95 呈导通。借此方式,经由晶体管 NT95 而将 H 电平的反转使能信号 XENB 供应至逻辑合成电路部 82 的节点 ND5。因此,栅极连接于节点 ND5 的晶体管 NT93 呈导通,同时使电容 C91 充电。借此方式,经由晶体管 NT93 而将负侧电位 VBB (L 电平) 供应至逻辑合成电路部 82 的节点 ND4。因此,由逻辑合成电路部 82 将 L 电平的移位输出信

号 Gate1 输出至第 1 段的栅极线。其中,此时,由于逻辑合成电路部 82 的节点 ND4 的电位成为 L 电平,而使栅极连接于该节点 ND4 的晶体管 NT94 呈不导通状态。借此方式,逻辑合成电路部 82 的节点 ND5 的电位保持在 H 电平。

[0187] 然后,当反转使能信号 XENB 的电位由 H 电平切换至 L 电平时,晶体管 NT95 呈不导通,因此 L 电位的反转使能信号 XENB 并不会经由晶体管 NT95 而供应至节点 ND5。借此方式,晶体管 NT93 保持在导通状态,因此,经由晶体管 NT93,持续供应负侧电位 VBB 至节点 ND4。因此,除了反转使能信号 XENB 为 H 电平的期间之外,在反转使能信号 XENB 为 L 电平的期间亦由逻辑合成电路部 82 的节点 ND4 输出 L 电位的移位输出信号 Gate1 至第 1 段的栅极线。

[0188] 此外, H 电平 ($VDD + V_{\beta} > VDD + V_t$) 的移位信号 SR3 被输入至通过将 VDD 的扫描方向切换信号 CSV 输入至栅极而呈导通的晶体管 NT63 的漏极,借此使晶体管 NT63 的源极电位成为 ($VDD - V_t$)。借此方式,对于第 2 段的移位寄存器电路部 52 的晶体管 NT12 的栅极输入有 ($VDD - V_t$) 的电位。因此,晶体管 NT12 呈导通状态。此时,时钟信号 CKV2 的电位为 L 电平。借此方式,第 2 段的移位寄存器电路部 52 的节点 ND1 的电位保持在 L 电平,因此,晶体管 NT15 及 NT16 保持在不导通状态。此外,此时,晶体管 NT18 的栅极电位通过时钟信号 CKV2 而成为 L 电平,因此,晶体管 NT18 呈不导通。因此,节点 ND2 的电位保持在 H 电平 ($VDD + V_{\alpha}$)。借此方式,由第 2 段的移位寄存器电路部 52 持续输出 H 电平 ($VDD + V_{\alpha}$) 的移位信号 SR2。此外,将晶体管 NT15 保持在不导通状态,借此将第 2 段的移位寄存器电路部 52 的节点 ND3 的电位保持在 H 电平 (VDD)。借此方式,由第 2 段的移位寄存器电路部 52 持续输出 H 电平 (VDD) 的输出信号 SR12。

[0189] 此外,在第 1 段的移位寄存器电路部 51 中,由将 H 电平 ($VDD + V_{\alpha}$) 的移位信号 SR2 输入至漏极的晶体管 NT61,持续将 ($VDD - V_t$) 的电位输入至栅极,借此使晶体管 NT2 保持在导通状态。在该状态下,时钟信号 CKV1 由 L 电平 (VBB) 上升至 H 电平 (VDD),因此,使晶体管 NT2 的源极电位上升。此时,在晶体管 NT2 中,通过电容 C2 而一面保持栅极-源极间电压,一面使栅极电位由 ($VDD - V_t$) 上升 VDD 与 VBB 的电位差份。借此方式,第 1 段的移位寄存器电路部 51 的节点 ND1 的电位 (晶体管 NT2 的源极电位) 上升至 H 电平 (VDD) 的电位,而非降低晶体管 NT2 的临限值电压 (V_t) 份。

[0190] 然后,由于第 1 段的移位寄存器电路部 51 的节点 ND1 的电位上升至 H 电平,晶体管 NT5 及 NT6 呈导通状态。此时,由于晶体管 NT7 为不导通状态,因此,经由晶体管 NT6 由负侧电位 VBB 供应 L 电位的电位,借此使第 1 段的移位寄存器电路部 51 的节点 ND2 的电位下降至 L 电平。借此方式,由第 1 段的移位寄存器电路部 51 输出的移位信号 SR1 的电位下降至 L 电平。此外,由于节点 ND2 的电位下降至 L 电平,晶体管 NT4 呈不导通状态。借此方式,经由晶体管 NT5 由负侧电位 VBB 供应 L 电位的电位,借此使第 1 段的移位寄存器电路部 51 的节点 ND3 的电位下降至 L 电平。因此,由第 1 段的移位寄存器电路部 51 输出的输出信号 SR11 的电位下降至 L 电平。此外,在第 1 段的移位寄存器电路部 51 的节点 ND1 的电位上升至 H 电平时,使电容 C1 充电。借此方式,接着在晶体管 NT1 呈导通状态,且经由晶体管 NT1 由负侧电位 VBB 供应 L 电位的电位为止,使节点 ND1 的电位保持在 H 电平。因此,接着在晶体管 NT1 呈导通状态为止,使晶体管 NT5 及 NT6 保持在导通状态,因此,移位信号 SR1 及输出信号 SR11 的电位保持在 L 电平。

[0191] 然后,使能信号 ENB 的电位由 H 电平下降至 L 电平。借此方式,在连接于假栅极线

的逻辑合成电路部 81 中,通过经由晶体管 NT81 及 NT82 供应 L 电平的电位,而使节点 ND4 的电位下降至 L 电平。因此,由逻辑合成电路部 81 输出至假栅极线的移位输出信号 Dummy 的电位下降至 L 电平。此外,在使能信号 ENB 由 H 电平下降至 L 电平的同时,反转使能信号 XENB 由 L 电平上升至 H 电平。借此方式,H 电平的反转使能信号 XENB 经由连接于假栅极线的逻辑合成电路部 81 的呈二极管连接的晶体管 NT85,而被输入至晶体管 NT83 的栅极。借此方式,晶体管 NT83 呈导通状态。因此,通过经由晶体管 NT83 由负侧电位 VBB 供应 L 电平的电位,使连接于假栅极线的逻辑合成电路部 81 的节点 ND4 的电位固定在 L 电平。借此方式,由逻辑合成电路部 81 输出至假栅极线的移位输出信号 Dummy 的电位固定在 L 电平。

[0192] 此外,在 H 电平的反转使能信号 XENB 被输入至晶体管 NT83 的栅极时,使电容 C81 充电。借此方式,接着,在晶体管 NT84 呈导通状态而由负侧电位 VBB 经由晶体管 NT84 供应 L 电平的电位为止,节点 ND5 的电位(晶体管 NT83 的栅极电位)保持在 H 电平。因此,接着在晶体管 NT84 呈导通状态为止,晶体管 NT83 保持在导通状态,因此,由逻辑合成电路部 81 输出至假栅极线的移位输出信号 Dummy 的电位在固定在 L 电平的状态下予以保持。

[0193] 此外,由于时钟信号 CKV2 上升至 H 电平,于第 2 段的移位寄存器电路部 52 中,经由呈导通状态的晶体管 NT12 而将 H 电平的时钟信号 CKV2 供应至节点 ND1。借此方式,栅极连接于节点 ND1 的晶体管 NT15 及 NT16 呈导通状态。因此,经由晶体管 NT16 而由负侧电位 VBB 供应 L 电平的电位至节点 ND2。借此方式,由第 2 段移位寄存器电路部 52 的节点 ND2 输出的移位信号 SR2 的电位下降至 L 电平。此外,由于节点 ND2 下降至 L 电平,而使晶体管 NT14 呈不导通。借此方式,通过经由晶体管 NT15 而由负侧电位 VBB 供应 L 电平的电位,而使节点 ND3 的电位下降至 L 电平。借此方式,由第 2 段移位寄存器电路部 52 的节点 ND3 输出的输出信号 SR12 的电位下降至 L 电平。

[0194] 此外,在第 4 段的移位寄存器电路部 54 中,由将 H 电平($VDD+V_{\beta}$)的移位信号 SR3 输入至漏极的晶体管 NT68,将($VDD-V_t$)的电位输入至晶体管 NT37 的栅极。此外,将 H 电平(VDD)的输出信号 SR13 输入至晶体管 NT31 的栅极。此外,晶体管 NT32 固定在不导通状态。在该状态下,在输入至晶体管 NT37 的漏极的时钟信号 CKV2 的电位上升至 H 电平(VDD)之后,输入至晶体管 NT34 的漏极的使能信号 ENB2 的电位由 L 电平(VBB)上升至 H 电平(VDD)。借此方式,与上述的第 3 段移位寄存器电路部 53 的动作相同地,由第 4 段移位寄存器电路部 54 输出具有 $VDD+V_t$ 以上的电位($VDD+V_{\beta}$)的 H 电平移位信号 SR4 与 H 电平(VDD)输出信号 SR14。

[0195] 然后,在连接于第 1 段的假栅极线的逻辑合成电路部 82 中,将 H 电平($VDD+V_{\beta}$)的移位信号 SR3 输入至晶体管 NT91 的栅极,同时,将 H 电平($VDD+V_{\beta}$)的移位信号 SR4 输入至晶体管 NT92 的栅极。借此方式,由于晶体管 NT91 与晶体管 NT92 双方均呈导通状态,因此,由使能信号线经由晶体管 NT91 及 NT92 而将使能信号 ENB 供应至节点 ND4。在由于移位信号 SR3 及 SR4 双方均成为 H 电平而使晶体管 NT91 及 NT92 双方均呈导通状态的时间点,该使能信号 ENB 为 L 电平,在其稍微之后的期间后,电位即由 L 电平切换至 H 电平。借此方式,由于连接于第 1 段的假栅极线的逻辑合成电路部 82 的节点 ND4 的电位上升至 H 电平,因此,由逻辑合成电路部 82 将 H 电平的移位输出信号 Gate1 输出至第 1 段的栅极线。

[0196] 亦即,在使能信号 ENB 为 L 电平的期间,移位输出信号 Gate1 的电位被强制性地保持在 L 电平,同时,随着使能信号 ENB 的电位由 L 电平上升至 H 电平,而由 L 电平上升至 H 电

平。因此,使能信号 ENB 为 L 电平时,由逻辑合成电路部 81 输出至假栅极线的移位输出信号 Dummy 亦被强制性地保持在 L 电平,因而抑制移位输出信号 Dummy 由 H 电平下降至 L 电平的时序与移位输出信号 Gate1 由 L 电平上升至 H 电平的时序相重叠的情形。借此方式,可抑制由于移位输出信号 Dummy 由 H 电平下降至 L 电平的时序与移位输出信号 Gate1 由 L 电平上升至 H 电平的时序相重叠而产生噪声的情形。

[0197] 之后,与上述第 3 段的移位寄存器电路部 53 相同的动作,是于第 4 段以后的移位寄存器电路部 54 及 55 中依序进行。此外,与上述连接于假栅极线的逻辑合成电路部 81 相同的动作,是于连接于第 1 段以后的假栅极线的逻辑合成电路部 82 及 83 中进行。然后,输出有 H 电平的移位信号与 H 电平的输出信号的时序,由各段的移位寄存器电路部进行移位。由此,前段的移位信号与下一段的移位信号双方均为 H 电平的时序亦随着进入后段而进行移位。借此方式,在前段的 H 电平的移位信号与下一段的 H 电平的移位信号相重叠的期间中,由于使能信号 ENB 上升至 H 电平,因而由各段的逻辑合成电路部输出 H 电平的移位输出信号至相对应的栅极线的时序亦随着进入后段而进行移位。然后,通过该时序发生移位的 H 电平的移位输出信号,依序驱动各段的栅极线。

[0198] 如上所述,依序驱动(扫描)第 1 实施方式的液晶显示装置的各段的栅极线。然后,重复上述动作直到最后的栅极线的扫描结束为止。之后,再次由第 1 段的移位寄存器电路部 51 反复进行上述动作。

[0199] 接着,沿着图 2 中的逆向,当依序输出时序发生移位的移位输出信号至各段的栅极线时(逆向扫描时),扫描方向切换信号 CSV 保持在 L 电平,同时,反转扫描方向切换信号 XCSV 保持在 H 电平。借此方式,在逆向扫描时,输入扫描方向切换信号 CSV 至栅极的晶体管 NT51、NT53、NT55、NT57、NT59 及 NT61 至 NT70 保持在不导通状态,同时,输入反转扫描方向切换信号 XCSV 至栅极的晶体管 NT52、NT54、NT56、NT58、NT60 及 NT71 至 NT80 保持在导通状态。接着,在逆向扫描时,与上述顺向扫描时相同的动作是于沿着图 2 中的逆向于各段的移位寄存器电路部与连接于各段的栅极线的逻辑合成电路部中进行。此时,由前段的移位寄存器电路部输入移位信号及输出信号至下一段的移位寄存器电路部时,或由下一段的移位寄存器电路部输入移位信号及输出信号至前段的移位寄存器电路部时,是经由通过上述 H 电平的反转扫描方向切换信号 XCSV 而呈导通状态的晶体管 NT52、NT54、NT56、NT58、NT60 及 NT71 至 NT80 而分别被输入。

[0200] 在第 1 实施方式中,如上所述,在移位寄存器电路部 54 设置重置晶体管 NT39,以将连接于输出有移位信号 SR4 的节点 ND2 与负侧电位 VBB 之间的晶体管 NT36 栅极所连接的第 1 电路部 54a 的节点 ND1,重置为正侧电位 VDD,借此使得在对 V 驱动器 5 供应正侧电位 VDD 及负侧电位 VBB 之后,若输入 H 电平的开始信号 STV,而通过重置晶体管 NT39 将第 1 电路部 54a 的节点 ND1 重置为正侧电位 VDD 的话,由于晶体管 NT36 为导通,因此,可经由晶体管 NT36,供应负侧电位 VBB 至节点 ND2。借此方式,可将移位信号 SR4 固定在负侧电位 VBB。此外,在移位寄存器电路部 55 设置重置晶体管 NT49,以将连接于输出有移位信号 SR5 的节点 ND2 与负侧电位 VBB 之间的晶体管 NT46 栅极所连接的第 1 电路部 55a 的节点 ND1,重置为正侧电位 VDD,借此使得在对 V 驱动器 5 供应正侧电位 VDD 及负侧电位 VBB 之后,若输入 H 电平的开始信号 STV,而通过重置晶体管 NT49 将第 1 电路部 55a 的节点 ND1 重置为正侧电位 VDD 的话,由于晶体管 NT46 为导通,因此,可经由晶体管 NT46,供应负侧电位 VBB 至节

点 ND2。借此方式,可将移位信号 SR5 固定在负侧电位 VBB。借此方式,可将逻辑合成电路部 83 的晶体管 NT101 及 NT102 双方均保持在不导通状态。因此,移位输出信号 Gate2 并不会经由逻辑合成电路部 83 的晶体管 NT101 及 NT102 而被输出,因此,可抑制在意料之外的时序将移位输出信号 Gate2 输出至栅极线。

[0201] 此外,在第 1 实施方式中,将时钟信号 CKV1 及 CKV2 交替供应至移位寄存器电路部 53 至 55 的晶体管 NT24、NT34 及 NT44 的栅极,同时,将时序不同的使能信号 ENB1 及 ENB2 交替供应至漏极,借此使得例如在第 3 段的移位寄存器电路部 53 中,通过时钟信号 CKV1 使晶体管 NT24 呈导通状态之后,通过使能信号 ENB1 使晶体管 NT24 的源极电位由 VBB 上升至 VDD,因此,可使晶体管 NT24 的栅极电位仅上升其电位的上升份 ($V\beta$)。此外,在第 4 段的移位寄存器电路部 54 中,通过时钟信号 CKV2 使晶体管 NT34 呈导通状态之后,通过使能信号 ENB2 使晶体管 NT34 的源极电位由 VBB 上升至 VDD,因此,可使晶体管 NT34 的栅极电位仅上升其电位的上升份 ($V\beta$)。借此方式,与晶体管 NT24 及 NT34 的漏极连接于固定的正侧电位 VDD 的情形相较之下,可更加提高移位信号 SR3 及 SR4 的电位 ($VDD+V\beta < VDD+V_t$),因此,可轻易地将移位信号 SR3 及 SR4 的电位设定在比 VDD 还高临限值电压 (V_t) 以上的电位。这样,可轻易地将具有 $VDD+V_t$ 以上的电位 ($VDD+V\beta$) 的移位信号 SR3 及 SR4 分别供应至连接于第 1 段的栅极线的逻辑合成电路部 82 的晶体管 NT91 及 NT93 的栅极。借此方式,可抑制经由逻辑合成电路部 82 的晶体管 NT91 及 NT92 而输出至第 1 段的栅极线的移位输出信号 Gate1 的电位仅降低晶体管 NT91 及 NT92 的临限值电压 (V_t) 份。

[0202] 此外,在第 1 实施方式中,使用重置晶体管 NT39 及 NT49 而将节点 ND2 的电位重置为负侧电位 VBB 时,由于通过将 H 电平的开始信号 STV 输入至重置晶体管 NT39 及 NT49 的栅极,而产生输入至重置晶体管 NT39 及 NT49 的栅极的驱动信号,并不需要另外形成信号产生电路,因此,可抑制包含 V 驱动器 5 的液晶显示装置的电路构成复杂化。

[0203] 第 2 实施方式

[0204] 参照图 4 及图 5,在本第 2 实施方式中,说明以 p 沟道晶体管构成上述第 1 实施方式的 V 驱动器的情形。

[0205] 首先,参照图 4,在本第 2 实施方式中,在基板 1a 上设有显示部 2a。在该显示部 2a 是以矩阵状配置有像素 20a。此外,在图 4 中,为简化图示,仅图示 1 个像素 20a。各个像素 20a 由以下所构成:p 沟道晶体管 21a(以下称为晶体管 21a);像素电极 22a;与像素电极 22a 相对向配置的各像素 20a 共通的的对向电极 23a;夹持在像素电极 22a 与对向电极 23a 之间的液晶 24a;以及补助电容 25a。而晶体管 21a 的源极连接于漏极线,同时,漏极连接于像素电极 22a 与补助电容 25a。该晶体管 21a 的栅极连接于栅极线。

[0206] 此外,以沿着显示部 2a 的一边的方式,在基板 1a 上设有用以驱动(扫描)显示部 2a 的漏极线的水平开关(HSW)3a 及 H 驱动器 4a。此外,以沿着显示部 2a 的另一边的方式,在基板 1a 上设有用以驱动(扫描)显示部 2a 的栅极线的 V 驱动器 5a。此外,关于图 4 的水平开关 3a,虽仅图示 2 个开关,但实际上配置有对应像素数的数量的开关。此外,关于图 4 的 H 驱动器 4a 及 V 驱动器 5a,虽然分别仅图示 2 个移位寄存器电路部,但实际上配置有对应像素数的数量的移位寄存器电路部。此外,与上述第 1 实施方式同样地,在基板 1a 的外部设置有包含信号产生电路 11 及电源电路 12 的驱动 IC10。

[0207] 此外,如图 5 所示,在第 2 实施方式中,在 V 驱动器 5a 的内部设有:多段的移位寄

寄存器电路部 501 至 505 ;扫描方向切换电路部 600 ;输入信号切换电路部 700 ;以及多段的逻辑合成电路部 801 至 803。其中,移位寄存器电路部 502 至 505 是本发明的“第 1 移位寄存器电路部”及“第 2 移位寄存器电路部”的一例。其中,在图 5 中,为简化图示,虽仅图示 5 段份的移位寄存器电路部 501 至 505 及 3 段份的逻辑合成电路部 801 至 803,但在实际上设有对应像素数的数量的移位寄存器电路部及逻辑合成电路部。

[0208] 第 1 段的移位寄存器电路部 501 是由第 1 电路部 501a 与第 2 电路部 501b 所构成。第 1 电路部 501a 包含 :p 沟道晶体管 PT1 及 PT2 ;呈二极管连接的 p 沟道晶体管 PT3 ;电容 C1 及 C2。此外,第 2 电路部 501b 包含 :p 沟道晶体管 PT4 至 PT7 ;呈二极管连接的 p 沟道晶体管 PT8 ;电容 C3 及 C4。以下,p 沟道晶体管 PT1 至 PT8 分别称为晶体管 PT1 至 PT8。

[0209] 此外,构成第 1 段移位寄存器电路部 501 的晶体管 PT1 至 PT8 分别连接于与图 2 所示的第 1 实施方式的第 1 段移位寄存器电路部 51 的晶体管 NT1 至 NT8 相对应的位置。但是,与上述第 1 实施方式不同的是,晶体管 PT1 的源极连接于正侧电位 VDD,同时,晶体管 PT4 的漏极连接于负侧电位 VBB。此外,晶体管 PT5 及 PT6 的源极连接于正侧电位 VDD。

[0210] 第 2 段的移位寄存器电路部 502 是由第 1 电路部 502a 与第 2 电路部 502b 所构成。第 1 电路部 502a 包含 :p 沟道晶体管 PT11 及 PT12 ;呈二极管连接的 p 沟道晶体管 PT13 ;电容 C11 及 C12。此外,第 2 电路部 502b 包含 :p 沟道晶体管 PT14 至 PT17 ;呈二极管连接的 p 沟道晶体管 PT18 ;电容 C13 及 C14。其中,p 沟道晶体管 PT14 是本发明的“第 4 晶体管”及“第 5 晶体管”的一例,p 沟道晶体管 PT16 是本发明的“第 1 晶体管”的一例。以下,p 沟道晶体管 PT11 至 PT18 分别称为晶体管 PT11 至 PT18。

[0211] 此外,构成第 2 段移位寄存器电路部 502 的晶体管 PT11 至 PT18 分别连接于与图 2 所示的第 1 实施方式的第 2 段移位寄存器电路部 52 的晶体管 NT11 至 NT18 相对应的位置。但是,与上述第 1 实施方式不同的是,晶体管 PT11 的源极连接于正侧电位 VDD,同时,晶体管 PT14 的漏极连接于负侧电位 VBB。此外,晶体管 PT15 及 PT16 的源极连接于正侧电位 VDD。

[0212] 第 3 段的移位寄存器电路部 503 是由第 1 电路部 503a 与第 2 电路部 503b 所构成。第 1 电路部 503a 包含 :p 沟道晶体管 PT21 及 PT22 ;呈二极管连接的 p 沟道晶体管 PT23 ;电容 C21 及 C22。此外,第 2 电路部 503b 包含 :p 沟道晶体管 PT24 至 PT27 ;呈二极管连接的 p 沟道晶体管 PT28 ;电容 C23 及 C24。其中,p 沟道晶体管 PT24 是本发明的“第 4 晶体管”及“第 5 晶体管”的一例,p 沟道晶体管 PT26 是本发明的“第 1 晶体管”的一例。以下,p 沟道晶体管 PT21 至 PT28 分别称为晶体管 PT21 至 PT28。

[0213] 此外,构成第 3 段移位寄存器电路部 503 的晶体管 PT21 至 PT28 分别连接于与图 2 所示的第 1 实施方式的第 3 段移位寄存器电路部 53 的晶体管 NT21 至 NT28 相对应的位置。但是,与上述第 1 实施方式不同的是,晶体管 PT11、PT25 及 PT26 的源极分别连接于正侧电位 VDD。

[0214] 第 4 段的移位寄存器电路部 504 是由第 1 电路部 504a 与第 2 电路部 504b 所构成。第 1 电路部 504a 包含 :p 沟道晶体管 PT31 及 PT32 ;呈二极管连接的 p 沟道晶体管 PT33 ;电容 C31 及 C32。此外,第 2 电路部 504b 包含 :p 沟道晶体管 PT34 至 PT37 ;呈二极管连接的 p 沟道晶体管 PT38 ;电容 C33 及 C34。其中,p 沟道晶体管 PT34 是本发明的“第 4 晶体管”及“第 5 晶体管”的一例,p 沟道晶体管 PT36 是本发明的“第 1 晶体管”的一例。以下,p 沟道晶体管 PT31 至 PT38 分别称为晶体管 PT31 至 PT38。

[0215] 此外,构成第4段移位寄存器电路部504的晶体管PT31至PT38分别连接于与图2所示的第1实施方式的第4段移位寄存器电路部54的晶体管NT31至NT38相对应的位置。但是,与上述第1实施方式不同的是,晶体管PT31、PT35及PT36的源极分别连接于正侧电位VDD。

[0216] 第5段的移位寄存器电路部505是由第1电路部505a与第2电路部505b所构成。第1电路部505a包含:p沟道晶体管PT41及PT42;呈二极管连接的p沟道晶体管PT43;电容C41及C42。此外,第2电路部505b包含:p沟道晶体管PT44至PT47;呈二极管连接的p沟道晶体管PT48;电容C43及C44。其中,p沟道晶体管PT44是本发明的“第4晶体管”及“第5晶体管”的一例,p沟道晶体管PT46是本发明的“第1晶体管”的一例。以下,p沟道晶体管PT41至PT48分别称为晶体管PT41至PT48。

[0217] 此外,构成第5段移位寄存器电路部505的晶体管PT41至PT48分别连接于与图2所示的第1实施方式的第5段移位寄存器电路部55的晶体管NT41至NT48相对应的位置。但是,与上述第1实施方式不同的是,晶体管PT41、PT45及PT46的源极分别连接于正侧电位VDD。

[0218] 在此,在第2实施方式中,第4段的移位寄存器电路部504的第1电路部504a包含p沟道晶体管PT39,以将输出移位信号SR4的节点ND2的电位重置为正侧电位VDD。此外,第5段的移位寄存器电路部505的第1电路部505a包含p沟道晶体管PT49,以将输出移位信号SR5的节点ND2的电位重置为正侧电位VDD。以下,p沟道晶体管PT39及PT49分别称为重置晶体管PT39及PT49。

[0219] 此外,对于重置晶体管PT39的漏极供应有负侧电位VBB,同时,源极连接于为第4段移位寄存器电路部504的第1电路部504a的输出节点的节点ND1。此外,于重置晶体管PT39的栅极连接有用以供应开始信号STV的开始信号线(STV)。借此方式,构成为:响应L电平的开始信号STV而使重置晶体管PT39导通时,经由重置晶体管PT39供应负侧电位VBB,借此使第1电路部504a的节点ND1的电位成为负侧电位VBB(L电平)。然后,构成为:当第1电路部504a的节点ND1的电位成为负侧电位VBB(L电平)时,由于第2电路部504b的晶体管PT36为导通,因此经由晶体管PT36供应正侧电位VDD,借此将输出移位信号SR4的第2电路部504b的节点ND2重置为正侧电位VDD。

[0220] 此外,对于重置晶体管PT49的漏极供应有负侧电位VBB,同时,源极连接于为第5段移位寄存器电路部505的第1电路部505a的输出节点的节点ND1。此外,于重置晶体管PT49的栅极连接有用以供应开始信号STV的开始信号线(STV)。借此方式,在第5段的移位寄存器电路部505中,与上述第4段的移位寄存器电路部504相同地,构成为:将输出移位信号SR5的第2电路部505b的节点ND2重置为正侧电位VDD。

[0221] 此外,设在上述各段移位寄存器电路部501至505的晶体管PT1至PT8、PT11至PT18、PT21至PT28、PT31至PT38及PT41至PT48与重置晶体管PT39及PT49全部均是通过由p型MOS晶体管构成的TFT所构成。此外,晶体管PT1、PT2、PT6、PT7、PT8、PT11、PT12、PT16、PT17、PT18、PT21、PT22、PT26、PT27、PT28、PT31、PT32、PT36、PT37、PT38、PT41、PT42、PT46、PT47及PT48分别具有相互电性连接的2个栅极电极。

[0222] 此外,扫描方向切换电路部600包含p沟道晶体管PT51至PT60。p沟道晶体管PT51至PT60分别称为晶体管PT51至PT60。该晶体管PT51至PT60全部均是通过由p型

MOS 晶体管构成的 TFT 所构成。而构成扫描方向切换电路部 600 的晶体管 PT51 至 PT60 分别连接于与图 2 所示第 1 实施方式的扫描方向切换电路部 60 的晶体管 NT51 至 NT60 相对应的位置。

[0223] 此外,输入信号切换电路部 700 包含 p 沟道晶体管 PT61 至 PT80。以下, p 沟道晶体管 PT61 至 PT80 分别称为晶体管 NT61 至 NT80。该晶体管 PT61 至 PT80 全部均是通过由 p 型 MOS 晶体管构成的 TFT 所构成。而构成输入信号切换电路部 700 的晶体管 PT61 至 PT80 分别连接于与图 2 所示第 1 实施方式的输入信号切换电路部 70 的晶体管 NT61 至 NT80 相对应的位置。但是,与上述第 1 实施方式不同的是,晶体管 PT71 的源极 / 漏极的另一方连接于负侧电位 VBB。

[0224] 此外,逻辑合成电路部 801 至 803 分别连接于假栅极线、第 1 段的栅极线及第 2 段的栅极线。连接于假栅极线的逻辑合成电路部 801 包含 :p 沟道晶体管 PT81 至 PT84 ;呈二极管连接的 p 沟道晶体管 PT85 ;以及电容 C81。其中, p 沟道晶体管 PT81 是本发明的“第 2 晶体管”的一例, p 沟道晶体管 PT82 是本发明的“第 3 晶体管”的一例。以下, p 沟道晶体管 PT81 至 PT85 分别称为晶体管 PT81 至 PT85。此外,通过晶体管 PT83 至 PT85 及电容 C81,构成有电位固定电路部 801a。而构成连接于假栅极线的逻辑合成电路部 801 的晶体管 PT81 至 PT85 是分别连接于与图 2 所示第 1 实施方式的逻辑合成电路部 81 的晶体管 NT81 至 NT85 相对应的位置。但是,晶体管 PT83 的源极连接于正侧电位 VDD。

[0225] 此外,连接于第 1 段的栅极线的逻辑合成电路部 802 包含 :p 沟道晶体管 PT91 至 PT94 ;呈二极管连接的 p 沟道晶体管 PT95 ;以及电容 C91。其中, p 沟道晶体管 PT91 是本发明的“第 2 晶体管”的一例, p 沟道晶体管 PT92 是本发明的“第 3 晶体管”的一例。以下, p 沟道晶体管 PT91 至 PT95 分别称为晶体管 PT91 至 PT95。此外,通过晶体管 PT93 至 PT95 及电容 C91,构成有电位固定电路部 802a。而构成连接于第 1 段栅极线的逻辑合成电路部 802 的晶体管 PT91 至 PT95,是分别连接于与图 2 所示第 1 实施方式的连接于第 1 段栅极线的逻辑合成电路部 82 的晶体管 NT91 至 NT95 相对应的位置。但是,晶体管 PT93 的源极连接于正侧电位 VDD。

[0226] 此外,连接于第 2 段的栅极线的逻辑合成电路部 803 包含 :p 沟道晶体管 PT101 至 PT104 ;呈二极管连接的 p 沟道晶体管 PT105 ;以及电容 C101。其中, p 沟道晶体管 PT101 是本发明的“第 2 晶体管”的一例, p 沟道晶体管 PT102 是本发明的“第 3 晶体管”的一例。以下, p 沟道晶体管 PT101 至 PT105 分别称为晶体管 PT101 至 PT105。此外,通过晶体管 PT103 至 PT105 及电容 C101,构成有电位固定电路部 803a。而构成连接于第 2 段栅极线的逻辑合成电路部 803 的晶体管 PT101 至 PT105,是分别连接于与图 2 所示第 1 实施方式的连接于第 2 段栅极线的逻辑合成电路部 83 的晶体管 NT101 至 NT105 相对应的位置。但是,晶体管 PT103 的源极连接于正侧电位 VDD。其中,设在上述逻辑合成电路部 801 至 803 的晶体管 PT81 至 PT85、PT91 至 PT95 及 PT101 至 PT105 全部均是通过由 p 型 MOS 晶体管构成的 TFT 所构成。

[0227] 此外,电路部 901 包含 :p 沟道晶体管 PT111 至 PT113 ;呈二极管连接的 p 沟道晶体管 PT114 ;以及电容 C111。以下, p 沟道晶体管 PT111 至 PT114 分别称为晶体管 PT111 至 PT114。而构成电路部 901 的晶体管 PT111 至 PT114,是分别连接于与图 2 所示第 1 实施方式的电路部 91 的晶体管 NT111 至 NT114 相对应的位置。但是,晶体管 PT112 的源极连接于

正侧电位 VDD。

[0228] 接着,参照图 5 及图 6,就第 2 实施方式的 V 驱动器 5a 的动作加以说明。在该第 2 实施方式的 V 驱动器 5a 中,分别输入使图 3 所示第 5 实施方式的开始信号 STV、时钟信号 CKV1、CKV2、使能信号 ENB、ENB1、ENB2 及反转使能信号 XENB 的 H 电平与 L 电平反转的波形信号,来作为开始信号 STV、时钟信号 CKV1、CKV2、使能信号 ENB、ENB1、ENB2 及反转使能信号 XENB。借此方式,由第 2 实施方式的移位寄存器电路部 501 至 505 输出有:具有使由图 2 所示第 1 实施方式的移位寄存器电路部 51 至 55 输出的移位信号 SR1 至 SR5 及输出信号 SR11 至 SR15 的 H 电平与 L 电平反转的波形信号。此外,由第 2 实施方式的逻辑合成电路部 801 至 803 输出有:具有使由图 2 所示第 1 实施方式的逻辑合成电路部 81 至 83 输出的移位输出信号 Dummy、Gate1 及 Gate2 的 H 电平与 L 电平反转的波形信号。本第 2 实施方式的 V 驱动器 5a 的上述以外的动作,是与图 2 所示上述第 1 实施方式的 V 驱动器的动作相同。

[0229] 其中,在第 2 实施方式中,将时钟信号 CKV1 及 CKV2 交替供应至移位寄存器电路部 503 至 505 的晶体管 PT24、PT34 及 PT44 的栅极,同时,将时序不同的使能信号 ENB1 及 ENB2 交替供应至漏极,借此进行以下动作。例如,于第 3 段的移位寄存器电路部 503 中,通过时钟信号 CKV1 使晶体管 PT24 呈导通状态之后,通过使能信号 ENB1 使晶体管 PT24 的源极电位由 VDD 下降至 VBB,因此,使晶体管 PT24 的栅极电位仅下降其电位的下降份 (V_{β})。此外,于第 4 段的移位寄存器电路部 504 中,通过时钟信号 CKV2 使晶体管 PT34 呈导通状态之后,通过使能信号 ENB2 使晶体管 PT34 的源极电位由 VDD 下降至 VBB,因此,可使晶体管 PT34 的栅极电位仅下降其电位的下降份 (V_{β})。借此方式,与晶体管 PT24 及 PT34 的漏极连接于固定的负侧电位 VBB 的情形相较之下,可更加降低移位信号 SR3 及 SR4 的电位 ($VDD - V_{\beta} < VDD - V_t$),因此,可轻易地将移位信号 SR3 及 SR4 的电位设定在比 VBB 还低临限值电压 (V_t) 以上的电位。这样,可更轻易地将具有 $VBB - V_t$ 以下的电位 ($VBB - V_{\beta}$) 的移位信号 SR3 及 SR4 分别供应至连接于第 1 段栅极线的逻辑合成电路部 802 的晶体管 PT91 及 PT92 的栅极。借此方式,可抑制经由逻辑合成电路部 802 的晶体管 PT91 及 PT92 而输出至第 1 段栅极线的移位输出信号 Gate1 的电位仅上升临限值电压 (V_t) 份。

[0230] 此外,在第 2 实施方式中,如上所述,设置重置晶体管 PT39 及 PT49,同时,响应开始信号 STV 而使晶体管 PT39 及 PT49 导通,借此可抑制于包含 V 驱动器的液晶显示装置中,在意料之外的时序将移位输出信号输出至栅极线等,而可获得与上述第 1 实施方式相同的效果。

[0231] 第 3 实施方式

[0232] 参照图 7,在本第 3 实施方式中,进行说明于上述第 1 实施方式中,即使是在第 3 段以后的移位寄存器电路部中,与第 1 段及第 2 段的移位寄存器电路部相同地,在将正侧电位供应至连接于输出有输出信号的节点的晶体管的漏极,同时使用移位寄存器电路部的输出信号,将由逻辑合成电路部输出的移位输出信号在固定在 L 电平的状态下予以保持的情形。

[0233] 亦即,如图 7 所示,在本第 3 实施方式的 V 驱动器中设有:多段的移位寄存器电路部 511 至 515;扫描方向切换电路部 610;输入信号切换电路部 710;以及多段的逻辑合成电路部 811 至 813。其中,移位寄存器电路部 512 至 515 是本发明的“第 1 移位寄存器电路部”及“第 2 移位寄存器电路部”的一例。此外,在图 7 中,为简化图示,虽仅图示 5 段份的移位寄存器电路部 511 至 515 及 3 段份的逻辑合成电路部 811 至 813,但在实际上设有对应像素

数的数量的移位寄存器电路部及逻辑合成电路部。

[0234] 接着,第1段移位寄存器电路部511是由具有与图2所示第1实施方式的第1段移位寄存器电路部51的第1电路部51a及第2电路部51b相同电路构成的第1电路部511a及第2电路部511b所构成。此外,第2段移位寄存器电路部512是由具有与图2所示第1实施方式的第2段移位寄存器电路部52的第1电路部52a及第2电路部52b相同电路构成的第1电路部512a及第2电路部512b所构成。

[0235] 在此,在第3实施方式中,第3段的移位寄存器电路部513除了将正侧电位VDD供应至源极连接于输出输出信号SR13的节点ND3的晶体管NT24的漏极之外,具有与图2所示第1实施方式的第3段移位寄存器电路部53的第1电路部53a及第2电路部53b相同电路构成的第1电路部513a及第2电路部513b。此外,第4段的移位寄存器电路部514除了将正侧电位VDD供应至源极连接于输出输出信号SR14的节点ND3的晶体管NT34的漏极之外,具有与图2所示第1实施方式的第4段移位寄存器电路部54的第1电路部54a及第2电路部54b相同电路构成的第1电路部514a及第2电路部514b。此外,第5段的移位寄存器电路部515除了将正侧电位VDD供应至源极连接于输出输出信号SR15的节点ND3的晶体管NT44的漏极之外,具有与图2所示第1实施方式的第5段移位寄存器电路部55的第1电路部55a及第2电路部55b相同电路构成的第1电路部515a及第2电路部515b。

[0236] 此外,扫描方向切换电路部610具有与图2所示第1实施方式的扫描方向切换电路部60相同的电路构成。但是,在第3实施方式中,连接有晶体管NT56的源极/漏极的另一方与晶体管NT57的源极/漏极的一方。此外,第3实施方式的输入信号切换电路部710具有与图2所示第1实施方式的输入信号切换电路部70相同的电路构成。

[0237] 此外,连接于假栅极线的逻辑合成电路部811包含:晶体管NT81至NT84;呈二极管连接的晶体管NT85及NT86;以及电容C81。亦即,第3实施方式的逻辑合成电路部811具有于图2所示第1实施方式的逻辑合成电路部81的电路构成中,加上呈二极管连接的晶体管NT86的电路构成。此外,通过晶体管NT83至NT86及电容C81,构成有电位固定电路部811a。此外,在第3实施方式中,晶体管NT85的源极连接于输出有第1段移位寄存器电路部511的输出信号SR11的节点ND3。此外,晶体管NT86的源极连接于输出有第4段移位寄存器电路部514的输出信号SR14的节点ND3,同时,漏极连接于逻辑合成电路部811的节点ND5。

[0238] 此外,连接于第1段的栅极线的逻辑合成电路部812包含:晶体管NT91至NT94;呈二极管连接的晶体管NT95及NT96;以及电容C91。亦即,第3实施方式的逻辑合成电路部812具有于图2所示第1实施方式的逻辑合成电路部82的电路构成中,加上呈二极管连接的晶体管NT96的电路构成。此外,通过晶体管NT93至NT96及电容C91,构成有电位固定电路部812a。此外,在第3实施方式中,晶体管NT95的源极连接于输出有第2段移位寄存器电路部512的输出信号SR12的节点ND3。此外,晶体管NT96的源极连接于输出有第5段移位寄存器电路部515的输出信号SR15的节点ND3,同时,漏极连接于逻辑合成电路部812的节点ND5。

[0239] 此外,连接于第2段的栅极线的逻辑合成电路部813包含:晶体管NT101至NT104;呈二极管连接的晶体管NT105及NT106;以及电容C101。亦即,第3实施方式的逻辑合成电路部813具有于图2所示第1实施方式的逻辑合成电路部83的电路构成中,加上呈二极管

连接的晶体管 NT106 的电路构成。此外,通过晶体管 NT103 至 NT106 及电容 C101,构成有电位固定电路部 813a。此外,在第 3 实施方式中,晶体管 NT105 的源极连接于输出有第 3 段移位寄存器电路部 513 的输出信号 SR13 的节点 ND3。此外,晶体管 NT106 的源极连接于输出有未图示的第 6 段移位寄存器电路部的移位信号的节点,同时,漏极连接于逻辑合成电路部 813 的节点 ND5。

[0240] 接着,参照图 7 及图 8,说明第 3 实施方式的 V 驱动器的动作。

[0241] 本第 3 实施方式的 V 驱动器的动作,基本上与上述第 1 实施方式的 V 驱动器的动作相同。但是,在本第 3 实施方式的 V 驱动器中,与上述第 1 实施方式不同的是,将正侧电位 VDD 供应至连接于输出有第 3 段以后移位寄存器电路部 513 至 515 的输出信号 SR13 至 SR15 的节点的晶体管 NT24 至 NT44 的漏极。亦即,在第 3 实施方式中,于第 3 段以后的移位寄存器电路部 513 至 515 中,进行与上述第 1 实施方式的第 1 段及第 2 段的移位寄存器电路部相同的动作。

[0242] 此外,在第 3 实施方式中,是当将由逻辑合成电路部 811 至 813 输出至各段的栅极线的移位输出信号 Dummy、Gate1 及 Gate2 的电位固定在 L 电平时,使用来自移位寄存器电路部的输出信号来固定电位。例如,于连接于第 1 段的栅极线的逻辑合成电路部 812 中,经由一同形成导通状态的晶体管 NT91 及 NT92 而供应有 H 电平的使能信号 ENB,借此使输出至第 1 段的栅极线的移位输出信号 Gate1 成为 H 电平。之后,使能信号 ENB 的电位下降至 L 电平。借此方式,经由晶体管 NT91 及 NT92 供应 L 电平的使能信号 ENB,借此使输出至第 1 段的栅极线的移位输出信号 Gate1 的电位下降至 L 电平。

[0243] 之后,在第 3 实施方式中,经由呈二极管连接的晶体管 NT96 而将 H 电平 (VDD) 的输出信号 SR15 输入至连接于第 1 段的栅极线的逻辑合成电路部 812 的晶体管 NT93 的栅极。借此方式,晶体管 NT93 呈导通状态。因此,经由晶体管 NT93 由负侧电位 VBB 供应 L 电平的电位,借此使连接于第 1 段的栅极线的逻辑合成电路部 812 的节点 ND4 的电位固定在 L 电平。借此方式,由逻辑合成电路部 812 输出至第 1 段的栅极线的移位输出信号 Gate1 的电位固定在 L 电平。此外,在第 3 实施方式中,当 H 电平 (VDD) 的输出信号 SR15 被输入至晶体管 NT93 的栅极时,使电容 C91 充电。借此方式,接着,节点 ND5 的电位 (晶体管 NT93 的栅极电位) 保持在 H 电平,直到晶体管 NT94 呈导通状态而由负侧电位 VBB 经由晶体管 NT94 供应 L 电平的电位为止。因此,由于接着直到晶体管 NT94 呈导通状态为止,晶体管 NT93 是保持在导通状态,因此,由逻辑合成电路部 812 输出至第 1 段的栅极线的移位输出信号 Gate1 的电位是在固定在 L 电平的状态下予以保持。

[0244] 接着,于各段的移位寄存器电路部中,通过与上述连接于第 1 段的栅极线的逻辑合成电路部 812 的动作相同的动作,使用移位寄存器电路部的输出信号,将移位输出信号的电位固定在 L 电平。第 3 实施方式的 V 驱动器的上述以外的动作,是与上述第 1 实施方式的 V 驱动器的动作相同。

[0245] 其中,在第 3 实施方式中,在晶体管 NT4、NT14、NT24、NT34 及 NT44 的栅极与源极之间,分别连接电容 C3、C13、C23、C33 及 C43,同时,将正侧电位 VDD 供应至晶体管 NT4、NT14、NT24、NT34 及 NT44 的漏极,借此进行以下动作。例如,于第 2 段的移位寄存器电路部 512 中,响应时钟信号 CKV2 而使晶体管 NT14 导通时,为了维持连接有电容 C13 的晶体管 NT14 的栅极-源极间电压,晶体管 NT14 的栅极电位 (移位信号 SR2 的电位) 随着晶体管 NT14 的源极

电位的上升而上升。此外,于第3段的移位寄存器电路部513中,响应时钟信号CKV1而使晶体管NT24导通时,为了维持连接有电容C23的晶体管NT24的栅极-源极间电压,晶体管NT24的栅极电位(移位信号SR3的电位)随着晶体管NT24的源极电位的上升而上升。如上所述,晶体管NT24的栅极电位(移位信号SR2的电位)与晶体管NT24的栅极电位(移位信号SR3的电位)下降至比VDD还高临限值电压(V_t)以上的预定电压(V_a)份的电位,因此,将具有比VDD+ V_t 还高的电位(VDD+ V_a)的移位信号SR2及SR3分别供应至连接于假栅极线的逻辑合成电路部811的晶体管NT81及晶体管NT82的栅极。借此方式,可抑制经由逻辑合成电路部811的晶体管NT81及NT82而输出至假栅极线的移位输出信号Dummy的电位,仅由VDD下降晶体管NT81及NT82的临限值电压(V_t)份。

[0246] 此外,在第3实施方式中,如上所述,设置重置晶体管NT39及NT49,同时,响应开始信号STV而使晶体管NT39及NT49导通,借此可抑制在意料之外的时序将移位输出信号输出至栅极线等,而可获得与上述第1实施方式相同的效果。

[0247] 第4实施方式

[0248] 参照图9,在本第4实施方式中,进行说明以p沟道晶体管构成上述第3实施方式的V驱动器的情形。

[0249] 亦即,如图9所示,在本第4实施方式的V驱动器中设有:多段的移位寄存器电路部521至525;扫描方向切换电路部620;输入信号切换电路部720;以及多段的逻辑合成电路部821至823。其中,移位寄存器电路部521至525是本发明的“第1移位寄存器电路部”及“第2移位寄存器电路部”的一例。此外,在图9中,为简化图示,虽仅图示5段份的移位寄存器电路部521至525及3段份的逻辑合成电路部821至823,但在实际上设有对应像素数的数量的移位寄存器电路部及逻辑合成电路部。

[0250] 接着,第1段的移位寄存器电路部521是由具有与图5所示第2实施方式的第1段移位寄存器电路部501的第1电路部501a及第2电路部501b相同电路构成的第1电路部521a及第2电路部521b所构成。此外,第2段的移位寄存器电路部522是由具有与图5所示第2实施方式的第2段移位寄存器电路部502的第1电路部502a与第2电路部502b相同电路构成的第1电路部522a及第2电路部522b所构成。

[0251] 在此,在第4实施方式中,对于源极连接于输出第3段以后移位寄存器电路部523至525的输出信号SR13至SR15的节点ND3的晶体管PT24至PT44的漏极,分别供应有负侧电位VBB。亦即,在第4实施方式中,第3段以后的移位寄存器电路部523至525全部是具有相同的电路构成。具体而言,第3段至第5段的移位寄存器电路部具有与第2实施方式移位寄存器电路部的第1电路部及第2电路部相同电路构成的第1电路部及第2电路部。

[0252] 此外,扫描方向切换电路部620基本上具有与图5所示第2实施方式的扫描方向切换电路部600相同的电路构成。但是,在第4实施方式的扫描方向切换电路部620中,连接有晶体管PT56的源极/漏极的另一方与晶体管PT57的源极/漏极的一方。此外,输入信号切换电路部720具有与图5所示第2实施方式的输入信号切换电路部700相同的电路构成。

[0253] 此外,逻辑合成电路部821至823具有以p沟道晶体管置换图7所示第3实施方式的构成逻辑合成电路部811至813的n沟道晶体管的构成。具体而言,第4实施方式的连接于假栅极线的逻辑合成电路部821,具有分别以晶体管PT81至PT86置换图7所示第3

实施方式的逻辑合成电路部 811 的晶体管 NT81 至 NT86 的电路构成。此外,第 4 实施方式的连接于第 1 段的栅极线的逻辑合成电路部 822,具有分别以晶体管 PT91 至 PT96 置换图 7 所示第 3 实施方式的逻辑合成电路部 812 的晶体管 NT91 至 NT96 的电路构成。此外,第 4 实施方式的连接于第 2 段的栅极线的逻辑合成电路部 823,具有分别以晶体管 PT101 至 PT106 置换图 7 所示第 3 实施方式的逻辑合成电路部 813 的晶体管 NT101 至 NT106 的电路构成。此外,在第 4 实施方式中,逻辑合成电路部 821 至 823 的晶体管 PT83、PT93 及 PT103 的源极连接于正侧电位 VDD。

[0254] 接着,参照图 9 及图 10,就第 4 实施方式的 V 驱动器的动作加以说明。在该第 4 实施方式的 V 驱动器中,分别输入使图 8 所示第 3 实施方式的开始信号 STV、时钟信号 CKV1、CKV2 及使能信号 ENB 的 H 电平与 L 电平反转的波形信号,来作为开始信号 STV、时钟信号 CKV1、CKV2 及使能信号 ENB。借此方式,由第 3 实施方式的移位寄存器电路部 521 至 525,是分别输出有:具有使由图 7 所示第 3 实施方式的移位寄存器电路部 511 至 515 输出的移位信号 SR1 至 SR5 及输出信号 SR11 至 SR15 的 H 电平与 L 电平反转的波形信号。此外,由第 4 实施方式的逻辑合成电路部 821 至 823,是输出有:具有使由图 7 所示第 3 实施方式的逻辑合成电路部 811 至 813 输出的移位输出信号 Dummy、Gate1 及 Gate2 的 H 电平与 L 电平反转的波形信号。该第 4 实施方式的 V 驱动器的上述以外的动作,是与图 7 所示上述第 3 实施方式的 V 驱动器的动作相同。

[0255] 其中,在第 4 实施方式中,在晶体管 PT4、PT14、PT24、PT34 及 PT44 的栅极与源极之间,分别连接电容 C3、C13、C23、C33 及 C43,同时,将负侧电位 VBB 供应至晶体管 PT4、PT14、PT24、PT34 及 PT44 的漏极,借此进行以下动作。例如,于第 2 段的移位寄存器电路部 522 中,响应时钟信号 CKV2 而使晶体管 PT14 导通时,为了维持连接有电容 C13 的晶体管 PT14 的栅极-源极间电压,晶体管 PT14 的栅极电位(移位信号 SR2 的电位)随着晶体管 PT14 的源极电位的下降而下降。此外,于第 3 段的移位寄存器电路部 523 中,响应时钟信号 CKV1 而使晶体管 PT24 导通时,为了维持连接有电容 C23 的晶体管 PT24 的栅极-源极间电压,晶体管 PT24 的栅极电位(移位信号 SR3 的电位)随着晶体管 PT24 的源极电位的下降而下降。如上所述,晶体管 PT14 的栅极电位(移位信号 SR2 的电位)与晶体管 PT24 的栅极电位(移位信号 SR3 的电位)下降至比 VBB 还低临限值电压(V_t)以上的预定电压(V_{α})份的电位,因此,将具有比 VBB- V_t 还低的电位(VBB- V_{α})的移位信号 SR2 及 SR3 分别供应至连接于假栅极线的逻辑合成电路部 821 的晶体管 PT81 及晶体管 PT82 的栅极。借此方式,可抑制经由逻辑合成电路部 821 的晶体管 PT81 及 PT82 而输出至假栅极线的移位输出信号 Dummy 的电位,仅由 VBB 上升晶体管 PT81 及 PT82 的临限值电压(V_t)份。

[0256] 此外,在第 4 实施方式中,如上所述,设置重置晶体管 PT39 及 PT49,同时,响应开始信号 STV 而使晶体管 PT39 及 PT49 导通,借此可抑制在意料之外的时序将移位输出信号输出至栅极线等,而可获得与上述第 3 实施方式相同的效果。

[0257] 第 5 实施方式

[0258] 参照图 11,在本第 5 实施方式中,进行说明于上述第 1 实施方式中,将共通的使能信号供应至连接于输出有第 3 段以后移位寄存器电路部的输出信号的节点的晶体管的漏极的情形。

[0259] 亦即,如图 11 所示,在本第 5 实施方式的 V 驱动器中设有:多段的移位寄存器电路

部 531 至 535 ;扫描方向切换电路部 630 ;输入信号切换电路部 730 ;多段的逻辑合成电路部 831 至 833 ;以及电路部 911。其中,在图 11 中,为简化图示,虽仅图示 5 段份的移位寄存器电路部 531 至 535 及 3 段份的逻辑合成电路部 831 至 833,但在实际上设有对应像素数的数量的移位寄存器电路部及逻辑合成电路部。

[0260] 接着,第 1 段的移位寄存器电路部 531 是由具有与图 2 所示第 1 实施方式的第 1 段移位寄存器电路部 51 的第 1 电路部 51a 及第 2 电路部 51b 相同电路构成的第 1 电路部 531a 及第 2 电路部 531b 所构成。此外,第 2 段的移位寄存器电路部 532 是由具有与图 2 所示第 1 实施方式的第 2 段移位寄存器电路部 52 的第 1 电路部 52a 及第 2 电路部 52b 相同电路构成的第 1 电路部 532a 及第 2 电路部 532b 所构成。

[0261] 在此,在第 5 实施方式中,分别对于第 3 段的移位寄存器电路部 533、第 4 段的移位寄存器电路部 534 及第 5 段的移位寄存器电路部 535,连接有使能信号线 (ENB)。具体而言,第 3 段的移位寄存器电路部 533 是由第 1 电路部 533a 及第 2 电路部 533b 所构成。第 1 电路部 533a 及第 2 电路部 533b 是分别具有与图 2 所示第 1 实施方式的第 3 段移位寄存器电路部 53 的第 1 电路部 53a 及第 2 电路部 53b 相同的电路构成。而在本第 5 实施方式中,在晶体管 NT24 的漏极连接有使能信号线 (ENB)。

[0262] 此外,第 4 段的移位寄存器电路部 534 是由第 1 电路部 534a 及第 2 电路部 534b 所构成。第 1 电路部 534a 及第 2 电路部 534b 分别具有与图 2 所示第 1 实施方式的第 4 段移位寄存器电路部 54 的第 1 电路部 54a 及第 2 电路部 54b 相同的电路构成。而在本第 5 实施方式中,在晶体管 NT34 的漏极连接有使能信号线 (ENB)。此外,第 5 段的移位寄存器电路部 535 是由第 1 电路部 535a 及第 2 电路部 535b 所构成。第 1 电路部 535a 及第 2 电路部 535b 是分别具有与图 2 所示第 1 实施方式的第 5 段移位寄存器电路部 55 的第 1 电路部 55a 及第 2 电路部 55b 相同的电路构成。而在本第 5 实施方式中,在晶体管 NT44 的漏极连接有使能信号线 (ENB)。

[0263] 此外,扫描方向切换电路部 630 具有与图 2 所示第 1 实施方式的扫描方向切换电路部 60 相同的电路构成。此外,第 5 实施方式的输入信号切换电路部 730 具有与图 2 所示第 1 实施方式的输入信号切换电路部 70 相同的电路构成。此外,第 5 实施方式的逻辑合成电路部 831 至 833 具有与图 2 所示第 1 实施方式的逻辑合成电路部 81 至 83 相同的电路构成。而且,逻辑合成电路部 831 至 833 分别具备:具有与图 2 所示第 1 实施方式的电位固定电路部 81a 至 83a 相同电路构成的电位固定电路部 831a 至 833a。此外,电路部 911 具有与图 2 所示第 1 实施方式的电路部 91 相同的电路构成。

[0264] 接着,参照图 11 及图 12,说明第 5 实施方式的 V 驱动器的动作。

[0265] 本第 5 实施方式的 V 驱动器的动作,基本上与上述第 1 实施方式的 V 驱动器的动作相同。但是,在本第 5 实施方式的 V 驱动器中,与上述第 1 实施方式不同的是,将共通的使能信号 ENB 供应至连接于输出有第 3 段以后移位寄存器电路部 533 至 535 的输出信号 SR13 至 SR15 的节点 ND3 的晶体管 NT24 至 NT44 的漏极。

[0266] 具体而言,第 1 段及第 2 段的移位寄存器电路部 531 及 532 (参照图 11) 的动作与图 2 所示第 1 实施方式的第 1 段及第 2 段的移位寄存器电路部 51 及 52 的动作相同。接着,由第 2 段的移位寄存器电路部 532 将 H 电平 ($V_{DD}+V_{\alpha}$) 的移位信号 SR2 输入至晶体管 NT66 的漏极。借此方式,通过将 VDD 的电位的扫描方向切换信号 CSV 输入至栅极而呈导通

的晶体管 NT66 的源极电位是成为 $(VDD-V_t)$ 的电位。因此,将 $(VDD-V_t)$ 的电位输入至第 3 段的移位寄存器电路部 533 的晶体管 NT27 的栅极。

[0267] 此外,将 H 电平 (VDD) 的输出信号 SR12 输入至晶体管 NT21 的栅极。此外,对于晶体管 NT22 的栅极是由第 4 段的移位寄存器电路部 534 输入有 L 电平的移位信号 SR4。借此方式,晶体管 NT21 及 NT27 呈导通状态,同时,晶体管 NT22 呈不导通状态。因此,经由晶体管 NT21 而由负侧电位 VBB 供应 L 电位的电位,借此使第 3 段移位寄存器电路部 533 的节点 ND1 的电位下降至 L 电平。借此方式,晶体管 NT25 及 NT26 呈不导通状态。在该状态下,输入至晶体管 NT27 的漏极的时钟信号 CKV1 由 L 电平上升至 H 电平。借此方式,第 3 段移位寄存器电路部 533 的节点 ND2 的电位上升为 H 电平,因此,晶体管 NT24 呈导通状态。此时,由于对晶体管 NT24 的漏极供应有 L 电平的使能信号 ENB,因此,晶体管 NT24 的源极电位 (节点 ND3 的电位) 保持在 L 电平。

[0268] 之后,在第 5 实施方式中,使能信号 ENB 的电位由 L 电平上升至 H 电平。借此方式,第 3 段移位寄存器电路部 533 的节点 ND3 的电位上升至 H 电平。此时,为了通过电容 C23 来维持晶体管 NT24 的栅极-源极间电压,第 3 段移位寄存器电路部 533 的节点 ND2 的电位伴随着节点 ND3 的电位的上升而激活而借此上升。借此方式,第 3 段移位寄存器电路部 533 的节点 ND2 的电位上升至比 VDD 还高临限值电压 (V_t) 以上的预定电压 (V_{β}) 份的电位 ($VDD+V_{\beta} > VDD+V_t$)。其中,此时节点 ND2 的电位 ($VDD+V_{\beta}$) 为第 1 段及第 2 段的移位寄存器电路部 511 及 512 中,比上升后的节点 ND2 的电位 ($VDD+V_{\alpha}$) 更高的电位。接着,由第 3 段移位寄存器电路部 533 的节点 ND2 输出具有 $VDD+V_t$ 以上的电位 ($VDD+V_{\beta}$) 的 H 电平移位信号 SR3。接着,即使于第 4 段以后的移位寄存器电路部 534 及 535 中,亦通过与上述第 3 段移位寄存器电路部 533 相同的动作,输出具有比由上述第 1 实施方式的移位寄存器电路部输出的 H 电平 ($VDD+V_{\alpha}$) 移位信号更高的 $VDD+V_t$ 以上电位 ($VDD+V_{\beta}$) 的 H 电平移位信号 SR3 及 SR4。

[0269] 接着,第 3 段移位寄存器电路部 533 的 H 电平 ($VDD+V_{\beta} > VDD+V_t$) 移位信号 SR3 分别被输入至晶体管 NT63 及 NT68 的漏极。借此方式,通过将 VDD 的电位的扫描方向切换信号 CSV 输入至栅极而呈导通的晶体管 NT63 及 NT68 的源极电位一同成为 $(VDD-V_t)$ 的电位。因此,对于第 2 段移位寄存器电路部 532 的晶体管 NT12 的栅极及第 4 段移位寄存器电路部 534 的晶体管 NT37 的栅极,输入有 $(VDD-V_t)$ 的电位。在该状态下,由于时钟信号 CKV2 由 L 电平 (VBB) 上升至 H 电平 (VDD),于第 2 段的移位寄存器电路部 532 的晶体管 NT12 中,一面通过电容 C12 保持栅极-源极间电压,栅极电位一面由 $(VDD-V_t)$ 上升 VDD 与 VBB 的电位差份。借此方式来抑制发生在晶体管 NT12 的节点 ND1 侧的电位,由 VDD 下降晶体管 NT12 的临限值电压 (V_t) 份。因而抑制在第 2 段移位寄存器电路部 532 的节点 ND1 所产生的 H 电位的电位下降。此外,由于在对第 4 段移位寄存器电路部 534 的晶体管 NT37 的栅极输入 $(VDD-V_t)$ 的电位的状态下,时钟信号 CKV2 由 L 电平 (VBB) 上升至 H 电平 (VDD),因而在晶体管 NT37 中,一面通过电容 C34 保持栅极-源极间电压,栅极电位一面由 $(VDD-V_t)$ 上升 VDD 与 VBB 的电位差份。借此方式来抑制发生在晶体管 NT37 的节点 ND2 侧的电位,由 VDD 下降晶体管 NT37 的临限值电压 (V_t) 份。因而抑制在第 4 段移位寄存器电路部 534 的节点 ND2 所产生的 H 电位的电位下降。如上所述,于各段的移位寄存器电路部中,当节点 ND1 或 ND2 的电位随着时钟信号 CKV1 或 CKV2 的电位上升至 H 电平 (VDD) 而上升时,可抑制在节点 ND1

及 ND2 所产生的 H 电平的电位下降。

[0270] 此外,第 3 段移位寄存器电路部 533 的 H 电平 ($V_{DD}+V_{\beta}$) 的移位信号 SR3 亦被输入至连接于第 1 段的栅极线的逻辑合成电路部 832 的晶体管 NT91 的栅极。此外,对于连接于第 1 段的栅极线的逻辑合成电路部 832 的晶体管 NT91 的栅极,输入有第 4 段移位寄存器电路部 534 的 H 电平 ($V_{DD}+V_{\beta}$) 的移位信号 SR4。借此方式,于连接于第 1 段的栅极线的逻辑合成电路部 832 中,当输入至晶体管 NT92 的漏极的使能信号 ENB 的电位上升至 H 电平 (V_{DD}) 的电位时,可抑制发生在节点 ND4 的电位由 V_{DD} 下降晶体管 NT91 及 NT92 的临限值电压 (V_t) 份。如上所述,于连接于第 2 段以后的栅极线的逻辑合成电路部中亦相同地,当节点 ND4 的电位随着使能信号 ENB 的电位上升至 H 电平 (V_{DD}) 而上升时,可抑制在节点 ND4 所产生的 H 电平的电位下降。借此方式来抑制输出至各段的栅极线的移位输出信号 Gate1 及 Gate2 的 H 电平的电位下降。

[0271] 第 5 实施方式的 V 驱动器的上述以外的动作,与上述第 1 实施方式的 V 驱动器的动作相同。

[0272] 在第 5 实施方式中,如上所述,于移位寄存器电路部 533 至 535 中,通过将使能信号线连接于晶体管 NT24、NT34 及 NT44 的漏极,同时,将时钟信号 CKV1 (CKV2) 供应至栅极,使能信号 ENB 是在时钟信号 CKV1 (CKV2) 由 L 电平上升至 H 电平之后,由 L 电平切换成 H 电平的构成,例如于第 3 段的移位寄存器电路部 533 中,伴随着通过时钟信号 CKV1 而使晶体管 NT24 的栅极电位由 L 电平 (V_{BB}) 上升至 H 电平 (V_{DD}),而使晶体管 NT24 呈导通状态之后,可通过使能信号 ENB 使晶体管 NT24 的源极电位由 L 电平 (V_{BB}) 上升至 H 电平 (V_{DD})。此外,于第 4 段的移位寄存器电路部 534 中,伴随着通过时钟信号 CKV2 而使晶体管 NT34 的栅极电位由 L 电平 (V_{BB}) 上升至 H 电平 (V_{DD}),而使晶体管 NT34 呈导通状态之后,可通过使能信号 ENB 使晶体管 NT34 的源极电位由 L 电平 (V_{BB}) 上升至 H 电平 (V_{DD})。借此方式,可使晶体管 NT24 的栅极电位仅上升此时晶体管 NT34 的源极电位的上升份 (V_{β})。借此方式,可使晶体管 NT34 的栅极电位仅上升此时晶体管 NT34 的源极电位的上升份 (V_{β})。借此方式,与晶体管 NT24 及 NT34 的漏极连接于固定的正侧电位 V_{DD} 的情形相较之下,可更加提高移位信号 SR3 及 SR4 的电位 ($V_{DD}+V_{\beta} > V_{DD}+V_t$),因此,可更加轻易地将移位信号 SR3 及 SR4 的电位设定在比 V_{DD} 还高临限值电压 (V_t) 以上的电位。这样,可更轻易地将具有 $V_{DD}+V_t$ 以上电位的移位信号 SR3 及 SR4 分别供应至连接于第 1 段的栅极线的逻辑合成电路部 832 的晶体管 NT91 的栅极及 NT92 的栅极。借此方式,可抑制经由逻辑合成电路部 832 的晶体管 NT91 及晶体管 NT92 而输出至第 1 段的栅极线的移位输出信号 Gate1 的电位仅下降临限值电压 (V_t) 份。

[0273] 在第 5 实施方式中,除了上述效果之外,通过设置重置晶体管 NT39 及 NT49,同时,响应开始信号 STV 而使晶体管 PT39 及 PT49 导通,可抑制在意料之外的时序将移位输出信号输出至栅极线等,而可获得与上述第 1 实施方式相同的效果。

[0274] 第 6 实施方式

[0275] 参照图 13,在本第 6 实施方式中,进行说明以 p 沟道晶体管构成上述第 5 实施方式的 V 驱动器的情形。

[0276] 亦即,如图 13 所示,在本第 6 实施方式的 V 驱动器中设有:多段的移位寄存器电路部 541 至 545;扫描方向切换电路部 640;输入信号切换电路部 740;多段的逻辑合成电路部

841 至 843 ;以及电路部 921。其中,在图 13 中,为简化图示,虽仅图示 5 段份的移位寄存器电路部 541 至 545 及 3 段份的逻辑合成电路部 841 至 843,但在实际上设有对应像素数的数量的移位寄存器电路部及逻辑合成电路部。

[0277] 接着,第 1 段移位寄存器电路部 541 是由具有与图 5 所示第 2 实施方式的第 1 段移位寄存器电路部 501 的第 1 电路部 501a 及第 2 电路部 501b 相同电路构成的第 1 电路部 541a 及第 2 电路部 541b 所构成。此外,第 2 段移位寄存器电路部 542 是由具有与图 5 所示第 2 实施方式的第 2 段移位寄存器电路部 502 的第 1 电路部 502a 及第 2 电路部 502b 相同电路构成的第 1 电路部 542a 及第 2 电路部 542b 所构成。

[0278] 在此,在第 6 实施方式中,分别对于第 3 段的移位寄存器电路部 543、第 4 段的移位寄存器电路部 544 及第 5 段的移位寄存器电路部 545,连接有使能信号线 (ENB)。具体而言,第 3 段的移位寄存器电路部 543 是由第 1 电路部 543a 及第 2 电路部 543b 所构成。第 1 电路部 543a 及第 2 电路部 543b 分别具有与图 5 所示第 2 实施方式的第 3 段移位寄存器电路部 503 的第 1 电路部 503a 及第 2 电路部 503b 相同的电路构成。而在本第 6 实施方式中,在晶体管 PT24 的漏极连接有使能信号线 (ENB)。

[0279] 此外,第 4 段的移位寄存器电路部 544 是由第 1 电路部 544a 及第 2 电路部 544b 所构成。第 1 电路部 544a 及第 2 电路部 544b 分别具有与图 5 所示第 2 实施方式的第 4 段移位寄存器电路部 504 的第 1 电路部 504a 及第 2 电路部 504b 相同的电路构成。而在本第 6 实施方式中,在晶体管 PT34 的漏极连接有使能信号线 (ENB)。此外,第 5 段移位寄存器电路部 545 是由第 1 电路部 545a 及第 2 电路部 545b 所构成。第 1 电路部 545a 及第 2 电路部 545b 分别具有与图 5 所示第 2 实施方式的第 5 段移位寄存器电路部 505 的第 1 电路部 505a 及第 2 电路部 505b 相同的电路构成。而在本第 6 实施方式中,在晶体管 PT44 的漏极连接有使能信号线 (ENB)。

[0280] 此外,扫描方向切换电路部 640 具有与图 5 所示第 2 实施方式的扫描方向切换电路部 600 相同的电路构成。此外,输入信号切换电路部 740 具有与图 5 所示第 2 实施方式的输入信号切换电路部 700 相同的电路构成。此外,逻辑合成电路部 841 至 843 分别具有与图 5 所示第 2 实施方式的逻辑合成电路部 801 至 803 相同的电路构成。而且,逻辑合成电路部 841 至 843 分别具备 :具有与图 5 所示第 2 实施方式的电位固定电路部 801a 至 803a 相同电路构成的电位固定电路部 841a 至 843a。此外,电路部 921 具有与图 5 所示第 2 实施方式的电路部 901 相同的电路构成。

[0281] 图 14 是用以说明本发明第 6 实施方式的液晶显示装置的 V 驱动器的动作的电压波形图。接着,参照图 13 及图 14,说明第 6 实施方式的 V 驱动器的动作。在本第 6 实施方式的 V 驱动器中,分别输入使图 12 所示第 5 实施方式的开始信号 STV、时钟信号 CKV1、CKV2、使能信号 ENB 及反转使能信号 XENB 的 H 电平与 L 电平反转的波形信号,来作为开始信号 STV、时钟信号 CKV1、CKV2、使能信号 ENB 及反转使能信号 XENB。借此方式,由第 6 实施方式的移位寄存器电路部 541 至 545,是输出有 :具有使由图 11 所示第 5 实施方式的移位寄存器电路部 531 至 535 输出的移位信号 SR1 至 SR5 的 H 电平与 L 电平反转的波形信号。此外,由第 6 实施方式的逻辑合成电路部 841 至 843,是输出有 :具有使由图 11 所示第 5 实施方式的逻辑合成电路部 831 至 833 输出的移位输出信号 Dummy、Gate1 及 Gate2 的 H 电平与 L 电平反转的波形信号。本第 6 实施方式的 V 驱动器的上述以外的动作,与图 11 所示上述

第 5 实施方式的 V 驱动器的动作相同。

[0282] 在第 6 实施方式中,如上所述,设置重置晶体管 PT39 及 PT49,同时,响应开始信号 STV 而使晶体管 PT39 及 PT49 导通,借此可抑制在意料之外的时序将移位输出信号输出至栅极线等,而可获得与上述第 5 实施方式相同的效果。

[0283] 其中,在第 6 实施方式中,将时钟信号 CKV1(CKV2) 供应至移位寄存器电路部 543 至 545 的晶体管 PT24、PT34 及 PT44 的栅极,同时,将切换成 H 电平 (VDD) 与 L 电平 (VBB) 的使能信号 ENB 供应至漏极,借此进行以下动作。例如,于第 3 段的移位寄存器电路部 543 中,通过时钟信号 CKV1 使晶体管 PT24 呈导通状态之后,通过使能信号 ENB 使晶体管 PT24 的源极电位由 VDD 下降至 VBB,因此,可使晶体管 PT24 的栅极电位仅下降其电位的下降份 ($V\beta$)。此外,于第 4 段的移位寄存器电路部 544 中,通过时钟信号 CKV2 使晶体管 PT34 呈导通状态之后,通过使能信号 ENB 使晶体管 PT34 的源极电位由 VDD 下降至 VBB,因此,使晶体管 PT34 的栅极电位仅下降其电位的下降份 ($V\beta$)。借此方式,与晶体管 PT24 及 PT34 的漏极连接于固定的负侧电位 VBB 的情形相较之下,可更加降低移位信号 SR3 及 SR4 的电位 ($VBB-V\beta < VBB-Vt$),因此,可更轻易地将移位信号 SR3 及 SR4 的电位设定在比 VBB 还低临限值电压 (Vt) 以上的电位。这样,可更轻易地将具有 $VBB-Vt$ 以下的电位 ($VBB-V\beta$) 的移位信号 SR3 及 SR4 分别供应至连接于第 1 段的栅极线的逻辑合成电路部 842 的晶体管 PT91 及 PT93 的栅极。借此方式,可抑制经由逻辑合成电路部 842 的晶体管 PT91 及 PT92 而输出至第 1 段的栅极线的移位输出信号 Gate1 的电位仅上升临限值电压 (Vt) 份。

[0284] 第 7 实施方式

[0285] 参照图 15,在本第 7 实施方式中,进行说明于图 1 所示第 1 实施方式的液晶显示装置中,将本发明应用在用以驱动 (扫描) 漏极线的 H 驱动器的情形。

[0286] 如图 15 所示,与图 2 所示第 1 实施方式的 V 驱动器 5 相同地,在本第 7 实施方式的液晶显示装置的 H 驱动器 4 的内部设有:多段的移位寄存器电路部 51 至 55;扫描方向切换电路部 60;输入信号切换电路部 70;以及多段的逻辑合成电路部 81 至 83。其中,在图 15 中,为简化图示,虽仅图示 5 段份的移位寄存器电路部 51 至 55 及 3 段份的逻辑合成电路部 81 至 83,但在实际上设有对应像素数的数量的移位寄存器电路部及逻辑合成电路部。而且,在本第 7 实施方式中,连接有逻辑合成电路部 81 至 83 与水平开关 3。具体而言,水平开关 3 包含:数量与逻辑合成电路部 81 至 83 的段数相对应的 n 沟道晶体管 NT121 至 123。以下, n 沟道晶体管 NT121 至 123 分别称为晶体管 NT121 至 123。

[0287] 接着,晶体管 NT121 的源极连接于假栅极线,同时,漏极连接于视频信号线 (Video)。该晶体管 NT121 的栅极连接于逻辑合成电路部 81 的节点 ND4。此外,晶体管 NT122 的源极连接于第 1 段的漏极线,同时,漏极连接于视频信号线 (Video)。该晶体管 NT122 的栅极连接于逻辑合成电路部 82 的节点 ND4。此外,晶体管 NT123 的源极连接于第 2 段的漏极线,同时,漏极连接于视频信号线 (Video)。该晶体管 NT123 的栅极连接于逻辑合成电路部 83 的节点 ND4。而且,第 7 实施方式的 H 驱动器 4 中,供应有:开始信号 STH、扫描方向切换信号 CSH、反转扫描方向切换信号 XCSH、时钟信号 CKH1 及 CKH2,来取代于图 2 所示第 1 实施方式的 V 驱动器 5 中所供应的:开始信号 STV、扫描方向切换信号 CSV、反转扫描方向切换信号 XCSV、时钟信号 CKV1 及 CKV2。其中,所述开始信号 STV、扫描方向切换信号 CSH、反转扫描方向切换信号 XCSH、时钟信号 CKH1 及 CKH2 的波形分别与上述第 1 实施方式的开始信

号 STV、扫描方向切换信号 CSV、反转扫描方向切换信号 XCSV、时钟信号 CKV1 及 CKV2 的波形相同。

[0288] 接着,参照图 15,说明第 7 实施方式的 H 驱动器的移位寄存器电路部的动作。本第 7 实施方式的 H 驱动器 4 中,由各段的逻辑合成电路部 81 至 83 依序输出有:与上述第 1 实施方式的移位输出信号 Dummy、Gate1 及 Gate2 相对应的 H 电平的移位输出信号 Dummy、Drain1 及 Drain2。而该移位输出信号 Dummy、Drain1 及 Drain2 分别被输入至所对应水平开关 3 的晶体管 NT121 至 NT123 的栅极。借此方式,水平开关 3 的各段的晶体管 NT121 至 NT123 依序呈导通状态。因此,由视频信号线 (Video) 将影像信号经由水平开关 3 的各段的晶体管 NT121 至 NT123 依序输出至各段的漏极线。本第 7 实施方式的 H 驱动器 4 的上述以外的动作,与图 2 所示上述第 1 实施方式的 V 驱动器 5 的动作相同。

[0289] 在第 7 实施方式中,如上所述,通过设置重置晶体管 NT39 及 NT49,同时,响应开始信号 STV 而使晶体管 NT39 及 NT49 导通,可抑制在意料之外的时序将影像信号输出至漏极线等,而可获得与上述第 1 实施方式相同的效果。

[0290] 第 8 实施方式

[0291] 参照图 16,在本第 8 实施方式中,进行说明将本发明应用在含有具有 n 沟道晶体管的像素的有机 EL 显示装置的情形。

[0292] 亦即,如图 16 所示,在本第 8 实施方式中,在基板 1b 上形成有显示部 102。在该显示部 102 是以矩阵状配置有像素 120,该像素 120 包含:n 沟道晶体管 121 及 122(以下称为晶体管 121 及 122);辅助电容 123;阳极 124;阴极 125;夹在阳极 124 与阴极 125 之间的有机 EL 组件 126。其中,在图 16 的显示部 102 中显示 1 像素份的构成。而晶体管 121 的源极连接于晶体管 122 的栅极与辅助电容 123 的一方的电极,同时,漏极连接于漏极线。该晶体管 121 的栅极连接于栅极线。此外,晶体管 122 的源极连接于阳极 124,同时,漏极连接于电流供应线(未图示)。

[0293] 此外,H 驱动器 4 内部的电路构成与图 15 所示第 7 实施方式的 H 驱动器 4 的电路构成相同。此外,V 驱动器 5 内部的电路构成与图 2 所示第 1 实施方式的 V 驱动器 5 的电路构成相同。第 8 实施方式有机 EL 显示装置的这些以外部分的构成与图 1 所示第 1 实施方式的液晶显示装置相同。

[0294] 在第 8 实施方式中,通过如上所述的构成,于有机 EL 显示装置中,可抑制在意料之外的时序将影像信号输出至栅极线,同时,可抑制在意料之外的时序将移位输出信号输出至漏极线等,而可获得与上述第 1 实施方式及第 7 实施方式相同的效果。

[0295] 第 9 实施方式

[0296] 参照图 17,在本第 9 实施方式中,进行说明将本发明应用在含有具有 p 沟道晶体管的像素的有机 EL 显示装置的情形。

[0297] 亦即,如图 17 所示,在本第 9 实施方式中,在基板 1c 上形成有显示部 102a。在该显示部 102a 是以矩阵状配置有像素 120a,该像素 120a 包含:p 沟道晶体管 121a 及 122a(以下称为晶体管 121a 及 122a);辅助电容 123a;阳极 124a;阴极 125a;夹在阳极 124a 与阴极 125a 之间的有机 EL 组件 126a。其中,在图 17 的显示部 102a 中显示 1 像素份的构成。而晶体管 121a 的源极连接于漏极,同时,漏极连接于晶体管 122a 的栅极与辅助电容 123a 的一方的电极。该晶体管 121a 的栅极连接于栅极线。此外,晶体管 122a 的源极连接于电流

供应线（未图示），同时，漏极连接于阳极 124a。

[0298] 此外，V 驱动器 5a 内部的电路构成与图 5 所示第 2 实施方式的 V 驱动器 5a 的电路构成相同。第 9 实施方式有机 EL 显示装置的这些以外部分的构成与图 4 所示第 2 实施方式的液晶显示装置相同。

[0299] 在第 9 实施方式中，通过如上所述的构成，于有机 EL 显示装置中，可抑制在意料之外的时序将移位输出信号输出至栅极线等，而可获得与上述第 2 实施方式相同的效果。

[0300] 此外，这里所揭示的实施方式均为例示，而非加以限制。本发明的范围由权利要求书所揭示，而非上述实施方式的说明，另外，包含与权利要求书同等涵义以及范围内的所有变更。

[0301] 例如，在上述第 1 至第 9 实施方式中，虽例示将本发明应用在液晶显示装置以及有机 EL 显示装置，但本发明并非局限于此，亦可应用在液晶显示装置及有机 EL 显示装置以外的显示装置。

[0302] 此外，在上述第 1 至第 7 实施方式中，虽说明将本发明仅应用在 V 驱动器或 H 驱动器的任一方的例子，但本发明并非局限于此，亦可将本发明应用在 V 驱动器及 H 驱动器的双方。

[0303] 此外，在上述第 7 实施方式中，虽显示均以 n 沟道晶体管构成用在本发明 H 驱动器的晶体管的例子，但本发明并非局限于此，亦可均以 p 沟道晶体管构成用在本发明 H 驱动器的晶体管。

[0304] 此外，于使用 n 沟道晶体管的第 1、第 3、第 5、第 7 及第 8 实施方式中，亦可通过 n 沟道晶体管构成所有的电容。此外，于使用 p 沟道晶体管的第 2、第 4、第 6 及第 9 实施方式中，亦可通过 p 沟道晶体管构成所有的电容。

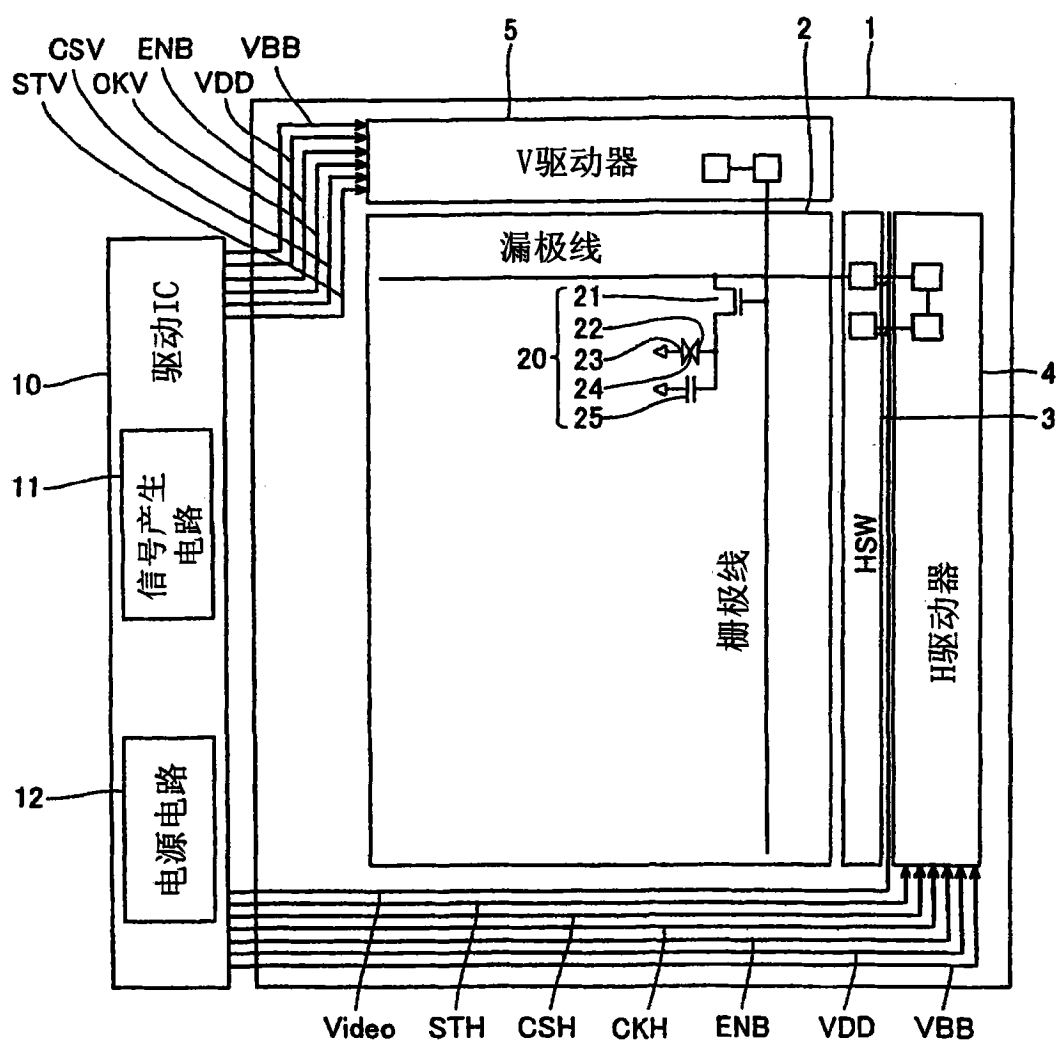
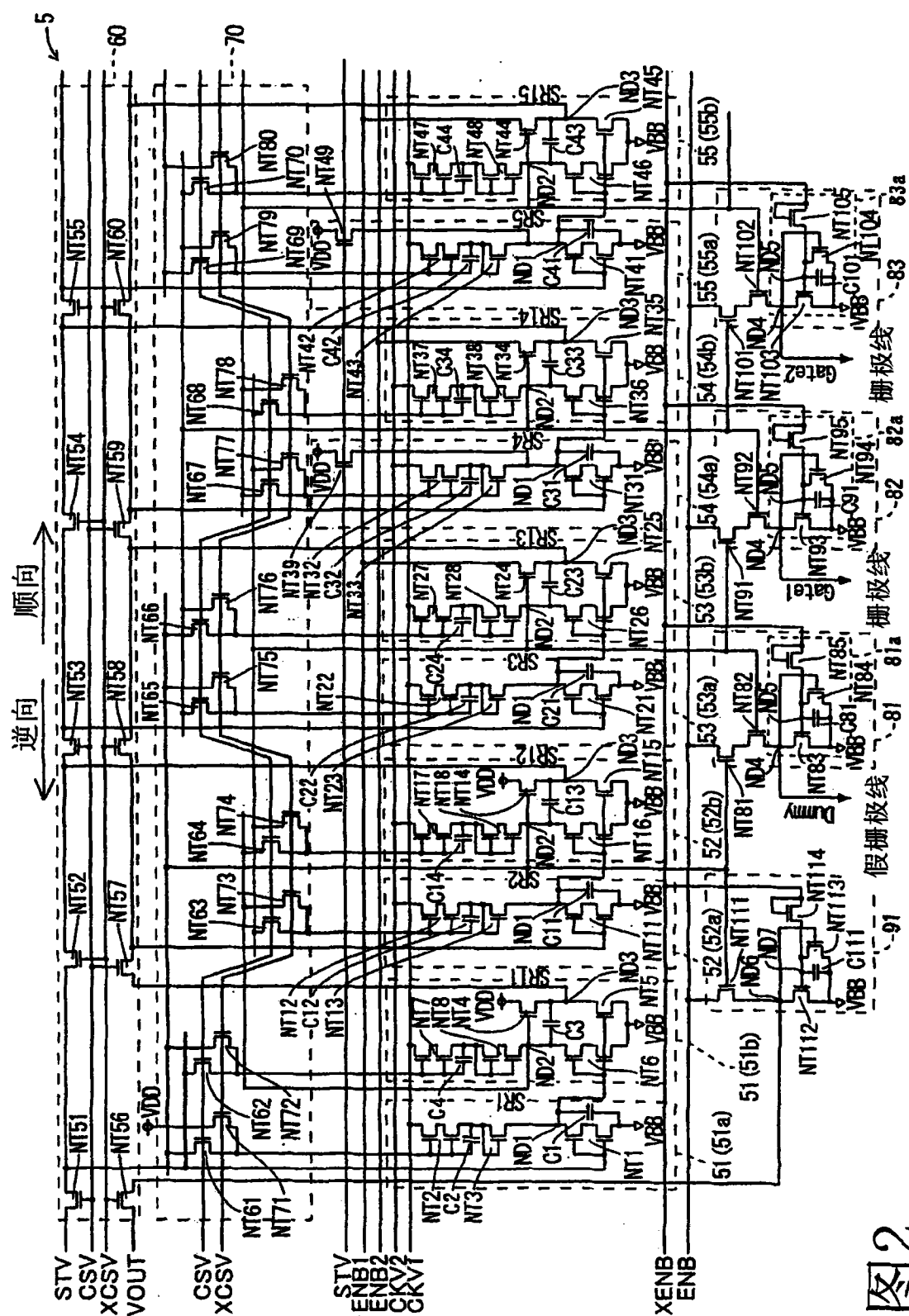


图 1



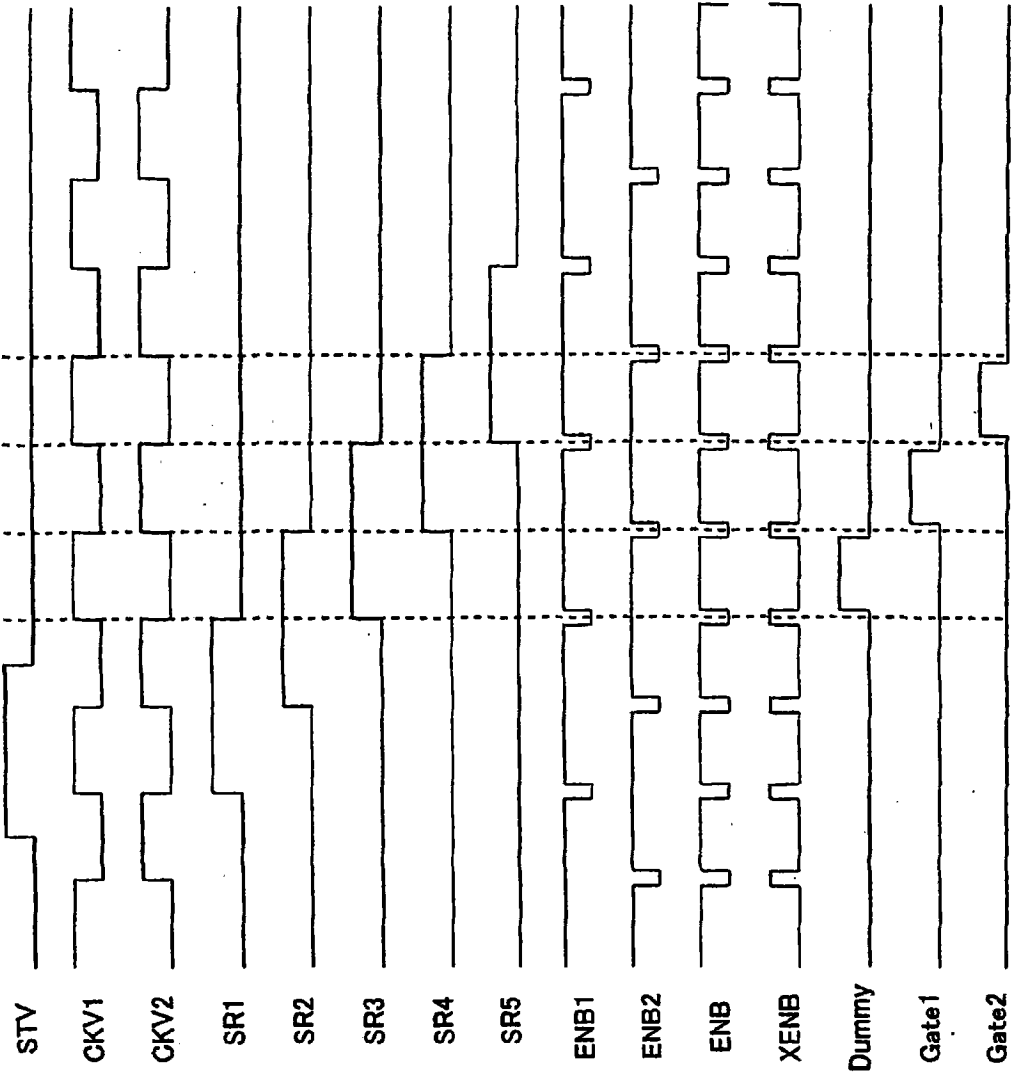


图 3

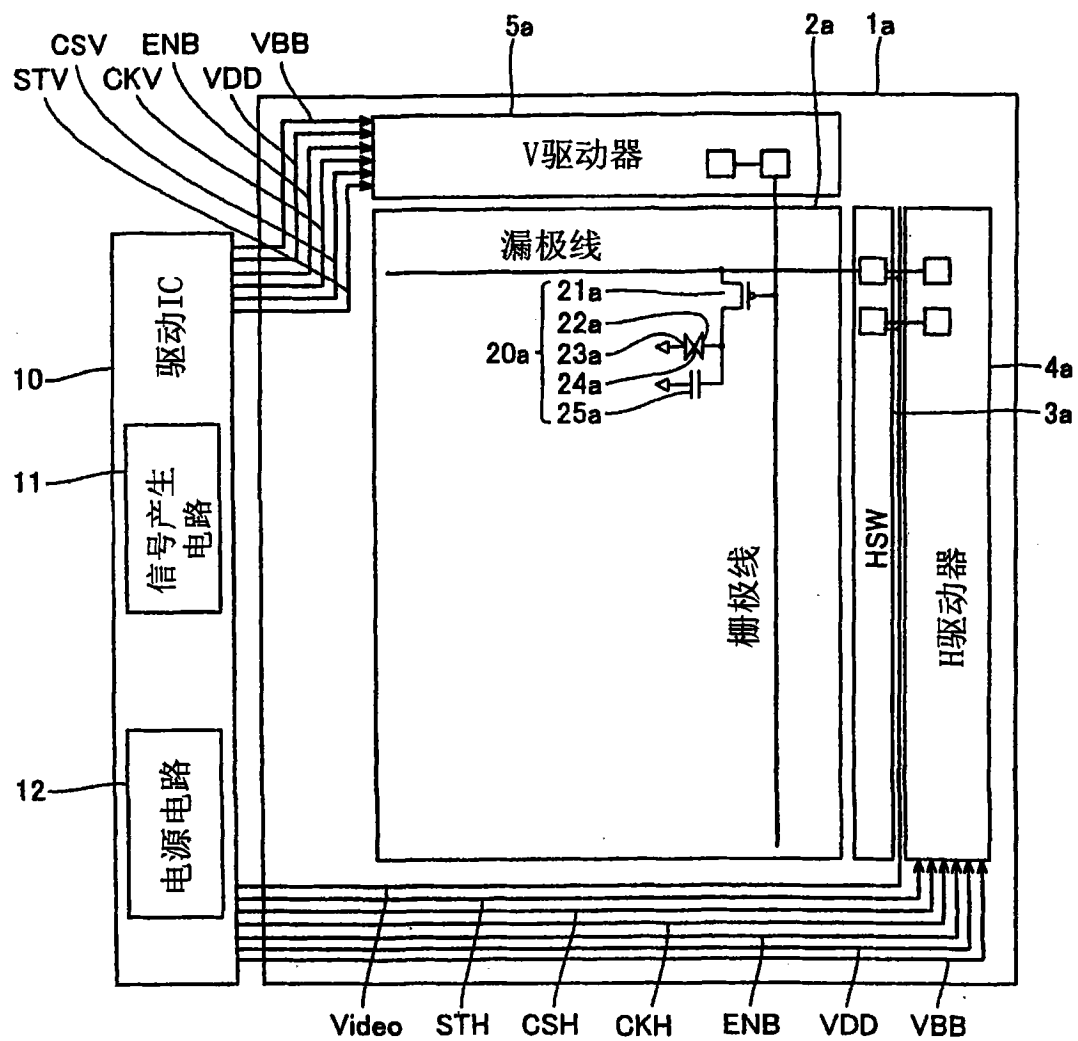
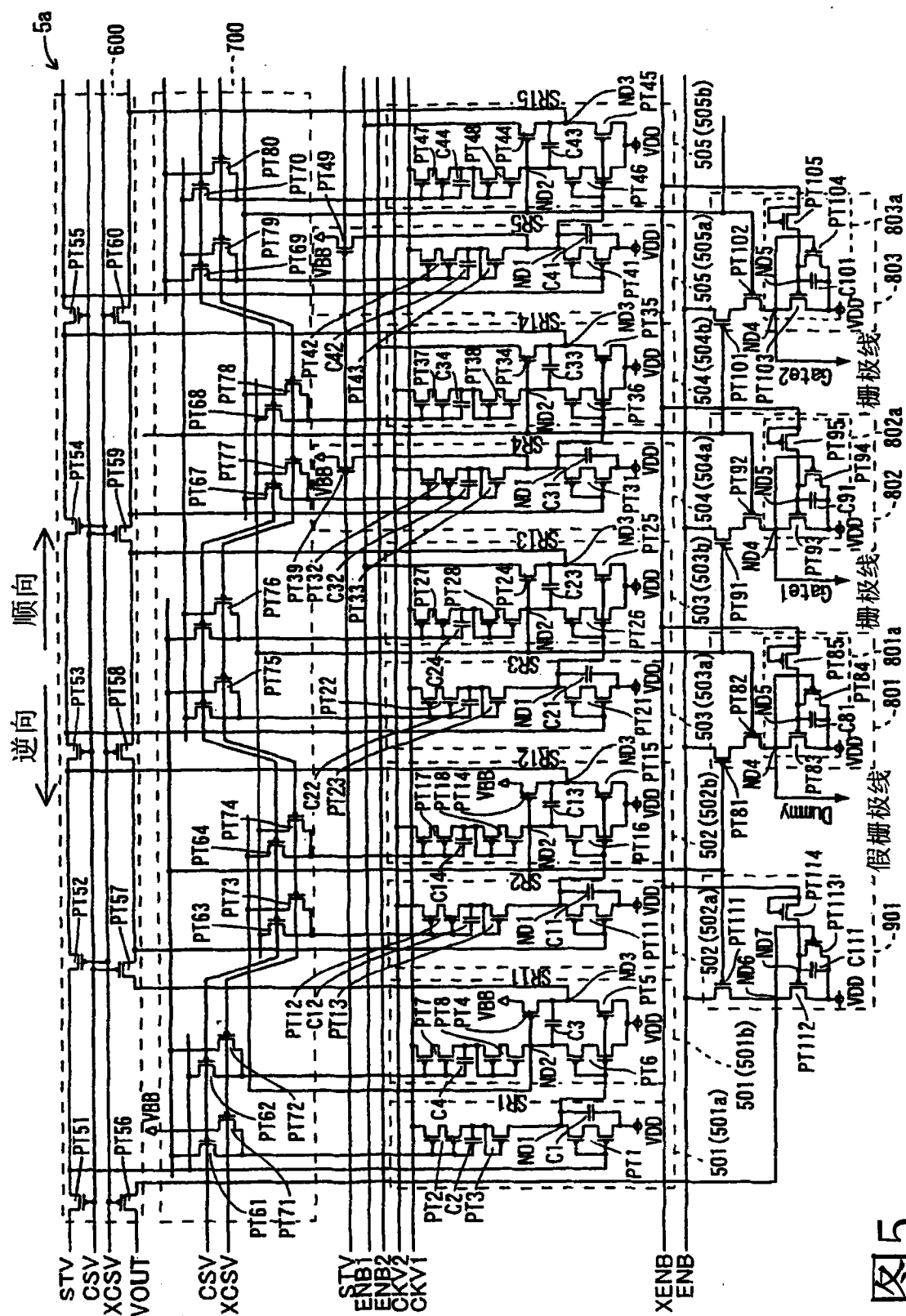


图4



五
五

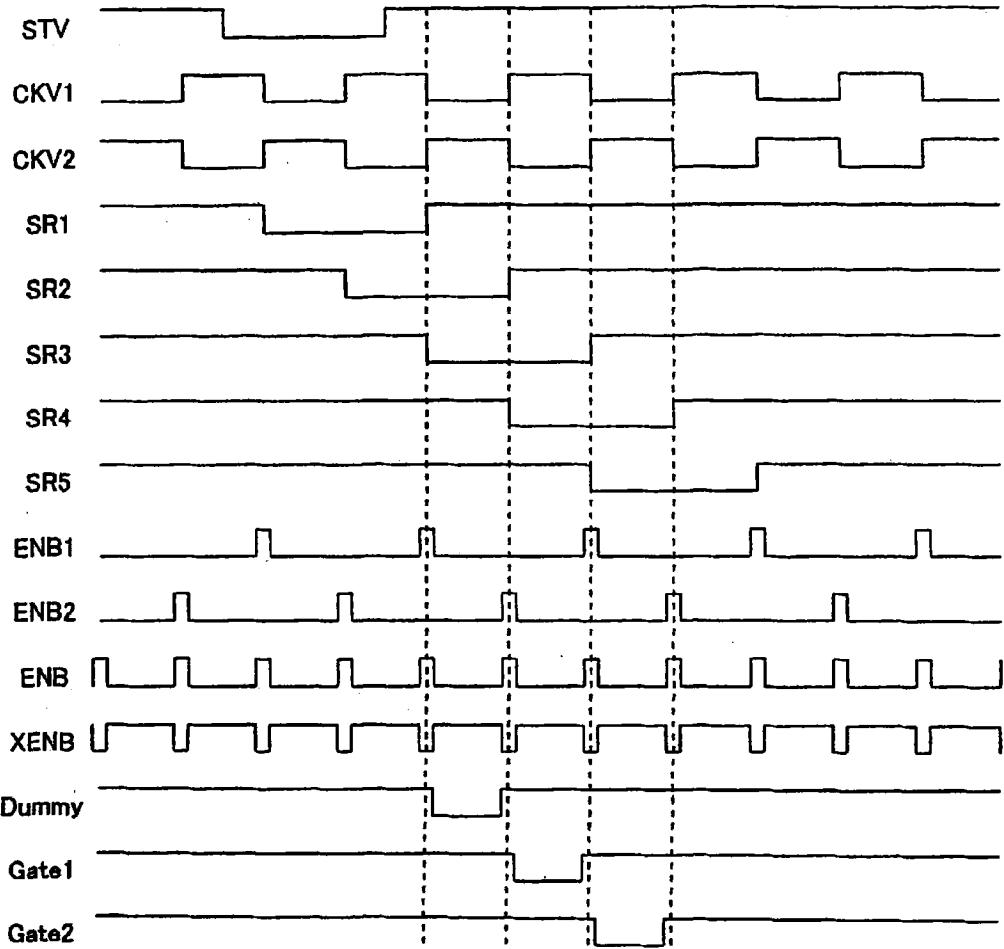
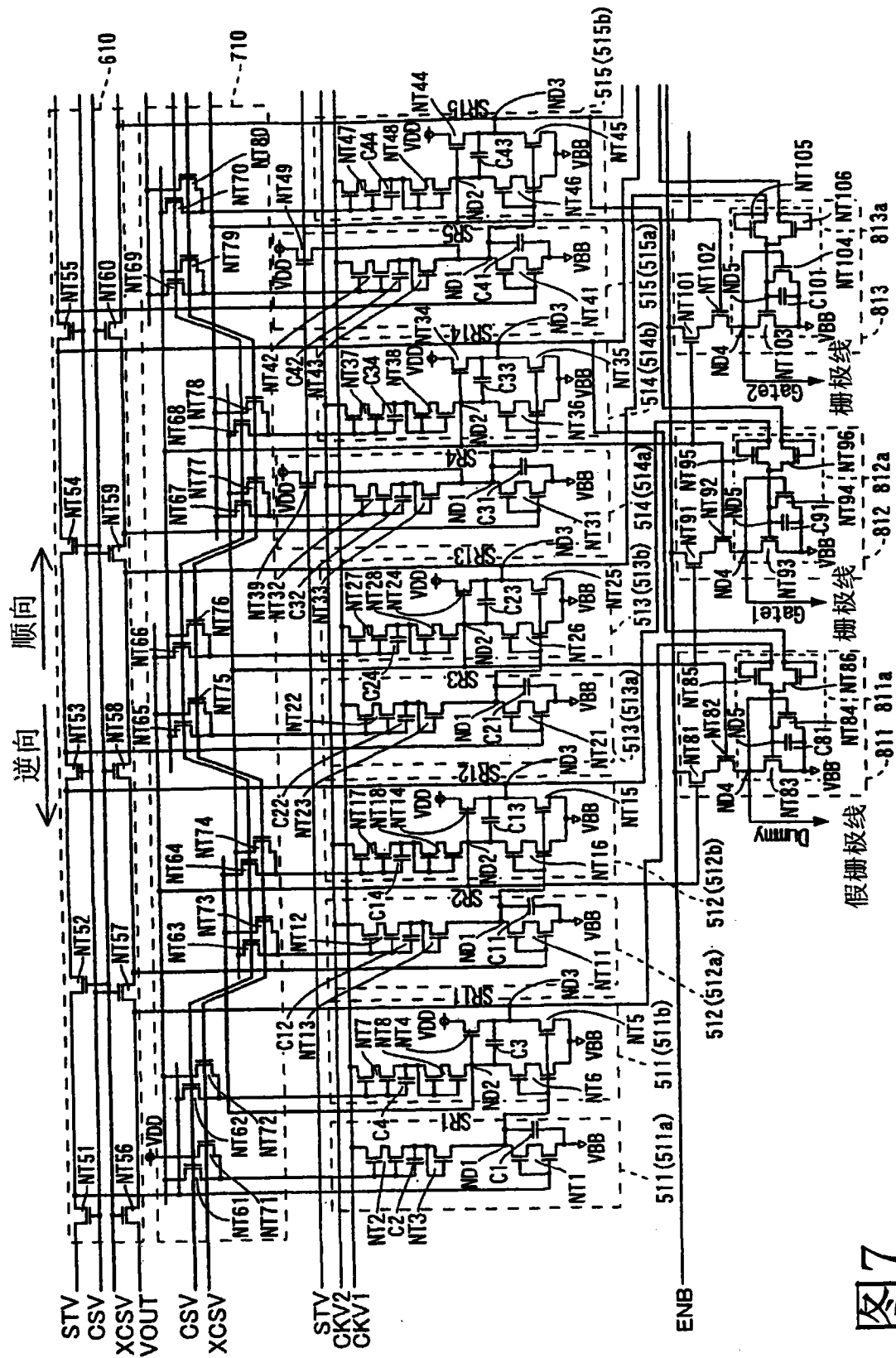


图6



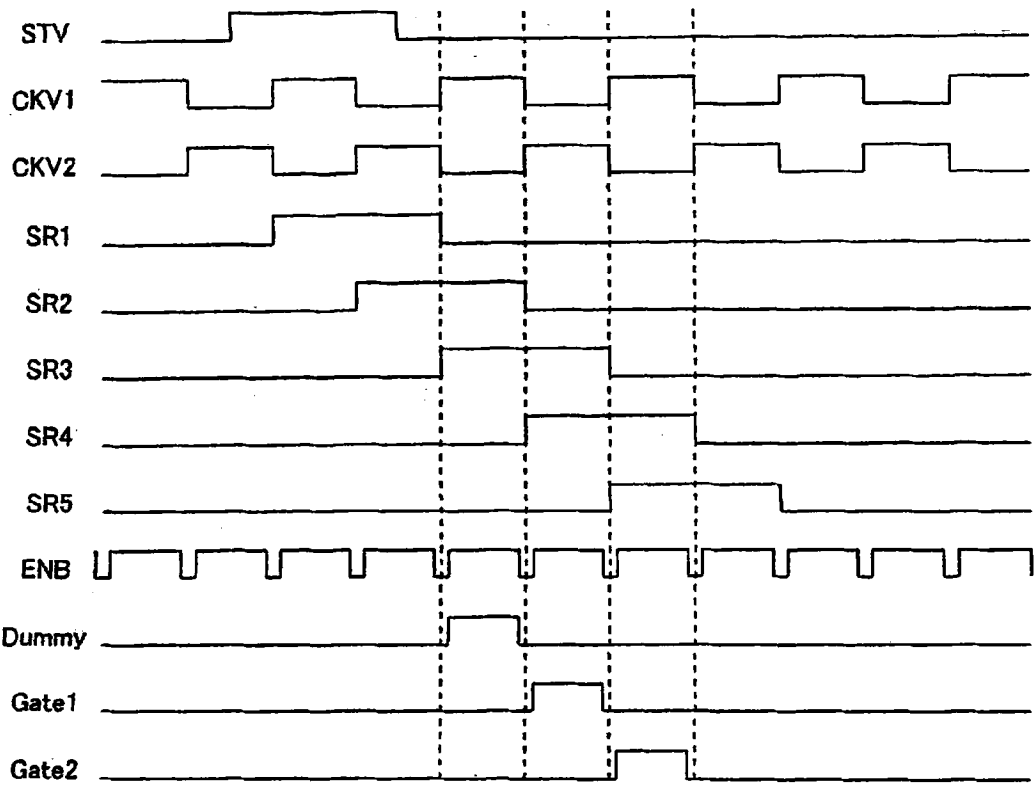


图8

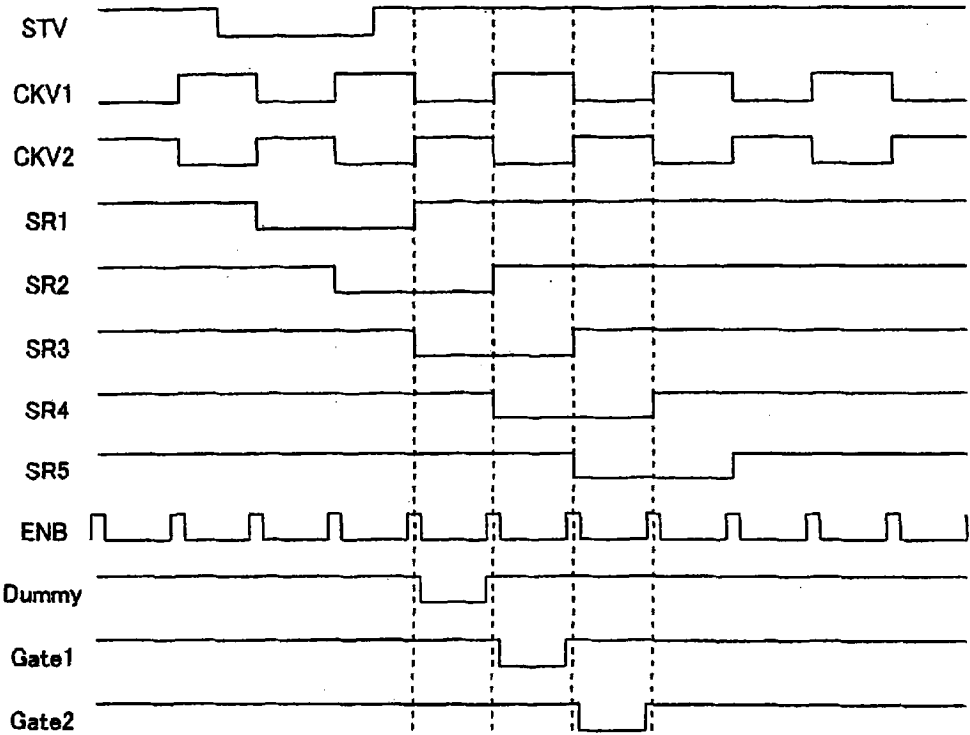
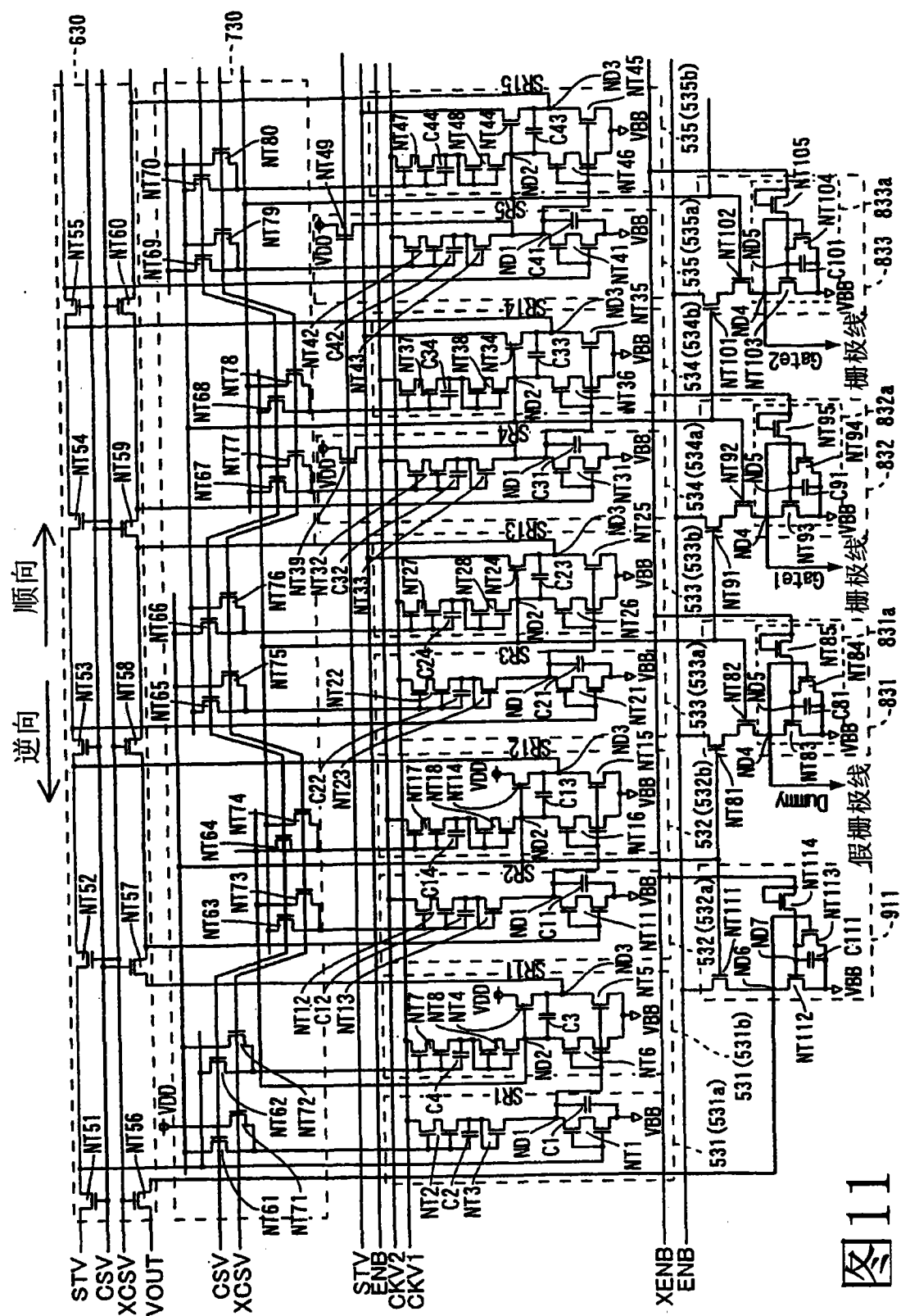


图10

三
文

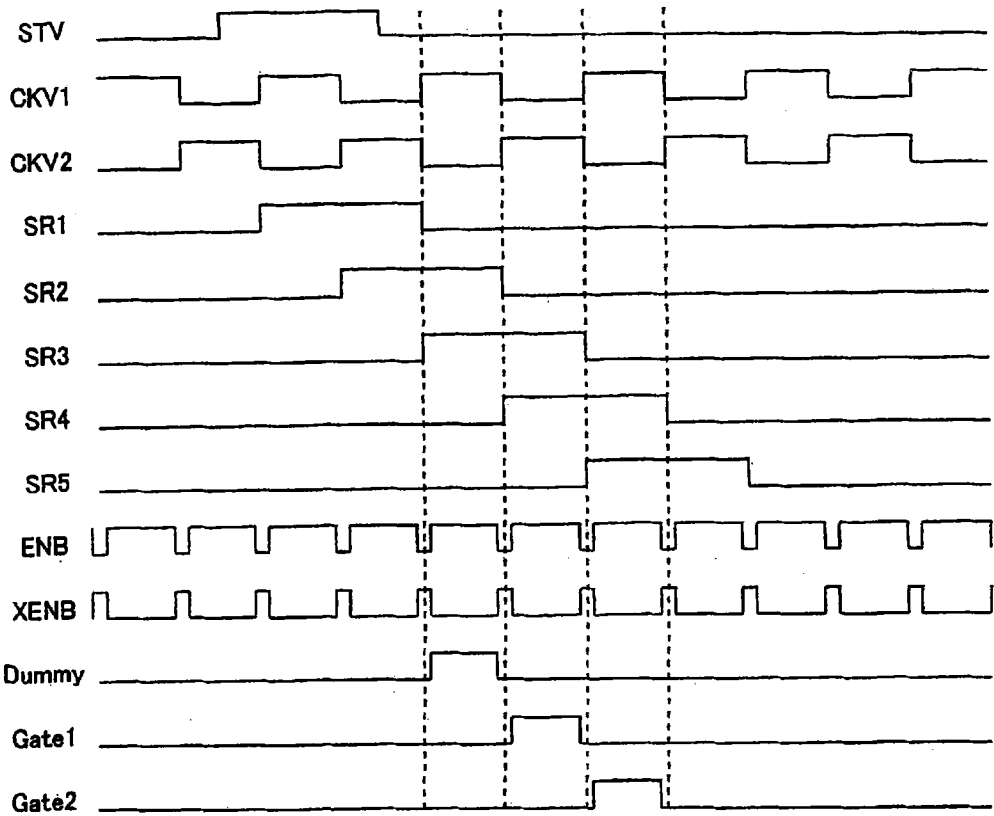
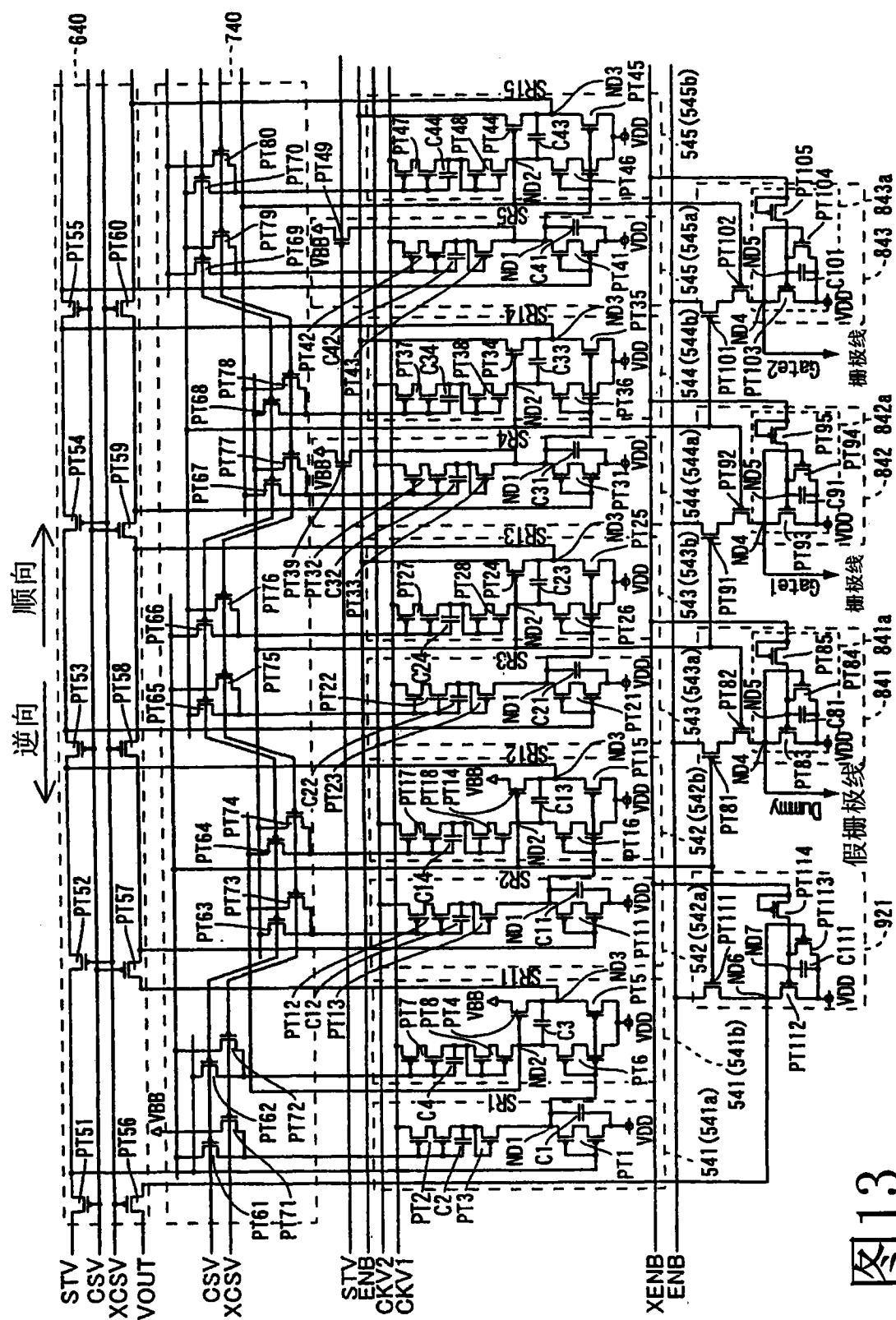


图12



13

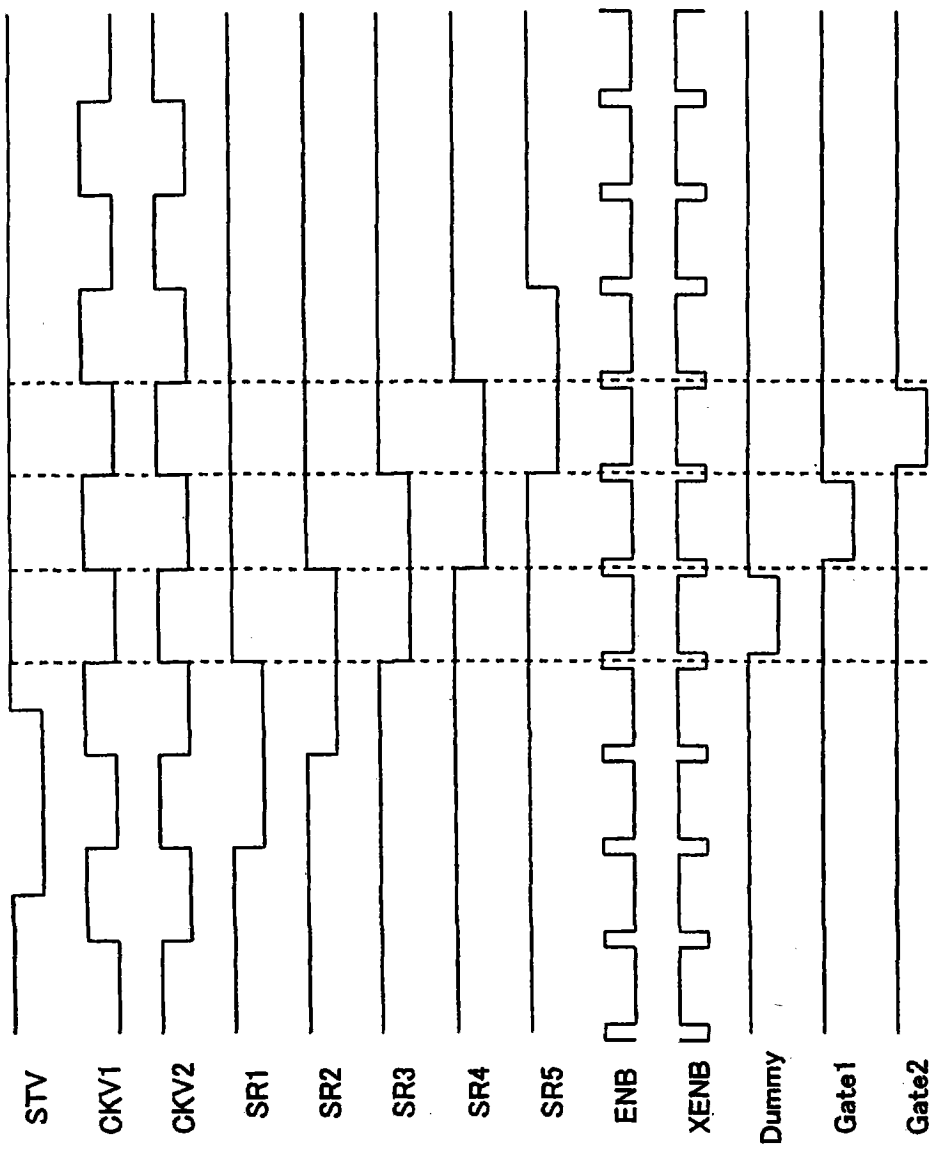


图14

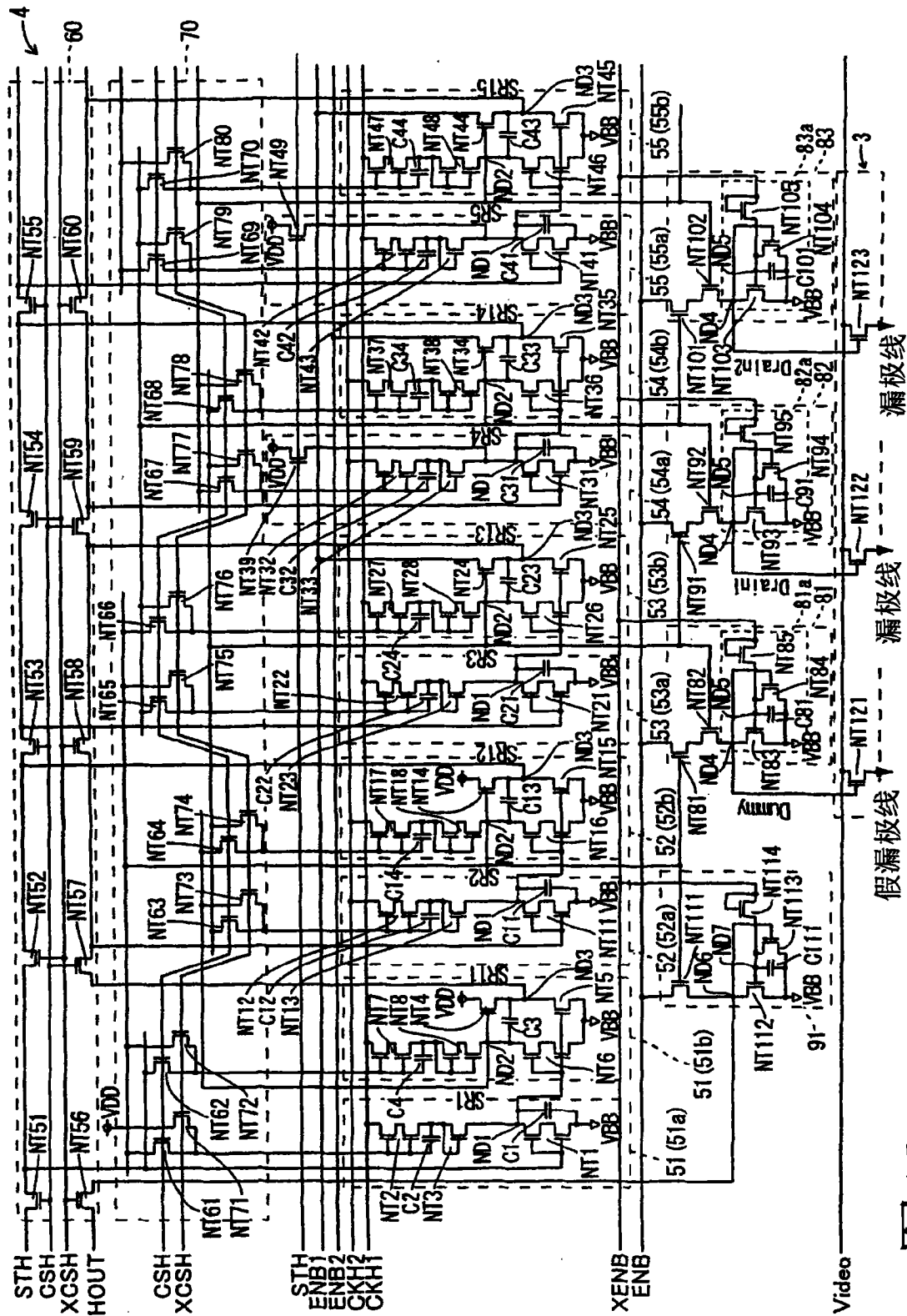


图15

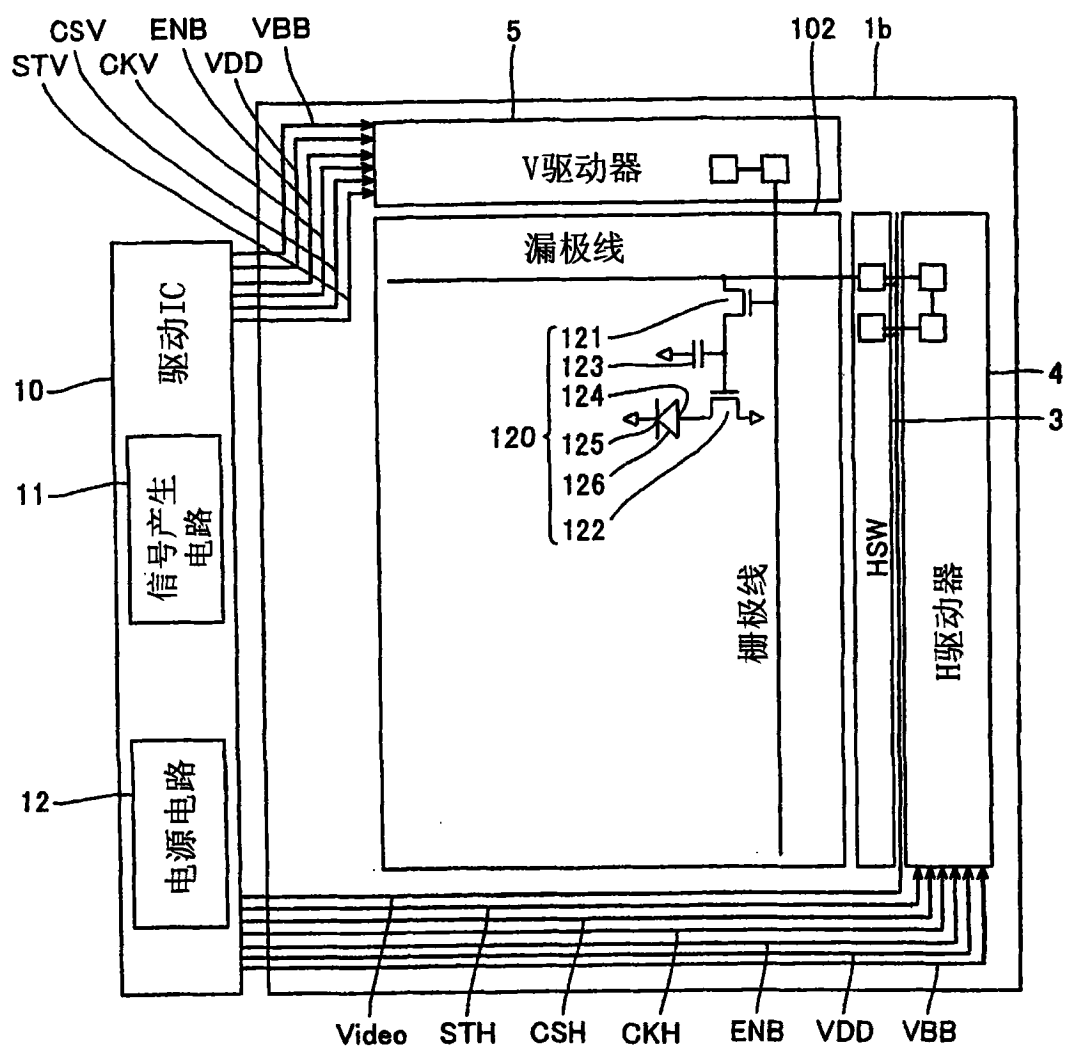


图 16

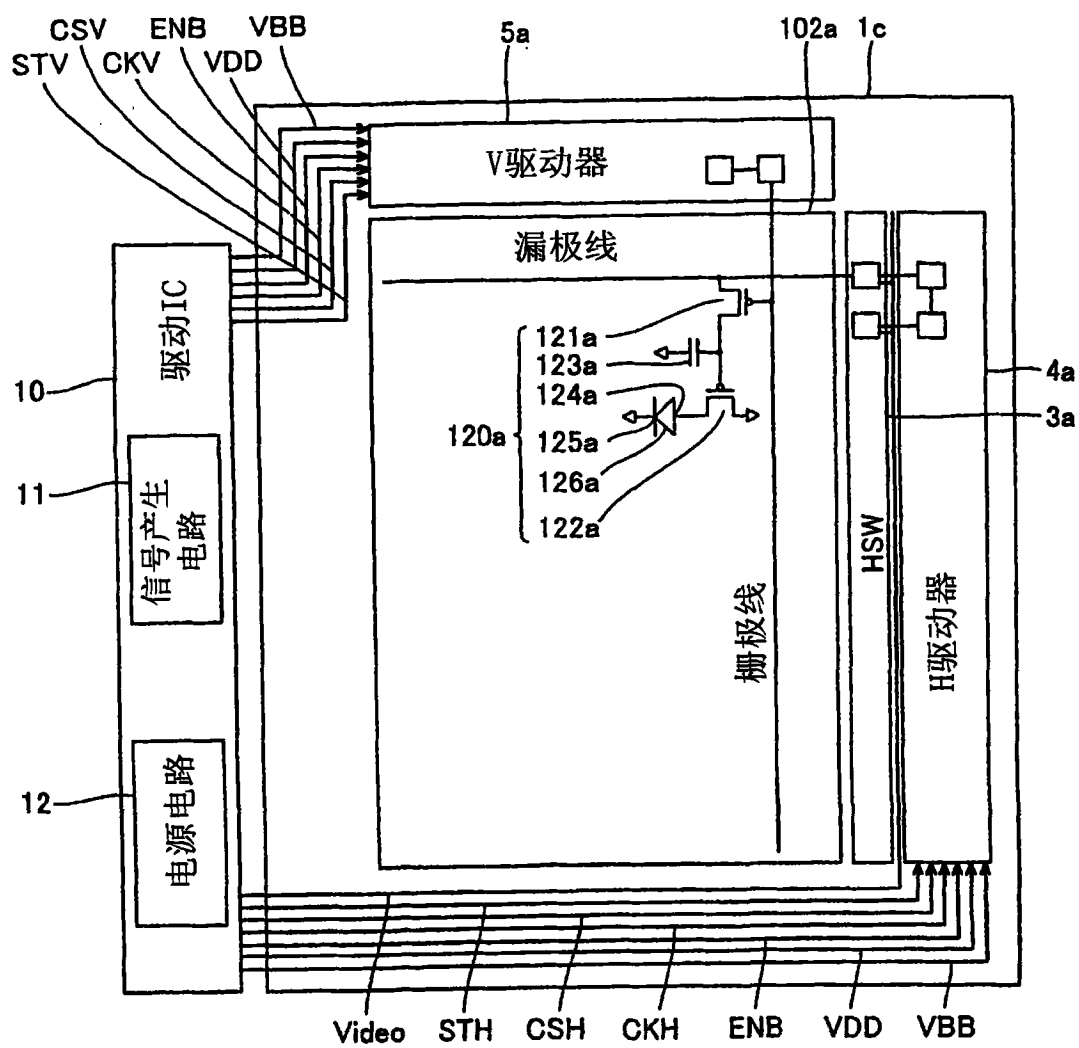


图17

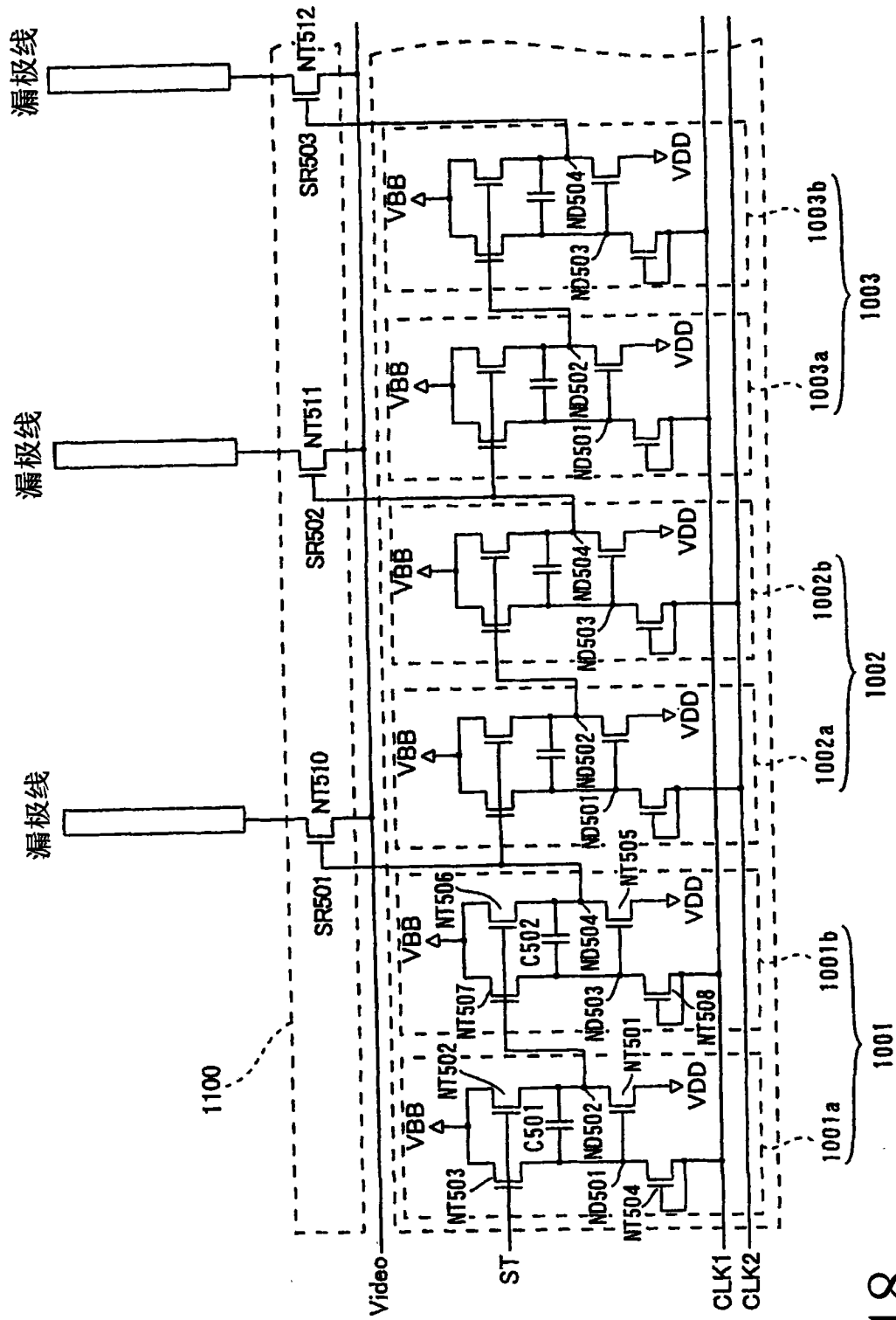


图18