

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 7 部門第 3 区分
【発行日】令和 4 年 12 月 27 日(2022.12.27)

【公開番号】特開 2020-141397(P2020-141397A)
【公開日】令和 2 年 9 月 3 日(2020.9.3)
【年通号数】公開・登録公報 2020-036
【出願番号】特願 2019-229328(P2019-229328)
【国際特許分類】

H 0 4 N 5/369(2011.01)

10

H 0 1 L 27/146(2006.01)

【F I】

H 0 4 N 5/369

H 0 1 L 27/146 D

【手続補正書】

【提出日】令和 4 年 12 月 19 日(2022.12.19)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

20

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 の回路部が設けられた第 1 の半導体部品と、

第 2 の回路部が設けられるとともに、前記第 1 の半導体部品に積層された第 2 の半導体部品とを備え、

前記第 2 の半導体部品は、前記第 1 の回路部に接続される第 1 のノードおよび第 2 のノードを有するデカップリング容量としての容量部を備え、

前記第 1 の回路部は前記第 2 の回路部から出力された信号を処理する信号処理回路であることを特徴とする半導体装置。 30

【請求項 2】

第 1 の回路部が設けられた第 1 の半導体部品と、

第 2 の回路部が設けられるとともに、前記第 1 の半導体部品に積層された第 2 の半導体部品とを備え、

前記第 2 の半導体部品は、前記第 1 の回路部に接続される第 1 のノードおよび第 2 のノードを有する容量部を備え、

前記第 2 の半導体部品は、前記第 2 の回路部と前記容量部との間に設けられたシールド部をさらに備えることを特徴とする半導体装置。

【請求項 3】

40

第 1 の回路部が設けられた第 1 の半導体部品と、

第 2 の回路部が設けられるとともに、前記第 1 の半導体部品に積層された第 2 の半導体部品とを備え、

前記第 2 の半導体部品は、前記第 1 の回路部に接続される第 1 のノードおよび第 2 のノードを有するデカップリング容量としての容量部を備え、

前記容量部は、半導体領域と前記半導体領域の上に絶縁膜を介して形成されたポリシリコン電極とを備えて構成されることを特徴とする半導体装置。

【請求項 4】

前記第 2 の半導体部品は、前記第 2 の回路部と前記容量部との間に設けられたシールド部をさらに備えることを特徴とする請求項 1 または 3 に記載の半導体装置。 50

【請求項 5】

前記シールド部は、複数の配線層と、複数の前記配線層を接続する複数の接続部とを備えることを特徴とする請求項 2 または 4 に記載の半導体装置。

【請求項 6】

前記シールド部には固定電圧が印加されることを特徴とする請求項 2、4、5 のいずれか 1 項に記載の半導体装置。

【請求項 7】

前記容量部は、前記第 2 の半導体部品の半導体基板において、前記第 2 の回路部から分離されたウェル内に形成されていることを特徴とする請求項 3 に記載の半導体装置。

【請求項 8】

前記容量部は MOS 構造を備えることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 9】

前記容量部はさらにゲート電極、ソース領域、ドレイン領域、および基板バイアス部を備え、

前記容量部の前記第 1 のノードは前記ゲート電極に接続され、前記容量部の前記第 2 のノードは前記ソース領域、前記ドレイン領域、および前記基板バイアス部に接続されることを特徴とする請求項 7 に記載の半導体装置。

【請求項 10】

前記半導体領域は前記ウェルの中に配され、

前記容量部の前記第 1 のノードは前記半導体領域に接続され、前記容量部の前記第 2 のノードは前記ポリシリコン電極に接続されることを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】

前記容量部は、前記第 2 の半導体部品の半導体基板の上の配線層領域に形成された第 1 の金属配線および第 2 の金属配線を備え、

前記容量部の前記第 1 のノードは前記第 1 の金属配線に接続され、前記容量部の前記第 2 のノードは前記第 2 の金属配線に接続されることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 12】

前記第 1 の金属配線および前記第 2 の金属配線は異なる配線層に形成されていることを特徴とする請求項 11 に記載の半導体装置。

【請求項 13】

前記第 1 の金属配線および前記第 2 の金属配線は同一の配線層に形成されていることを特徴とする請求項 11 に記載の半導体装置。

【請求項 14】

平面視において、前記第 1 の金属配線および前記第 2 の金属配線のそれぞれは凹部または凸部を備え、前記第 1 の金属配線の前記凹部内には前記第 2 の金属配線の前記凸部が位置することを特徴とする請求項 13 に記載の半導体装置。

【請求項 15】

ボンディングワイヤが接続されるパッド電極を備え、

平面視において、前記容量部は前記パッド電極と前記第 2 の回路部との間に配されることを特徴とする請求項 1 乃至 14 のいずれか 1 項に記載の半導体装置。

【請求項 16】

複数の前記容量部を備え、複数の前記容量部は互いに並列に接続されていることを特徴とする請求項 1 乃至 15 のいずれか 1 項に記載の半導体装置。

【請求項 17】

平面視において、前記容量部と前記第 1 の回路部とは少なくとも一部において重なって配置されることを特徴とする請求項 1 乃至 16 のいずれか 1 項に記載の半導体装置。

【請求項 18】

10

20

30

40

50

前記第 2 の回路部は光電変換部を含む画素部であることを特徴とする請求項 1 乃至 1 7 のいずれか 1 項に記載の半導体装置。

【請求項 1 9】

第 1 の回路部が設けられた第 1 の半導体部品と、

第 2 の回路部が設けられるとともに、前記第 1 の半導体部品に積層された第 2 の半導体部品とを備え、

前記第 2 の半導体部品は、前記第 1 の回路部に接続される第 1 のノードおよび第 2 のノードを有する容量部を備え、

前記第 2 の回路部は複数の画素を含む画素部であり、

前記容量部は、平面視において前記画素部の外に配されていることを特徴とする半導体装置。 10

【請求項 2 0】

前記第 1 の半導体部品は、平面視において前記第 2 の回路部と少なくとも一部において重なる第 3 の回路部を備えることを特徴とする請求項 1 9 に記載の半導体装置。

【請求項 2 1】

前記第 3 の回路部は、前記画素部から出力されたアナログ信号をデジタルデータに変換するアナログデジタル変換部と、前記デジタルデータを保持するメモリ部とのうちの少なくとも 1 つを備えることを特徴とする請求項 2 0 に記載の半導体装置。

【請求項 2 2】

前記第 1 の回路部は、前記デジタルデータを処理するデジタル信号処理回路であることを特徴とする請求項 2 1 に記載の半導体装置。 20

【請求項 2 3】

前記デジタル信号処理回路は前記半導体装置の外部に前記デジタルデータを出力することを特徴とする請求項 2 2 に記載の半導体装置。

【請求項 2 4】

前記第 1 の半導体部品の配線層領域と前記第 2 の半導体部品の配線層領域とが対向するように前記第 1 の半導体部品および前記第 2 の半導体部品が積層され、

前記第 1 の半導体部品の前記配線層領域に形成された接合コンタクトは前記第 2 の半導体部品の前記配線層領域に形成された接合コンタクトに接続されることと特徴とする請求項 1 乃至 2 3 のいずれか 1 項に記載の半導体装置。 30

【請求項 2 5】

前記第 1 の半導体部品の配線層領域と前記第 2 の半導体部品の半導体基板とが対向するように前記第 1 の半導体部品および前記第 2 の半導体部品が積層され、

前記第 1 の半導体部品の前記配線層領域に形成された接合コンタクトは前記第 2 の半導体部品の前記半導体基板に形成された貫通電極に接続されることを特徴とする請求項 1 乃至 2 3 のいずれか 1 項に記載の半導体装置。

【請求項 2 6】

前記容量部の前記第 1 のノードは前記第 1 の回路部における電源線に接続され、前記容量部の前記第 2 のノードは前記第 1 の回路部における接地線に接続されることを特徴とする請求項 1 乃至 2 5 のいずれか 1 項に記載の半導体装置。 40

【請求項 2 7】

前記第 1 の回路部は基準電圧を生成する電圧生成回路を含み、

前記容量部の前記第 1 のノードは前記基準電圧の配線に接続され、前記容量部の前記第 2 のノードは接地線に接続されることを特徴とする請求項 1 乃至 2 5 のいずれか 1 項に記載の半導体装置。

【請求項 2 8】

請求項 1 乃至 2 7 のいずれか 1 項に記載の半導体装置と、

前記半導体装置に接続された装置と

を有することを特徴とする機器。

【請求項 2 9】

半導体装置であって、

第 1 の回路部が設けられ、第 1 の配線層領域を含む第 1 の半導体部品と、

第 2 の回路部が設けられ、第 2 の配線層領域および主面を有し、前記第 1 の配線層領域と前記第 2 の配線層領域とが対向するように前記第 1 の半導体部品に積層された第 2 の半導体部品と、

金属からなり、前記第 1 の配線層領域および前記第 2 の配線層領域に接続された接合コンタクト部と、

前記半導体装置の外部から電源電圧または接地電圧のいずれかが供給されるパッド電極と、

前記パッド電極に接続された容量部とを備え、

10

前記容量部の少なくとも一部と前記接合コンタクト部とは、前記主面の上方からの平面視において重なることを特徴とする半導体装置。

【請求項 30】

半導体装置であって、

第 1 の回路部が設けられ、第 1 の配線層領域を含む第 1 の半導体部品と、

第 2 の回路部が設けられ、第 2 の配線層領域および主面を有し、前記第 1 の配線層領域と前記第 2 の配線層領域とが対向するように前記第 1 の半導体部品に積層された第 2 の半導体部品と、

金属からなり、前記第 1 の配線層領域および前記第 2 の配線層領域に接続された接合コンタクト部と、

20

前記半導体装置の外部から電源電圧または接地電圧のいずれかが供給されるパッド電極と、

前記パッド電極に接続された容量部と、

前記第 2 の半導体部品は、前記容量部と、前記第 2 の回路部および前記容量部の間に設けられたシールド部とをさらに含み、

前記シールド部の少なくとも一部と前記接合コンタクト部とは、前記主面の上方からの平面視において重ならないことを特徴とする半導体装置。

【請求項 31】

半導体装置であって、

第 1 の回路部が設けられ、第 1 の配線層領域を含む第 1 の半導体部品と、

30

第 2 の回路部を含み、第 1 の導電型の第 1 のウェルと、前記第 1 の導電型の第 2 のウェルと、前記第 1 のウェルおよび前記第 2 のウェルの間に配置された第 2 の導電型の第 3 のウェルとを含み、前記第 1 の半導体部品に積層され、第 2 の配線層領域および主面を含む第 2 の半導体部品と、

金属からなり、前記第 1 の配線層領域および前記第 2 の配線層領域に接続された接合コンタクト部と、

前記半導体装置の外部から電源電圧または接地電圧のいずれかが供給されるパッド電極と、

前記パッド電極に接続され、前記第 3 のウェルに配置された容量部とを備え、

前記第 3 のウェルの少なくとも一部と前記接合コンタクト部とは前記主面の上方からの平面視において重なることを特徴とする半導体装置。

40

【請求項 32】

前記第 2 の半導体部品は、前記第 2 の回路部および前記容量部の間に設けられたシールド部をさらに含むことを特徴とする請求項 29 または 31 に記載の半導体装置。

【請求項 33】

前記容量部は、前記第 2 の半導体部品の半導体基板における前記第 2 の回路部から分離されたウェルに形成されることを特徴とする請求項 29 または 30 に記載の半導体装置。

【請求項 34】

前記容量部は MOS 構造であることを特徴とする請求項 29 乃至 31 のいずれか 1 項に記載の半導体装置。

50

【請求項 35】

前記容量部はさらにゲート電極、ソース領域、ドレイン領域、および基板バイアス部を備え、

前記容量部の第1のノードは前記ゲート電極に接続され、前記容量部の第2のノードは前記ソース領域、前記ドレイン領域、および前記基板バイアス部に接続されることを特徴とする請求項29乃至31のいずれか1項に記載の半導体装置。

【請求項 36】

前記容量部は、半導体領域と前記半導体領域の上に絶縁膜を介して形成されたポリシリコン電極とを備え

前記容量部の第1のノードは前記半導体領域に接続され、前記容量部の第2のノードは前記ポリシリコン電極に接続されることを特徴とする請求項29乃至31のいずれか1項に記載の半導体装置。

10

【請求項 37】

前記容量部は、前記第2の半導体部品の半導体基板の上の配線層領域に形成された第1の金属配線および第2の金属配線を備え、

前記容量部の第1のノードは前記第1の金属配線に接続され、前記容量部の第2のノードは前記第2の金属配線に接続されることを特徴とする請求項29乃至31のいずれか1項に記載の半導体装置。

【請求項 38】

前記第1の金属配線および前記第2の金属配線は異なる配線層に形成されていることを特徴とする請求項37に記載の半導体装置。

20

【請求項 39】

前記第1の金属配線および前記第2の金属配線は同じ配線層に形成されていることを特徴とする請求項37に記載の半導体装置。

【請求項 40】

平面視において、前記第1の金属配線および前記第2の金属配線のそれぞれは凹部または凸部を備え、前記第1の金属配線の前記凹部内には前記第2の金属配線の前記凸部が位置することを特徴とする請求項37に記載の半導体装置。

【請求項 41】

前記第1の半導体部品は、平面視において前記第2の回路部と少なくとも一部において重なる第3の回路部を備えることを特徴とする請求項29乃至31のいずれか1項に記載の半導体装置。

30

【請求項 42】

前記第2の回路部は光電変換部を含む画素部であり、

前記第3の回路部は、前記画素部から出力されたアナログ信号をデジタルデータに変換するアナログデジタル変換部と、前記デジタルデータを保持するメモリ部とのうちの少なくとも1つを備えることを特徴とする請求項41に記載の半導体装置。

【請求項 43】

前記容量部の第1のノードは、前記第1の回路部の電源線に接続され、前記容量部の第2のノードは、前記第1の回路部の接地線に接続されることを特徴とする請求項29乃至31のいずれか1項に記載の半導体装置。

40

【請求項 44】

前記第1の回路部は、基準電圧を生成する電圧生成回路を含み、

前記容量部の第1のノードは前記基準電圧の配線に接続され、前記容量部の第2のノードは接地線に接続されることを特徴とする請求項29乃至31のいずれか1項に記載の半導体装置。

【請求項 45】

前記第1の半導体部品はトランジスタを含み、前記主面の上方からの平面視において、前記シールド部の少なくとも一部と前記トランジスタとは重なることを特徴とする請求項30に記載の半導体装置。

50

【請求項 4 6】

前記シールド部は、複数の配線層と、前記複数の配線層を接続する複数の接続部とを含むことを特徴とする請求項 3 0 に記載の半導体装置。

【請求項 4 7】

前記シールド部には固定電圧が印加されることを特徴とする請求項 3 0 に記載の半導体装置。

【請求項 4 8】

前記容量部は、前記第 2 の半導体部品の半導体基板における前記第 2 の回路部から分離されたウェルに形成されることを特徴とする請求項 3 0 に記載の半導体装置。

【請求項 4 9】

平面視において、前記容量部は前記パッド電極と前記第 2 の回路部との間に配されることを特徴とする請求項 2 9 乃至 3 1 のいずれか 1 項に記載の半導体装置。

10

【請求項 5 0】

複数の前記容量部を備え、複数の前記容量部は互いに並列に接続されていることを特徴とする請求項 2 9 乃至 3 1 のいずれか 1 項に記載の半導体装置。

【請求項 5 1】

平面視において、前記容量部と前記第 1 の回路部とは少なくとも一部において重なって配置されることを特徴とする請求項 2 9 乃至 3 1 のいずれか 1 項に記載の半導体装置。

【請求項 5 2】

前記容量部は、平面視において、複数の前記第 2 の回路部の領域の外側に配置されていることを特徴とする請求項 2 9 乃至 3 1 のいずれか 1 項に記載の半導体装置。

20

【請求項 5 3】

前記第 1 の回路部は、演算処理回路であることを特徴とする請求項 2 9 乃至 3 1 のいずれか 1 項に記載の半導体装置。

【請求項 5 4】

前記演算処理回路は、ノイズ低減処理を行うことを特徴とする請求項 5 3 に記載の半導体装置。

【請求項 5 5】

前記第 1 の回路部はアナログデジタル変換回路であることを特徴とする請求項 2 9 乃至 3 1 のいずれか 1 項に記載の半導体装置。

30

【請求項 5 6】

前記第 1 の回路部は、デジタルデータを処理するデジタル信号処理回路であることを特徴とする請求項 2 9 乃至 3 1 のいずれか 1 項に記載の半導体装置。

【請求項 5 7】

前記デジタル信号処理回路は前記半導体装置の外部に前記デジタルデータを出力することを特徴とする請求項 5 6 に記載の半導体装置。

【請求項 5 8】

請求項 1 乃至 5 7 のいずれか 1 項に記載の半導体装置と、
前記半導体装置に接続された装置と、
を有することを特徴とする機器。

40