(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0167656
(43) 공개일자 2024년11월27일

(51) 국제특허분류(Int. Cl.)
*H01M 4/36* (2006.01) *C01B 33/02* (2006.01)
*H01M 10/0525* (2010.01) *H01M 4/02* (2006.01)
*H01M 4/04* (2006.01) *H01M 4/134* (2010.01)
*H01M 4/1395* (2010.01) *H01M 4/38* (2006.01)
*H01M 4/62* (2006.01)
(52) CPC특허분류
*H01M 4/366* (2022.01)
*C01B 33/02* (2013.01)
(21) 출원번호 10-2024-7033405
(22) 출원일자(국제) 2023년03월07일
심사청구일자 없음
(85) 번역문제출일자 2024년10월07일
(86) 국제출원번호 PCT/AU2023/050154
(87) 국제공개번호 WO 2023/168486
국제공개일자 2023년09월14일
(30) 우선권주장
2022900552 2022년03월07일 오스트레일리아(AU)

(71) 출원인
**안테오 에너지 테크놀러지 피티와이 엘티디**
오스트레일리아 4113 퀸즐랜드 에이트 마일 플레인스 브리즈번 테크놀러지 파크 브랜들 스트리트 유닛 4/26
(72) 발명자
**비저 마누엘 크리스토프**
오스트레일리아 4123 퀸즐랜드 로치데일 사우스 본드 스트리트 18
**에랑기 페리야페루마 아치게 메리 칼라니**
오스트레일리아 4122 퀸즐랜드 마운트 그래벳 이스트 보스웰 스트리트 201/19
*(뒷면에 계속)*
(74) 대리인
**특허법인필앤온지**

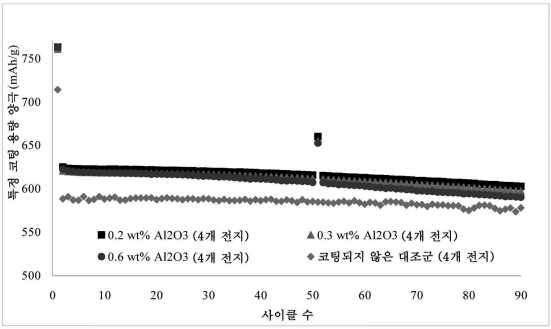
전체 청구항 수 : 총 59 항

(54) 발명의 명칭 **코팅된 애노드 조성물**

## (57) 요 약

본 개시내용은 일반적으로 코팅된 마이크로 실리콘 활성 재료 입자 및/또는 애노드 조성물을 포함하는 코팅된 애노드에 관한 것이다. 본 개시내용은 또한 리튬 이온 배터리용 애노드 및 이의 애노드 조성물에 관한 것이다. 본 개시내용은 또한 애노드 조성물을 전기화학 전지에 혼입시키는 방법에 관한 것이다.

## 대 표 도



(52) CPC특허분류
***H01M 10/0525*** (2013.01)
***H01M 4/0421*** (2013.01)
***H01M 4/0459*** (2013.01)
***H01M 4/0471*** (2013.01)
***H01M 4/134*** (2013.01)
***H01M 4/1395*** (2013.01)
***H01M 4/386*** (2013.01)
***H01M 4/62*** (2013.01)
*C01P 2004/61* (2013.01)
(72) 발명자
**한센 카이-안데르스**
오스트레일리아 4113 퀸즐랜드 런콘 프레쎄 로드 4/83
**알사바위 카디자**
오스트레일리아 4165 퀸즐랜드 레드랜드 베이 로키 패시지 로드 39

# 명 세 서

## 청구범위

### 청구항 1

마이크로 실리콘 활성 재료 입자를 포함하는 애노드 조성물로서,

상기 마이크로 실리콘 활성 재료 입자는 다음 (i) 약 0.1 $m^2$/g 내지 약 10 $m^2$/g의 측정된 BET 표면적, (ii) 약 0.1 μm 내지 약 10 μm의 $D_{50}$ 입자 크기, 및 (iii) 약 0.1 내지 약 10의 $D_{50}$ : BET 표면적의 비율 중 하나 이상을 가지며,

여기서 애노드 조성물에 존재하는 마이크로 실리콘 활성 재료 입자의 양은 애노드 조성물의 총 중량%를 기준으로 약 60 wt.% 내지 약 95 wt.%이고, 그리고

여기서 애노드 조성물은 코팅을 포함하는, 애노드 조성물.

### 청구항 2

제1항에 있어서, 상기 코팅이 마이크로 실리콘 활성 재료 입자의 코팅인 애노드 조성물.

### 청구항 3

제1항에 있어서, 상기 코팅이 애노드 조성물의 코팅인 애노드 조성물.

### 청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 마이크로 실리콘 활성 재료 입자의 $D_{50}$ : BET 표면적의 비율이 약 0.1 내지 약 6인 애노드 조성물.

### 청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 코팅이 코팅된 마이크로 실리콘 활성 재료 입자를 형성하기 위해, 탄소, 그래핀, 흑연, 금속 산화물, 중합체 및 이의 조합을 포함하는 그룹으로부터 선택되는 애노드 조성물.

### 청구항 6

제1항 내지 제5항 중 어느 한 항에 있어서, 상기 마이크로 실리콘 활성 재료 입자의 측정된 BET 표면적이 약 1 $m^2$/g 내지 약 5 $m^2$/g인 애노드 조성물.

### 청구항 7

제1항 내지 제6항 중 어느 한 항에 있어서, 상기 애노드 조성물에 존재하는 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 재료 입자의 양이 애노드 조성물의 총 중량 % 기준으로 약 70 wt.% 내지 약 95 wt.%인 애노드 조성물.

### 청구항 8

제1항 내지 제7항 중 어느 한 항에 있어서, 상기 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 재료 입자의 밀도가 약 0.5 g/$cm^2$ 내지 약 1.2 g/$cm^2$인 애노드 조성물.

### 청구항 9

제1항 내지 제8항 중 어느 한 항에 있어서, 상기 마이크로 실리콘 활성 재료 입자의 순도가 적어도 95 wt.% (산소 없음)인 애노드 조성물.

### 청구항 10

제1항 내지 제9항 중 어느 한 항에 있어서, 상기 마이크로 실리콘 활성 재료 입자의 $D_{50}$ 입자 크기가 약 2 μm 내지 약 8 μm인 애노드 조성물.

**청구항 11**

제2항 내지 제10항 중 어느 한 항에 있어서, 상기 코팅된 마이크로 실리콘 활성 재료 입자의 측정된 BET 표면적이 약 1 μm 내지 약 100 μm인 애노드 조성물.

**청구항 12**

제1항 내지 제11항 중 어느 한 항에 있어서, 상기 코팅의 두께는 약 0.1 nm 내지 약 200 nm인 애노드 조성물.

**청구항 13**

제1항 내지 제12항 중 어느 한 항에 있어서, 상기 코팅 두께 대 코팅되지 않은 실리콘 입자 직경의 비율 (X:1로서 t/d)이 약 0.0001:1 내지 약 0.2:1인 애노드 조성물.

**청구항 14**

제1항 내지 제13항 중 어느 한 항에 있어서, 상기 애노드 조성물이 하나 이상의 결합제를 추가로 포함하는 애노드 조성물.

**청구항 15**

제14항에 있어서, 상기 애노드 조성물에 존재하는 결합제의 양이 애노드 조성물의 총 중량을 기준으로 약 2.5 wt.% 내지 약 15 wt.%인 애노드 조성물.

**청구항 16**

제1항 내지 제15항 중 어느 한 항에 있어서, 상기 애노드 조성물은 하나 이상의 전도성 재료를 추가로 포함하는 애노드 조성물.

**청구항 17**

제16항에 있어서, 상기 애노드 조성물에 존재하는 전도성 재료의 양이 애노드 조성물의 총 중량을 기준으로 약 2.5 wt.% 내지 약 40 wt.%인 애노드 조성물.

**청구항 18**

제1항 내지 제17항 중 어느 한 항에 있어서, 상기 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자는 사전리튬화되는 애노드 조성물.

**청구항 19**

제18항에 있어서, 상기 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자는 애노드 조성물에 혼입되기 전에 사전리튬화되는 애노드 조성물.

**청구항 20**

제18항 또는 제19항에 있어서, 상기 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자의 사전리튬화 수준은 약 1% 내지 약 30%인 애노드 조성물.

**청구항 21**

제18항 내지 제20항 중 어느 한 항에 있어서, 상기 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자의 사전리튬화 수준이 약 10% 내지 약 30%인 애노드 조성물.

**청구항 22**

제1항 내지 제21항 중 어느 한 항에 있어서, 상기 애노드 조성물은 집전기 재료의 표면에 도포되는 코팅 또는 필름인 애노드 조성물.

**청구항 23**

제22항에 있어서, 상기 애노드용 집전기 재료가 구리, 알루미늄, 스테인레스강, 티타늄, 탄소, 천공 금속 호일, 금속 폼, 및 금속 코팅된 중합체 기반 다공성 및 비다공성 막을 포함하는 그룹으로부터 선택되는 애노드 조성물.

**청구항 24**

제1항 내지 제23항 중 어느 한 항에 있어서, 상기 마이크로 실리콘 활성 재료 입자 또는 애노드 조성물이 코팅의 하나 이상의 층을 포함하는 애노드 조성물.

**청구항 25**

제1항 내지 제24항 중 어느 한 항에 있어서, 상기 애노드 조성물은 전기화학 전지용 애노드인 애노드 조성물.

**청구항 26**

제1항 내지 제25항 중 어느 한 항에 있어서, 상기 애노드 조성물은 1차 배터리 또는 2차 배터리용 애노드인 애노드 조성물.

**청구항 27**

제1항 내지 제26항 중 어느 한 항에 있어서, 상기 애노드 조성물은 리튬 이온 배터리용 애노드인 애노드 조성물.

**청구항 28**

애노드; 캐소드; 전해질; 및 분리기를 포함하는 전기화학 전지로서,

여기서 애노드는 제1항 내지 제27항 중 어느 한 항에 정의된 애노드 조성물을 포함하고,

여기서 애노드의 리튬 흡수 용량은 캐소드의 리튬 방출 용량보다 큰, 전기화학 전지.

**청구항 29**

제28항에 있어서, 상기 애노드의 리튬 흡수 용량의 용량이 리튬 이온 배터리의 충전 동안 완전히 활용되지 않는 전기화학 전지.

**청구항 30**

제28항 또는 제29항에 있어서, 상기 애노드는 완전히 충전된 상태에서 부분적으로만 리튬화되는 전기화학 전지.

**청구항 31**

제28항 내지 제29항 중 어느 한 항에 있어서, 상기 실리콘 리튬화 정도는 약 20% 내지 약 80%로 제한되는 전기화학 전지.

**청구항 32**

제28항 내지 제31항 중 어느 한 항에 있어서, 상기 애노드와 캐소드의 용량비 (N/P 비)가 약 1.05 내지 약 7인 완전 전지(full cell) 조립체.

**청구항 33**

제28항 내지 제32항 중 어느 한 항에 있어서, 상기 애노드와 캐소드의 용량비 (N/P 비)가 약 1.5 내지 약 4인 전기화학 전지.

**청구항 34**

제28항 내지 제33항 중 어느 한 항에 있어서, 상기 애노드와 캐소드의 용량비 (N/P 비)가 약 1.8 내지 약 3.5인 전기화학 전지.

**청구항 35**

제28항 내지 제34항 중 어느 한 항에 있어서, 상기 낮은 컷오프 전압이 약 2.5V 내지 3.0V인 전기화학 전지.

**청구항 36**

제28항 내지 제35항 중 어느 한 항에 있어서, 상기 애노드는 사전리튬화된 것인 전기화학 전지.

**청구항 37**

제36항에 있어서, 상기 애노드의 사전리튬화 수준이 약 1% 내지 약 30%인 전기화학 전지.

**청구항 38**

제28항 내지 제37항 중 어느 한 항에 있어서, 상기 캐소드는 리튬 니켈 코발트 망간 산화물 (NCM), 리튬 철 인산염 (LFP), 리튬 니켈 망간 스피넬 (LNMO), 리튬 니켈 코발트 알루미늄 산화물 (NCA), 리튬 망간 산화물 (LMO), 리튬 코발트 산화물 (LCO), 및 황 또는 황 복합물을 포함하는 그룹으로부터 선택되는 전기화학 전지.

**청구항 39**

제28항 내지 제38항 중 어느 한 항에 있어서, 상기 전해질이 하나 이상의 리튬염을 포함하는 비수성 전해질 용액으로부터 선택되는 전기화학 전지.

**청구항 40**

제28항 내지 제39항 중 어느 한 항에 있어서, 상기 전기화학 전지가 에너지 저장 장치인 전기화학 전지.

**청구항 41**

제40항에 있어서, 상기 에너지 저장 장치는 배터리, 바람직하게는 2차 배터리인 전기화학 전지.

**청구항 42**

제41항에 있어서, 상기 배터리는 리튬 이온 배터리인 전기화학 전지.

**청구항 43**

애노드 및 캐소드, 적어도 하나의 전해질, 및 선택적으로 분리기를 갖는 리튬 이온 배터리의 사이클링 안정성을 향상시키는 방법으로서, 상기 애노드 조성물은 제1항 내지 제27항 중 어느 한 항에 의해 정의된, 방법.

**청구항 44**

제43항에 있어서, 상기 배터리 내의 애노드는 적어도 약 450 mAh/g, 500 mAh/g, 600 mAh/g, 800 mAh/g, 1000 mAh/g, 1200 mAh/g, 또는 1500 mAh/g의 특정 용량을 전달하고 배터리의 100, 200, 400, 600, 800, 1000 또는 1500 사이클 후에 초기 용량의 적어도 약 80%를 유지하는 방법.

**청구항 45**

전기화학 전지에서 애노드 조성물의 용도로서, 상기 애노드 조성물은 집전기 재료에 적어도 부분적으로 도포되고, 여기서 애노드 조성물은 제1항 내지 제27 항 중 어느 한 항에 정의된 바와 같은 것인, 용도.

**청구항 46**

코팅된 마이크로 실리콘 활성 재료 입자를 제조하는 공정으로서,

(i) 복수의 마이크로 실리콘 활성 재료 입자를 제공하는 단계로서, 여기서 마이크로 실리콘 활성 재료 입자는 다음 (i) 약 0.1 $m^2$/g 내지 약 10 $m^2$/g의 측정된 BET 표면적, (ii) 약 0.1 μm 내지 약 10 μm의 $D_{50}$ 입자 크기, 및 (iii) 약 0.1 내지 약 10의 $D_{50}$ : BET 표면적의 비율 중 하나 이상을 갖는 단계; 및

(ii) 마이크로 실리콘 활성 재료 입자의 표면에 코팅을 적용하는 단계를 포함하는, 공정.

**청구항 47**

제46항에 있어서, 코팅은 탄소, 그래핀, 흑연, 금속 산화물, 중합체 및 이의 조합을 포함하는 그룹으로부터 선택되는 공정.

**청구항 48**

전기화학 전지용 애노드를 제조하는 공정으로서,

(i) 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자, 선택적으로 하나 이상의 추가 활성 재료, 선택적으로 하나 이상의 결합제, 선택적으로 하나 이상의 전도성 재료, 선택적으로 하나 이상의 첨가제, 및 용매 시스템을 포함하는 애노드 슬러리를 제조하는 단계;

(ii) 애노드 슬러리 층을 집전기 재료 상에 캐스팅하여 집전기 재료 상에 애노드 조성물 층을 제공하는 단계, 및

(iii) 선택적으로 애노드 조성물을 코팅하는 단계를 포함하고,

여기서 마이크로 실리콘 활성 재료 입자는 다음 (a) 약 0.1 $m^2$/g 내지 약 10 $m^2$/g의 측정된 BET 표면적, (b) 약 0.1 μm 내지 약 10 μm의 $D_{50}$ 입자 크기, (c) 약 0.1 내지 10의 $D_{50}$ : BET 표면적 비율 중 하나 이상을 갖는, 공정.

**청구항 49**

제48항에 있어서, 상기 공정은 단계 (iii) (a) 용매 증발 및/또는 (b) 열 처리에 의해 애노드 층을 고화시켜 집전기 재료 상에 코팅된 건조 애노드 조성물 층을 제공하는 단계를 추가로 포함하는 공정.

**청구항 50**

제48항 또는 제49항에 있어서, 상기 코팅은 탄소, 그래핀, 흑연, 금속 산화물, 중합체 및 이의 조합을 포함하는 그룹으로부터 선택되는 공정.

**청구항 51**

제48항 또는 제50항 중 어느 한 항에 있어서, 상기 애노드 슬러리 중 결합제의 함량은 애노드 조성물의 총 중량을 기준으로 약 2.5 wt.% 내지 약 15 wt.%인 공정.

**청구항 52**

제48항 내지 제51항 중 어느 한 항에 있어서, 상기 애노드 슬러리 중 전도성 재료의 함량은 애노드 조성물의 총 중량을 기준으로 약 2.5 wt.% 내지 약 40 wt.%인 공정.

**청구항 53**

제48항 내지 제52항 중 어느 한 항에 있어서, 상기 애노드 슬러리의 점도는 주어진 전단 속도에서 500 mPas 내지 100,000 mPas의 범위인 공정.

**청구항 54**

제48항 내지 제53항 중 어느 한 항에 있어서, 상기 건조 애노드 조성물 층의 두께가 약 5 μm 내지 약 70 μm의 범위인 공정.

**청구항 55**

제49항 내지 제54항 중 어느 한 항에 있어서, 상기 단계 (iii)(a)의 온도가 약 40℃ 내지 60℃인 공정.

**청구항 56**

제49항 내지 제55항 중 어느 한 항에 있어서, 상기 단계 (iii)(b)의 온도가 약 90℃ 내지 180℃인 공정.

**청구항 57**

제48항 내지 제56항 중 어느 한 항에 있어서, 상기 코팅이 애노드 조성물 표면의 적어도 일부에 적용되는 공정.

**청구항 58**

제48항 내지 제57항 중 어느 한 항의 공정에 의해 정의된 바와 같이 제조된 제1항 내지 제27항 중 어느 한 항에 정의된 애노드 조성물을 포함하는 애노드.

**청구항 59**

전기화학 전지를 조립하는 공정으로서, 상기 공정은 다음 단계를 포함하는 공정:

제48항 내지 제57항 중 어느 한 항의 공정에 의해 정의된 애노드를 제조하는 단계로서, 여기서 애노드는 제1항 내지 제27항 중 어느 한 항에 정의된 애노드 조성물을 포함하는 단계; 및

애노드를 전기화학 전지로 조립하는 단계.

## *발명의 설명*

### *기 술 분 야*

[0001] 본 개시내용은 일반적으로 코팅된 마이크로 실리콘 활성 재료 입자 및/또는 애노드 조성물을 포함하는 코팅된 애노드에 관한 것이다. 본 개시내용은 또한 리튬 이온 배터리용 애노드 및 이의 애노드 조성물에 관한 것이다. 본 개시내용은 또한 애노드 조성물을 전기화학 전지에 혼입시키는 방법에 관한 것이다.

### *배 경 기 술*

[0002] 기존의 리튬 이온 (Li-이온) 배터리는 전형적으로 리튬 삽입 재료로 흑연 우세 애노드를 사용한다. 그러나 실리콘 우세 애노드는 흑연 우세 리튬 이온 배터리에 비해 개선된 성능을 제공한다. 실리콘 ($Li_{3.75}Si$ 기반)은 더 높은 중량 (3579 mAh/g 대 흑연의 경우 372 mAh/g) 및 부피 용량 (완전히 리튬화된 환경에서 ~2194 $mAh/cm^3$ 대 흑연의 경우 ~750 $mAh/cm^3$)을 나타낸다. 또한, 실리콘 기반 애노드는 $Li/Li^+$에 비해 약 0.3-0.4V의 낮은 리튬화/탈리튬화 전압 안정기를 가지므로, 바람직하지 않은 Li 도금 및 수지상 돌기 형성을 방지하는 개방 회로 전위를 유지할 수 있다. 실리콘은 우수한 전기화학 활성을 나타내지만, 리튬화 및 탈리튬화 과정에서 실리콘의 큰 부피 변화로 인해 실리콘 기반 애노드의 안정적인 사이클 수명을 달성하는 것이 어렵다. 실리콘 활성 재료 및 영역은 낮은 전기 전도도와 결합된 큰 부피 변화로 인해 실리콘이 애노드의 주변 재료로부터 분리되므로 애노드와의 전기적 접촉을 잃을 수 있다.

[0003] 또한, 큰 실리콘 부피 변화는 고체 전해질 간기 (SEI) 형성을 악화시켜, 전기적 절연을 초래하여 용량 손실을 초래할 수 있다. 충전-방전 사이클링에 따른 실리콘 입자의 팽창 및 수축으로 인해 실리콘 입자가 분쇄되어 특정 표면적이 증가한다. 사이클링 동안 실리콘 표면적이 변화하고 증가함에 따라 SEI는 반복적으로 분열하고 재형성된다. 따라서 SEI는 두꺼운 전자 및 이온 절연층으로 사이클링 동안 분쇄 실리콘 영역 주위에 지속적으로 축적된다. 이렇게 축적된 SEI는 전극의 임피던스를 증가시키고 전극의 전기화학 반응성을 감소시켜 사이클 수명에 해를 끼친다. 높은 특정 용량, 풍부함 및 저렴한 비용으로 인해 실리콘은 리튬 이온 애노드용 유망 활성 재료다. 그러나 리튬화 및 탈리튬화 과정에서 큰 부피 변화 (>280% $Li_{3.75}Si_1$ 상의 부피 변화)는 전극의 기계적 저하와 불안정한 SEI를 발생시켜 전극 부풀음과 전지 사이클 수명 저하를 초래한다.

[0004] 따라서, 실리콘의 팽창 효과를 제어하고 애노드의 안정성 및/또는 사이클 수명을 크게 연장할 수 있는 리튬 이온 배터리, 특히 대부분의 실리콘 활성 재료를 포함하는 리튬 이온 배터리용 신규 및 대안적 애노드 조성물을 제공할 필요가 있다.

### *발명의 내용*

[0005] 본 개시내용은 코팅된 마이크로 실리콘 활성 재료 입자 및/또는 애노드 조성물을 포함하는 코팅된 애노드를 제공한다. 애노드 조성물은 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자를 포함할 수 있으며, 여기서 실리콘 함량은 애노드 조성물의 총 중량을 기준으로 적어도 60 wt.%이다. 본 개시내용은 또한 애노드 조성물을 포함하는 애노드를 전기화학 전지에 혼입하는 방법 및 이렇게 형성된 전기화학 전지를 제공하며, 이로써 전기화학 전지에 혼입하는 방법과 짝을 이루는 애노드는 애노드의 안정성 및/또는 사이클 수명

을 연장할 수 있다. 애노드 조성물 및/또는 형성된 애노드는 코팅될 수 있다.

[0006] 한 양태에서 마이크로 실리콘 활성 재료 입자를 포함하는 애노드 조성물이 제공되며, 여기서 마이크로 실리콘 활성 재료 입자는 다음 (i) 약 0.1 $m^2$/g 내지 약 10 $m^2$/g의 측정된 BET 표면적, (ii) 약 0.1 μm 내지 약 10 μm의 $D_{50}$ 입자 크기, 및 (iii) 약 0.1 내지 약 10의 D50 : BET 표면적 비율 중 하나 이상을 가지며, 여기서 애노드 조성물에 존재하는 마이크로 실리콘 활성 재료 입자의 양은 애노드 조성물의 전체 중량 %를 기준으로 약 60 wt.% 내지 약 95 wt.%이고, 애노드 조성물은 코팅을 포함한다. 일부 구현예에서, 코팅은 마이크로 실리콘 활성 재료 입자의 코팅일 수 있다. 코팅은 탄소, 그래핀, 흑연, 금속 산화물, 중합체 및 이의 조합을 포함하는 그룹으로부터 선택되어 코팅된 마이크로 실리콘 활성 재료 입자를 형성할 수 있다.

[0007] 일부 구현예에서, 코팅된 마이크로 실리콘 활성 재료 입자의 표면적은 코팅되지 않은 마이크로 실리콘 활성 재료 입자의 표면적에 비해 감소할 것이다. 일부 실시예에서, 마이크로 실리콘 활성 재료 입자가 거친 표면을 갖고 코팅이 실제로 이러한 결함을 채울 수 있는 경우 표면적이 감소할 수 있다는 것이 이해될 것이다. 다른 구현예에서, 코팅된 마이크로 실리콘 활성 재료 입자의 표면적은 코팅되지 않은 마이크로 실리콘 활성 재료 입자의 표면적에 비해 증가할 것이다. 일부 구현예에서, 코팅된 마이크로 실리콘 활성 재료 입자의 측정된 BET 표면적은 약 1 $m^2$/g 내지 약 100 $m^2$/g일 수 있다. 일부 구현예에서, 애노드 조성물에 존재하는 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자의 양은 애노드 조성물의 전체 중량 %를 기준으로 약 70 wt.% 내지 약 95 wt.%일 수 있다. 일부 구현예에서, 마이크로 실리콘 활성 재료 입자 (산소 없음)의 순도는 적어도 95 wt.%, 바람직하게는 98 wt.%일 수 있다. 일부 구현예에서, 코팅의 두께는 약 0.1 nm 내지 약 200 nm일 수 있다.

[0008] 일부 구현예에서, 애노드 조성물은 하나 이상의 결합제를 추가로 포함할 수 있다. 애노드 조성물에 존재하는 결합제의 양은 애노드 조성물의 총 중량을 기준으로 약 2.5 wt.% 내지 약 15 wt.%일 수 있다.

[0009] 일부 구현예에서, 애노드 조성물은 하나 이상의 전도성 재료를 추가로 포함할 수 있다. 애노드 조성물에 존재하는 전도성 재료의 양은 애노드 조성물의 총 중량을 기준으로 약 2.5 wt.% 내지 약 40 wt.%일 수 있다.

[0010] 일부 구현예에서, 마이크로 실리콘 활성 재료 입자 또는 코팅된 활성 재료 입자 및/또는 애노드 조성물은 사전리튬화될 수 있다. 마이크로 실리콘 활성 재료 입자 또는 코팅된 활성 재료 입자 및/또는 애노드 조성물의 사전리튬화 수준은 약 1% 내지 약 30% 실리콘 리튬화일 수 있다.

[0011] 또 다른 양태에서 애노드; 캐소드; 전해질; 및 분리기를 포함하는 전기화학 전지가 제공되며, 여기서 애노드는 본원에 기술된 임의의 하나 이상의 구현예 또는 실시예에 정의된 애노드 조성물을 포함하고, 여기서 애노드의 리튬 흡수 용량은 캐소드의 리튬 방출 용량보다 크다. 일부 구현예에서, 리튬 이온 배터리를 충전 동안 애노드의 리튬 흡수 용량이 완전히 활용되지 않을 수 있다. 한 예에서, 애노드는 완전히 충전된 상태에서 부분적으로만 리튬화될 수 있다. 일부 구현예에서, 실리콘 리튬화 정도는 이론적 최대값의 약 20% 내지 약 80%로 제한될 수 있다. 일부 구현예에서, 애노드 및 캐소드의 용량비 (N/P 비)는 약 1.05 내지 약 7일 수 있다. 다른 구현예에서, 하한 컷오프 전압은 약 2.0V 내지 3.5V일 수 있다.

[0012] 일부 구현예에서, 애노드의 사전리튬화 수준은 약 1% 내지 약 30% 실리콘 리튬화일 수 있다. 캐소드는 리튬 니켈 코발트 망간 산화물 (NCM), 리튬 철 인산염 (LFP), 리튬 니켈 망간 스피넬 (LNMO), 리튬 니켈 코발트 알루미늄 산화물 (NCA), 리튬 망간 산화물 (LMO), 리튬 코발트 산화물 (LCO), 및 황 또는 황 복합물을 포함하는 그룹으로부터 선택된 활성 재료를 포함할 수 있다. 전해질은 하나 이상의 리튬염을 포함하는 비수성 전해질 용액으로부터 선택될 수 있다.

[0013] 일부 구현예에서, 전기화학 전지는 에너지 저장 장치일 수 있다. 에너지 저장 장치는 배터리, 바람직하게는 2차 배터리일 수 있다. 예를 들어, 배터리는 리튬 이온 배터리일 수 있다.

[0014] 또 다른 양태에서 애노드 및 캐소드, 적어도 하나의 전해질, 및 분리기를 갖는 리튬 이온 배터리의 사이클링 안정성을 개선하는 방법이 제공되며, 여기서 애노드 조성물은 본원에 기술된 임의의 하나 이상의 구현예 또는 실시예에 의해 정의된다. 일부 구현예에서, 배터리 내의 애노드는 적어도 약 450 mAh/g, 500 mAh/g, 600 mAh/g, 800 mAh/g, 1000 mAh/g, 1200 mAh/g, 또는 1500 mAh/g의 특정 용량을 전달하고 배터리의 100, 200, 400, 600, 800, 1000 또는 1500 사이클 이후 초기 용량의 적어도 약 80%를 유지한다.

[0015] 또 다른 양태에서 전기화학 전지에서의 애노드 조성물의 용도가 제공되며, 여기서 애노드 조성물은 집전기 재료에 적어도 부분적으로 도포되고, 여기서 애노드 조성물은 본원에 기재된 임의의 하나 이상의 구현예 또는 실시

예에 의해 정의된 바와 같다.

[0016] 또 다른 양태에서 다음 단계를 포함하는, 전기화학 전지용 애노드를 제조하는 방법이 제공되고: (i) 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 재료 입자, 선택적으로 하나 이상의 추가 활성 재료, 선택적으로 하나 이상의 결합제, 선택적으로 하나 이상의 전도성 재료, 선택적으로 하나 이상의 첨가제, 및 용매 시스템을 포함하는 애노드 슬러리를 제조하는 단계; 및 (ii) 애노드 슬러리 층을 집전기 재료 상에 캐스팅하여 집전기 재료 상에 애노드 조성물 층을 제공하는 단계, 및 (iii) 선택적으로 애노드 조성물을 코팅하는 단계, 여기서 마이크로 실리콘 활성 재료 입자는 다음 (a) 약 0.1 $m^2/g$ 내지 10 $m^2/g$의 측정된 BET 표면적, (b) 약 0.1 μm 내지 약 10 μm의 $D_{50}$ 입자 크기, 및 (c) 약 0.1 내지 약 10의 $D_{50}$ : BET 표면적의 비율 중 하나 이상을 갖는다.

[0017] 또 다른 양태에서 본원에 기술된 임의의 하나 이상의 구현예 또는 실시예의 공정에 의해 정의된 바와 같이 제조된 애노드가 제공된다.

[0018] 또 다른 양태에서 전기화학 전지를 조립하는 공정이 제공되며, 이 공정은 다음 단계를 포함한다: 본원에 기술된 바와 같은 임의의 하나 이상의 구현예 또는 실시예의 방법에 의해 정의된 바와 같은 애노드를 제조하는 단계로서, 여기서 애노드는 본원에 기술된 바와 같은 임의의 하나 이상의 구현예 또는 실시예에서 정의된 애노드 조성물을 포함하는 단계; 및 애노드를 전기화학 전지로 조립하는 단계.

[0019] 임의의 상기 양태 및 구현예에서, 마이크로 실리콘 활성 재료 입자 및/또는 애노드 조성물을 포함하는 애노드는 코팅을 포함한다.

## *도면의 간단한 설명*

[0020] 본 개시내용의 바람직한 구현예는 하기 첨부 도면을 참조하여 단지 예로서 더 기술되고 예시될 것이다:

**도 1a**는 C/2에서 70wt% mSi 제한 용량 ($Al_2O_3$ 코팅 대 코팅되지 않은 mSi) 완전 전지(full cell) (애노드)의 특정 코팅 용량을 보여주는 그래프이다.

**도 1b**는 C/2에서 70wt% mSi 제한 용량 ($Al_2O_3$ 코팅 대 코팅되지 않은 mSi) 완전 전지 (애노드)의 방전 용량 유지를 보여주는 그래프이다.

**도 2a**는 C/2에서 70wt% mSi 제한 용량 (PR 코팅 대 코팅되지 않은 mSi) 완전 전지 (애노드)의 특정 코팅 용량을 보여주는 그래프이다.

**도 2b**는 C/2에서 70wt% mSi 제한 용량 (PR 코팅 대 코팅되지 않은 mSi) 완전 전지 (애노드)의 방전 용량 유지를 보여주는 그래프이다.

**도 3a**는 C/2에서 70wt% mSi 제한 용량 (PVP-SPD 코팅 대 코팅되지 않음) 완전 전지 (애노드)의 특정 코팅 용량을 보여주는 그래프이다.

**도 3b**는 C/2에서 70wt% mSi 제한 용량 (PVP-SPD 코팅 대 코팅되지 않음) 완전 전지 (애노드)의 방전 용량 유지를 보여주는 그래프이다.

**도 4a**는 C/2에서 70wt% mSi 제한 용량 (PAN 코팅 대 코팅되지 않은 mSi) 완전 전지 (애노드)의 특정 코팅 용량을 보여주는 그래프이다.

**도 4b**는 C/2에서 70wt% mSi 제한 용량 (PAN 코팅 대 코팅되지 않은 mSi) 완전 전지 (애노드)의 방전 용량 유지를 보여주는 그래프이다.

**도 5a**는 사전리튬화된 70wt% mSi 애노드 (0 및 10% 사전리튬화에서)의 C/2에서 특정 코팅 용량 (애노드)을 보여주는 그래프이다.

**도 5b**는 사전리튬화된 C/2의 비율에서 70wt% mSi 애노드 (0 및 10% 사전리튬화에서) 완전 전지의 방전 용량 유지를 보여주는 그래프이다.

## *발명을 실시하기 위한 구체적인 내용*

[0021] 본 개시내용은 리튬 이온 배터리용 대부분의 마이크로 실리콘 애노드 조성물을 포함하는 대안적이고 개선된 애

노드를 식별하기 위해 수행된 조사, 전기화학 전지에 애노드를 통합하는 임의의 방법, 그렇게 형성된 전기화학 전자 및 이의 용도와 관련된 하기 다양한 비제한적 예를 기술한다.

[0022] **일반 정의 및 용어**

[0023] 하기 설명에서는 본원의 일부를 구성하고 여러 구현예를 예시로 보여주는 첨부 도면을 참조한다. 본 개시내용의 범위를 벗어나지 않으면서 다른 구현예가 활용될 수 있고 구조적 변경이 이루어질 수 있다는 것이 이해된다.

[0024] 본원에 제공된 정의와 관련하여, 달리 명시되지 않거나 문맥에서 암시되지 않는 한, 정의된 용어 및 문구는 제공된 의미를 포함한다. 또한, 달리 명시적으로 언급되지 않거나 문맥상 명백하지 않는 한, 아래의 용어 및 문구는 해당 기술 분야의 당업자에 의해 해당 용어 또는 문구가 획득한 의미를 배제하지 않는다. 정의는 특정 구현예를 기술하는 데 도움을 사이클 위해 제공되었으며 청구된 발명을 제한하려는 의도는 없으며, 본 발명의 범위는 청구범위에 의해서만 제한되기 때문이다. 또한, 문맥상 달리 요구되지 않는 한, 단수형 용어는 복수형을 포함하고, 복수형 용어는 단수형을 포함한다.

[0025] 본원에서 논의 및/또는 참조된 모든 간행물은 그 전체 내용이 본원에 포함되어 있다.

[0026] 본 개시내용 전반에 걸쳐, 달리 구체적으로 언급되지 않거나 문맥상 달리 요구되지 않는 한, 단일 단계, 물질의 조성, 단계의 그룹 또는 물질의 조성물 그룹에 대한 언급은 이러한 단계, 물질의 조성, 단계의 그룹 또는 물질의 조성물 그룹의 하나 및 복수 (즉, 하나 이상)를 포괄하는 것으로 간주되어야 한다. 따라서, 본원에 사용된 바와 같이, 단수형 "a", "an" 및 "the"는 문맥상 명백하게 달리 지시하지 않는 한 복수형을 포함한다. 예를 들어, "a"에 대한 언급은 단일뿐만 아니라 둘 이상을 포함하고; "an"에 대한 언급은 단일뿐만 아니라 둘 이상을 포함하고; "the"에 대한 언급은 단일뿐만 아니라 두 개 이상 등을 포함한다.

[0027] 당업자는 본원의 개시내용이 구체적으로 기술된 것 이외의 변형 및 수정이 가능하다는 것을 이해할 것이다. 본 개시내용은 이러한 모든 변형 및 수정을 포함한다는 것이 이해되어야 한다. 본 개시내용은 또한 본 명세서에 개별적으로 또는 집합적으로 언급되거나 표시된 모든 실시예, 단계, 특징, 방법, 조성 및 공정, 및 상기 단계 또는 특징 중 임의의 모든 조합 또는 임의의 2개 이상을 포함한다.

[0028] 용어 "및/또는", 예를 들어, "X 및/또는 Y"는 "X 및 Y" 또는 "X 또는 Y"를 의미하는 것으로 이해되어야 하며 두 의미 또는 두 의미 모두에 대한 명시적인 지원을 제공하는 것으로 간주되어야 한다.

[0029] 달리 명시하지 않는 한, 용어 "제1," "제2" 등은 본원에서 단지 표지로만 사용되며, 이러한 용어가 지칭하는 항목에 순서적, 위치적 또는 계층적 요구 사항을 부과하려는 의도가 아니다. 더욱이, "제2" 항목에 대한 언급은 낮은 번호의 항목 (예를 들어, "제1" 항목) 및/또는 높은 번호의 항목 (예를 들어, "제3" 항목)의 존재를 요구하거나 배제하지 않는다.

[0030] 본원에 사용된 바와 같이, 항목 목록과 함께 사용될 때 문구 "중 적어도 하나"는 나열된 항목 중 하나 이상의 다양한 조합이 사용될 수 있고 목록의 항목 중 하나만 필요할 수 있음을 의미한다. 항목은 특정 개체, 사물 또는 범주일 수 있다. 즉, "중 적어도 하나"는 목록에서 임의의 항목의 조합이나 항목 수를 사용할 수 있지만, 목록의 모든 항목이 필수는 아닐 수도 있음을 의미한다. 예를 들어, "항목 A, 항목 B, 및 항목 C 중 적어도 하나"는 항목 A; 항목 A 및 항목 B; 항목 B; 항목 A, 항목 B, 및 항목 C; 또는 항목 B 및 항목 C를 의미할 수 있다. 일부 경우에, "항목 A, 항목 B, 및 항목 C 중 적어도 하나"는 예를 들어 및 제한 없이, 항목 A 중 2개, 항목 B 중 1개, 및 항목 C 중 10개; 항목 B 중 4개 및 항목 C 중 7개; 또는 다른 적절한 조합을 의미할 수 있다.

[0031] 명확성을 위해, 별도의 구현예의 맥락에서 본원에 기술된 특정 특징은 단일 구현예에서 조합하여 제공될 수도 있다는 것이 이해되어야 한다. 반대로, 간결함을 위해, 단일 구현예의 맥락에서 기술된 다양한 특징은 개별적으로 또는 임의의 하위 조합으로 제공될 수도 있다.

[0032] 본 명세서 전반에 걸쳐, 본 발명의 다양한 양태 및 구성요소는 범위 형식으로 제시될 수 있다. 범위 형식은 편의를 위해 포함된 것이며 본 발명의 범위에 대한 융통성 없는 제한으로 해석되어서는 안 된다. 따라서, 범위에 대한 설명은 특별히 명시하지 않는 한, 가능한 모든 하위 범위뿐만 아니라 해당 범위 내의 개별 수치도 구체적으로 개시한 것으로 간주되어야 한다. 예를 들어, 1 내지 5와 같은 범위에 대한 기술은 1 내지 3, 1 내지 4, 1 내지 5, 2 내지 4, 2 내지 5, 3 내지 5 등과 같은 하위 범위뿐만 아니라 정수가 필요하거나 문맥에서 암시되지 않는 한, 언급된 범위 내의 개별 및 부분 숫자 예를 들어, 1, 2, 3, 4, 5, 5.5 및 6을 구체적으로 개시한 것 간주되어야 한다. 이는 공개된 범위의 폭에 관계없이 적용된다. 특정 값이 필요한 경우, 본 명세서에 표시될 것이다.

[0033] 본 명세서 전반에 걸쳐 단어 "포함하다", 또는 "포함하다" 또는 "포함하는"과 같은 변형은 언급된 요소, 정수 또는 단계, 또는 요소, 정수 또는 단계의 그룹을 포함하는 것을 의미하지만, 임의의 다른 요소, 정수 또는 단계, 또는 요소, 정수 또는 단계의 그룹을 배제하는 것은 아닌 것으로 이해될 것이다.

[0034] 본 명세서 전반에 걸쳐, 용어 "본질적으로 이루어진"은 청구된 조성물의 특성에 실질적으로 영향을 미치는 요소를 배제하려는 의도이다.

[0035] 본원에서 용어 "포함하는", "포함하다" 및 "포함하다"는 용어 "본질적으로 이루어진", "본질적으로 이루어지다", "본질적으로 이루어지다"는 모든 경우에 각각, "이루어지는", "이루어지다" 및 "이루어지다"로 선택적으로 대체될 수 있도록 의도된다.

[0036] 본원에서 용어 "약"은 해당 용어와 관련된 임의의 값 또는 값들에 대한 10% 허용 오차를 포함한다.

[0037] 본원에서 용어 "중량 %"는 "wt.%"로 약칭할 수 있다.

[0038] **특정 용어**

[0039] 본원에서 용어 "리튬화"는 애노드 또는 캐소드의 리튬화를 포함하며 $Li^+$와 활성 재료의 삽입 또는 합금화를 의미하는 것으로 의도된다.

[0040] 본원에서 용어 "탈리튬화"는 애노드 또는 캐소드의 탈리튬화를 포함하며 $Li^+$와 활성 재료의 추출 또는 탈합금화를 의미하는 것으로 의도된다.

[0041] 용어 "충전"은 완전 전지 및 반전지의 맥락에서 사용될 수 있다. 완전 전지에서, 용어 "충전"은 완전 전지 (애노드와 캐소드의 초기 쌍) 조립시 $Li^+$를 캐소드에서 애노드로 이동하도록 강제하는 비자발적 공정을 포괄하며 전지 전압의 상승을 나타낸다. 반전지에서, 용어 "충전"은 작업 전극에서 $Li^+$가 추출되고 기준 전극 (리튬 금속 호일)에 증착되는 비자발적인 공정을 포괄하며 전지 전압의 상승을 나타낸다.

[0042] 용어 "방전"은 완전 전지 및 반전지의 맥락에서 사용될 수 있다. 완전 전지에서, 용어 "방전"은 조립시 애노드에서 $Li^+$ 이온을 추출하는 자발적인 공정 애노드에서 캐소드로 이동하는 자발적 공정을 포괄하며 전지 전압의 감소를 나타낸다. 반전지에서, 용어 "방전"은 기준 전극 (리튬 금속 호일)에서 $Li^+$가 용해되는 작업 전극에 $Li^+$가 삽입되는 자발적 공정을 포괄하며 전지 전압의 감소를 나타낸다.

[0043] 본원에 사용된 바와 같이, 용어 "반전지"는 작업 전극 (관심 전극) 및 기준 전극 (예를 들어 리튬 금속 호일)으로 이루어진 연구 및 개발 목적으로 사용되는 기준 테스트 시스템을 기술한다.

[0044] 본원에 사용된 바와 같이, 용어 "완전 전지"는 상업적으로 관련된 애노드 (흑연, 실리콘, LTO)와 상업적으로 관련된 캐소드 (LFP, LCO, NCM, NCA, LMO)을 쌍을 이루는 기존 전기화학 전지 시스템을 기술한다.

[0045] 용어 "사전리튬화"는 완전 전지 형식에서 캐소드 전극과 쌍을 이루기 전에 애노드 또는 애노드 활성 재료에 $Li^+$를 삽입하는 것을 기술한다.

[0046] 용어 "N/P 비" 또는 "음 대 양의 비"는 애노드 (음극)와 캐소드 (양극) 사이의 질량 균형을 지칭한다. 질량 균형은 각 전극의 $cm^2$ 당 사용 가능한 면적 용량에 의해 결정된다.

[0047] 용어 "면적 용량"은 면적당 전극 (애노드 또는 캐소드)의 사용 가능한 용량을 지칭한다. 이는 코팅 내 활성 재료의 유형 및 wt.%뿐만 아니라 $mg/cm^2$ (또는 $g/m^2$) 단위인 집전기 기질에 적용되는 코팅 부하량에 의해 결정될 수 있다. $mg/cm^2$ 단위의 부하가 높을수록 $cm^2$ 당 면적 용량도 높아진다.

[0048] **코팅된 마이크로 실리콘 입자**

[0049] 본 개시내용은 적어도 부분적으로 코팅된 마이크로 실리콘 활성 재료 입자 및/또는 본원에 기술된 애노드 조성물을 포함하는 코팅된 애노드에 관한 것이다. 본원에 기술된 바와 같이 마이크로 실리콘 활성 재료 입자에 적용된 코팅은 애노드 표면의 전기화학적 보호로 인해 사이클링 안정성을 개선하고 전해질 분해를 감소시킬 수 있는 것으로 여겨진다. 코팅은 마이크로 실리콘 활성 입자 및/또는 애노드에 예를 들어, 구조적 강도, 더 낮은 표면적, 분쇄 감소, 전자 전도성, Li-이온 전도성, 부동태화 및/또는 절연을 포함하는 다수의 특성 중 하나 이상을

제공하고, 궁극적으로 실리콘 애노드 용량 유지를 개선할 수 있는 것으로 인식된다.

[0050] 일부 구현예에서 코팅은 마이크로 실리콘 입자의 표면이 전해질과 지속적으로 접촉하는 것을 방지할 수 있으므로 모든 충전 및 방전 사이클에서 SEI 층의 연속적인 재형성 및 관련 리튬 손실을 줄이거나 제거하는 데 도움을 줄 수 있다. 이러한 결과를 얻으려면 코팅은 효과적인 장벽을 형성할 수 있을 만큼 충분히 두껍고; 마이크로 실리콘 활성 물질의 팽창 거동을 견딜 수 있을 만큼 충분히 유연하지만; 전해질에서 활성 물질로의 리튬 이온 또는 전자 전달을 방해하거나 최소화할 만큼 충분히 얇아야 하고 그리고 그 반대도 마찬가지이다. 코팅은 바람직하게는 전기화학적으로 불활성이므로 마이크로 실리콘 입자 활성 재료 표면에 부동태화 층을 형성한다.

[0051] 다른 구현예에서 코팅은 고도로 전도성일 수 있다. 고도로 전도성인 코팅은 마이크로 실리콘 입자 사이, 그리고 이들 입자와 집전기 사이의 계면 저항을 더욱 감소시킬 수 있다.

[0052] 일부 구현예에서, 코팅은 활성 재료의 화학을 조정하여 결합제 화학과 더 큰 친화도를 제공할 수 있다. 예를 들어, 결합제가 더 소수성이라면, 더 소수성인 활성 재료 표면은 더 큰 친화도를 갖게 된다 (그 반대도 마찬가지).

[0053] 일부 구현예에서, 코팅은 간기에서 전하 이동 저항을 감소시키고 마이크로 실리콘 입자의 전자 전도성을 증가시킬 수 있다.

[0054] 또 다른 구현예에서 코팅은 부동태화층을 형성할 수 있다. 부동태화층으로 작용하는 코팅은 일단 수성 애노드 슬러리에 통합되면 마이크로 실리콘 활성 재료의 산화를 방지하여 마이크로 실리콘 활성 재료의 최대량을 전기화학적 활성으로 유지하면서 처리 중 수소 가스의 형성을 방지할 수 있다.

[0055] 코팅은 다양한 형태를 가질 수 있다. 생성된 코팅의 형태는 코팅을 적용할 목적으로 사용되는 코팅 방법 및/또는 전구체 물질 또는 사용된 코팅 물질의 화학적 성질에 따라 달라질 수 있다. 한 구현예에서 코팅은 마이크로 실리콘 입자의 외부 표면에 배치되거나 내부에 내장된 나노 또는 마이크론 크기의 섬유, 박편, 미세 입자 등을 포함하는 느슨한 집합체 또는 미립자를 포함할 수 있다. 미립자는 마이크로 또는 나노 크기의 분말, 섬유 또는 박편을 포함할 수 있다. 다른 구현예에서 코팅은 불연속적인 층을 포함할 수 있다. 다른 구현예에서 코팅은 연속 층을 포함할 수 있다. 또 다른 구현예에서 코팅은 등각층을 포함할 수 있다. 다른 구현예에서 코팅은 준 핀홀 없는 코팅이 없는 핀홀을 제공할 수 있다.

[0056] 코팅은 애노드 층에 약 0.1wt.% 내지 약 20wt.%, 또는 약 0.1wt.% 내지 약 15wt.%, 또는 약 0.1wt.% 내지 약 10wt.%로 존재할 수 있다. 코팅 wt.%는 의도한 결과를 달성하는 데 가장 유익한 성능을 제공하는 양으로 최소화된다는 것이 이해될 것이다.

[0057] 일부 구현예에서, 코팅은 코팅된 마이크로 실리콘 활성 재료 입자 또는 코팅된 애노드 조성물을 형성하기 위해 탄소, 그래핀, 흑연, 금속 산화물, 중합체 및 이의 조합을 포함하는 그룹으로부터 선택될 수 있다.

[0058] 일부 구현예 또는 실시예에서, 코팅의 두께는 약 0.1 nm 내지 약 200 nm, 또는 약 0.2 nm 내지 약 150 nm, 또는 약 0.3 nm 내지 약 100 nm, 또는 약 0.3 nm 내지 약 75 nm, 또는 약 0.3 nm 내지 약 50 nm, 또는 약 0.3 nm 내지 약 25 nm, 또는 약 0.3 nm 내지 약 0.20 nm, 또는 약 0.3 nm 내지 약 10 nm일 수 있다. 코팅의 두께 (nm 단위)는 약 200, 175, 150, 125, 100, 90, 80, 75, 70, 65, 60, 55, 50, 45, 40, 35, 30, 25, 20, 15, 10, 8, 6, 5, 4, 3, 2, 1, 0.8, 0.5, 0.2, 또는 0.1 미만일 수 있다. 코팅의 두께 (nm 단위)는 적어도 약 0.1, 0.2, 0.3, 0.4, 0.5, 0.6, 0.7, 0.8, 0.9, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 12, 14, 16, 18, 20, 25, 30, 35, 40, 45, 50, 55, 60, 65, 70, 75, 80, 100, 150, 또는 200일 수 있다. 코팅의 두께 (nm 단위)는 이들 상한 및/또는 하한 양 중 임의의 2가지에 의해 제공되는 범위일 수 있다.

[0059] 일부 구현예에서, 코팅 두께 대 코팅되지 않은 실리콘 입자 직경의 비율 (X:1로서 t/d)은 약 0.0001:1 내지 약 0.2:1, 또는 약 0.0001:1 내지 약 0.15:1, 또는 약 0.0001:1 내지 약 0.12:1, 또는 약 0.0001:1 내지 약 0.1:1, 또는 약 0.0001:1 내지 약 0.09:1, 또는 약 0.0001:1 내지 약 0.085:1일 수 있다. 다른 방식으로 보면, 일부 구현예에서, 실리콘 입자 직경 대 코팅 두께의 비율 (1:X로서 d/t)은 약 1:100,000 내지 약 1:5, 또는 약 1:100,000 내지 약 1:8, 또는 약 1:100,000 내지 약 1:10, 또는 약 1:100,000 내지 약 1:12일 수 있다.

[0060] 본원의 실리콘 활성 재료 입자는 탄소 형태로 코팅될 수 있다. 탄소 코팅은 주로 $sp^2$ 혼성화된 탄소 또는 주로 $sp^3$ 혼성화된 탄소를 포함할 수 있다. 탄소 코팅은 또한 다양한 정도의 $sp^2$ 및 $sp^3$ 혼성화를 포함할 수 있다. 코팅의 일부 구현예는 높은 수준의 $sp^2$ 혼성화 및 낮은 수준의 $sp^3$ 혼성화를 포함할 수 있거나 그 반대일 수도 있

다. 일부 구현예에서 코팅에 대한 $sp^2$ 혼성화 수준은 1% 내지 100%일 수 있다. 다른 구현예에서 sp3 혼성화 수준은 1% 내지 100%일 수 있다. 특정 코팅 구현예는 10%, 20%, 30%, 40%, 50%, 60%, 70%, 80, 90%, 99% 또는 100% $sp^2$ 혼성화 수준을 포함할 수 있고 이는 1 - % $sp^2$ 혼성화 *100의 sp3 혼성화 수준과 조합될 수 있다. 즉 $sp^2$ 혼성화 수준에 관계없이, 혼합된 $sp^2/sp^3$ 혼성화 코팅에서, 코팅의 나머지 부분은 $sp^3$ 혼성화로 구성된다. 또 다른 코팅 구현예는 10%, 20%, 30%, 40%, 50%, 60%, 70%, 80, 90% 또는 100% $sp^3$ 혼성화 수준을 포함할 수 있는 반면 $sp^2$ 혼성화 수준은 1 - % $sp^3$ 혼성화 *100이다.

[0061] 탄소 코팅된 실리콘 활성 재료 입자는 본원에 기재된 바와 같이 하나 이상의 탄소 전구체를 사용하여 마이크로 실리콘 활성 재료 입자를 탄소로 코팅함으로써 제공될 수 있다. 본원에 사용된 바와 같이, 용어 "탄소"는 비정질 또는 난흑연화 탄소 코팅, 흑연 탄소 코팅, 또는 그래핀을 지칭할 수 있다. 난흑연화 물질은 고온에 노출된 경우에도 실질적으로 비정질을 유지하는 탄소 물질이다. 상기 논의한 바와 같이, 탄소 코팅은 혼합된 $sp^2/sp^3$ 혼성화의 범위를 입증할 수 있다. 탄소 코팅은 CVD, PVD, 열분해 등을 포함하지만 이에 제한되지 않는 당업계에 공지된 다양한 기술을 사용하여 적용될 수 있다.

[0062] 구현예에서, 비정질 탄소 코팅은 당업계에 공지된 바와 같이 연질 탄소 또는 경질 탄소를 사용한 코팅일 수 있다. 카본 블랙, 석유 피치, 콜타르 피치, 아세틸렌 가스, 분해성 중합체, 바람직하게는 산소 함량이 낮은 분해성 중합체, 예를 들어 단지 일부 비제한적인 예인 PVP (폴리비닐피롤리돈), 폴리아크릴로니트릴 (PAN), 폴리아닐린 (PANi), 폴리피롤 (PPy), 멜라닌 수지, 페놀 수지, 폴리도파민, 레조르시놀 포름알데히드 수지, 시트르산 및 글루코스를 사용하여 이러한 무정형 탄소 코팅을 달성하기 위해 광범위한 전구체 물질이 상업적으로 이용 가능하다는 것이 이해될 것이다. 비정질 탄소층은 일반적으로 열분해 공정을 통해 얻을 수 있으며, 여기서 마이크로 실리콘 입자가 아세틸렌과 같은 분해성 가스에 노출된 후 충분히 높은 온도로 가열되면 표면에 탄소층으로 증착된다. 대안적으로, 마이크로 실리콘 입자를 피치나 가연성 중합체 등의 전구체 물질에 코팅한 후, 피치나 중합체를 열분해하여 탄소층을 형성함으로써 얻을 수도 있다. 다양한 품질의 탄소층을 형성하기 위해 다양한 탄소 전구체를 선택할 수 있다. 예를 들어, 방향족 화합물은 더 높은 수준의 $sp^2$ 혼성화를 가질 수 있는 고품질 코팅을 형성할 수 있다. 아세틸렌이나 특정 중합체와 같은 더욱 선형인 유기 화합물은 더 높은 수준의 $sp^3$ 혼성화로 더 무정형 구조를 형성할 수 있다.

[0063] 일부 구현예에서, 그래핀 코팅된 마이크로 실리콘 활성 재료 입자는 본원에 기술된 바와 같이 마이크로 실리콘 활성 재료 입자를 그래핀으로 코팅함으로써 제공될 수 있다. 일부 구현예에서, 그래핀은 그래핀, 산화 그래핀 또는 환원된 산화 그래핀 및 이의 유도체를 포함하는 그룹으로부터 선택될 수 있다. 흑연 코팅된 마이크로 실리콘 활성 재료 입자는 본원에 기술된 마이크로 실리콘 활성 재료 입자를 흑연으로 코팅함으로써 제공될 수 있다. 일부 구현예에서, 흑연은 흑연, 나노 흑연, 산화 흑연 및 이의 유도체를 포함하는 그룹으로부터 선택될 수 있다.

[0064] 금속 산화물 코팅된 마이크로 실리콘 입자는 본원에 기재된 바와 같이 마이크로 실리콘 활성 재료 입자를 금속 산화물로 코팅함으로써 제공될 수 있다. 일부 구현예에서, 금속 산화물은 산화 알루미늄, 알루미늄 산화물 수산화물 ($\gamma$-AlO(OH)), 수산화 알루미늄 ($Al(OH)_3$), 질산 알루미늄 ($Al(NO_3)_3$) 또는 다른 유사한 알루미늄 함유 종을 포함하는 그룹으로부터 선택될 수 있다. 일부 구현예에서 수산화 알루미늄 또는 질산 알루미늄은 알루미늄 산화물 수산화물 또는 산화 알루미늄으로의 후속 대화를 위한 전구체를 형성할 수 있다. 일부 구현예에서 산화 알루미늄은 알파 산화 알루미늄을 포함할 수 있다. 다른 구현예에서 금속 산화물은 티타늄 또는 니오븀 기반 금속 산화물을 포함할 수 있다. 금속 산화물 코팅은 산화 티탄 ($TiO_2$) 또는 산화 니오븀 ($Nb_2O_5$)을 포함할 수 있다. 또 다른 구현예에서 금속 산화물 코팅은 마그네슘 기반 산화물을 포함할 수 있다. 마그네슘 기반 산화물은 산화 마그네슘 (MgO)일 수 있다.

[0065] 구현예에서, 예를 들어 $\alpha$-산화 알루미늄 및 기타 알루미늄 종과 같은 금속 산화물은 >400℃의 더 높은 온도에서 하소를 통해 또는 원자층 증착 (ALD)과 같은 공정을 통해 마이크로 실리콘 입자에 적용될 수 있다. 침전 공정 경로는 전형적으로 적절한 농도와 제어된 pH 하에서 적절한 금속염을 물에 용해시키고 금속염이 마이크로 실리콘 활성 재료의 표면에 균일하게 침전되도록 pH를 조작하는 것을 포함한다. 전형적으로 이는 환경의 pH를 높이는 것과 관련이 있다. 용액 내 금속염의 농도에 따라 최종 코팅층 두께가 결정된다. 과량의 구성요소와 금속염은 부드럽게 세척될 수 있으며 마이크로 실리콘 활성 재료는 용광로로 옮겨질 수 있다. 침전물은 공기 또는

불활성 가스 하에서 금속염 전구체를 상응하는 금속 산화물로 전환시키는 최대 1200℃의 온도까지 가열될 수 있다.

[0066] 중합체 코팅된 마이크로 실리콘 활성 재료 입자는 본원에 기술된 바와 같이 마이크로 실리콘 활성 재료 입자를 중합체로 코팅함으로써 제공될 수 있다. 일부 구현예에서, 중합체는 전분, 리그닌, 셀룰로오스, 폴리아크릴아미드, 폴리메타크릴아미드, 폴리아믹산, 폴리스티렌-4-술포네이트 (PSS), 3,4-에틸렌디옥시티오펜/폴리스티렌-4-술포네이트 (PEDOT:PSS), 폴리디알릴디메틸암모늄 클로라이드 PDDA, 폴리디알릴디메틸암모늄/폴리스티렌-4-술포네이트 (PDDA:PSS), 요소-피리미디논 (UPy), 요소-올리고-아미도아민 (UOAA), 도파민 메타크릴아미드, 도파민 메타크릴레이트, 도파민 아크릴레이트, 도파민, 히드록시에틸 아크릴레이트, 히드록시프로필 아크릴레이트, 히드록시에틸 메타크릴레이트, 히드록시프로필 메타크릴레이트, 폴리에틸렌 글리콜 메틸 에테르 메타크릴레이트 및 폴리에틸렌 글리콜 메틸 에테르 아크릴레이트, 시스-1,4-폴리이소프렌 천연 고무 및 트랜스-1,4-폴리이소프렌 구타-페르카를 포함하는 천연 폴리이소프렌, 합성 폴리이소프렌, 폴리부타디엔, 클로로프렌 고무, 폴리클로로프렌, 할로겐화 부틸 고무를 포함하는 부틸 고무, 스티렌-부타디엔 고무, 니트릴 고무, 에틸렌 프로필렌 고무, 에틸렌 프로필렌디엔 고무, 에피클로로히드린 고무, 폴리아크릴 고무, 실리콘 고무, 플루오로실리콘 고무, 플루오 로엘라스토머, 퍼플루오로엘라스토머, 폴리에테르 블록 아미드, 클로로술폰화 폴리에틸렌, 에틸렌-비닐 아세테이트, 열가소성 엘라스토머, 단백질 레실린, 단백질 엘라스틴, 에틸렌 옥사이드-에피클로로히드린 공중합체, 폴리우레탄, 우레탄-요소 공중합체, 폴리아닐린, 폴리피롤, 폴리티오펜, 폴리푸란, 이환 중합체, 폴리(에틸렌) 산화물) (PEO), 폴리프로필렌 산화물 (PPO), 폴리(아크릴로니트릴) (PAN), 폴리(메틸 메타크릴레이트) (PMMA), 폴리(비닐리덴 플루오라이드) (PVdF), 폴리((비스-(메톡시에톡시)에톡시)포스파젠), 폴리비닐 클로라이드, 폴리디메틸실록산, 폴리(비닐리덴 플루오라이드)-헥사플루오로프로필렌 (PVDF-HFP), 이의 임의의 유도체 (예를 들어 설폰화 유도체), 페놀 수지, 또는 이의 임의의 조합을 포함하는 그룹으로부터 선택될 수 있다.

[0067] 일부 구현예에서, 코팅된 마이크로 실리콘 활성 재료 입자는 전구체 제형 코팅의 열분해로부터 또는 화학적 기상 증착, 물리적 기상 증착, 원자층 증착 스퍼터링, 또는 기계적 증착에 의해 제공될 수 있다.

[0068] 일부 구현예 또는 실시예에서, 코팅은 마이크로 실리콘 활성 재료 입자 표면의 단일층 형태일 수 있다. 다른 구현예에서, 코팅은 마이크로 실리콘 활성 재료 입자의 표면에 2개 이상의 층, 예를 들어 복수의 층의 형태일 수 있다. 코팅은 약 1 내지 5개의 층을 포함할 수 있다. 코팅은 5개 미만의 층, 4개 층, 3개 층, 또는 2개 미만의 층을 포함할 수 있다. 코팅은 적어도 약 1개 층, 2개 층, 3개 층, 4개 층, 또는 적어도 약 5개 층을 포함할 수 있다. 코팅은 전술한 바와 같이 임의의 하한 및/또는 상한에 의해 제공되는 범위의 층을 포함할 수 있다. 각각의 층은 다른 코팅에 의해 제공될 수 있다는 것이 이해될 것이다. 예를 들어, 코팅된 마이크로 실리콘 활성 재료 입자는 코팅을 포함할 수 있으며, 여기서 코팅 층은 그래핀을 포함하고, 추가의 코팅 층은 금속 산화물 (예를 들어, 산화알루미늄)을 포함하며), 어느 순서로든 마이크로 실리콘에 적용된다.

[0069] 한 구현예에서, 코팅된 마이크로 실리콘 활성 재료 입자는 임의의 형태를 나타낼 수 있으며, 예를 들어 이들은 박편, 응집체, 과립, 분말, 구형, 분쇄된 물질 등뿐만 아니라 이의 조합의 형태를 취할 수 있다. 코팅된 마이크로 실리콘 활성 재료 입자는 입방형, 막대형, 판형, 다면체, 구형 또는 반구형, 준구형, 원형 또는 반원형, 각진형, 불규칙형, 및 등등을 포함하지만, 이에 제한되지 않는 임의의 바람직한 형태를 가질 수 있다. 한 구현예에서, 코팅된 마이크로 실리콘 활성 재료 입자는 1.0 내지 10.0, 1.0 내지 5.0, 또는 1.0 내지 4.0의 종횡비 (즉, 길이 대 폭의 비율, 여기서 길이와 폭은 서로 수직으로 측정되고, 길이는 선형으로 측정된 가장 긴 치수를 지칭함)를 갖는다. 한 구현예에서, 코팅된 마이크로 실리콘 활성 재료 입자는 약 1.0 내지 4.0, 예를 들어 약 1.0, 1.5, 2.0, 2.5, 3.0, 3.5 또는 4.0의 종횡비를 가질 수 있다.

[0070] 일부 구현예에서, 코팅된 마이크로 실리콘 활성 재료 입자의 입자 크기 (μm 단위)는 적어도 약 0.5, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 15, 20, 25, 30, 35, 40, 45, 또는 50일 수 있다. 일부 구현예에서, 코팅된 마이크로 실리콘 활성 재료 입자의 입자 크기 (μm 단위)는 약 50, 45, 40, 35, 30, 25, 20, 15, 10, 9, 8, 7, 6, 5, 4, 3, 2, 1, 또는 0.5 미만일 수 있다. 이들 상부 및/또는 하부 입자 크기 중 임의의 2가지 이상의 조합도 가능하며, 예를 들어 코팅된 마이크로 실리콘 활성 재료 입자의 입자 크기 (μm 단위)는 약 1 내지 약 50, 약 2 내지 약 40, 또는 약 3 내지 약 30일 수 있다. 입자 크기는 코팅된 마이크로 실리콘 활성 재료 입자 전체의 가장 긴 단면 직경으로 간주된다. 비구형 코팅된 마이크로 실리콘 활성 재료 입자의 경우, 입자 크기는 입자 전체의 가장 긴 단면 치수에 해당하는 거리로 간주된다.

[0071] 코팅된 마이크로 실리콘 활성 재료 입자는 입자 크기 분포를 가질 수 있으며, 여기서 마이크로 실리콘 활성 재료 입자의 90% ($D_{90}$)는 약 50, 45, 40, 35, 34, 32, 30, 28, 24, 20, 18, 16, 14, 12, 10, 8, 6, 5 또는 4 μm

미만의 입자 크기를 가지며, 여기서 마이크로 실리콘 활성 재료 입자의 50% ($D_{50}$)는 약 10, 9, 8 7, 6, 5, 4, 3, 2, 1, 0.8, 0.6, 0.4, 0.2, 0.1 미만의 입자 크기 (μm 단위)를 갖거나, 여기서 마이크로 실리콘 활성 재료 입자의 10% ($D_{10}$)는 약 4, 3, 2, 또는 1 μm 미만의 입자 크기를 갖는다. 일부 구현예에서, 마이크로 실리콘 활성 재료 입자는 적어도 약 0.1, 0.2, 0.3, 0.4, 0.5, 0.6, 0.7, 0.8, 0.9, 1, 2, 3, 4, 5, 6, 7, 8, 9 또는 10의 ($D_{50}$) 입자 크기 (μm 단위)를 갖는다. 일부 구현예에서, 마이크로 실리콘 활성 재료 입자는 약 10, 9, 8, 7, 6, 5, 4, 3.5, 3, 2.5, 2, 1. 0.9, 0.8, 0.7, 0.6, 0.5, 0.5, 0.4, 0.3, 0.2, 또는 0.1 미만의 ($D_{50}$) 입자 크기 (μm 단위)를 갖는다. 이들 상부 및/또는 하부 입자 크기 중 임의의 2가지 이상의 조합이 또한 가능하며, 예를 들어 마이크로 실리콘 활성 재료 입자는 약 0.1 내지 약 10, 약 0.1 내지 약 9, 약 0.1 내지 약 8, 약 0.1 내지 약 7, 약 0.1 내지 약 6, 약 0.1 내지 약 5, 약 0.5 내지 약 10, 약 0.5 내지 약 9, 약 0.5 내지 약 8, 약 0.5 내지 약 7, 약 0.5 내지 약 6, 약 0.5 내지 약 5, 약 1 내지 약 10, 약 1 내지 약 9, 약 1 내지 약 8, 약 1 내지 약 7, 약 1 내지 약 6, 또는 약 1 내지 약 5 사이의 ($D_{50}$) 입자 크기 (μm 단위)를 갖는다.

[0072] 일부 구현예 또는 실시예에서, 코팅된 마이크로 실리콘 활성 재료 입자는 약0.1 $m^2/g$ 내지 약 100 $m^2/g$ 범위의 BET 표면적을 가질 수 있다. 코팅된 마이크로 실리콘 활성 재료 입자는 적어도 약 0.1, 0.5, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 15, 20, 25, 30, 35, 40, 45, 50, 60, 70, 80, 90, 또는 100 $m^2/g$의 BET 표면적을 가질 수 있다 ($m^2/g$). 다른 구현예 또는 실시예에서, 코팅된 마이크로 실리콘 활성 재료 입자는 약 100, 90, 80, 70, 60, 50, 45, 40, 35, 30, 25, 20, 10, 9, 8, 7, 6, 5, 4, 3, 2 1, 0.5, 또는 0.1 $m^2/g$ 미만의 표면적 ($m^2/g$)을 가질 수 있다. 다양한 범위를 형성하기 위한 이러한 표면적 값의 조합도 가능하다.

[0073] 일부 구현예 또는 실시예에서, 코팅된 마이크로 실리콘 활성 재료 입자의 탭 밀도는 약 0.5 $g/cm^3$ 내지 약 1.5 $g/cm^3$ 범위일 수 있다. 코팅된 마이크로 실리콘 활성 재료 입자의 탭 밀도는 적어도 약 0.5, 0.55, 0.6, 0.65, 0.7, 0.75, 0.8, 0.85, 0.9, 0.95, 1.0, 1.2, 1.3 또는 1.5 $g/cm^3$일 수 있다. 다른 구현예 또는 실시예에서, 코팅된 마이크로 실리콘 활성 재료 입자의 탭 밀도는 약 1.5, 1.4, 1.3, 1.2, 1.0, 0.95, 0.9, 0.85, 0.8, 0.75, 0.7, 0.65, 0.6, 0.55, 또는 0.5 $g/cm^3$ 미만일 수 있다. 다양한 범위를 형성하기 위한 이들 밀도 값의 조합도 가능하며, 예를 들어 코팅된 마이크로 실리콘 활성 재료 입자는 약 0.5 $g/cm^3$ 내지 약 1.2 $g/cm^3$ 사이의 탭 밀도를 가질 수 있다. 밀도는 임의의 표준 방법, 예를 들어 ASTM D7481-18에 따라 측정할 수 있다.

[0074] 유리하게는, 본 개시내용의 마이크로 실리콘 활성 재료 입자는 고순도로 제공될 수 있다. 한 구현예 또는 실시예에서, 마이크로 실리콘 활성 재료 입자 (산소 없음)의 순도는 (wt.%로) 약 95 내지 약 99.9 범위일 수 있다. 마이크로 실리콘 활성 재료 입자 (산소 없음)의 순도는 적어도 (wt.%로) 약 95, 96, 97, 98, 99, 99.5, 또는 99.9일 수 있다. 마이크로 실리콘 활성 재료 입자 (산소 없음)의 순도는 (wt.%로) 약 99.9, 99.5, 99, 98, 97, 96, 또는 95 미만일 수 있다. 마이크로 실리콘 활성 재료 입자 (산소 없음)의 순도는 전술한 바와 같이 임의의 하한 및/또는 상한에 의해 제공되는 범위에 있을 수 있다.

[0075] 한 구현예 또는 실시예에서, 마이크로 실리콘 활성 재료 입자 (산소 포함)의 순도는 (wt.%로) 약 79 내지 약 99.5 범위일 수 있다. 마이크로 실리콘 활성 재료 입자 (산소 포함)의 순도는 적어도 (wt.%로) 약 75, 80, 85, 90, 95, 96, 97, 98, 99 또는 99.5일 수 있다. 마이크로 실리콘 활성 재료 입자 (산소 포함)의 순도는 (wt.%로) 약 99.5, 99, 98, 97, 96, 95, 90, 85, 80, 또는 75 미만일 수 있다. 마이크로 실리콘 활성 재료 입자 (산소 포함)의 순도는 전술한 바와 같이 임의의 하한 및/또는 상한에 의해 제공되는 범위에 있을 수 있다.

[0076] 본 개시내용에 따른 코팅된 마이크로 실리콘 활성 재료 입자의 신규하고 독창적인 특징의 조합 및 리튬 이온 배터리의 애노드용 애노드 조성물에서의 그의 용도는 또한 놀랍게도 배터리 사이클 거동의 개선을 가져올 수 있다. 본원에 기술된 바와 같은 리튬 이온 배터리는 제1 충전 사이클에서 작은 비가역적 용량 손실을 갖고 후속 사이클에서 페이딩을 최소화하면서 안정적인 전기화학적 거동을 갖는다는 것이 예기치 않게 나타났다. 따라서, 본원에 기술된 바와 같이 코팅된 마이크로 실리콘 활성 재료 입자를 사용함으로써, 리튬 이온 전지의 더 낮은 초기 용량 손실 및 또한 낮은 연속 용량 손실이 달성될 수 있다. 전반적으로, 본원에 기술된 리튬 이온 배터리는 매우 우수한 안정성과 수명을 제공한다. 예를 들어 애노드 코팅층의 기계적 파괴, 애노드 재료 또는 SEI 형성의 결과로 인한 피로를 최소화하면서 많은 수의 사이클을 달성할 수 있다.

[0077] **애노드 조성물**

[0078] 본 개시내용은 리튬 이온 배터리용 애노드의 개선점을 제공하는 것에 관한 것이다. 본 개시내용은 다수 실리콘 애노드 조성물을 포함하는 애노드의 고장 메커니즘을 식별하고 더 잘 이해하고 후속적으로 열화 (예를 들어, 균열 및 박리), 실리콘 입자 파열 및 고체 전해질 간기의 불안정성이 리튬 이온 배터리의 안정성 및 순환성을 개선하기 위해 제어, 감소 또는 어떤 방식으로 개선될 수 있도록 그 제형을 최적화하는 다양한 연구 및 개발을 다룬다.

[0079] 적어도 본원에 기술된 일부 실시예에 따르면, 다수 실리콘 애노드 조성물은 애노드의 상당한 안정성 및/또는 사이클 수명을 나타낼 수 있다는 것이 밝혀졌다. 놀랍게도 다수 실리콘 애노드 조성물이 전기화학 전지에 혼입하는 방법과 결합하면 SEI의 형성과 실리콘의 팽창 및 분해를 제어할 수 있으므로, 애노드의 안정성 및/또는 사이클 수명이 크게 연장된다는 것이 추가로 밝혀졌다.

[0080] 또한, 적어도 본원에 기술된 일부 실시예에 따르면, 전기화학 전지 (예를 들어 배터리)를 위한 다수 실리콘 애노드 조성물은 다음과 같은 하나 이상의 추가 이점을 제공할 수 있는 것으로 밝혀졌다:

[0081] (a) 리튬 이온 (Li-이온) 전지의 장기 사이클링 안정성;

[0082] (b) Li-이온 전지의 충전 및 방전 사이클 동안, 실리콘의 팽창 및 수축을 제어하여 실리콘 입자 균열, 분쇄 및 SEI 성장을 최소화한다;

[0083] (c) 제어된 실리콘 팽창/수축 및 실리콘 애노드 전압 창으로 인해 사이클 수명 동안 감소된 전지 용량 페이딩; 및/또는

[0084] (d) 높은 능력 비율.

[0085] 본원에 기술된 애노드 조성물은 마이크로 실리콘 활성 재료 입자를 포함할 수 있으며, 여기서 마이크로 실리콘 활성 재료 입자는 다음 (i) 약 0.1 $m^2$/g 내지 약 10 $m^2$/g의 측정된 BET 표면적, (ii) 약 0.1 μm 내지 약 10 μm의 $D_{50}$ 입자 크기, 및 (iii) 약 0.1 내지 10의 $D_{50}$ : BET 표면적 비율 중 하나 이상을 가지며, 여기서 애노드 조성물에 존재하는 실리콘의 양은 애노드 조성물의 총 중량%를 기준으로 약 60 wt.% 내지 약 95 wt.%이다.

[0086] 일부 구현예에서, 본원에 기술된 애노드 조성물은 마이크로 실리콘 활성 재료 입자를 포함할 수 있으며, 여기서 마이크로 실리콘 활성 재료 입자는 (i) 약 0.1 $m^2$/g 내지 약 10 $m^2$/g의 측정된 BET 표면적 및 (ii) 약 0.1 μm 내지 약 10 μm의 $D_{50}$ 입자 크기, 또는 (iii) 약 0.1 내지 10의 $D_{50}$ : BET 표면적 비율을 가지며, 여기서 애노드 조성물에 존재하는 실리콘의 양은 애노드 조성물의 총 중량%를 기준으로 약 60 wt.% 내지 약 95 wt.%이다.

[0087] 본원에 기술된 애노드 조성물은 본원에 기술된 바와 같이, 마이크로 실리콘 활성 재료 입자, 선택적으로 하나 이상의 추가 활성 재료, 선택적으로 하나 이상의 결합제, 선택적으로 하나 이상의 전도성 재료, 및 선택적으로 하나 이상의 첨가제를 포함하거나 이로 이루어질 수 있다. 한 예에서, 본원에 기술된 애노드 조성물은 마이크로 실리콘 활성 재료 입자, 여기서 마이크로 실리콘 활성 재료 입자는 다음 (i) 약 0.1 $m^2$/g 내지 약 10 $m^2$/g의 측정된 BET 표면적, (ii) 약 0.1 μm 내지 약 10 μm의 $D_{50}$ 입자 크기, 및 (iii) 약 0.1 내지 10의 $D_{50}$ : BET 표면적 비율 중 하나 이상을 가지며, 여기서 마이크로 실리콘 활성 재료 입자는 코팅되고, 여기서 애노드 조성물에 존재하는 코팅된 마이크로 실리콘 활성 재료 입자의 양은 애노드 조성물의 총 중량%를 기준으로 약 60 wt.% 내지 약 95 wt.%이며; 선택적으로 하나 이상의 추가 활성 재료, 선택적으로 하나 이상의 결합제; 선택적으로 하나 이상의 전도성 재료; 및 선택적으로 하나 이상의 첨가제를 포함하거나 이로 이루어질 수 있다.

[0088] 일부 구현예에서, 본원에 기술된 애노드 조성물은 마이크로 실리콘 활성 재료 입자, 여기서 마이크로 실리콘 활성 재료 입자는 (i) 약 0.1 $m^2$/g 내지 약 10 $m^2$/g의 측정된 BET 표면적 및 (ii) 약 0.1 μm 내지 약 10 μm의 $D_{50}$ 입자 크기, 또는 (iii) 약 0.1 내지 10의 $D_{50}$ : BET 표면적 비율을 가지며, 여기서 마이크로 실리콘 활성 재료 입자는 코팅되고, 여기서 애노드 조성물에 존재하는 코팅된 마이크로 실리콘 활성 재료 입자의 양은 애노드 조성물의 총 중량%를 기준으로 약 60 wt.% 내지 약 95 wt.%이고; 선택적으로 하나 이상의 추가 활성 재료, 선택적으로 하나 이상의 결합제; 선택적으로 하나 이상의 전도성 재료; 및 선택적으로 하나 이상의 첨가제를 포함할 수 있다.

[0089] 일부 구현예 또는 실시예에서, 애노드 조성물의 마이크로 실리콘 활성 재료 입자 함량은 애노드 조성물의 총 중

량을 기준으로 약 60 wt.% 내지 약 95 wt.%일 수 있다. 애노드 조성물의 마이크로 실리콘 활성 재료 입자 함량이 60 wt.% 초과, 바람직하게는 70 wt.% 초과인 경우 추가 이점이 나타날 수 있음이 이해될 것이다. 마이크로 실리콘 활성 재료 입자 함량은 약 95 wt.%, 90 wt.%, 85 wt.%, 80 wt.%, 75 wt.%, 70 wt.%, 65 wt.%, 또는 60 wt.% 미만일 수 있다. 마이크로 실리콘 활성 재료 입자 함량은 적어도 약 60 wt.%, 65 wt.%, 70 wt.%, 75 wt.%, 80 wt.%, 85 wt.%, 90 wt.%, 또는 95 wt.%일 수 있다. 애노드 조성물의 마이크로 실리콘 활성 재료 입자 함량은 이들 상한 및/또는 하한 양 중 임의의 2개에 의해 제공되는 범위일 수 있다.

[0090] 일부 구현예 또는 실시예에서, 애노드 조성물의 두께는 실질적으로 균일할 수 있고 약 5 μm 내지 약 70 μm 범위일 수 있다. 애노드 조성물의 두께 (μm)는 약 70, 65, 60, 55, 50, 45, 40, 35, 30, 25, 20, 15, 10, 또는 5 미만일 수 있다. 애노드 조성물의 두께 (μm)는 적어도 약 5, 10, 15, 20, 25, 30, 35, 40, 45, 50, 55, 60, 또는 65일 수 있다. 애노드 조성물의 두께는 이들 상한 및/또는 하한 양 중 임의의 2개에 의해 제공되는 범위일 수 있다.

[0091] 일부 구현예 또는 실시예에서, 애노드 조성물은 집전기 재료 상에 지지될 수 있다. 일부 구현예 또는 실시예에서, 애노드 조성물은 코팅 또는 필름으로서 집전기 재료에 적용될 수 있다. 집전기는 애노드 조성물로 적어도 부분적으로 코팅될 수 있다는 것이 이해될 것이다. 예를 들어, 애노드 조성물은 집전기 재료의 한 면에만 적용될 수 있다. 애노드용 집전기 재료는 구리, 알루미늄, 스테인레스강, 티타늄, 탄소, 천공 금속 호일, 금속 폼, 및 금속 코팅된 중합체 기반 다공성 및 비다공성 막을 포함하는 그룹으로부터 선택될 수 있다. 집전기 재료는 적절한 치수, 다공성 및 기공 크기를 가지며, 상기 물질을 포함하고 집전기로서 작용할 것이라는 것이 이해될 것이다. 예를 들어, 애노드 조성물은 구리 집전기 재료 (예를 들어 구리 호일)에 적용될 수 있다. 예를 들어, 마이크로 실리콘 활성 재료 입자, 선택적으로 하나 이상의 추가 활성 재료, 선택적으로 하나 이상의 결합제, 선택적으로 하나 이상의 전도성 재료, 및 선택적으로 하나 이상의 첨가제를 포함하거나 이로 이루어진 애노드 조성물은 구리 집전기 재료 (예를 들어 구리 호일) 상에 지지될 수 있다. 일부 구현예에서, 애노드용 집전기 재료는 약 4 μm 내지 약 25 μm의 두께를 가질 수 있다. 집전기의 두께 (μm 단위)는 약 25, 20, 15, 10, 8, 6, 또는 4 미만일 수 있다. 집전기의 두께 (μm 단위)는 적어도 약 4, 5, 6, 7, 8, 9, 10, 12, 14, 16, 18, 20, 또는 25일 수 있다. 집전기의 두께 (μm 단위)는 이들 상한 및/또는 하한 양 중 임의의 2가지에 의해 제공되는 범위일 수 있다. 한 예에서, 애노드용 집전기 재료는 약 6 μm 내지 약 12 μm의 두께를 갖는 구리 호일일 수 있다.

[0092] 일부 구현예 또는 실시예에서, 애노드 조성물은 배터리용 애노드일 수 있다. 예를 들어, 애노드 조성물은 리튬 이온 배터리용 애노드일 수 있다.

[0093] 본 개시내용은 또한 코팅을 포함하는 애노드 조성물에 관한 것일 수도 있다. 일부 구현예 또는 실시예에서, 코팅은 순차적으로 애노드 조성물에 혼입되는 마이크로 실리콘 활성 재료 입자의 코팅일 수 있다. 다른 구현예 또는 실시예에서, 코팅은 애노드 조성물의 코팅 또는 애노드 자체일 수 있다. 즉, 코팅은 애노드 조성물 및 그렇게 형성된 애노드의 표면의 적어도 부분 상에 존재할 수 있다. 일부 구현예 또는 실시예에서, 부분 (%)은 적어도 약 5, 10, 15, 20, 25, 30, 35, 40, 45, 50, 55, 60, 65, 70, 75, 80, 85, 90, 95, 또는 100일 수 있다.

[0094] 일부 구현예에서, 코팅은 코팅된 마이크로 실리콘 활성 재료 입자 또는 코팅된 애노드 조성물을 형성하기 위해 탄소, 그래핀, 흑연, 금속 산화물, 중합체 및 이의 조합을 포함하는 그룹으로부터 선택될 수 있다.

[0095] 본원의 실리콘 활성 재료 입자는 탄소 형태로 코팅될 수 있다. 탄소 코팅은 주로 $sp^2$ 혼성화된 탄소 또는 주로 $sp^3$ 혼성화된 탄소를 포함할 수 있다. 탄소 코팅은 또한 다양한 정도의 $sp^2$ 및 $sp^3$ 혼성화를 포함할 수 있다. 코팅의 일부 구현예는 높은 수준의 $sp^2$ 혼성화 및 낮은 수준의 $sp^3$ 혼성화를 포함할 수 있거나 그 반대일 수도 있다. 일부 구현예에서 코팅에 대한 $sp^2$ 혼성화 수준은 1% 내지 100%일 수 있다. 다른 구현예에서 sp3 혼성화 수준은 1% 내지 100%일 수 있다. 특정 코팅 구현예는 10%, 20%, 30%, 40%, 50%, 60%, 70%, 80, 90%, 99% 또는 100% $sp^2$ 혼성화 수준을 포함할 수 있고 이는 1 - % $sp^2$ 혼성화 *100의 sp3 혼성화 수준과 조합될 수 있다. 즉 $sp^2$ 혼성화 수준에 관계없이, 혼합된 $sp^2/sp^3$ 혼성화 코팅에서, 코팅의 나머지 부분은 $sp^3$ 혼성화로 구성된다. 또 다른 코팅 구현예는 10%, 20%, 30%, 40%, 50%, 60%, 70%, 80, 90% 또는 100% $sp^3$ 혼성화 수준을 포함할 수 있는 반면 $sp^2$ 혼성화 수준은 1 - % $sp^3$ 혼성화 *100이다.

[0096] 탄소 코팅된 실리콘 활성 재료 입자는 본원에 기재된 바와 같이 하나 이상의 탄소 전구체를 사용하여 마이크로

실리콘 활성 재료 입자를 탄소로 코팅함으로써 제공될 수 있다. 본원에 사용된 바와 같이, 용어 "탄소"는 비정질 또는 난흑연화 탄소 코팅, 흑연 탄소 코팅, 또는 그래핀을 지칭할 수 있다. 난흑연화 물질은 고온에 노출된 경우에도 실질적으로 비정질을 유지하는 탄소 물질이다. 상기 논의한 바와 같이, 탄소 코팅은 혼합된 $sp^2/sp^3$ 혼성화의 범위를 입증할 수 있다. 탄소 코팅은 CVD, PVD, 열분해 등을 포함하지만 이에 제한되지 않는 당업계에 공지된 다양한 기술을 사용하여 적용될 수 있다.

[0097] 구현예에서, 비정질 탄소 코팅은 당업계에 공지된 바와 같이 연질 탄소 또는 경질 탄소를 사용한 코팅일 수 있다. 카본 블랙, 석유 피치, 콜타르 피치, 아세틸렌 가스, 분해성 중합체, 바람직하게는 산소 함량이 낮은 분해성 중합체, 예를 들어 단지 일부 비제한적인 예인 PVP (폴리비닐피롤리돈), 폴리아크릴로니트릴 (PAN), 폴리아닐린 (PANi), 폴리피롤 (PPy), 멜라닌 수지, 페놀 수지, 폴리도파민, 레조르시놀 포름알데히드 수지, 시트르산 및 글루코스를 사용하여 이러한 무정형 탄소 코팅을 달성하기 위해 광범위한 전구체 물질이 상업적으로 이용 가능하다는 것이 이해될 것이다. 비정질 탄소층은 일반적으로 열분해 공정을 통해 얻을 수 있으며, 여기서 마이크로 실리콘 입자가 아세틸렌과 같은 분해성 가스에 노출된 후 충분히 높은 온도로 가열되면 표면에 탄소층으로 증착된다. 대안적으로, 마이크로 실리콘 입자를 피치나 가연성 중합체 등의 전구체 물질에 코팅한 후, 피치나 중합체를 열분해하여 탄소층을 형성함으로써 얻을 수도 있다. 다양한 품질의 탄소층을 형성하기 위해 다양한 탄소 전구체를 선택할 수 있다. 예를 들어, 방향족 화합물은 더 높은 수준의 $sp^2$ 혼성화를 가질 수 있는 고품질 코팅을 형성할 수 있다. 아세틸렌이나 특정 중합체와 같은 더욱 선형인 유기 화합물은 더 높은 수준의 $sp^3$ 혼성화로 더 무정형 구조를 형성할 수 있다.

[0098] 일부 구현예에서, 그래핀 코팅된 마이크로 실리콘 활성 재료 입자는 본원에 기술된 바와 같이 마이크로 실리콘 활성 재료 입자를 그래핀으로 코팅함으로써 제공될 수 있다. 일부 구현예에서, 그래핀은 그래핀, 산화 그래핀 또는 환원된 산화 그래핀 및 이의 유도체를 포함하는 그룹으로부터 선택될 수 있다. 흑연 코팅된 마이크로 실리콘 활성 재료 입자는 본원에 기술된 마이크로 실리콘 활성 재료 입자를 흑연으로 코팅함으로써 제공될 수 있다. 일부 구현예에서, 흑연은 흑연, 나노 흑연, 산화 흑연 및 이의 유도체를 포함하는 그룹으로부터 선택될 수 있다.

[0099] 금속 산화물 코팅된 마이크로 실리콘 입자는 본원에 기재된 바와 같이 마이크로 실리콘 활성 재료 입자를 금속 산화물로 코팅함으로써 제공될 수 있다. 일부 구현예에서, 금속 산화물은 산화 알루미늄, 알루미늄 산화물 수산화물 ($\gamma$-AlO(OH)), 수산화 알루미늄 ($Al(OH)_3$), 질산 알루미늄 ($Al(NO_3)_3$) 또는 다른 유사한 알루미늄 함유 종을 포함하는 그룹으로부터 선택될 수 있다. 일부 구현예에서 수산화 알루미늄 또는 질산 알루미늄은 알루미늄 산화물 수산화물 또는 산화 알루미늄으로의 후속 대화를 위한 전구체를 형성할 수 있다. 일부 구현예에서 산화 알루미늄은 알파 산화 알루미늄을 포함할 수 있다. 다른 구현예에서 금속 산화물은 티타늄 또는 니오븀 기반 금속 산화물을 포함할 수 있다. 금속 산화물 코팅은 산화 티탄 ($TiO_2$) 또는 산화 니오븀 ($Nb_2O_5$)을 포함할 수 있다. 또 다른 구현예에서 금속 산화물 코팅은 마그네슘 기반 산화물을 포함할 수 있다. 마그네슘 기반 산화물은 산화 마그네슘 (MgO)일 수 있다.

[0100] 구현예에서, 예를 들어 $\alpha$-산화 알루미늄 및 기타 알루미늄 종과 같은 금속 산화물은 >400℃의 더 높은 온도에서 하소를 통해 또는 원자층 증착 (ALD)과 같은 공정을 통해 마이크로 실리콘 입자에 적용될 수 있다. 침전 공정 경로는 전형적으로 적절한 농도와 제어된 pH 하에서 적절한 금속염을 물에 용해시키고 금속염이 마이크로 실리콘 활성 재료의 표면에 균일하게 침전되도록 pH를 조작하는 것을 포함한다. 전형적으로 이는 환경의 pH를 높이는 것과 관련이 있다. 용액 내 금속염의 농도에 따라 최종 코팅층 두께가 결정된다. 과량의 구성요소와 금속염은 부드럽게 세척될 수 있으며 마이크로 실리콘 활성 재료는 용광로로 옮겨질 수 있다. 침전물은 공기 또는 불활성 가스 하에서 금속염 전구체를 상응하는 금속 산화물로 전환시키는 최대 1200℃의 온도까지 가열될 수 있다.

[0101] 중합체 코팅된 마이크로 실리콘 활성 재료 입자는 본원에 기술된 바와 같이 마이크로 실리콘 활성 재료 입자를 중합체로 코팅함으로써 제공될 수 있다. 일부 구현예에서, 중합체는 전분, 리그닌, 셀룰로오스, 폴리아크릴아미드, 폴리메타크릴아미드, 폴리아믹산, 폴리스티렌-4-술포네이트 (PSS), 3,4-에틸렌디옥시티오펜/폴리스티렌-4-술포네이트 (PEDOT:PSS), 폴리디알릴디메틸암모늄 클로라이드 PDDA, 폴리디알릴디메틸암모늄/폴리스티렌-4-술포네이트 (PDDA:PSS), 요소-피리미디논 (UPy), 요소-올리고-아미도아민 (UOAA), 도파민 메타크릴아미드, 도파민 메타크릴레이트, 도파민 아크릴레이트, 도파민, 히드록시에틸 아크릴레이트, 히드록시프로필 아크릴레이트, 히드록시에틸 메타크릴레이트, 히드록시프로필 메타크릴레이트, 폴리에틸렌 글리콜 메틸 에테르 메타크릴레이트

및 폴리에틸렌 글리콜 메틸 에테르 아크릴레이트, 시스-1,4-폴리이소프렌 천연 고무 및 트랜스-1,4-폴리이소프렌 구타-페르카를 포함하는 천연 폴리이소프렌, 합성 폴리이소프렌, 폴리부타디엔, 클로로프렌 고무, 폴리클로로프렌, 할로겐화 부틸 고무를 포함하는 부틸 고무, 스티렌-부타디엔 고무, 니트릴 고무, 에틸렌 프로필렌 고무, 에틸렌 프로필렌디엔 고무, 에피클로로히드린 고무, 폴리아크릴 고무, 실리콘 고무, 플루오로실리콘 고무, 플루오 로엘라스토머, 퍼플루오로엘라스토머, 폴리에테르 블록 아미드, 클로로술폰화 폴리에틸렌, 에틸렌-비닐 아세테이트, 열가소성 엘라스토머, 단백질 레실린, 단백질 엘라스틴, 에틸렌 옥사이드-에피클로로히드린 공중합체, 폴리우레탄, 우레탄-요소 공중합체, 폴리아닐린, 폴리피롤, 폴리티오펜, 폴리푸란, 이환 중합체, 폴리(에틸렌) 산화물) (PEO), 폴리프로필렌 산화물 (PPO), 폴리(아크릴로니트릴) (PAN), 폴리(메틸 메타크릴레이트) (PMMA), 폴리(비닐리덴 플루오라이드) (PVdF), 폴리((비스-(메톡시에톡시)에톡시)포스파젠), 폴리비닐 클로라이드, 폴리디메틸실록산, 폴리(비닐리덴 플루오라이드)-헥사플루오로프로필렌 (PVDF-HFP), 이의 임의의 유도체 (예를 들어 설폰화 유도체), 페놀 수지, 또는 이의 임의의 조합을 포함하는 그룹으로부터 선택될 수 있다.

[0102] 마이크로 실리콘 활성 재료 입자 상의 실란 커플링제 유래 코팅은 다음 식 (1)로 표시되는 실란 커플링제에 의해 제공될 수 있고: $Y-(CH_2)_n-Si-X_3$ 여기서 Y는 전도성 중합체 모이어티를 형성할 수 있는 비가수분해 그룹, 전도성 코팅층, 리튬 이온 전도성 코팅층, 물리적 인력 또는 결합을 통해 전극 결합제와 유리하게 상호작용하는 층, 화학적 결합 형성을 통해 전극 결합제와 유리하게 상호작용하는 층, 또는 활성 재료 표면에서의 중합시 상기 중 임의의 것의 조합을 나타내고;

[0103] 각각의 X는 독립적으로 히드록실 그룹, 또는 할로겐 원자, 알콕시 그룹, 에테르 그룹 및 실록시 그룹으로 이루어진 그룹으로부터 선택된 가수분해성 그룹을 나타내고;

[0104] 3개의 X 그룹은 서로 동일하거나 다를 수 있으며; 그리고

[0105] n은 0부터 3까지의 정수를 나타낸다.

[0106] 일부 예에서, Y는 아미노, 에폭시, 폴리에틸렌 글리콜 메틸 에테르, 폴리에틸렌 글리콜, 아크릴옥시, 메타크릴옥시 작용성 또는 이의 임의의 조합을 포함할 수 있다.

[0107] 식 (1)로 표시되는 실란 커플링제의 예는 아미노프로필트리에톡시실란, 아미노프로필트리메톡시실란, 비스감마트리메톡시실리프로필아민, 아미노네헥실트리메톡시실란을 포함하지만, 이에 제한되지 않는다.

[0108] 구현예에서, 코팅된 마이크로 실리콘 활성 재료 입자 또는 코팅된 애노드 조성물은 열분해를 포함하거나 화학적 기상 증착, 물리적 기상 증착, 스퍼터링, 또는 기계적 증착을 포함하여 위에 설명된 임의의 방식 또는 구현예로 제공될 수 있다.

[0109] 일부 구현예 또는 실시예에서, 코팅은 단일층의 형태일 수 있다. 다른 구현예에서, 코팅은 2개 이상의 층, 예를 들어 복수의 층의 형태일 수 있다. 코팅은 약 1 내지 5개의 층을 포함할 수 있다. 코팅은 5개 미만의 층, 4개 층, 3개 층, 또는 2개 미만의 층을 포함할 수 있다. 코팅은 적어도 약 1개 층, 2개 층, 3개 층, 4개 층, 또는 적어도 약 5개 층을 포함할 수 있다. 코팅은 전술한 바와 같이 임의의 하한 및/또는 상한에 의해 제공되는 범위의 층을 포함할 수 있다. 각각의 층은 다른 코팅에 의해 제공될 수 있다는 것이 이해될 것이다. 예를 들어, 코팅된 마이크로 실리콘 활성 재료 입자 또는 코팅된 애노드 조성물은 코팅을 포함할 수 있으며, 여기서 하나의 코팅 층은 탄소 물질을 포함하고 다른 코팅 층은 금속 산화물 (예를 들어, 산화 알루미늄)을 포함하고, 다른 층은 중합체성 코팅을 포함하고, 마이크로 실리콘에 어느 순서로든 적용된다. 대안적으로, 코팅은 마이크로 실리콘에 어느 순서로든 적용되는 탄소 재료 코팅 및 금속 산화물 코팅일 수 있다. 또한, 코팅은 마이크로 실리콘에 어느 순서로든 적용되는 탄소 재료 코팅 및 중합체 코팅일 수 있다.

[0110] 본원에 기술된 바와 같은 마이크로 실리콘 활성 재료 입자 또는 애노드 조성물 상의 코팅은 애노드 표면의 전기화학적 보호로 인해 사이클링 안정성을 개선하고 전해질 분해를 감소시킬 수 있는 것으로 여겨진다. 코팅은 마이크로 실리콘 활성 입자 또는 애노드 조성물에 예를 들어, 구조적 강도, 더 낮은 표면적, 분쇄 감소, 전자 전도도, Li-이온 전도성, 부동태화 및/또는 절연을 포함하는 다수의 특성을 제공하고, 궁극적으로 실리콘 애노드 용량 유지를 개선할 수 있음이 이해될 것이다.

[0111] *실리콘 입자*

[0112] 본 발명은 선택적으로 코팅된 마이크로 실리콘 활성 재료 입자를 포함하는 애노드 조성물에 관한 것이다. 또한, 본 발명은 코팅된 마이크로 실리콘 활성 재료 입자를 포함하는 애노드 조성물에 관한 것이다.

[0113] 일부 구현예 또는 실시예에서, 마이크로 실리콘 활성 재료 입자는 야금 실리콘, 다결정 실리콘 및 단결정 실리콘을 포함하거나 이로 이루어진 그룹으로부터 선택될 수 있다. 바람직한 예에서, 마이크로 실리콘 활성 재료 입자는 야금 실리콘이다.

[0114] 임의의 유형의 원소 실리콘에 대한 원료 공급원은 석영 모래 (이산화규소 ($SiO_2$))라는 점을 인식하게 될 것이다. 기존 제조 공정에서, $SiO_2$는 아크로에서 탄소와 반응하고, 여기서 탄소는 코크스 형태로 공정에 공급될 수 있고 고온 (~1800℃)이 적용되어 다음 반응식에 따라 $SiO_2$를 Si와 CO로 환원시킨다:

[0115] $$SiO_2 + 2C \rightarrow Si + 2CO \quad \text{.....(1)}$$

[0116] 이 반응은 백만분율 (ppm)의 수백에서 수천 수준으로 Al, Ca, Fe, Ti, P, Cu, Cr, K, V, Ni, Na 및 기타와 같은 불순물을 포함할 수 있는 야금 등급 실리콘을 생산한다. 야금 실리콘은 철강 생산을 포함한 다양한 산업 응용 분야에 사용될 수 있다. 그러나 불순물로 인해, 전자 응용 분야에는 사용할 수 없다. 야금 실리콘의 결정 구조는 잘 정의되어 있지만, 단결정 실리콘만큼 순수하지도 않고 전기를 전도하는 데 효율적이지도 않다. 야금 실리콘은 원자 사이의 금속 결합이 특징인 금속 결정 구조를 가지고 있다. 금속 결정 구조에서는 원자가 반복 패턴으로 배열되어 있지만 순서는 없다.

[0117] 야금 실리콘의 불순물을 10억분율 (ppb) 수준으로 낮추려면, 추가 제련이 필요하다. 이 공정을 통해 반도체 또는 전자 등급 Si (다결정 실리콘이라고도 함)를 얻을 수 있다. 야금 실리콘과 건조 HCl 사이의 반응으로 삼염화실란 ($SiHCl_3$)이 형성되며, 이는 끓는점이 32℃인 액체이다:

[0118] $$Si + 3HCl \rightarrow SiHCl_3 + H_2 \quad \text{.....(2)}$$

[0119] $FeCl_3$와 같은 일부 염화물 불순물도 형성될 수 있지만, 이러한 불순물과 $SiHCl_3$의 끓는점 차이로 인해 분별 증류 기술을 사용하여 불순물을 분리할 수 있다는 것이 이해될 것이다. 이 공정 동안, $SiHCl_3$와 염화물 불순물의 혼합물이 가열되고, 여기서 증기는 여러 증류탑에서 응축되어 적절한 온도로 유지된다. 이를 통해 불순물로부터 순수한 $SiHCl_3$를 분리할 수 있다. $SiHCl_3$와 $H_2$ 사이의 반응으로 순수한 다결정 실리콘이 형성된다.

[0120] $$2SiHCl_3 + 2H_2 \rightarrow 2Si + 6HCl \quad \text{.....(3)}$$

[0121] 다결정 실리콘의 결정 구조는 잘 정의되어 있지 않으며, 재료를 구성하는 작은 결정 (입자)은 무작위로 방향이 지정되어 있으며 전형적으로 크기가 100 마이크로미터 미만이다. 입자는 입자 경계로 분리되며 일반적으로 결정학적 방향이 무작위이다. 이로 인해 단결정 실리콘보다 약하고 전기 전도성이 떨어지는 물질이 생성된다.

[0122] *초크랄스키* 방법은 순수한 다결정 실리콘을 단일 결정 실리콘으로 변환하는 방법이 사용된다. 단일 결정 물질을 성장시키려면 성장의 주형 역할을 하는 종자 결정이 필요하다. *초크랄스키* 방법은 석영으로 라이닝된 흑연 도가니에 다결정 실리콘을 Si의 녹는점 (1412℃)까지 저항 가열하는 것을 포함한다. 그런 다음 종자 결정을 용융된 재료 속으로 낮추고 천천히 올려 결정이 종자 위에서 성장하도록 한다. 결정이 성장하는 동안 불균일한 고체화를 초래할 수 있는 온도 변화를 평균화하기 위해 느린 회전이 필요하다.

[0123] 생성된 단결정 실리콘을 종종 단일 결정 실리콘이라고 한다. 이는 3차원 격자에 원자가 규칙적이고 반복적으로 배열되어 있고 결정립 한계가 없는 실리콘으로 이루어진다. 단결정 실리콘은 지나치게 순수한 실리콘으로만 이루어진 고유 반도체로 취급될 수 있다. 단결정 실리콘은 고효율과 고순도로 알려졌어 전자 응용 분야에 사용하기에 이상적이다. 단결정 실리콘은 다른 원소를 도핑하여 p형, n형 실리콘이 될 수 있다.

[0124] 임의의 마이크로 실리콘 활성 재료 입자에 불순물이 존재할 수 있다는 것은 당업계에 잘 알려졌다. 또한, 임의의 마이크로 실리콘 활성 재료 입자에 선택적으로 불순물을 첨가할 수 있다는 것도 잘 알려졌다. 일부 구현예에서, Al, Ca, Fe, Ti, P, Cu, Cr, K, V, Ni 및 Na로 이루어진 그룹으로부터 선택된 불순물은 마이크로 실리콘 활성 재료 입자에, 예를 들어 약 5000 ppm 미만, 약 4500 ppm 미만, 약 4000 ppm 미만, 약 3500 ppm 미만, 또는 약 3000 ppm 미만의 전체 또는 개별적 양으로 존재할 수 있다. 한 구현예에서, Al, Ca, Fe, Ti, P, Cu, Cr, K, V, Ni 및 Na로 이루어진 그룹으로부터 선택된 전체 또는 개별 불순물이 약 0 ppm 내지 약 5000 ppm, 바람직하게는 약 0 ppm 내지 약 4000 ppm, 더욱 바람직하게는 약 0 ppm 내지 약 3000 ppm 범위로 마이크로 실리콘 활성 재료 입자에 존재할 수 있다.

[0125] 본 개시내용의 바람직한 구현예 또는 실시예에서, 마이크로 실리콘 활성 재료 입자는 본원에 기술된 바와 같이

코팅된 마이크로 실리콘 활성 재료 입자이고, 코팅된 마이크로 실리콘 활성 재료 입자를 포함하는 애노드 조성물은 추가로 코팅될 수 있거나 코팅되지 않을 수 있다.

[0126] 일부 구현예에서, 마이크로 실리콘 활성 재료 입자 코팅은 코팅된 마이크로 실리콘 활성 재료 입자 또는 코팅된 애노드 조성물을 형성하기 위해 탄소, 그래핀, 흑연, 금속 산화물, 중합체 및 이의 조합을 포함하는 그룹으로부터 선택될 수 있다.

[0127] 일부 구현예 또는 실시예에서, 코팅의 두께는 약 0.1 nm 내지 약 200 nm, 또는 약 0.2 nm 내지 약 150 nm, 또는 약 0.3 nm 내지 약 100 nm, 또는 약 0.3 nm 내지 약 75 nm, 또는 약 0.3 nm 내지 약 50 nm, 또는 약 0.3 nm 내지 약 25 nm, 또는 약 0.3 nm 내지 약 20 nm, 또는 약 0.3 nm 내지 약 10 nm일 수 있다. 코팅의 두께 (nm 단위)는 약 200, 175, 150, 125, 100, 90, 80, 75, 70, 65, 60, 55, 50, 45, 40, 35, 30, 25, 20, 15, 10, 8, 6, 5, 4, 3, 2, 1, 0.9, 0.8, 0.7, 0.6, 0.5, 0.4, 0.3, 0.2, 또는 0.1 미만일 수 있다.

[0128] 일부 구현예에서, 코팅 두께 대 코팅되지 않은 실리콘 입자 직경의 비율 (X:1로서 t/d)은 약 0.0001:1 내지 약 0.2:1, 또는 약 0.0001:1 내지 약 0.15:1, 또는 약 0.0001:1 내지 약 0.12:1, 또는 약 0.0001:1 내지 약 0.1:1, 또는 약 0.0001:1 내지 약 0.09:1, 또는 약 0.0001:1 내지 약 0.085:1일 수 있다. 다른 방식으로 보면, 일부 구현예에서, 실리콘 입자 직경 대 코팅 두께의 비율 (1:X로서 d/t)은 약 1:100,000 내지 약 1:5, 또는 약 1:100,000 내지 약 1:8, 또는 약 1:100,000 내지 약 1:10, 또는 약 1:100,000 내지 약 1:12일 수 있다.

[0129] 본원의 실리콘 활성 재료 입자는 탄소 형태로 코팅될 수 있다. 탄소 코팅은 주로 $sp^2$ 혼성화된 탄소 또는 주로 $sp^3$ 혼성화된 탄소를 포함할 수 있다. 탄소 코팅은 또한 다양한 정도의 $sp^2$ 및 $sp^3$ 혼성화를 포함할 수 있다. 코팅의 일부 구현예는 높은 수준의 $sp^2$ 혼성화 및 낮은 수준의 $sp^3$ 혼성화를 포함할 수 있거나 그 반대일 수도 있다. 일부 구현예에서 코팅에 대한 $sp^2$ 혼성화 수준은 1% 내지 100%일 수 있다. 다른 구현예에서 sp3 혼성화 수준은 1% 내지 100%일 수 있다. 특정 코팅 구현예는 10%, 20%, 30%, 40%, 50%, 60%, 70%, 80, 90%, 99% 또는 100% $sp^2$ 혼성화 수준을 포함할 수 있고 이는 1 - % $sp^2$ 혼성화 *100의 sp3 혼성화 수준과 조합될 수 있다. 즉 $sp^2$ 혼성화 수준에 관계없이, 혼합된 $sp^2/sp^3$ 혼성화 코팅에서, 코팅의 나머지 부분은 $sp^3$ 혼성화로 구성된다. 또 다른 코팅 구현예는 10%, 20%, 30%, 40%, 50%, 60%, 70%, 80, 90% 또는 100% $sp^3$ 혼성화 수준을 포함할 수 있는 반면 $sp^2$ 혼성화 수준은 1 - % $sp^3$ 혼성화 *100이다.

[0130] 탄소 코팅된 실리콘 활성 재료 입자는 본원에 기재된 바와 같이 하나 이상의 탄소 전구체를 사용하여 마이크로 실리콘 활성 재료 입자를 탄소로 코팅함으로써 제공될 수 있다. 본원에 사용된 바와 같이, 용어 "탄소"는 비정질 또는 난흑연화 탄소 코팅, 흑연 탄소 코팅, 또는 그래핀을 지칭할 수 있다. 난흑연화 물질은 고온에 노출된 경우에도 실질적으로 비정질을 유지하는 탄소 물질이다. 상기 논의한 바와 같이, 탄소 코팅은 혼합된 $sp^2/sp^3$ 혼성화의 범위를 입증할 수 있다. 탄소 코팅은 CVD, PVD, 열분해 등을 포함하지만 이에 제한되지 않는 당업계에 공지된 다양한 기술을 사용하여 적용될 수 있다.

[0131] 구현예에서, 비정질 탄소 코팅은 당업계에 공지된 바와 같이 연질 탄소 또는 경질 탄소를 사용한 코팅일 수 있다. 카본 블랙, 석유 피치, 콜타르 피치, 아세틸렌 가스, 분해성 중합체, 바람직하게는 산소 함량이 낮은 분해성 중합체, 예를 들어 단지 일부 비제한적인 예인 PVP (폴리비닐피롤리돈), 폴리아크릴로니트릴 (PAN), 폴리아닐린 (PANi), 폴리피롤 (PPy), 멜라닌 수지, 페놀 수지, 폴리도파민, 레조르시놀 포름알데히드 수지, 시트르산 및 글루코스를 사용하여 이러한 무정형 탄소 코팅을 달성하기 위해 광범위한 전구체 물질이 상업적으로 이용 가능하다는 것이 이해될 것이다. 비정질 탄소층은 일반적으로 열분해 공정을 통해 얻을 수 있으며, 여기서 마이크로 실리콘 입자가 아세틸렌과 같은 분해성 가스에 노출된 후 충분히 높은 온도로 가열되면 표면에 탄소층으로 증착된다. 대안적으로, 마이크로 실리콘 입자를 피치나 가연성 중합체 등의 전구체 물질에 코팅한 후, 피치나 중합체를 열분해하여 탄소층을 형성함으로써 얻을 수도 있다. 다양한 품질의 탄소층을 형성하기 위해 다양한 탄소 전구체를 선택할 수 있다. 예를 들어, 방향족 화합물은 더 높은 수준의 $sp^2$ 혼성화를 가질 수 있는 고품질 코팅을 형성할 수 있다. 아세틸렌이나 특정 중합체와 같은 더욱 선형인 유기 화합물은 더 높은 수준의 $sp^3$ 혼성화로 더 무정형 구조를 형성할 수 있다.

[0132] 일부 구현예에서, 그래핀 코팅된 마이크로 실리콘 활성 재료 입자는 본원에 기술된 바와 같이 마이크로 실리콘 활성 재료 입자를 그래핀으로 코팅함으로써 제공될 수 있다. 일부 구현예에서, 그래핀은 그래핀, 산화 그래핀

또는 환원된 산화 그래핀 및 이의 유도체를 포함하는 그룹으로부터 선택될 수 있다. 흑연 코팅된 마이크로 실리콘 활성 재료 입자는 본원에 기술된 마이크로 실리콘 활성 재료 입자를 흑연으로 코팅함으로써 제공될 수 있다. 일부 구현예에서, 흑연은 흑연, 나노 흑연, 산화 흑연 및 이의 유도체를 포함하는 그룹으로부터 선택될 수 있다.

[0133] 금속 산화물 코팅된 마이크로 실리콘 입자는 본원에 기재된 바와 같이 마이크로 실리콘 활성 재료 입자를 금속 산화물로 코팅함으로써 제공될 수 있다. 일부 구현예에서, 금속 산화물은 산화 알루미늄, 알루미늄 산화물 수산화물 (γ-AlO(OH)), 수산화 알루미늄 ($Al(OH)_3$), 질산 알루미늄 ($Al(NO_3)_3$) 또는 다른 유사한 알루미늄 함유 종을 포함하는 그룹으로부터 선택될 수 있다. 일부 구현예에서 수산화 알루미늄 또는 질산 알루미늄은 알루미늄 산화물 수산화물 또는 산화 알루미늄으로의 후속 대화를 위한 전구체를 형성할 수 있다. 일부 구현예에서 산화 알루미늄은 알파 산화 알루미늄을 포함할 수 있다. 다른 구현예에서 금속 산화물은 티타늄 또는 니오븀 기반 금속 산화물을 포함할 수 있다. 금속 산화물 코팅은 산화 티탄 ($TiO_2$) 또는 산화 니오븀 ($Nb_2O_5$)을 포함할 수 있다. 또 다른 구현예에서 금속 산화물 코팅은 마그네슘 기반 산화물을 포함할 수 있다. 마그네슘 기반 산화물은 산화 마그네슘 (MgO)일 수 있다.

[0134] 구현예에서, 예를 들어 α-산화 알루미늄 및 기타 알루미늄 종과 같은 금속 산화물은 >400℃의 더 높은 온도에서 하소를 통해 또는 원자층 증착 (ALD)과 같은 공정을 통해 마이크로 실리콘 입자에 적용될 수 있다. 침전 공정 경로는 전형적으로 적절한 농도와 제어된 pH 하에서 적절한 금속염을 물에 용해시키고 금속염이 마이크로 실리콘 활성 재료의 표면에 균일하게 침전되도록 pH를 조작하는 것을 포함한다. 전형적으로 이는 환경의 pH를 높이는 것과 관련이 있다. 용액 내 금속염의 농도에 따라 최종 코팅층 두께가 결정된다. 과량의 구성요소와 금속염은 부드럽게 세척될 수 있으며 마이크로 실리콘 활성 재료는 용광로로 옮겨질 수 있다. 침전물은 공기 또는 불활성 가스 하에서 금속염 전구체를 상응하는 금속 산화물로 전환시키는 최대 1200℃의 온도까지 가열될 수 있다.

[0135] 중합체 코팅된 마이크로 실리콘 활성 재료 입자는 본원에 기술된 바와 같이 마이크로 실리콘 활성 재료 입자를 중합체로 코팅함으로써 제공될 수 있다. 일부 구현예에서, 중합체는 전분, 리그닌, 셀룰로오스, 폴리아크릴아미드, 폴리메타크릴아미드, 폴리아믹산, 폴리스티렌-4-술포네이트 (PSS), 3,4-에틸렌디옥시티오펜/폴리스티렌-4-술포네이트 (PEDOT:PSS), 폴리디알릴디메틸암모늄 클로라이드 PDDA, 폴리디알릴디메틸암모늄/폴리스티렌-4-술포네이트 (PDDA:PSS), 요소-피리미디논 (UPy), 요소-올리고-아미도아민 (UOAA), 도파민 메타크릴아미드, 도파민 메타크릴레이트, 도파민 아크릴레이트, 도파민, 히드록시에틸 아크릴레이트, 히드록시프로필 아크릴레이트, 히드록시에틸 메타크릴레이트, 히드록시프로필 메타크릴레이트, 폴리에틸렌 글리콜 메틸 에테르 메타크릴레이트 및 폴리에틸렌 글리콜 메틸 에테르 아크릴레이트, 시스-1,4-폴리이소프렌 천연 고무 및 트랜스-1,4-폴리이소프렌 구타-페르카를 포함하는 천연 폴리이소프렌, 합성 폴리이소프렌, 폴리부타디엔, 클로로프렌 고무, 폴리클로로프렌, 할로겐화 부틸 고무를 포함하는 부틸 고무, 스티렌-부타디엔 고무, 니트릴 고무, 에틸렌 프로필렌 고무, 에틸렌 프로필렌디엔 고무, 에피클로로히드린 고무, 폴리아크릴 고무, 실리콘 고무, 플루오로실리콘 고무, 플루오 로엘라스토머, 퍼플루오로엘라스토머, 폴리에테르 블록 아미드, 클로로술폰화 폴리에틸렌, 에틸렌-비닐 아세테이트, 열가소성 엘라스토머, 단백질 레실린, 단백질 엘라스틴, 에틸렌 옥사이드-에피클로로히드린 공중합체, 폴리우레탄, 우레탄-요소 공중합체, 폴리아닐린, 폴리피롤, 폴리티오펜, 폴리푸란, 이환 중합체, 폴리(에틸렌) 산화물) (PEO), 폴리프로필렌 산화물 (PPO), 폴리(아크릴로니트릴) (PAN), 폴리(메틸 메타크릴레이트) (PMMA), 폴리(비닐리덴 플루오라이드) (PVdF), 폴리((비스-(메톡시에톡시)에톡시)포스파젠), 폴리비닐 클로라이드, 폴리디메틸실록산, 폴리(비닐리덴 플루오라이드)-헥사플루오로프로필렌 (PVDF-HFP), 이의 임의의 유도체 (예를 들어 설폰화 유도체), 페놀 수지, 또는 이의 임의의 조합을 포함하는 그룹으로부터 선택될 수 있다.

[0136] 일부 구현예에서, 코팅된 마이크로 실리콘 활성 재료 입자는 전구체 제형 코팅의 열분해로부터 또는 화학적 기상 증착, 물리적 기상 증착, 원자층 증착 스퍼터링, 또는 기계적 증착에 의해 제공될 수 있다.

[0137] 일부 구현예 또는 실시예에서, 코팅은 단일층의 형태일 수 있다. 다른 구현예에서, 코팅은 2개 이상의 층, 예를 들어 복수의 층의 형태일 수 있다. 코팅은 약 1 내지 5개의 층을 포함할 수 있다. 코팅은 5개 미만의 층, 4개 층, 3개 층, 또는 2개 미만의 층을 포함할 수 있다. 코팅은 적어도 약 1개 층, 2개 층, 3개 층, 4개 층, 또는 적어도 약 5개 층을 포함할 수 있다. 코팅은 전술한 바와 같이 임의의 하한 및/또는 상한에 의해 제공되는 범위의 층을 포함할 수 있다. 각각의 층은 다른 코팅에 의해 제공될 수 있다는 것이 이해될 것이다. 예를 들어, 코팅된 마이크로 실리콘 활성 재료 입자 또는 코팅된 애노드 조성물은 코팅을 포함할 수 있으며, 여기서 하나의 코팅 층은 탄소 물질을 포함하고, 다른 코팅 층은 금속 산화물 (예를 들어, 산화알루미늄)을 포함하고 다른 층

은 중합체성 코팅을 포함하고, 마이크로 실리콘에 어느 순서로든 적용된다. 대안적으로, 코팅은 마이크로 실리콘에 어느 순서로든 적용되는 탄소 재료 코팅 및 금속 산화물 코팅일 수 있다. 또한, 코팅은 마이크로 실리콘에 어느 순서로든 적용되는 탄소 재료 코팅 및 고분자 코팅일 수 있다.

[0138] 본원에 기술된 바와 같은 마이크로 실리콘 활성 재료 입자 상의 코팅은 애노드 표면의 전기화학적 보호로 인해 사이클링 안정성을 개선하고 전해질 분해를 감소시킬 수 있는 것으로 여겨진다. 코팅은 예를 들어 구조적 강도, 더 낮은 표면적, 분쇄 감소, 전자 전도성, Li-이온 전도성 및/또는 절연성을 포함하는 다수의 특성을 마이크로 실리콘 활성 입자에 제공하고 궁극적으로 실리콘 애노드 용량 유지를 개선될 수 있음이 이해될 것이다.

[0139] 한 구현예에서, 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 재료 입자는 임의의 형태를 나타낼 수 있으며, 예를 들어 박편, 응집체, 과립, 분말, 구형, 분쇄된 물질 등뿐만 아니라 이의 조합의 형태를 취할 수 있다. 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자는 입방체, 막대형, 판형, 다면체, 구형 또는 반구형, 준구형, 원형 또는 반원형, 각진 형태, 불규칙한 형태 등을 포함하지만 이에 제한되지 않는 임의의 원하는 형상을 가질 수 있다. 한 구현예에서, 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자는 1.0 내지 10.0, 1.0 내지 5.0, 또는 1.0 내지 2.0의 종횡비 (즉 길이와 폭이 서로 수직으로 측정되고, 길이는 선형으로 측정된 가장 긴 치수를 지칭하는, 길이 대 폭의 비)를 갖는다. 한 구현예에서, 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자는 약 1.0 내지 5.0 또는 약 1.0 내지 4.0 또는 약 1.0 내지 약 3.0, 또는 약 1.0 내지 약 2.0, 예를 들어 약 1.0, 1.5, 2.0, 2.5, 3.0, 3.5, 4.0, 4.5 또는 5.0의 종횡비를 가질 수 있다.

[0140] 일부 구현예에서, 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자의 입자 크기 (μm 단위)는 적어도 약 0.5, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 15, 20, 25, 또는 30일 수 있다. 일부 구현예에서, 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자의 입자 크기 (μm 단위)는 약 30, 25, 20, 15, 10, 9, 8, 7, 6, 5, 4, 3, 2, 1, 또는 0.5 미만일 수 있다. 이들 상한 및/또는 하한 입자 크기 중 임의의 2개 이상의 조합도 가능하며, 예를 들어 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자의 입자 크기 (μm 단위)는 약 1 내지 약 10, 약 2 내지 약 8, 약 3 내지 약 6, 또는 약 2 내지 약 5일 수 있다. 입자 크기는 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자 전체의 가장 긴 단면 직경으로 간주된다. 비구형 마이크로 실리콘 활성 재료 입자 또는 비구형 코팅 마이크로 실리콘 활성 재료 입자의 경우, 입자 크기는 입자 전체의 가장 긴 단면 치수에 해당하는 거리로 간주된다.

[0141] 마이크로 실리콘 활성 재료 입자는 마이크로 실리콘 활성 재료 입자의 90% ($D_{90}$)가 약 50, 45, 40, 35, 34, 32, 30, 28, 24, 20, 18, 16, 14, 12, 10, 8, 6, 5 또는 4 μm 미만의 입자 크기를 갖는, 마이크로 실리콘 활성 재료 입자의 50% ($D_{50}$)가 약 10, 9, 8, 7, 6, 5, 4, 3, 2 1, 0.9, 0.8, 0.7, 0.6, 0.5, 0.4, 0.3, 0.2, 또는 0.1 미만의 입자 크기 (μm 단위)를 갖거나, 또는 마이크로 실리콘 활성 재료 입자의 10% ($D_{10}$)가 약 4, 3, 2, 또는 1 미만의 입자 크기를 갖는 입자 크기 분포를 가질 수 있다. 일부 구현예에서, 마이크로 실리콘 활성 재료 입자는 적어도 약 0.1, 0.2, 0.3, 0.4, 0.5, 0.6, 0.7, 0.8, 0.9, 1, 2, 3, 4, 5, 6, 7, 8, 9 또는 10의 ($D_{50}$) 입자 크기 (μm 단위)를 갖는다. 일부 구현예에서, 마이크로 실리콘 활성 재료 입자는 약 10, 9, 8, 7, 6, 5, 4, 3.5, 3, 2.5, 2, 1.5, 1, 0.9. 0.8, 0.7, 0.6, 0.5, 0.4, 0.3, 0.2, 또는 0.1 미만의 ($D_{50}$) 입자 크기 (μm 단위)를 갖는다. 이들 상한 및/또는 하한 입자 크기 중 임의의 2개 이상의 조합도 가능하며, 예를 들어 마이크로 실리콘 활성 재료 입자는 약 0.1 내지 약 10, 약 0.1 내지 약 9, 약 0.1 내지 약 8, 약 0.1 내지 약 7, 약 0.1 내지 약 6, 약 0.1 내지 약 5, 약 0.5 내지 약 10, 약 0.5 내지 약 9, 약 0.5 내지 약 8, 약 0.5 내지 약 7, 약 0.5 내지 약 6, 약 0.5 내지 약 5, 약 1 내지 약 10, 약 1 내지 약 9, 약 1 내지 약 8, 약 1 내지 약 7, 약 1 내지 약 6, 또는 약 1 내지 약 5의 ($D_{50}$) 입자 크기 (μm 단위)를 갖는다.

[0142] 일부 구현예 또는 실시예에서, 마이크로 실리콘 활성 재료 입자는 약 0.1 $m^2$/g 내지 약 10 $m^2$/g, 예를 들어 약 0.1 $m^2$/g 내지 약 5 $m^2$/g 범위의 BET 표면적을 가질 수 있다. 마이크로 실리콘 활성 재료 입자는 적어도 약 0.1, 0.2, 0.3, 0.4, 0.5, 0.6, 0.7, 0.8, 0.9, 1, 2, 3, 4, 5, 6, 7, 8, 9 또는 10 $m^2$/g의 BET 표면적 ($m^2$/g)을 가질 수 있다. 다른 구현예 또는 실시예에서, 마이크로 실리콘 활성 재료 입자는 약 10, 9, 8, 7, 6, 5, 4, 3, 2, 1, 0.9, 0.8, 0.7, 0.6, 0.5, 0.4, 0.3, 0.2, 또는 0.1 $m^2$/g 미만의 표면적 ($m^2$/g)을 가질 수 있다. 다양한 범위를 형성하기 위한 이들 표면적 값의 조합이 또한 가능하며, 예를 들어 마이크로 실리콘 활성 재료 입자는 약 0.1 내지 약 10, 약 0.1 내지 약 9, 약 0.1 내지 약 8, 약 0.1 내지 약 7, 약 0.1 내지 약 6, 약

0.1 내지 약 5, 약 0.5 내지 약 10, 약 0.5 내지 약 9, 약 0.5 내지 약 8, 약 0.5 내지 약 7, 약 0.5 내지 약 6, 약 0.5 내지 약 5, 약 1 내지 약 10, 약 1 내지 약 9, 약 1 내지 약 8, 약 1 내지 약 7, 약 1 내지 약 6, 또는 약 1 내지 약 5의 표면적 ($m^2/g$)을 가질 수 있다.

[0143] 일부 구현예 또는 실시예에서, 코팅된 마이크로 실리콘 활성 재료 입자는 약 0.1 $m^2/g$ 내지 약 90 $m^2/g$ 범위의 BET 표면적을 가질 수 있다. 코팅된 마이크로 실리콘 활성 재료 입자는 적어도 약 0.1, 0.5, 1, 2, 3, 4, 5, 6, 7, 8, 9 10, 15, 20, 25, 30, 35, 40, 45, 50, 60, 70, 80, 또는 90 $m^2/g$의 BET 표면적을 가질 수 있다 ($m^2/g$). 다른 구현예 또는 실시예에서, 코팅된 마이크로 실리콘 활성 재료 입자는 약 90, 80, 70, 60, 50, 40, 30, 20, 10, 9, 8, 7, 6, 5, 4, 3, 2, 1, 0.5, 또는 0.1 $m^2/g$ 미만의 표면적 ($m^2/g$)을 가질 수 있다. 다양한 범위를 형성하기 위한 이러한 표면적 값의 조합도 가능하다.

[0144] 본 발명자들은 놀랍게도 코팅되지 않은 마이크로 실리콘 활성 재료 입자의 $D_{50}$ 입자 크기 (μm 단위)와 코팅되지 않은 마이크로 실리콘 활성 재료 입자의 BET 표면적 ($m^2/g$) 사이의 관계, 및 애노드의 전기화학 성능에 대한 매개변수의 비율을 발견했다. 일부 구현예 또는 실시예에서, 마이크로 실리콘 활성 재료 입자의 $D_{50}$ 입자 크기 (μm 단위)와 마이크로 실리콘 활성 재료 입자의 BET 표면적 ($m^2/g$)의 비율은 약 0.1 내지 약 10 범위일 수 있다. 일부 구현예 또는 실시예에서, 마이크로 실리콘 활성 재료 입자의 $D_{50}$ 입자 크기 (μm 단위)와 마이크로 실리콘 활성 재료 입자의 BET 표면적 ($m^2/g$)의 비율은 적어도 약 0.1, 0.2, 0.3, 0.4, 0.5, 0.6, 0.7, 0.8, 0.9, 1, 2, 3, 4, 5, 6, 7, 8, 9, 또는 10일 수 있다. 일부 구현예 또는 실시예에서, 마이크로 실리콘 활성 재료 입자의 $D_{50}$ 입자 크기 (μm 단위)와 마이크로 실리콘 활성 재료 입자의 BET 표면적 ($m^2/g$)의 비율은 약 10, 9, 8, 7, 6, 5, 4, 3, 2, 1, 0.9, 0.8, 0.7, 0.6, 0.5, 0.4, 0.3, 0.2, 또는 0.1 미만일 수 있다. 다양한 범위를 형성하기 위한 이들 비율의 조합도 가능하며, 예를 들어 코팅되지 않은 마이크로 실리콘 활성 재료 입자의 $D_{50}$ 입자 크기 (μm 단위)와 코팅되지 않은 마이크로 실리콘 활성 재료 입자의 BET 표면적 ($m^2/g$)의 비율은 약 0.1 내지 약 10, 약 0.1 내지 약 9, 약 0.1 내지 약 8, 약 0.1 내지 약 7, 약 0.1 내지 약 6, 약 0.1 내지 약 5, 약 0.5 내지 약 10, 약 0.5 내지 약 9, 약 0.5 내지 약 8, 약 0.5 내지 약 7, 약 0.5 내지 약 6, 약 0.5 내지 약 5, 약 1 내지 약 10, 약 1 내지 약 9, 약 1 내지 약 8, 약 1 내지 약 7, 약 1 내지 약 6, 또는 약 1 내지 약 5의 범위일 수 있다. 예를 들어, 마이크로 실리콘 활성 재료 입자의 $D_{50}$ 입자 크기 (μm 단위)와 마이크로 실리콘 활성 재료 입자의 BET 표면적 ($m^2/g$)의 비율은 각각, 약 2 μm 내지 약 8 μm 및 약 1 $m^2/g$ 내지 약 5 $m^2/g$ 범위 $D_{50}$ 및 BET 표면적에 의해 제공되는 약 0.1 내지 약 6 범위이고, 애노드의 초기 쿨롱 효율 및 용량 유지를 향상시킨다. 특히, 마이크로 실리콘 활성 재료 입자의 $D_{50}$ 입자 크기 (μm 단위)와 마이크로 실리콘 활성 재료 입자의 BET 표면적 ($m^2/g$)의 비율은 각각, 약 3.0 μm 내지 약 6.0 μm 및 약 1.0 $m^2/g$ 내지 약 3.5 $m^2/g$ 범위 $D_{50}$ 입자 크기 및 BET 표면적에 의해 제공되는 약 1.0 내지 약 3.5 범위이고, 마이크로 실리콘 애노드 설계에 대한 완전 전지 구성에서 가장 개선된 용량 유지를 유리하게 제공했다. $D_{50}$ 입자 크기/BET 표면적 비율이 3.5보다 크고 1.0보다 낮을 때 전기화학 성능의 점진적인 감소가 발견된다는 것이 이해될 것이다. 그러나, $D_{50}$ 입자 크기가 0.1 내지 2.0 μm 범위이고 BET 표면이 >5 $m^2/g$이므로 $D_{50}$ 입자 크기/BET 표면적 비율이 0.01 내지 0.10인 경우 ICE 및 용량 유지가 급격히 감소하는 것으로 나타났다. 이론에 얽매이기를 바라지 않고, 이 현상은 더 얇고 저항이 적은 SEI 층을 형성하는 전해질과 마이크로 실리콘 활성 재료 입자의 낮은 표면 반응성으로부터 발생할 가능성이 높다.

[0145] 놀랍게도 다양한 마이크로 실리콘 애노드 등급이 반전지 및 완전 전지 설계에서 순환될 때 사이클 안정성의 역관계가 존재한다는 사실이 발견되었으며, 이는 각각의 입자 크기, BET 표면적 및 $d_{50}$ 입자 크기와 BET 표면적 사이의 비율에 의해 결정된다.

[0146] 완전히 리튬화된 조건에서 마이크로 실리콘 애노드를 테스트한 반전지 형식에서는, $d_{50}$ >2.0 μm, BET 표면적 <5 $m^2/g$이고 $d_{50}$ 입자 크기: BET 표면적 비율이 0.01 내지 0.1보다 높은 샘플에서 빠른 용량 감소가 분명했다. 제한

된 용량의 완전 전지 설계에서 마이크로 실리콘 재료를 테스트할 때, 반전지 테스트에서 관찰된 사이클링 안정성이 반전되었다. 높은 $d_{50}$ 입자 크기 (바람직하게는 2.0 - 8.0 μm), 낮은 BET 표면적 (바람직하게는 1.0 - 5.0 $m^2/g$) 및 높은 $d_{50}$ 입자 크기: BET 표면적 비율 (바람직하게는 0.1 - 6.0)을 갖는 마이크로 실리콘 재료는 더 높은 ICE 및 용량 유지로 안정적인 사이클링 성능을 발휘한다.

[0147] 충전-방전 사이클링에 따른 실리콘 입자의 팽창 및 수축으로 인해 실리콘 입자가 분쇄되어 특정 표면적이 증가한다. 반전지의 Li 금속 상대 전극에서 $Li^+$ 이온을 무제한으로 공급함으로써, 새로 형성된 표면과의 SEI 형성 반응으로 인한 임의의 Li 손실은 쉽게 보상될 수 있으며 Si 애노드는 실리콘 전극이 완전히 소모될 때까지 계속 순환할 수 있다. 따라서, 낮은 $d_{50}$, 높은 BET 표면적 및 $d_{50}$ 입자 크기 : BET 표면적 비율 <0.1을 갖는 마이크로 실리콘 입자는 더 큰 실리콘 표면적의 존재로 인해 실리콘 전극의 완전한 고갈에 도달하는 데 더 오랜 시간이 걸릴 것이고, 더 낮은 평균 입자 크기로 인해 입자에 가해지는 응력이 감소하여 상대적으로 안정적인 사이클링 성능을 제공한다.

[0148] 제한된 리튬 저장소가 존재하는 완전 전지 설계에서, 충전-방전 동안 $d_{50}$ <2.0 μm, BET 표면적 >5 $m^2/g$ 및 $d_{50}$ 입자 크기 : BET 표면적 비율 <0.1로 이루어진 더 큰 표면적을 갖는 마이크로 실리콘 입자의 증가된 반응성은 $Li^+$의 소모가 가속화되어 용량 유지와 사이클 수명이 저하를 초래한다. 사이클링 중 높은 $d_{50}$ 입자 크기 (바람직하게는 2.0 - 8.0 μm), 낮은 BET 표면적 (바람직하게는 1.0 - 5.0 $m^2/g$) 및 높은 $d_{50}$ 입자 크기 : BET 표면적 비율 (바람직하게는 0.1 - 6.0)을 갖는 마이크로 실리콘 재료에서 표면 반응성이 낮아서 $Li^+$ 이온의 비가역적 소모가 용량 유지 및 사이클 수명을 연장한다. $d_{50}$과 BET 표면적의 특정 조합이 완전 전지에서 예외적으로 우수한 성능을 가져올 수 있다는 사실을 발견했다.

[0149] 일부 구현예 또는 실시예에서, 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자의 탭 밀도는 약 0.5 $g/cm^3$ 내지 약 1.5 $g/cm^3$ 범위일 수 있다. 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자의 탭 밀도는 적어도 약 0.5, 0.55, 0.6, 0.65, 0.7, 0.75, 0.8, 0.85, 0.9, 0.95, 1.0, 1.2, 1.3 또는 1.5 $g/cm^3$일 수 있다. 다른 구현예 또는 실시예에서, 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자의 탭 밀도는 약 1.5, 1.4, 1.3, 1.2, 1.0, 0.95, 0.9, 0.85, 0.8, 0.75, 0.7, 0.65, 0.6, 0.55, 또는 0.5 $g/cm^3$ 미만일 수 있다. 다양한 범위를 형성하기 위한 이러한 밀도 값의 조합도 가능하며, 예를 들어 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자는 약 0.5 $g/cm^3$ 내지 약 1.2 $g/cm^3$ 사이의 탭 밀도를 가질 수 있다. 밀도는 임의의 표준 방법, 예를 들어 ASTM D7481-18에 따라 측정할 수 있다.

[0150] 유리하게는, 본 개시내용의 마이크로 실리콘 활성 재료 입자는 고순도로 제공될 수 있다. 한 구현예 또는 실시예에서, 마이크로 실리콘 활성 재료 입자 (산소 없음)의 순도는 (wt.%로) 약 95 내지 약 99.9 범위일 수 있다. 마이크로 실리콘 활성 재료 입자 (산소 없음)의 순도는 적어도 (wt.%로) 약 95, 96, 97, 98, 99, 99.5, 또는 99.9일 수 있다. 마이크로 실리콘 활성 재료 입자 (산소 없음)의 순도는 (wt.%로) 약 99.9, 99.5, 99, 98, 97, 96, 또는 95 미만일 수 있다. 마이크로 실리콘 활성 재료 입자 (산소 없음)의 순도는 이전에 기술한 대로 임의의 하한 및/또는 상한에 의해 제공되는 범위에 있을 수 있다.

[0151] 한 구현예 또는 실시예에서, 마이크로 실리콘 활성 재료 입자 (산소 있음)의 순도는 (wt.%로) 약 79 내지 약 99.5 범위일 수 있다. 마이크로 실리콘 활성 재료 입자 (산소 있음)의 순도는 적어도 (wt.%로) 약 75, 80, 85, 90, 95, 96, 97, 98, 99 또는 99.5일 수 있다. 마이크로 실리콘 활성 재료 입자 (산소 있음)의 순도는 (wt.%로) 약 99.5, 99, 98, 97, 96, 95, 90, 85, 80, 또는 75 미만일 수 있다. 마이크로 실리콘 활성 재료 입자 (산소 있음)의 순도는 이전에 기술한 대로 임의의 하한 및/또는 상한에 의해 제공되는 범위에 있을 수 있다.

[0152] 본 개시내용에 따른 마이크로 실리콘 활성 재료 입자의 신규하고 독창적인 특징의 조합, 이의 선택적 코팅 및 리튬 이온 배터리의 애노드용 선택적으로 코팅된 애노드 조성물에서의 이의 사용은 놀랍게도 배터리 사이클 거동의 개선을 가져온다. 대안적으로, 본 개시내용에 따른 코팅된 마이크로 실리콘 활성 재료 입자 및 리튬 이온 배터리의 애노드용 선택적으로 코팅된 애노드 조성물에서의 그의 사용은 놀랍게도 배터리 사이클 거동의 개선을

가져올 수 있다. 본원에 기술된 바와 같은 리튬 이온 배터리는 제1 충전 사이클에서 작은 비가역적 용량 손실을 갖고 후속 사이클에서 페이딩을 최소화하면서 안정적인 전기화학 거동을 갖는다는 것이 예기치 않게 나타났다. 따라서, 본원에 기술된 바와 같이, 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자를 사용함으로써, 리튬 이온 전지의 낮은 초기 용량 손실 및 연속적인 용량 손실도 달성할 수 있다. 전반적으로, 본원에 기술된 리튬 이온 배터리는 매우 우수한 안정성과 사이클 수명을 제공한다. 따라서, 예를 들어, 애노드 코팅층의 기계적 파괴, 애노드 재료 또는 SEI 형성의 결과로 인한 피로를 최소화하면서 많은 수의 사이클을 달성할 수 있다.

[0153] *사전리튬화*

[0154] SEI 층은 리튬 이온이 삽입되는 동안 형성되며, 애노드 전위가 Li+/Li에 비해 약 1V 미만일 때 애노드 표면에서 유기 전해질이 감소한다. SEI 층은 전기 절연성이지만 이온 전도성이 있는 필름을 생성하여 전해질 이온이 벌크 전극 재료에 공동 삽입되는 것을 방지하는 데 중요하다. 이는 전해질의 지속적인 과도한 분해를 방지한다. 그러나, 애노드 활성 재료 표면에 SEI 층 막을 형성하는 과정에서 일부 리튬 이온이 전극에 비가역적으로 포획되어 리튬 이온이 소모될 수 있다.

[0155] 애노드의 초기 비가역적 리튬 손실은 사전리튬화를 통해 애노드에 리튬을 추가함으로써 보상될 수 있다. 사전리튬화 방법은 크게 전기화학 사전리튬화와 화학적 사전리튬화로 분류될 수 있다. 전기화학 사전리튬화는 추가로 반전지 사전리튬화 또는 단락 사전리튬화로 분류될 수 있다. 화학적 사전리튬화는 추가로 화학적 합성, 용액 침지, 기계적 공정으로 분류될 수 있다. 애노드 코팅 수준의 활성 재료 입자에서 활용될 수 있는 사전리튬화를 위한 추가 방법은 화학 기상 증착 (CVD) 유형 방법 및 물리 기상 증착 방법 (PVD)으로 대표된다. 애노드 코팅을 사전리튬화하는 바람직한 방법은 SEI 층도 사전 형성하는 방법을 포함하며 롤-투-롤 공정으로 수행될 수 있고 본질적으로 비용 효과적이다. 애노드 코팅에 혼입되기 전에 활성 재료 입자를 사전리튬화 하는 바람직한 사전리튬화 방법은 애노드 조성물을 사전리튬화하는데 사용되는 방법과 다를 수 있다는 것이 이해될 것이다. 입자 수준에서의 사전리튬화는 코팅층이 입자에 적용되기 전에 수행될 수 있다는 것이 이해될 것이다. 본 개시내용은 특정 사전리튬화 방법으로 제한되지 않으며 의도된 결과를 달성하기 위해 가장 적합한 방법이 선택될 것이라는 점에 유의해야 한다.

[0156] 사전리튬화는 애노드 전극에 적용될 수 있다. 예를 들어, 전기화학 전지의 1회 완전 충전 및 1회 완전 방전을 구성하는 제1 사이클에서 손실되는 리튬을 보상하기 위해 사전리튬화가 적용될 수 있다. SEI 층이 형성되지만 리튬이 완전 전지로 조립되기 전에 활성 재료와 삽입되거나 합금화되지 않도록 사전리튬화의 양이 선택되면, 일단 완전 전지에 통합된 후 애노드의 제1 사이클 손실이 최소화될 것이며, 리튬의 추가 손실은 캐소드 전극과 같은 다른 공급원에서 발생할 것으로 예상된다. 그 결과, 반복되는 충전 및 방전 사이클링 동안 애노드와 캐소드 사이를 앞뒤로 통과할 후속 사이클에서 더 많은 리튬이 이용 가능해짐에 따라 이제 전기화학 전지는 더 높은 전지 용량에서 순환하게 된다.

[0157] 사전리튬화는 또한 제1 사이클 및 더 일반적으로는 초기 형성 사이클 동안 발생하는 임의의 리튬 손실을 보상하는 것 외에도 애노드가 전지 조립체로 조립되기 전에 애노드에 리튬 저장소를 제공할 수 있다. 리튬 저장소는 여러 사이클에 걸쳐 진행 중인 리튬 손실을 보상할 수 있으므로 용량 저하를 줄이고 완전 전지의 유효 수명을 연장할 수 있다. 즉, 사전리튬화는 실리콘 함유 애노드, 특히 높은 비율의 실리콘을 함유하는 애노드에 대해 하나 이상의 이점을 제공할 수 있다. SEI 층을 활성 재료에 적용하는 방법을 사용하여 애노드에 리튬 저장소를 제공하는 것도 전지의 제1 사이클 효율을 최대화할 수 있다.

[0158] 선택적으로, 애노드 조성물은 사전리튬화된 애노드 조성물을 제공할 수 있다. 사전리튬화는 활성 재료가 애노드 조성물에 혼입되기 전에 애노드 활성 재료 수준에서 일어날 수 있거나 사전리튬화는 애노드 조성물이 제조된 후에 일어날 수 있다. 본 개시내용의 하나 이상의 이점은 애노드에 리튬 저장소를 제공할 수 있는 애노드 조성물을 사전리튬화함으로써 제공되며 이에 의해 일단 완전 전지 배열에 통합되면 충전/방전 사이클링 동안 진행 중인 $Li^+$ 손실을 보상함으로써 사이클 수명을 연장할 수 있다.

[0159] 일부 구현예에서, 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자는 사전리튬화 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자일 수 있고, 여기서 사전리튬화는 활성 재료를 애노드 조성물에 혼입시키기 전에 발생한다. 마이크로 실리콘 활성 재료 입자는 코팅된 마이크로 실리콘 활성 재료 입자를 형성하기 전에 사전리튬화될 수 있다는 것이 이해될 것이다. 다른 구현예에서, 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자는 사전리튬화 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자일 수 있고, 여기서 사전리튬화는 활성 재료가 애노드 조

성물에 혼입된 후에 발생한다. 사전리튬화 정도는 생성된 상이 $Li_0Si_1$ (0% 사전리튬화)과 $Li_{4.40}Si_1$ (100% 사전리튬화) 사이에 있도록 선택될 수 있다. $Li_1Si_1$, $Li_{1.71}Si_2$, $Li_2Si_1$, $Li_{3.5}Si_1$, 및 $Li_{3.75}Si_1$을 포함하는 사이의 임의의 상 조성이 바람직할 수 있다. 일부 구현예 또는 실시예에서, 마이크로 실리콘 활성 재료 입자 및/또는 애노드 조성물의 사전리튬화 양은 약 1% 내지 약 30%일 수 있다. 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자 및/또는 애노드 조성물의 사전리튬화 양은 약 30%, 25%, 20%, 15%, 10%, 5% 또는 1% 미만일 수 있다. 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자 및/또는 애노드 조성물의 사전리튬화 양은 적어도 약 1%, 5%, 10%, 15%, 20%, 25%, 또는 30%일 수 있다. 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자 및/또는 애노드 조성물의 사전리튬화 양은 이들 상한 및/또는 하한 양 중 임의의 2가지에 의해 제공되는 범위일 수 있다.

[0160] 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자의 사전리튬화는 물리적 기상 증착 (PVD) 또는 화학적 기상 증착 (CVD) 또는 기계적 합금 공정 또는 화학적 공정 또는 전기화학 공정을 통해 수행될 수 있다. 사전리튬화 마이크로 실리콘 활성 재료 입자가 애노드 조성물에 혼입되기 전에 실리콘-리튬 합금상을 생성하기 위해 다양한 적합한 방법이 적용될 수 있다는 것이 이해될 것이다.

[0161] *추가 활성 재료*

[0162] 본원에 기술된 애노드 조성물은 하나 이상의 추가 활성 재료를 추가로 포함할 수 있다. 일부 구현예에서, 추가 활성 재료는 흑연 또는 실리콘일 수 있다. 예를 들어, 박편 흑연, 천연 흑연, 인조 흑연, x = 0.8 내지 2인 실리콘 산화물 (SiOx), 실리콘 탄소 복합물, 실리콘 합금, 또는 이의 임의의 조합.

[0163] *결합제*

[0164] 본원에 개시된 애노드 조성물은 하나 이상의 결합제를 추가로 포함할 수 있다. 결합제는 중합체일 수 있다. 일부 구현예에서, 중합체는 아라비아 검, 카르복시메틸 셀룰로오스 (CMC)/시트르산, CMC/스티렌-부타디엔 고무 (SBR), 폴리테트라플루오로에틸렌 (PTFE), 폴리비닐리덴 플루오라이드 (PVDF), 폴리(1-트리메틸실릴-1-프로핀) (PTMSP), 아라비아 검, 잔탄검, 및 구아검과 같은 검 결합제, 천연 셀룰로오스 기반 결합제, 카르복시메틸셀룰로오스나트륨, 카르복시메틸셀룰로오스리튬, 알긴산나트륨, 폴리아크릴레이트와 같은 다당류, 폴리비닐부티랄과 같은 지방족 중합체, 스티렌-부타디엔 고무와 같은 방향족 중합체로 이루어진 그룹으로부터 선택될 수 있다. 예를 들어, 중합체는 폴리비닐피롤리돈, 카르복시메틸셀룰로오스, 폴리아크릴산 (PAA), 폴리(메타크릴산), 폴리(에틸렌 및 말레산 무수물) 공중합체를 포함하는 말레산 무수물 공중합체, 폴리비닐 알코올, 카르복시메틸 키토산, 천연 다당류, 잔탄 검, 알기네이트, 폴리이미드 및 다음 폴리비닐알코올 (PVA), 폴리우레탄 (PU), 폴리이미드 (PI) 또는 폴리아크릴로니트릴 (PAN) 중 하나 이상을 포함하는 PAA 공중합체로 이루어진 그룹으로부터 선택될 수 있다, 한 예에서, 결합제는 PAA이다. 결합제는 $H_2O$ 또는 에탄올 또는 $H_2O$와 에탄올의 혼합물 또는 *N,N'*-디메틸포름아미드 또는 의도된 목적에 적합한 임의의 다른 용매에 용해될 수 있다. 일부 결합제는 수성 에멀젼 형태로 존재할 수 있다.

[0165] 일부 구현예 또는 실시예에서, 결합제 대 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자의 비율은 약 1:40, 1:35, 1:32, 1:30, 1:25, 1:23, 1:20, 1:15, 1:10, 1:9, 1:6, 또는 1:4일 수 있다. 결합제 대 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자의 비율은 약 1:4 내지 약 1:32 범위일 수 있다. 결합제 대 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자의 비율은 약 1:8 내지 약 1:23 범위일 수 있다. 결합제 대 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자의 비율은 약 1:9 내지 약 1:15 범위일 수 있다.

[0166] 일부 구현예 또는 실시예에서, 결합제 (wt.% 단위)는 약 2.5 내지 15의 범위로 애노드 조성물에 존재할 수 있다. 결합제 (wt.% 단위)는 약 15, 12, 10, 8, 5 또는 2.5 미만의 양으로 애노드 조성물에 존재할 수 있다. 결합제 (wt.% 단위)는 적어도 약 2.5%, 5%, 8%, 10%, 12%, 또는 15%의 양으로 애노드 조성물에 존재할 수 있다. 결합제 (wt.% 단위)는 이들 상한 및/또는 하한 양 중 임의의 2가지에 의해 제공되는 범위로 애노드 조성물에 존재할 수 있다. 예를 들어, 결합제 (wt.% 단위)는 약 3 내지 약 8, 또는 약 4 내지 약 8의 범위로 애노드 조성물에 존재할 수 있다.

[0167] 결합제의 pH는 애노드 조성물의 전기화학 성능에 영향을 미칠 수 있는 것으로 밝혀졌다. 일부 구현예 또는 실시예에서, 결합제의 pH는 9, 8, 7, 6, 5, 4, 3, 또는 2 미만일 수 있다. 일부 구현예 또는 실시예에서, 결합제의 pH는 적어도 2, 3, 4, 5, 6, 7, 8 또는 9일 수 있다. 결합제의 pH는 이들 상한값 및/또는 하한값 중 임의의 2가

지에 의해 제공되는 범위일 수 있다. 예를 들어, 결합제의 pH는 4 내지 8의 범위일 수 있다.

[0168] *전도성 재료*

[0169] 본원에 기술된 애노드 조성물은 하나 이상의 전도성 재료를 추가로 포함할 수 있다. 일부 구현예 또는 실시예에서, 전도성 재료는 탄소 기반 재료일 수 있다. 한 구현예 또는 실시예에서, 탄소 기반 재료는 나노 크기 또는 마이크로 크기의 탄소 입자 또는 박편, 또는 이의 조합일 수 있다. 한 구현예 또는 실시예에서, 탄소 기반 재료는 활성탄소, 탄소 나노입자, 흑연, 단일벽 (SWCNT) 또는 다중벽 (MWCNT) 탄소 나노튜브, 분지형 탄소 나노튜브, 탄소 나노섬유, 그래핀, 그래핀 산화물, 맥신, 나노 또는 마이크로 크기의 경질 탄소, 나노 또는 마이크로 크기의 다공성 탄소 및 전도성 중합체로 이루어진 그룹으로부터 선택될 수 있다. 탄소 기반 재료는 그래핀, 그래핀 산화물, 흑연, 단일벽 (SWCNT) 또는 다중벽 (MWCNT) 탄소 나노튜브, 분지형 탄소 나노튜브, 탄소 나노섬유, 맥신, 나노 또는 마이크로 크기의 경질 탄소, 나노 또는 마이크로 크기의 다공성 탄소 및 전도성 중합체로 이루어진 그룹으로부터 선택될 수 있다.

[0170] 일부 구현예 또는 실시예에서, 전도성 재료 대 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자의 비율은 약 1:50, 1:48, 1:45, 1:40, 1:35, 1:30, 1:25, 1:20, 1:18. 1:15, 1:10, 1:8, 1:6, 1:4, 1:3, 1:2, 또는 1:1.3일 수 있다. 전도성 재료 대 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자의 비율은 약 1:2 내지 약 1:30의 범위일 수 있다. 전도성 재료 대 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자의 비율은 약 1:2 내지 약 1:18의 범위일 수 있다. 전도성 재료 대 마이크로 실리콘 활성 재료 입자의 비율은 약 1:2 내지 약 1:15의 범위일 수 있다.

[0171] 일부 구현예 또는 실시예에서, 전도성 재료는 애노드 조성물에 (애노드 조성물의 총 중량을 기준으로) 약 2.5 내지 40 wt.%의 범위로 존재할 수 있다. 전도성 재료는 애노드 조성물에 (애노드 조성물의 총 중량을 기준으로) 약 40 wt.%, 30 wt.%, 20 wt.% 15 wt.%, 10 wt.%, 7 wt.%, 5 wt.% 또는 2.5 wt.% 미만의 양으로 존재할 수 있다. 전도성 재료는 애노드 조성물에 (애노드 조성물의 총 중량을 기준으로) 적어도 약 2.5 wt.%, 5 wt.%, 7 wt.%, 10 wt.%, 15 wt.%, 20 wt.%, 30 wt.%, 또는 40 wt.%의 양으로 존재할 수 있다. 전도성 재료는 이들 상한 및/또는 하한 양 중 임의의 2가지에 의해 제공되는 양으로 애노드 조성물에 존재할 수 있다. 예를 들어, 전도성 재료는 애노드 조성물에 약 7 wt.% 내지 약 25 wt.%의 양으로 존재할 수 있다.

[0172] **전기화학 전지**

[0173] 본 개시내용은 전기화학 전지용 애노드의 개선점을 제공하는 것에 관한 것이다. 일부 구현예 또는 실시예에서, 본 개시내용은 적어도 본원에 기술된 일부 구현예 또는 실시예에 따른 애노드 조성물을 포함하는 전기화학 전지용 애노드에 관한 것이다.

[0174] 일부 구현예 또는 실시예에서, 전기화학 전지는 다음을 포함할 수 있고: 음극, 양극, 적어도 하나의 전해질, 및 분리기, 여기서 애노드는 본원에 정의된 바와 같은 애노드 조성물을 포함한다. 예를 들어, 전기화학 전지는 다음을 포함하거나 이로 이루어질 수 있고: 애노드; 캐소드; 하나 이상의 전해질 용매를 포함하는 적어도 하나의 전해질; 및 분리기, 여기서 애노드는 본원에 정의된 바와 같은 애노드 조성물을 포함하고, 애노드의 리튬 흡수 용량은 캐소드의 리튬 방출 용량보다 크다.

[0175] 본 개시내용의 하나 이상의 이점은 전기화학 전지에서의 애노드 및 캐소드의 배열에 의해 제공되며, 이는 본원에 기술된 애노드 조성물의 안정성 및 사이클 수명을 증가시키는 데 상당히 중요한 것으로 밝혀졌다.

[0176] 일부 구현예에서, 용량 제한은 질량 부하 또는 면적 용량 측면에서 고려될 수 있다. 질량 부하 또는 면적 용량은 애노드의 용량이 캐소드에 비해 상당히 클 수 있는 전기화학 전지 조립체를 지칭한다. 용량 제한은 전기화학 전지에 함유된 리튬의 양이 전지 조립시 캐소드에 포함된 리튬에 의해 제한되기 때문에 부분적인 리튬화가 발생하도록 허용함으로써 대형 전극 (애노드)의 용량을 제한하는 효과를 가질 수 있다. 예를 들어, 애노드가 x의 면적 용량을 갖고 캐소드가 y의 면적 용량을 갖는 전기화학 전지 조립체에서 결과적으로 추정된 백분율 용량 제한은 y/x * 100으로 계산된다. 용량에 대한 이러한 접근 방식은 애노드가 3500 mAh/g를 초과하는 특정 용량을 제공하는 활성 재료로서 높은 비율의 원소 실리콘을 함유하는 상황에서 특히 유용할 수 있다는 것이 이해될 것이다.

[0177] 특정 면적 용량 ($mAh/cm^2$ 단위)은 집전기에 적용되는 애노드 조성물의 양에 의해 제공되는 특정 부하 중량 ($mg/cm^2$ 단위)에 해당한다는 것이 이해될 것이다. 특정 부하 중량 ($mg/cm^2$ 단위)은 마이크로 실리콘 활성 재료 입자, 하나 이상의 선택적인 추가 활성 재료, 하나 이상의 선택적인 결합제, 및 하나 이상의 선택적인 전도성

재료를 포함하는 애노드 조성물의 총 중량을 기준으로 한다. 특정 면적 용량 (mAh/$cm^2$ 단위)은 집전기에 코팅된 애노드 조성물의 두께, 애노드 조성물 중 실리콘 함량, 및 실리콘의 활용도에 따라 달라진다.

[0178] 일부 구현예에서, 애노드의 애노드 조성물 내에 함유된 활성 재료의 전체 활용에 해당하는 특정 면적 용량 (mAh/$cm^2$ 단위)은 2.5 mAh/$cm^2$ 내지 20 mAh/$cm^2$ 사이일 수 있다.

[0179] 일부 구현예에서, 애노드 조성물의 특정 부하 중량 (mg/$cm^2$ 단위)은 0.95 mg/$cm^2$ 내지 7.5 mg/$cm^2$ 사이일 수 있다.

[0180] 일부 구현예에서 애노드와 캐소드는 캐소드가 약 0.5 mAh/$cm^2$ 내지 약 6 mAh/$cm^2$를 전달할 수 있고 애노드가 약 1500 mAh/g, 1200 mAh/g, 1000 mAh/g, 800 mAh/g, 600 mAh/g, 500 mAh/g 또는 400 mAh/g를 전달할 수 있도록 배열된다. 또 다른 구현예에서, 애노드와 캐소드는 캐소드가 약 0.5 mAh/$cm^2$ 내지 약 6 mAh/$cm^2$를 전달할 수 있고 애노드가 약 80%, 75%, 70%, 65%, 60%, 55%, 50%, 45%, 40%, 35%, 30%, 25%, 또는 20%까지 활용될 수 있도록 배열된다.

[0181] 다른 구현예에서, LiSi 합금의 상 조성 측면에서 용량 제한이 고려될 수 있다. 예를 들어, $Li_{3.75}Si_1$ 또는 $Li_{4.4}Si_1$은 3590 mAh/g의 최대 접근 가능 용량 또는 4200 mAh/g의 가장 높은 이론상 리튬화 상태에 해당한다. 애노드의 활용이 제한된다면 이는 LiSi 합금의 특정 상 조성으로 해석될 수 있다는 것이 이해될 것이다. 특정 상 조성은 특정 용량 (mAh/g)으로 해석될 수도 있다. 예를 들어, $Li_{1.71}Si_1$은 최대 1636 mAh/g의 특정 용량에 해당할 수 있으며, $Li_{2.33}Si_1$은 최대 2227 mAh/g의 특정 용량에 해당할 수 있으며, $Li_{3.25}Si_1$은 최대 3101 mAh/g의 특정 용량에 해당할 수 있으며, $Li_{3.75}Si_1$은 최대 3579 mAh/g의 특정 용량에 해당할 수 있으며 $Li_{4.4}Si_1$ 은 최대 4199 mAh/g의 특정 용량에 해당할 수 있다.

[0182] 또 다른 구현예에서, 충전 및/또는 방전 동안 애노드의 전압과 관련하여 용량 제한이 고려될 수 있다. 방전 후 실리콘 리튬화량은 애노드의 방전 전압에 따라 결정될 수 있음을 이해해야 한다.

[0183] 예를 들어, 애노드와 캐소드 사이의 N/P 비 균형은 약 1.05 내지 약 7일 수 있고/있거나 전압 범위는 전기화학 전지의 방전 수준에 대해 제어될 수 있다는 것이 이해될 것이다. 일부 구현예 또는 실시예에서, 리튬 이온 배터리를 충전하는 동안 애노드의 리튬 흡수 용량이 완전히 활용되지 않을 수 있다. 일부 구현예 또는 실시예에서, 애노드의 특정 면적 용량은 캐소드의 특정 면적 용량보다 클 수 있다. 즉, 애노드는 완전히 충전된 상태에서는 부분적으로만 리튬화된다. 완전히 충전된 것은 애노드, 특히 마이크로 실리콘 활성 재료가 본 발명에 기술된 개시내용에 따라 최고 수준의 리튬화를 갖는 전기화학 전지 (예를 들어, Li-이온 배터리)의 상태를 지칭한다. 애노드의 부분적인 리튬화는 애노드 내 애노드 활성 재료의 최대 리튬 흡수 용량이 완전히 활용되지 않음을 의미한다. 일부 구현예에서, 캐소드에 저장된 리튬의 양 (mAh/$cm^2$)은 애노드의 리튬 저장 용량 (mAh/$cm^2$)보다 적어도 0.05 내지 7.0 배 더 작을 수 있다.

[0184] 일부 구현예에서, 전기화학 전지 (예를 들어, Li-이온 배터리)의 Li/Si 비율은 애노드 대 캐소드 비율 (N/P)에 의해 설정될 수 있다. 일부 구현예에서, 애노드와 캐소드 사이의 N/P 비는 약 1.05 내지 약 7, 약 2 내지 약 5, 또는 약 3 내지 약 4일 수 있다. N/P 비는 약 7, 6, 5, 4, 3, 2, 또는 1.05보다 클 수 있다. N/P 비는 적어도 약 1.05, 2, 3, 4, 5, 6, 또는 7일 수 있다. N/P 비는 이들 상한값 및/또는 하한값 중 임의의 2개에 의해 제공되는 범위일 수 있다. 예를 들어, 애노드와 캐소드 사이의 N/P 비는 약 1.5 내지 약 4 사이, 또는 약 1.8 내지 약 3.5사이일 수 있다.

[0185] 일부 구현예에서, 용량 제한 (% 단위)은 적어도 약 20, 25, 30, 35, 40, 45, 50, 55, 60, 65, 70, 75, 0, 85, 90, 95, 또는 99일 수 있다. 일부 구현예에서, 용량 제한 (% 단위)은 약 99, 95, 90, 85, 80, 75, 70, 65, 60, 55, 50, 45, 40, 35, 30, 25, 또는 20 미만일 수 있다. 용량 제한 (% 단위)은 이들 상한값 및/또는 하한값 중 임의의 2개에 의해 제공되는 범위일 수 있다. 예를 들어, 용량 제한 (% 단위)은 약 25 내지 약 90 사이, 또는 약 30 내지 약 80 사이일 수 있다.

[0186] 본 개시내용은 애노드의 리튬 흡수 용량이 캐소드의 리튬 방출 용량보다 크도록 설계되는 전기화학 전지를 유리하게 제공한다. 이는 애노드의 리튬 흡수 용량이 완전히 활용되지 않게 하며, 즉 완전히 충전된 상태에서 애노드의 실리콘 활성 재료 입자가 부분적으로만 리튬화되고, 유리하게는 구조를 저하시키고 배터리 수명을 단축시

키는 리튬화/탈리튬화 사이클링 동안 실리콘 애노드에서 일반적으로 발견되는 높은 부피 변화를 감소시키거나 방지한다. 즉, 높은 N/P 비는 Li 이온의 양은 전지 조립시 캐소드에 의해 고정되므로, 마이크로 실리콘의 리튬화 정도를 제한할 수 있다. 예를 들어, 애노드는 전지에 함유되어 있고 캐소드에 의해 제공되는 리튬의 양에 비해 상당히 큰 크기일 수 있다. 리튬화 정도가 대형 애노드에 의해 제한됨에 따라 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자의 팽창 수준과 그 분해도 마찬가지이다. 일부 구현예 또는 실시예에서, 실리콘 리튬화 정도는 약 20% 내지 약 80% 범위일 수 있다. 예상외로, 이 범위의 실리콘 리튬 정도는 전기화학 전지 성능에 안정화 효과를 가질 수 있다.

[0187] 또 다른 구현예에서, 전기화학 전지의 용량은 더 낮은 차단 전압을 제한함으로써 제한될 수 있다. 일부 구현예 또는 실시예에서, 더 낮은 차단 전압은 약 2.5V 내지 약 3.0V일 수 있다. 예를 들어, 더 낮은 차단 전압은 2.8V 내지 약 3.0V 사이일 수 있다. 더 낮은 차단 전압을 제한함으로써 전압 제한이 적용될 수 있다는 것이 이해될 것이다. 이는 각 사이클에서 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자의 완전한 탈리튬화를 방지하고 팽창을 완화하여 열화를 줄이고 결과적으로 사이클 수명을 연장할 수 있다.

[0188] 또 다른 구현예에서, 전기화학 전지의 용량은 상부 차단 전압을 제한함으로써 제한될 수 있다. 일부 구현예 또는 실시예에서, 상부 차단 전압은 약 3.6V 내지 약 4.25V일 수 있다.

[0189] 용량 및 전압에 의한 두 가지 제한이 동시에 사용될 수 있다는 것이 인식될 것이다.

[0190] 애노드 조성물은 여기에 기술된 구현예 또는 실시예 중 어느 하나에 기술된 바와 같이 사전리튬화될 수 있다는 것이 이해될 것이다. 일부 구현예에서, 사전리튬화는 활성 재료를 애노드 조성물에 혼입시키기 전에 일어날 수 있다. 다른 구현예에서, 사전리튬화는 애노드 조성물에 혼입된 후에 사전리튬화가 일어날 수 있다. 일부 구현예 또는 실시예에서, 애노드 조성물의 사전리튬화 양은 약 1% 내지 약 30%일 수 있다. 애노드 조성물의 사전리튬화 양은 약 30%, 25%, 20%, 15%, 10%, 5% 또는 1% 미만일 수 있다. 애노드 조성물의 사전리튬화 양은 적어도 약 1%, 5%, 10%, 15%, 20%, 25%, 또는 30%일 수 있다. 애노드 조성물의 사전리튬화 양은 이들 상한 및/또는 하한 양 중 임의의 2가지에 의해 제공되는 범위일 수 있다.

[0191] 일부 구현예에서, 애노드에 함유된 리튬의 양은 최대 저장 용량의 약 30%일 수 있는 반면, 캐소드는 최대 저장 용량의 100%를 함유할 수 있다. 일부 구현예에서, 애노드에 함유된 리튬의 양은 최대 저장 용량의 약 20%일 수 있는 반면, 캐소드는 최대 저장 용량의 100%를 함유할 수 있다. 일부 구현예에서, 애노드에 함유된 리튬의 양은 최대 저장 용량의 약 10%일 수 있는 반면, 캐소드는 최대 저장 용량의 100%를 함유할 수 있다.

[0192] 한 구현예에서, 전기화학 사전리튬화를 수행하기 위해 반전지 방법이 사용될 수 있다. 실리콘 함유 전극은 리튬 호일 기준 전극을 사용하여 반전지 설정으로 조립되었으며 사전리튬화 정도는 정전류 충전/방전 사이클링 프로그램에서 적절한 매개변수를 설정하여 제어된다. 애노드에 SEI 층과 리튬 최대 30%의 리튬 저장소를 생성하기 위해, 반전지는 실리콘 함유 전극을 부분적으로 또는 완전히 리튬화한 후 전체 탈리튬화하여 제1 사이클을 거친다.

[0193] 반면, 애노드에 리튬 저장소를 생성할 때는 원하는 정도의 리튬 저장소까지 부분적인 리튬화가 필요하다. 실리콘 함유 애노드의 조성 및 관련 물질 특성에 따라 리튬 금속 호일 기준 전극에 대해 반전지의 해당 조성을 테스트하고 애노드 조성의 제1 사이클 손실을 결정한 후 제1 사이클 손실이 추정될 수 있다. 제1 사이클 손실이 x%로 추정되면 y%의 리튬 저장소를 생성하려면, 실리콘 애노드 조성의 리튬화 수준 z%를 달성하는 데 필요한 사전리튬화 공정 중 초기 리튬화 단계에서 x% + y%를 고려해야 한다. 한 특정 구현예에서 애노드 조성물이 10%의 제1 사이클 손실을 나타내는 경우, 생성된 리튬 저장소를 얻기 위해 원하는 사전리튬화 정도를 계산할 때 이 손실을 고려해야 한다. 예를 들어, 10% 리튬 저장소를 달성하기 위해 애노드는 초기 ~10%는 제1 사이클 동안 돌이킬 수 없는 리튬 손실을 보상하는 것을 목표로 하고 추가는 애노드가나 실리콘 재료에 저장되어 원하는 리튬 저장소를 형성하는 이의 예상 설계 용량 (mAh/g)의 최대 20%까지 리튬화될 수 있다. 다른 원하는 수준의 리튬 저장소를 달성하기 위해 더 높은 수준의 사전리튬화를 적용할 수 있다는 것이 이해될 것이다. 리튬 저장소의 최대 원하는 수준은 30%일 수 있다.

[0194] 사전리튬화와 용량 제한의 결합은 본 개시내용의 전기화학 전지에 하나 이상의 추가 이점을 제공할 수 있는 것으로 믿어진다. 예를 들어, 제1 리튬화 시 캐소드에 의해 공급되고 애노드에 저장되는 리튬이 차지하는 애노드의 용량은 제1 사이클에서 리튬 손실에도 불구하고 사전리튬화가 있든 없든 동일하지만, 애노드의 리튬 저장소는 여러 사이클 동안 반복되는 충전 및 방전 사이클링 동안 점진적인 리튬 손실을 보상할 수 있다.

[0195] 일부 구현예에서, 애노드 조성물은 코팅 또는 필름으로서 집전기 재료에 적용될 수 있다. 애노드용 집전기 재료

는 구리, 알루미늄, 스테인레스강, 티타늄, 탄소, 천공 금속 호일, 금속 폼, 및 금속 코팅된 중합체 기반 다공성 및 비다공성 막을 포함하는 그룹으로부터 선택될 수 있다. 예를 들어, 애노드 조성물은 구리 집전기 재료(예를 들어 구리 호일)에 적용될 수 있다.

[0196] 일부 구현예에서, 애노드용 집전기 재료는 약 4 μm 내지 약 25 μm의 두께를 가질 수 있다. 집전기의 두께 (μm 단위)는 약 25, 20, 15, 10, 8, 6, 또는 4 미만일 수 있다. 집전기의 두께 (μm 단위)는 적어도 약 4, 5, 6, 7, 8, 9, 10, 12, 14, 16, 18, 20, 또는 25일 수 있다. 집전기의 두께 (μm 단위)는 이들 상한 및/또는 하한 양 중 임의의 2가지에 의해 제공되는 범위일 수 있다. 한 예에서 애노드용 집전기 재료는 약 6 μm 내지 약 12 μm의 두께를 갖는 구리 호일일 수 있다.

[0197] 일부 구현예 또는 실시예에서, 애노드 조성물의 두께는 실질적으로 균일할 수 있으며 약 5 μm 내지 약 70 μm의 범위일 수 있다. 애노드 조성물의 두께 (μm)는 약 70, 65, 60, 55, 50, 45, 40, 35, 30, 25, 20, 15, 10, 또는 5 미만일 수 있다. 애노드 조성물의 두께 (μm)는 적어도 약 5, 10, 15, 20, 25, 30, 35, 40, 45, 50, 55, 60 또는 65일 수 있다. 애노드 조성물의 두께는 이들 상한 및/또는 하한 양 중 임의의 2가지에 의해 제공되는 범위일 수 있다.

[0198] 애노드 활성 재료는 집전기 재료에도 적용되는 것으로 이해될 것이다. 애노드용 집전기 재료는 구리, 알루미늄, 스테인레스강, 티타늄, 탄소, 천공 금속 호일, 금속 폼, 및 금속 코팅된 중합체 기반 다공성 및 비다공성 막을 포함하는 그룹으로부터 선택될 수 있다. 예를 들어, 캐소드 조성물은 알루미늄 집전기 재료 (예를 들어 알루미늄 호일)에 적용될 수 있다.

[0199] 일부 구현예에서, 캐소드용 집전기 재료는 약 10 μm 내지 약 30 μm의 두께를 가질 수 있다. 집전기의 두께 (μm 단위)는 약 30, 25, 20, 15, 또는 10 미만일 수 있다. 집전기의 두께 (μm 단위)는 적어도 약 10, 12, 14, 16, 18, 20, 25, 또는 30일 수 있다. 집전기의 두께 (μm 단위)는 이들 상한 및/또는 하한 양 중 임의의 2가지에 의해 제공되는 범위일 수 있다. 한 예에서, 캐소드용 집전기 재료는 약 10 μm 내지 약 30 μm의 두께를 갖는 알루미늄 호일일 수 있다.

[0200] 일부 구현예에서, 캐소드는 리튬 니켈 코발트 망간 산화물 (NCM), 리튬 철 인산염 (LFP), 리튬 니켈 망간 스피넬 (LNMO), 리튬 니켈 코발트 알루미늄 산화물 (NCA), 리튬 망간 산화물 (LMO), 리튬 코발트 산화물 (LCO), 및 황과 탄소 혼합물을 포함하는 황 또는 황 복합물로 이루어진 그룹으로부터 선택될 수 있다.

[0201] 일부 구현예 또는 실시예에서, 전해질은 하나 이상의 리튬염의 비수성 용액 (예를 들어 Li-이온 전지)에서 선택될 수 있다. 하나 이상의 리튬염은 리튬 비스(트리플루오로메탄 술폰)이미드, 리튬 헥사플루오로포스페이트, 리튬 헥사플루오로아르세네이트, 리튬 비스(트리플루오로술포닐이미드), 리튬 트리플루오로메탄술포네이트, 리튬 플루오로알킬 술폰이미드, 리튬 플루오로아릴술폰이미드, 리튬 비스(옥살레이트 보레이트), 리튬 트리스(트리플루오로메틸술포닐이미드)메타이드, 리튬 디플루오로메탄 술포네이트, 트리플루오로메탄술폰산 리튬염(리튬 트리플레이트), 리튬 비스(옥살라토)보레이트, 리튬 테트라플루오로보레이트, 리튬 퍼콜레이트, 리튬 테트라클로로알루미네이트, 리튬 헥사플루오로아르세네이트, 리튬 헥사플루오로안티모네이트, 4,5-디시아노-2-(트리플루오로메틸) 이미다졸리드 (LiTDI), $LiPF_3(C_2F_5)_3$ (LiFAP), $LiBF_3(C_2F_5)$, 염화리튬, 및 이의 조합을 포함하는 그룹으로부터 선택될 수 있다. 예를 들어, 전해질은 리튬 헥사플루오로포스페이트를 포함할 수 있다.

[0202] 일부 구현예 또는 실시예에서, 리튬염은 유기 용매에 용해될 수 있다. 리튬염은 에테르, 에스테르, 카보네이트, 아세탈 중에서 선택된 유기용매에 용해될 수 있다. 한 예에서, 용매는 디메톡시에탄, 디글라임, 트리글라임, 테트라글라임, 에틸렌 카보네이트, 프로필렌 카보네이트, 디메틸 카보네이트, 테트라하이드로퓨란 및 디옥솔란 중에서 선택될 수 있다. 일부 구현예 또는 실시예에서, 리튬염은 에틸렌 카보네이트, 프로필렌 카보네이트, 부틸렌 카보네이트, 디메틸 카보네이트, 디에틸 카보네이트, 에틸메틸 카보네이트, 메틸프로필 카보네이트, 부틸메틸 카보네이트, 에틸프로필 카보네이트, 디프로필 카보네이트, 시클로펜타논, 설포란, 디메틸설폭사이드, 3-메틸-1,3-옥사졸리딘-2-온, γ-부티로락톤, 1,2-디에톡시메탄, 테트라히드로푸란, 2-메틸테트라히드로푸란, 1,3-디옥솔란, 1,2-디메톡시에탄, 메틸 아세테이트, 에틸 아세테이트, 니트로메탄, 1,3-프로판 술톤, γ-발레로락톤, 메틸 이소부티릴 아세테이트, 2-메톡시에틸 아세테이트, 2-에톡시에틸 아세테이트, 디에틸 옥살레이트, 이온성 액체, 및 이의 임의의 조합을 포함하는 그룹으로부터 선택된 유기 용매에 용해될 수 있다. 일부 구현예 또는 실시예에서, 리튬염은 에틸렌 카보네이트, 디메틸 카보네이트, 디에틸 카보네이트 및 이의 임의의 조합을 포함하는 그룹으로부터 선택된 유기 용매에 용해될 수 있다.

[0203] 전해질은 $LiPF_6$ $LiBF_4$, $LiAsF_6$, $LiSbF_6$, $LiClO_4$, $LiAlCl_4$, $LiGaCl_4$, $LiC(SO_2CF_3)_3$, $LiN(SO_2CF_3)_2$, LiSCN,

$LiSO_2CF_2CF_3$, $LiC_6F_5SO_3$, $LiO_2CCF_3$, $LiSO_3F$, $LiB(C_6H_5)_4$, $LiCF_3SO_3$, $LiNO_3$, 및 이의 혼합물의 하나 이상의 알칼리 금속 염으로부터 선택된 첨가제를 포함할 수 있다. 다른 구현예에서, 첨가제는 플루오로에틸렌 카보네이트 (FEC), 비닐에틸렌 카보네이트 (VEC), 비닐 카보네이트 (VC), 프로필렌 카보네이트 (PC), 에틸메틸 카보네이트 (EMC), 프로판 술톤 (PS), 및 이의 혼합물 중 하나 이상으로부터 선택될 수 있다. 전해질 첨가제는 전지의 특정 특성을 더욱 향상시킬 수 있다. 예를 들어, 전해질 (예를 들어 리튬 헥사플루오로오포스페이트)은 유기 용매 (예를 들어 디에틸 카보네이트)에 용해된 첨가제 (예를 들어 플루오로에틸렌 카보네이트)를 포함할 수 있다.

[0204] 일부 구현예 또는 실시예에서, 리튬염은 전술한 바와 같이 하나 이상의 유기 용매에 용해될 수 있으며, 여기서 하나 이상의 유기 용매는 10 대 1 내지 1 대 10 범위의 부피 대 부피 비율로 존재한다. 예를 들어, 리튬염 (예를 들어, 1M $LiPF_6$)은 FEC/DEC (2:8) v%, FEC:EMC (3:7) w/w + 2 wt.% VC, EC/EMC/DEC (3/5/2 부피%) + 1 wt.% VC + 10 wt.% FEC, 또는 EC/EMC (3:7) wt.% + 1 wt.% VC에 용해될 수 있다.

[0205] 일부 구현예 또는 실시예에서, 분리기는 애노드를 캐소드로부터 전기적으로 분리하고, 전해질 내 리튬 이온의 자유로운 통과를 허용하기 위해 사용된다. 분리기는 상이한 다공성 중합체 필름 중에서 선택될 수 있다. 적절한 다공성, 비틀림 및 두께를 갖는 분리막으로 사용하기 위해 임의의 다공성 중합체 필름을 선택할 수 있음이 이해될 것이다. 예를 들어, 중합체 필름 기반 분리기 재료가 선택될 수 있다. 한 구현예 또는 실시예에서, 분리기는 폴리에틸렌 (PE), 폴리프로필렌 (PP), 또는 폴리에틸렌 테레프탈레이트 (PET)로부터 선택될 수 있다. 또 다른 구현예에서 나일론, 폴리에틸렌 테레프탈레이트 (PET), 셀룰로오스, 아라미드 또는 폴리아크릴로니트릴로부터 선택된 섬유로 구성된 부직 섬유 재료가 분리기로 선택된다.

[0206] 일부 구현예 또는 실시예에서, 전기화학 전지는 에너지 저장 장치일 수 있다. 에너지 저장 장치는 배터리일 수 있다. 예를 들어, 배터리는 2차 배터리일 수 있다. 하나의 특정 예에서, 배터리는 리튬 이온 배터리 (Li-이온 배터리)일 수 있다.

[0207] *리튬 이온 배터리용 애노드 조성물*

[0208] 일부 구현예 또는 실시예에서, 본 개시내용은 또한 애노드 및 캐소드, 적어도 하나의 전해질, 및 선택적으로 분리기를 갖는 배터리의 사이클링 안정성을 향상시키는 방법을 제공하며, 여기서 애노드는 본원에 기술된 애노드 조성물을 포함한다. 애노드 조성물을 포함하는 애노드는 장기간 용량 유지를 유지할 수 있는 배터리 (예를 들어 Li-이온 배터리)에 사용하기 위한 특히 효과적인 애노드를 제공하는 것으로 밝혀졌다. 일부 구현예 또는 실시예에서, 배터리 내부의 애노드는 배터리의 적어도 100 사이클 동안 적어도 약 800 mAh/g의 방전 용량을 가질 수 있다. 일부 구현예 또는 실시예에서, 특정 용량 (mAh/g)은 적어도 약 500, 600, 800, 1000, 1200, 1400, 1600, 1800, 2000, 2200, 2400, 2600, 2800, 3000 또는 3500일 수 있다. 일부 구현예 또는 실시예에서, 특정 용량 (mAh/g)은 약 3500, 3400, 3200, 3000, 2800, 2600, 2400, 2200, 2000, 1800, 1600, 1400, 1200, 1000, 800, 600 또는 500 미만일 수 있다. 특정 용량 (mAh/g)은 이들 상한값 및/또는 하한값 중 임의의 2가지에 의해 제공되는 범위일 수 있다. 일부 구현예 또는 실시예에서, 사이클 수는 적어도 80, 100, 120, 140, 160, 180, 200, 220, 240, 260, 280, 300, 320, 340, 360, 380, 400, 420, 440, 460, 480, 500, 1000 또는 1500일 수 있다.

[0209] 애노드 조성물을 포함하는 전기화학 전지 (예를 들어 Li-이온 배터리)의 장기 사이클 성능은 용량 제한을 변화시키면서 실리콘 함량이 높은 애노드 (즉 약 70% 실리콘 함량)에 대해 테스트될 수 있다. 본원에 기술된 적어도 일부 구현예 또는 실시예에 따른 애노드 조성물을 포함하는 애노드의 초기 방전 용량은 적어도 약 (mAh/g 단위) 600, 800, 1100, 1200, 1300, 1400, 1500, 또는 1600일 수 있다. 적어도 일부 구현예 또는 실시예에 따르면, 방전 용량의 80%가 100, 200, 300, 400, 500, 800, 1000 또는 1500의 사이클 후에 유지될 수 있다.

[0210] 정전류 충전-방전 사이클링 실험은 전형적으로 배터리의 성능 지표: 용량, 속도 성능, 쿨롱 효율, 및 사이클링 시 용량 유지를 평가하는 데 사용될 수 있다는 것이 이해될 것이다.

[0211] 일부 구현예 또는 실시예에서, 본 개시내용은 또한 본원에 기술된 바와 같은 애노드 조성물을 포함하는 애노드의 전기화학 전지에서의 용도에 관한 것이다. 예를 들어, 전기화학 전지는 배터리, 바람직하게는 2차 배터리와 같은 에너지 저장 장치일 수 있다. 보다 구체적으로, 배터리는 리튬 이온 배터리일 수 있다.

[0212] 일부 구현예 또는 실시예에서, 본 개시내용은 또한 애노드 조성물을 포함하는 애노드에 관한 것이며, 여기서 애노드는 배터리 애노드일 수 있다. 보다 구체적으로, 리튬 이온 배터리 애노드가다.

[0213] 선택적으로 코팅된 마이크로 실리콘 활성 재료 입자, 선택적으로 하나 이상의 결합제, 선택적으로 하나 이상의 전도성 재료, 및 선택적으로 하나 이상의 첨가제를 포함하거나 이로 이루어질 수 있는 선택적으로 코팅된 애노

드 조성물은 SEI 형성 및 실리콘 팽창 및 열화에 의해 나타나는 효과를 상당히 감소시키고, 따라서 개선된 Li-이온 배터리의 성능을 제공하는 것으로 밝혀졌다. 애노드 조성물은 높은 제1 사이클 효율을 제공하고, 제어된 실리콘 활용을 제공하는 추가 이점을 제공하여, 결과적으로 배터리의 높은 전류 응답 및 성능을 개선한다. 예를 들어, 본원에 기술된 애노드 조성물을 포함하는 전기화학 전지 (예를 들어, Li-이온 배터리)는 실리콘의 부분적인 활용/리튬화를 허용하고 애노드의 특정 용량은 캐소드가 공급할 수 있는 리튬의 양에 의해 감소 및 제어되어, 적어도 200 사이클에 걸쳐 적어도 약 75, 80, 85, 90, 95, 98%, 99%, 99.5%, 99.8%, 99.9% 이상 또는 100% 미만의 개선된 평균 쿨롱 효율 (CE)을 제공한다. 다른 예에서, 애노드 조성물을 애노드로 사용하면 C/2에서 적어도 200 사이클 이후 사이클 안정성을 나타내는 Li-이온 배터리의 향상된 성능을 제공한다.

[0214] 또한, 다수 마이크로 실리콘 (예를 들어, >70%)을 함유하는 애노드에 대한 N/P 비율이 3보다 큰 값 (예를 들어, 3.3)으로 조작되면, 애노드의 안정적인 사이클링이 80% 초과 용량 유지로 200 사이클 이상을 달성할 수 있도록 제공될 수 있다는 것이 놀랍게도 발견되었다. 즉, $Li^+$의 양은 전지 조립 시 캐소드에 의해 고정되기 때문에 높은 N/P 비는 마이크로 실리콘의 리튬화 정도를 제한한다. 이는 애노드가 다수 흑연을 포함하는 종래의 전지 조립체에서 볼 수 있는 바와 같이 80% 내지 90% 대신 약 20% 내지 약 80%의 실리콘 리튬화를 초래하며, 이는 전지 성능에 안정화 효과를 갖는다. 애노드는 전지에 함유되고 캐소드에 의해 제공되는 리튬의 양에 비해 상당히 큰 것으로 이해될 것이다. 유리하게는, 리튬화 정도가 대형 애노드에 의해 제한되기 때문에 실리콘의 팽창 수준과 그 열화도 제한된다.

[0215] **제조 공정**

[0216] 일부 구현예 또는 실시예에서, 본 개시내용은 전기화학 전지용 애노드를 제조하는 공정에 관한 것이다. 공정은 코팅된 마이크로 실리콘 활성 재료 입자를 애노드에 포함시키는 단계 또는 애노드 형성 중 또는 형성 후에 애노드 자체를 코팅하는 단계 중 적어도 하나를 포함할 것이다. 공정은 본원에 기술된 바와 같은 임의의 구현예 또는 실시예에 따라 애노드를 제조하기 위한 것일 수 있다. 본 공정에 의해 제조된 애노드는 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자를 포함하는 애노드 조성물을 포함할 수 있다는 것이 이해될 것이다. 본 공정에 의해 제조된 애노드는 마이크로 실리콘 활성 재료 입자, 선택적으로 하나 이상의 추가 활성 재료, 선택적으로 하나 이상의 결합제, 선택적으로 하나 이상의 전도성 재료, 선택적으로 하나 이상의 첨가제, 및 선택적으로 용매를 포함하는 애노드 조성물을 포함하거나 이루어질 수 있음이 이해될 것이다. 또한 본 공정에 의해 제조된 애노드는 코팅된 마이크로 실리콘 활성 재료 입자, 선택적으로 하나 이상의 추가 활성 재료, 선택적으로 하나 이상의 결합제, 선택적으로 하나 이상의 전도성 재료, 선택적으로 하나 이상의 첨가제, 및 선택적으로 용매를 포함하는 애노드 조성물을 포함하거나 이로 이루어질 수 있음이 인식될 것이다. 마이크로 실리콘 활성 재료 입자, 코팅된 마이크로 실리콘 활성 재료 입자, 하나 이상의 추가 활성 재료, 하나 이상의 선택적인 결합제, 하나 이상의 선택적인 전도성 재료, 하나 이상의 선택적인 첨가제, 및 하나 이상의 선택적인 용매는 본원에 기술된 구현예 또는 실시예 중 하나 이상으로부터 선택될 수 있다.

[0217] 일부 구현예 또는 실시예에서, 다음 단계를 포함하는, 코팅된 마이크로 실리콘 활성 재료 입자를 제조하는 공정이 제공된다: (i) 복수의 마이크로 실리콘 활성 재료 입자를 제공하는 단계로서, 여기서 마이크로 실리콘 활성 재료 입자는 (i) 약 0.1 $m^2/g$ 내지 약 10 $m^2/g$의 측정된 BET 표면적, (ii) 약 0.1 μm 내지 약 10 μm의 $D_{50}$ 입자 크기, 및 (iii) 약 0.1 내지 약 10의 $D_{50}$ : BET 표면적의 비율 중 하나 이상을 갖는 단계; 및 (ii) 마이크로 실리콘 활성 재료 입자의 표면에 코팅을 적용하는 단계.

[0218] 일부 구현예 또는 실시예에서, 다음 단계를 포함하는, 코팅된 마이크로 실리콘 활성 재료 입자를 제조하는 공정이 제공된다: (i) 복수의 마이크로 실리콘 활성 재료 입자를 제공하는 단계로서, 여기서 마이크로 실리콘 활성 재료 입자는 (i) 약 0.1 $m^2/g$ 내지 약 10 $m^2/g$의 측정된 BET 표면적 및 (ii) 약 0.1 μm 내지 약 10 μm의 $D_{50}$ 입자 크기, 또는 (iii) 약 0.1 내지 약 10의 $D_{50}$ : BET 표면적의 비율을 갖는 단계; 및 (ii) 마이크로 실리콘 활성 재료 입자의 표면에 코팅을 적용하는 단계.

[0219] 일부 구현예 또는 실시예에서, 다음 단계를 포함하는, 전기화학 전지용 애노드 제조 공정이 제공되며: (i) 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자, 선택적으로 하나 이상의 추가 활성 재료, 선택적으로 하나 이상의 결합제, 선택적으로 하나 이상의 전도성 재료, 선택적으로 하나 이상의 첨가제, 및 용매 시스템을 포함하는 애노드 슬러리를 제조하는 단계; (ii) 애노드 슬러리 층을 집전기 재료 상에 캐스팅하여 집전기 재료 상에 애노드 조성물 층을 제공하는 단계; 및 (iii) 선택적으로 애노드 조성물을 코팅하는 단

계, 여기서 마이크로 실리콘 활성 재료 입자는 다음 중 하나 이상을 갖는다: (a) 약 0.1 $m^2/g$ 내지 약 10 $m^2/g$의 측정된 BET 표면적, (b) 약 0.1 μm 내지 약 10 μm의 $D_{50}$ 입자 크기, 및 (c) 약 0.1 내지 약 10의 $D_{50}$ : BET 표면적의 비율.

[0220] 일부 구현예, 또는 실시예에서, 다음 단계를 포함하는 전기화학 전지용 애노드를 제공하는 공정이 제공되며: (i) 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 재료 입자, 선택적으로 하나 이상의 추가 활성 재료, 선택적으로 하나 이상의 결합제, 선택적으로 하나 이상의 전도성 재료, 선택적으로 하나 이상의 첨가제, 및 용매 시스템을 포함하는 애노드 슬러리를 제조하는 단계; (ii) 애노드 슬러리 층을 집전기 재료 상에 캐스팅하여 집전기 재료 상에 애노드 조성물 층을 제공하는 단계; 및 (iii) 선택적으로 애노드 조성물을 코팅하는 단계, 여기서 마이크로 실리콘 활성 재료 입자는 (a) 약 0.1 $m^2/g$ 내지 약 10 $m^2/g$의 측정된 BET 표면적 및 (b) 약 0.1 μm 내지 약 10 μm의 $D_{50}$ 입자 크기 또는 (c) 약 0.1 내지 약 10의 $D_{50}$ : BET 표면적의 비율을 갖는다.

[0221] 일부 구현예 또는 실시예에서, 공정은 (iii) 용매 증발에 의해 습윤 애노드 층을 고화시켜 집전기 재료 상에 건식 애노드 조성물 층을 제공하는 단계를 추가로 포함할 수 있다.

[0222] 일부 구현예 또는 실시예에서, 코팅은 코팅된 마이크로 실리콘 활성 재료 입자 또는 코팅된 애노드 조성물을 형성하기 위해 탄소, 그래핀, 흑연, 금속 산화물, 중합체 및 이의 조합을 포함하는 그룹으로부터 선택될 수 있다.

[0223] 일부 구현예 또는 실시예에서, 코팅은 마이크로 실리콘 활성 재료 입자의 코팅일 수 있다. 다른 구현예 또는 실시예에서, 코팅은 애노드 조성물의 코팅일 수 있다. 즉, 코팅은 애노드 조성물 표면의 적어도 일부에 존재할 수 있다.

[0224] 일부 구현예에서, 코팅은 코팅된 마이크로 실리콘 활성 재료 입자 또는 코팅된 애노드 조성물을 형성하기 위해 탄소, 그래핀, 흑연, 금속 산화물, 중합체 및 이의 조합을 포함하는 그룹으로부터 선택될 수 있다.

[0225] 코팅은 코팅이 적용된 본 개시내용의 코팅 및/또는 본 개시내용의 실리콘 입자와 관련하여 전술한 구현예 중 임의의 것에 설명된 바와 같은 재료로부터 제조될 수 있고, 접근법에 의해 제조될 수 있다.

[0226] 일부 구현예 또는 실시예에서, 용매는 방향족, 할로겐화 방향족, 할로겐화 지방족 탄화수소, 지방족 탄화수소, 글리콜, 에테르, 글리콜 에테르, 에스테르, 알코올, 케톤, 또는 이의 조합으로부터 선택된 유기 용매일 수 있다. 일부 구현예 또는 실시예에서, 용매는 약 40 wt.% 내지 90 wt.%, 약 40 wt.% 내지 70 wt.%, 또는 약 40 wt.% 내지 60 wt.% 양으로 존재할 수 있다 (전체 애노드 조성물의 중량% 기준). 용매는 저비점 유기 용매, 또는 그러한 용매 중 하나 이상의 혼합물일 수 있다. 일부 구현예 또는 실시예에서, 용매는 물, 메탄올, 에탄올, n-프로판올, 이소프로판올, 테트라히드로푸란, 메틸렌 클로라이드, 클로로포름, 디에틸 에테르, 실온 이온성 액체, 에틸렌 글리콜, 글리세롤, 포름아미드, *N*-메틸포름아미드, 디메틸포름아미드, *N*-메틸시드논, 이의 수용액 및 이의 혼합물을 포함하는 그룹으로부터 선택될 수 있다. 예를 들어, 용매는 물, 에탄올, *N,N'*디메틸포름아미드, 또는 이의 조합일 수 있다.

[0227] 일부 구현예 또는 실시예에서, 결합제 대 마이크로 실리콘 활성 재료 입자의 비율은 약 1:40, 1:35, 1:32, 1:30, 1:25, 1:23, 1:20, 1:15, 1:10, 1:9, 1:6, 또는 1:4일 수 있다. 결합제 대 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자의 비율은 약 1:4 내지 약 1:32 범위일 수 있다. 결합제 대 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자의 비율은 약 1:8 내지 약 1:23 범위일 수 있다. 결합제 대 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자의 비율은 약 1:9 내지 약 1:15 범위일 수 있다.

[0228] 일부 구현예 또는 실시예에서, 결합제 (wt.% 단위)는 약 2.5 내지 15의 범위로 애노드 조성물에 존재할 수 있다. 결합제 (wt.% 단위)는 약 15, 12, 10, 8, 5 또는 2.5 미만의 양으로 애노드 조성물에 존재할 수 있다. 결합제 (wt.% 단위)는 적어도 약 2.5%, 5%, 8%, 10%, 12%, 또는 15%의 양으로 애노드 조성물에 존재할 수 있다. 결합제 (wt.% 단위)는 이들 상한 및/또는 하한 양 중 임의의 2가지에 의해 제공되는 범위로 애노드 조성물에 존재할 수 있다. 예를 들어, 결합제 (wt.% 단위)는 약 3 내지 약 8, 또는 약 4 내지 약 8의 범위로 애노드 조성물에 존재할 수 있다.

[0229] 일부 구현예 또는 실시예에서, 애노드 슬러리의 점도는 약 10 mPas 내지 100,000 mPas 사이의 범위일 수 있다. 점도 (mPas)는 주어진 전단 속도에서 약 100,000, 90,000, 80,000, 70,000, 60,000, 50,000, 40,000, 30,000, 20,000, 10,000, 8000, 6000, 4000, 2000, 1000, 800, 600, 400, 200, 100, 50, 또는 10 미만일 수 있다. 점

도는 주어진 전단 속도에서 적어도 약 10, 20, 40, 60, 80, 100, 300, 500, 700, 900, 1000, 3000, 5000, 7000, 9000, 10,000, 20,000, 30,000, 40,000, 50,000, 60,000, 70,000, 80,000, 90,000, 또는 100,000일 수 있다. 애노드 슬러리의 점도 (mPas)는 이들 상한 및/또는 하한 양 중 임의의 2가지에 의해 제공되는 범위일 수 있다. 예를 들어, 애노드 슬러리의 점도 (mPas)는 주어진 전단 속도에서 약 2500 mPas 내지 약 8000 mPas의 범위일 수 있다. 본원에 언급된 모든 점도 값은 주어진 전단 속도에서의 값일 수 있다. 구현예에서 전단 속도는 해당 기술 분야에서 허용되는 임의의 표준 테스트 접근 방식에 사용되는 속도일 수 있다.

[0230] 일부 구현예 또는 실시예에서, 건식 애노드 조성물의 두께는 실질적으로 균일할 수 있거나 약 5 μm 내지 약 70 μm 범위일 수 있다. 건식 애노드 조성물의 두께 (μm)는 약 70, 65, 60, 55, 50, 45, 40, 35, 30, 25, 20, 15, 10, 또는 5 미만일 수 있다. 건식 애노드 조성물의 두께 (μm)는 적어도 약 5, 10, 15, 20, 25, 30, 35, 40, 45, 50, 55, 60 또는 65일 수 있다. 건식 애노드 조성물의 두께 (μm)는 이들 상한 및/또는 하한 양 중 임의의 2가지에 의해 제공되는 범위일 수 있다.

[0231] 일부 구현예 또는 실시예에서, 습식 애노드 조성물 층은 단계 (iii)(a)에서 약 30초 내지 약 5분 동안 약 40℃ 내지 약 60℃의 온도에서 유지될 수 있다. 습식 애노드 조성물은 약 60, 55, 50, 45, 또는 40 미만의 온도 (℃)에서 유지될 수 있다. 습식 애노드 조성물은 적어도 약 40, 45, 50, 55, 또는 60의 온도 (℃)에서 유지될 수 있다. 습식 애노드 조성물은 이들 상한값 및/또는 하한값 중 임의의 2가지에 의해 제공되는 온도 (℃)에서 유지될 수 있다. 습식 애노드 조성물은 약 24시간, 12시간, 8시간, 4시간, 2시간, 1시간, 30분, 5분, 4분, 3분, 2분, 1분, 또는 30초 미만 동안 본원에 기술된 온도에서 유지될 수 있다. 습식 애노드 조성물은 적어도 약 30초, 1분, 2분, 3분, 4분, 5분, 30분, 1시간, 2시간, 4시간, 10시간, 12시간, 또는 24시간 동안 본원에 기술된 온도에서 유지될 수 있다. 습식 애노드 조성물은 이들 상한값 및/또는 하한값 중 임의의 2가지에 의해 제공되는 범위의 시간 동안 본원에 기술된 온도에서 유지될 수 있다.

[0232] 일부 구현예 또는 실시예에서, 습식 애노드 조성물은 단계 (iii)(b)에서 약 30초 내지 약 5분 동안 약 90℃ 내지 약 180℃의 온도에서 유지될 수 있다. 습식 애노드 조성물은 약 180, 170, 160, 150, 140, 130, 120, 115, 110, 105, 100, 95 또는 90 미만의 온도 (℃)에서 유지될 수 있다. 습식 애노드 조성물은 적어도 약 90, 95, 100, 105, 110, 115, 120, 130, 140, 150, 160, 또는 170의 온도 (℃)에서 유지될 수 있다. 습식 애노드 조성물은 이들 상한값 및/또는 하한값 중 임의의 2가지에 의해 제공되는 범위의 온도 (℃)에서 유지될 수 있다. 습식 애노드 조성물은 약 24시간, 12시간, 8시간, 4시간, 2시간, 1시간, 30분, 5분, 4분, 3분, 2분, 1분, 또는 30초 미만 동안 본원에 기술된 온도에서 유지될 수 있다. 습식 애노드 조성물은 적어도 약 30초, 1분, 2분, 3분, 4분, 5분, 30분, 1시간, 2시간, 4시간, 10시간, 12시간, 또는 24시간 동안 본원에 기술된 온도에서 유지될 수 있다. 습식 애노드 조성물은 이들 상한값 및/또는 하한값 중 임의의 2가지에 의해 제공되는 범위의 시간 동안 본원에 기술된 온도에서 유지될 수 있다.

[0233] 일부 구현예 또는 실시예에서, 애노드 슬러리는 추가 장점/개선을 제공하기 위해 균질하게 만들어질 수 있다.

[0234] 일부 구현예 또는 실시예에서, 본 개시내용은 전기화학 전지를 조립하는 공정에 관한 것이며, 이에 따라 공정은 다음 단계를 포함할 수 있다: 적어도 본원에 기술된 실시예 중 어느 하나에 따른 공정에 의해 정의된 바와 같은 애노드를 제조하는 단계로서, 여기서 애노드는 마이크로 실리콘 활성 재료 입자를 포함하는 애노드 조성물을 포함할 수 있는 단계; 및 애노드를 전기화학 전지로 조립하는 단계. 일부 구현예 또는 실시예에서, 본 개시내용은 전기화학 전지를 조립하는 공정에 관한 것이며, 이에 따라 공정은 다음 단계를 포함할 수 있다: 적어도 본원에 기술된 실시예 중 어느 하나에 따른 공정에 의해 정의된 바와 같은 애노드를 제조하는 단계로서, 여기서 애노드는 적어도 본원에 기술된 실시예 중 어느 하나에 따라 마이크로 실리콘 활성 재료 입자 또는 코팅된 마이크로 실리콘 활성 재료 입자, 선택적으로 하나 이상의 추가 활성 재료, 선택적으로 하나 이상의 결합제, 및 선택적으로 하나 이상의 전도성 재료를 포함하는 애노드 조성물을 포함하거나 이로 이루어질 수 있는 단계; 및 애노드를 전기화학 전지로 조립하는 단계.

[0235] 애노드 슬러리가 형성되면, 용매의 일부 또는 전부가 제거되어 (예를 들어, 자연 증발, 강제 증발 또는 진공하에서) 고체 또는 점성 애노드 슬러리를 생성할 수 있다. 애노드 슬러리는 애노드와 같은 임의의 원하는 형상으로 형성되거나 성형될 수 있다.

[0236] 일부 구현예 또는 실시예에서, 애노드 슬러리는 또한 본원에 정의된 바와 같은 집전기 재료 상에 침착되어 애노드를 생성할 수 있다. 애노드는 집전기 재료와 집전기 재료에 적용되는 애노드 조성물로도 지칭되는 애노드 조성물의 조합이라는 것이 이해될 것이다. 집전기 재료는 본원에 언급된 임의의 집전기 재료로부터 선택될 수 있다.

[0237] 애노드를 제조하는 동안, 애노드 조성물은 집전기 재료 표면의 부분에만 적용될 수 있다. 일부 구현예 또는 실시예에서, 부분 (%)은 약 100, 95, 90, 85, 80, 75, 70, 65, 60, 55, 50, 45, 40, 35, 30, 25, 20, 15, 10, 또는 5 미만일 수 있다. 일부 구현예 또는 실시예에서, 애노드 조성물은 집전기 재료 상에 캐스팅함으로써 적용될 수 있다 (예를 들어 롤-투-골 처리).

[0238] 코팅은 코팅을 적절한 용매에 용해 또는 분산시킨 후, 이를 선택적으로 하나 이상의 제제와 함께 혼합하거나, 적합한 가공 조건하에서 코팅을 적합한 용매에 용해시킴으로써 제조될 수 있다.

[0239] 코팅은 용액, 분산액, 현탁액, 혼합물, 에어로졸, 에멀젼, 페이스트 또는 이의 조합과 같은 다양한 물리적 형태로 적용될 수 있다.

[0240] 한 예에서, 코팅된 애노드를 제조하는 방법은 다음 단계를 포함한다:

[0241] a. 본원에 기술된 코팅을 애노드 조성물에 적용하는 단계; 및

[0242] b. 선택적으로 애노드 조성물 상에 존재하는 코팅에 하나 이상의 사후 코팅 층을 적용하는 단계.

[0243] 일부 구현예에서, 코팅된 애노드 조성물은 코팅의 열분해로부터 또는 화학적 기상 증착, 물리적 기상 증착, 스퍼터링, 또는 기계적 증착에 의해 제공될 수 있다.

[0244] 일부 구현예 또는 실시예에서, 코팅은 단일층 형태일 수 있다. 다른 구현예에서, 코팅은 2개 이상의 층, 예를 들어 복수의 층의 형태일 수 있다. 코팅은 약 1 내지 5개의 층을 포함할 수 있다. 코팅은 5개 미만의 층, 4개 층, 3개 층, 또는 2개 미만의 층을 포함할 수 있다. 코팅은 적어도 약 1개 층, 2개 층, 3개 층, 4개 층, 또는 적어도 약 5개 층을 포함할 수 있다. 코팅은 전술한 바와 같이 임의의 하한 및/또는 상한에 의해 제공되는 범위의 층을 포함할 수 있다. 각각의 층은 다른 코팅에 의해 제공될 수 있다는 것이 이해될 것이다. 예를 들어, 코팅된 마이크로 실리콘 활성 재료 입자 또는 코팅된 애노드 조성물은 코팅을 포함할 수 있으며, 여기서 하나의 코팅 층은 탄소 물질을 포함하고 다른 코팅 층은 금속 산화물 (예를 들어, 산화알루미늄)을 포함하고, 다른 층은 중합체성 코팅을 포함하고, 어느 순서로든 마이크로 실리콘에 적용된다. 대안적으로, 코팅은 마이크로 실리콘에 어느 순서로든 적용되는 탄소 재료 코팅 및 금속 산화물 코팅일 수 있다. 또한, 코팅은 마이크로 실리콘에 어느 순서로든 적용되는 탄소 재료 코팅 및 중합체 코팅일 수 있다.

[0245] 일부 구현예 또는 실시예에서, 코팅의 두께는 약 0.1 nm 내지 약 200 nm, 또는 약 0.2 nm 내지 약 150 nm, 또는 약 0.3 nm 내지 약 100 nm, 또는 약 0.3 nm 내지 약 75 nm, 또는 약 0.3 nm 내지 약 50 nm, 또는 약 0.3 nm 내지 약 25 nm, 또는 약 0.3 nm 내지 약 20 nm, 또는 약 0.3 nm 내지 약 10 nm일 수 있다. 코팅의 두께 (nm 단위)는 약 200, 175, 150, 125, 100, 90, 80, 75, 70, 65, 60, 55, 50, 45, 40, 35, 30, 25, 20, 15, 10, 8, 6, 5, 4, 3, 2, 1, 0.9, 0.8, 0.7, 0.6, 0.5, 0.4, 0.3, 0.2, 또는 0.1 미만일 수 있다. 코팅의 두께 (nm 단위)는 적어도 약 0.1, 0.2, 0.3, 0.4, 0.5, 0.6, 0.7, 0.8, 0.9, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 12, 14, 16, 18, 20, 25, 30, 35, 40, 45, 50, 55, 60, 65, 70, 75, 또는 80일 수 있다. 코팅의 두께 (nm 단위)는 이러한 상한 및/또는 하한 양 중 임의의 2가지로 제공된 범위일 수 있다.

[0246] 일부 구현예에서, 코팅 두께 대 코팅되지 않은 실리콘 입자 직경의 비율 (X:1로서 t/d)은 약 0.0001:1 내지 약 0.2:1, 또는 약 0.0001:1 내지 약 0.15:1, 또는 약 0.0001:1 내지 약 0.12:1, 또는 약 0.0001:1 내지 약 0.1:1, 또는 약 0.0001:1 내지 약 0.09:1, 또는 약 0.0001:1 내지 약 0.085:1일 수 있다. 다른 방식으로 보면, 일부 구현예에서, 실리콘 입자 직경 대 코팅 두께의 비율 (1:X로서 d/t)은 약 1:100,000 내지 약 1:5, 또는 약 1:100,000 내지 약 1:8, 또는 약 1:100,000 내지 약 1:10, 또는 약 1:100,000 내지 약 1:12일 수 있다.

[0247] 본원에 기술된 바와 같은 마이크로 실리콘 활성 재료 입자 또는 애노드 조성물 상의 코팅은 애노드 표면의 전기화학적 보호로 인해 사이클링 안정성을 개선하고 전해질 분해를 감소시킬 수 있는 것으로 여겨진다. 코팅은 마이크로 실리콘 활성 입자 또는 애노드 조성물에 예를 들어, 구조적 강도, 더 낮은 표면적, 분쇄 감소, 전자 전도성, Li-이온 전도성, 부동태화 및/또는 절연을 포함하는 다수의 특성 중 하나 이상을 제공하고, 궁극적으로 실리콘 애노드 용량 유지를 개선할 수 있는 것으로 인식된다.

[0248] 당업자는 본 개시내용의 넓은 일반적인 범위를 벗어나지 않고 상기 기술된 구현예에 대해 다양한 변형 및/또는 수정이 이루어질 수 있음을 이해할 것이다. 그러므로, 본 구현예는 모든 면에서 예시적인 것이며 제한적인 것이 아닌 것으로 간주되어야 한다.

[0249] **실시예**

[0250] 본 개시내용은 다음 실시예에 의해 추가로 기술된다. 다음의 설명은 단지 특정 실시예를 설명하기 위한 것이며, 위의 설명과 관련하여 제한하려는 의도가 없다는 것이 이해되어야 한다.

[0251] *실시예 1: 애노드 제조를 위한 일반적인 절차*

[0252] 애노드 슬러리를 제조하기 위해, 유성 원심 믹서를 이용하여 혼합한다. 그런 다음 혼합물을 2분 동안 2000 rpm에서 혼입하고, 주걱으로 수동으로 혼합한 후, 추가로 2분 동안 혼합한다. 마이크로 실리콘 활성 재료 입자 및 필요한 양의 추가 물을 첨가하고 혼합 단계를 반복한다. 활성 흑연을 추가하고, 혼합 단계를 반복한다. 달리 언급하지 않는 한 미리 정해진 양의 애노드 슬러리를 Dispermat 호환 용기로 옮기고 오버헤드 믹서 (예를 들어: VMA-Getzmann Dispermat)를 사용하여 5분 동안 6000 rpm에서 혼합한다.

[0253] 완전 전지 조립에서, 슬러리를 구리 호일 위에 캐스팅하고 60℃에서 건조한 다음 코인 전지 조립을 위해 절단했다. 전극 (코팅된 애노드 및 시중에서 공급되는 NCM 523 캐소드)을 진공하에서 110℃에서 12시간 동안 추가로 건조했다. 150 μL의 FEC/DEC (2:8) 부피% 중 1M $LiPF_6$를 전해질로서 Whatman 섬유유리를 분리기로서 코인 전지 (CR 20232 유형) 조립을 위해 사용했다. 충전/방전 사이클링 테스트를 위해, 코인 전지를 0.05C에서 1 사이클 동안 활성화한 후 장기 안정성 테스트를 위해 0.5C에서 순환했다. C 비율은 전극의 활성 재료 (Si 입자, 흑연)의 질량을 기준으로 했다. 충전/방전 테스트를 위한 전압 범위는 형성 중 4.2-2.5V 및 사이클링 중 4.2-3V였다. 충전/방전 테스트는 컴퓨터로 제어되는 Neware 다중 채널 배터리 테스터에서 수행되었다. 4개의 복제 전지를 만들고 각 조건에 대해 테스트했다.

[0254] **표 1:** 완전 전지의 형성 테스트 프로그램

| 명칭 | 비율 | 컷오프 (V) | 참고 |
|---|---|---|---|
| 휴지 | | | 1 h |
| 탭 충전 | C/3 | 3 | |
| 휴지 | | | 12 h |
| 정전류 정전압 충전 | C/20 | 4.2 | 컷오프 전류 (C/100) |
| 정전류 방전 | C/20 | 2.5 | |
| 사이클 종료 | | | |

[0255]

[0256] 사이클링 테스트에 사용되는 전류 밀도는 형성 프로그램의 마지막 탈리튬화 단계에서 얻은 전극 용량을 기반으로 한다.

[0257] **표 2:** 완전 전지의 사이클링 테스트 프로그램

| 명칭 | 비율 | 컷오프 (V) | 참고 |
|---|---|---|---|
| 정전류 정전압 충전 | C/2 | 4.2 | 컷오프 전류 (C/20) |
| 정전류 방전 | C/2 | 3 | |
| 단계 1로부터 반복 | | | 전지가 실패하거나 <80% 용량까지 반복 |
| 사이클 종료 | | | |

[0258]

[0259] 마이크로 실리콘 입자에 적용되는 코팅의 두께는 코팅 전 입자의 표면적, 코팅이 마이크로 실리콘 입자 분말에 기여하는 중량 및 각각의 코팅 재료의 밀도를 알면 추정될 수 있음이 이해될 것이다. 다음 일반 공식은 다음 실시예 중 어느 하나에 개시된 마이크로 실리콘 입자에 적용된 코팅의 코팅 두께를 추정하는 데 사용되며, 본 개시내용 내의 코팅 두께에 대한 모든 논의에서, 코팅의 실제 밀도는 결과 코팅 밀도에 대한 근사치로 사용된다:

[0260] 계산된 마이크로 실리콘 입자의 코팅 두께 = (코팅 재료가 마이크로 실리콘 입자에 더한 중량 / 코팅 재료의 실제 밀도) / 코팅되지 않은 마이크로 실리콘 입자의 표면.

[0261] 마이크로 실리콘 입자의 실제 코팅 두께는 코팅 재료 및 적용 방법에 따라 변경되는 코팅의 특성 및 실제 밀도에 따라 약간 더 높거나 더 낮을 수 있음이 이해될 것이다.

[0262] *실시예 2: $Al_2O_3$ 코팅 마이크로 실리콘*

[0263] 코팅되지 않음 및 $Al_2O_3$ 코팅된 마이크로 실리콘의 $D_{50}$ 입자 크기 및 BET 표면적 값은 다음과 같다.

[0264] **표 3:** 입자 크기 및 표면적 특성

| Si 재료 | PSD (D50, μm) | 계산된 코팅 두께 (nm) | 계산된 코팅 두께 (μm): 코팅되지 않음 Si PSD D50 (μm) 비율 | BET 표면적 ($m^2/g$) |
|---|---|---|---|---|
| 코팅되지 않음 | 4.79 | — | — | 1.53 |
| 0.2 wt% $Al_2O_3$ | 4.45 | 0.33 | 0.000069 | 2.33 |
| 0.3 wt% $Al_2O_3$ | 4.39 | 0.50 | 0.000104 | 3.04 |
| 0.6 wt% $Al_2O_3$ | 5.01 | 0.99 | 0.000207 | 3.89 |

[0265]

[0266] 실시예 2(a) 전극 조성

[0267] 코팅되지 않음 또는 $Al_2O_3$ 코팅된 마이크로 실리콘을 포함하는 애노드 조성물이 제작되었다. 모든 실험에 사용된 구체적인 전극과 슬러리 조성은 하기 표 4에 나타낸다.

[0268] **표 4:** 전극 및 슬러리 조성

| Si 재료 | 활성 재료 (Si) | | 전도성 충전제 (Timrex KS6L 박편 흑연) | | 전도성 보조제 (Timcal Super C65) | | 결합제 (PAA, 25% LiOH 로 중화) | | $H_2O$ |
|---|---|---|---|---|---|---|---|---|---|
| | wt% | 질량 (g) | wt% | 질량 (g) | wt% | 질량 (g) | wt% | 질량 (g) | 질량 (g) |
| 코팅되지 않음 | 70 | 24.5 | 20 | 7.00 | 2 | 0.7 | 8 | 2.8 | 29.8 |
| 0.2 wt% $Al_2O_3$ | 70.20 | 31.94 | 19.80 | 9.01 | 2 | 0.91 | 8 | 18.20 | 19.76 |
| 0.3 wt% $Al_2O_3$ | 70.30 | 31.99 | 19.70 | 8.96 | 2 | 0.91 | 8 | 18.20 | 19.76 |
| 0.6 wt% $Al_2O_3$ | 70.40 | 32.03 | 19.60 | 8.92 | 2 | 0.91 | 8 | 18.20 | 21.26 |

[0269]

[0270] 표 4의 조성을 사용하여 슬러리를 제조하였다. 실시예 1에 기술된 절차를 제조 공정에 사용하였다.

[0271] 실시예 2(b) 슬러리 제조

[0272] 표 4의 조성을 사용하여 슬러리를 제조하였다. 실시예 1에 기술된 절차를 제조 공정에 사용하였다.

[0273] 실시예 2(c) 전기화학 테스트 프로그램

[0274] 실시예 1에 기술된 절차를 사용하여 완전 전지를 조립했다. 사이클링 프로그램에 대해서는 표 1 및 2를 참조.

[0275] 실시예 2(d) 사이클링 테스트 - 주요 결과 요약

[0276] **표 5:** 제한된 용량의 완전 전지 전기화학 데이터 개요

| | 애노드 | | 면적 용량 | | | 캐소드 | | 애노드 | |
|---|---|---|---|---|---|---|---|---|---|
| 코팅된 재료 | 두께 | 특정 부하 | 애노드 | 캐소드 | ICE | 방전 용량 @C/20 | 방전 용량 @C/2 | 방전 용량 @C/20 | 방전 용량 @C/2 |
| | μm | $mg/cm^2$ | $mAh/cm^2$ | $mAh/cm^2$ | % | mAh/g | mAh/g | mAh/g | mAh/g |
| 코팅되지 않음 | 53 | 5.9 | 12.8 | 4.2 | 89.0 | 160 | 132 | 714 | 588 |
| 0.2 wt% $Al_2O_3$ | 53.6 | 5.7 | 12.4 | 3.6 | 89.8 | 161 | 132 | 763 | 625 |
| 0.3 wt% $Al_2O_3$ | 56.3 | 5.8 | 12.5 | 3.6 | 89.8 | 161 | 132 | 761 | 620 |
| 0.6 wt% $Al_2O_3$ | 55.5 | 5.7 | 12.4 | 3.5 | 89.8 | 162 | 132 | 763 | 622 |

[0277]

[0278] 다양한 비율의 $Al_2O_3$ 코팅은 코팅되지 않은 동일한 시작 용량과 비교할 때 ICE (0.8%)에서 동일한 증가를 보여주었다 (표 5). 90 사이클에서는 0.2wt% 및 0.3wt% $Al_2O_3$ 코팅 샘플 사이의 용량 유지 (~96%)에 명확한 차이가 없었으며 (도 1b) 코팅되지 않은 샘플과 비교했을 때 용량 유지의 차이는 1%에 불과했다. 반면 높은 함량의 $Al_2O_3$ (0.6wt%)는 90 사이클에서 용량 유지가 빠르게 감소했으며 테스트된 전지는 용량의 6%를 잃었다.

[0279] *실시예 3: 페놀 수지 전구체 탄소 코팅 마이크로 실리콘*

[0280] 실시예 3(a) 마이크로 실리콘 입자 코팅

[0281] 실시예 3.1: 6.6 wt% 탄소 코팅 마이크로 실리콘

[0282] 30 g 페놀 수지를 150 g의 무수 에탄올에 첨가하고 실온에서 자석 교반기를 사용하여 수지가 완전히 용해될 때까지 용액을 혼합하였다. 다음으로, 104 g의 마이크로 실리콘을 에탄올-수지 용액에 첨가하고, 현탁액을 1시간 동안 계속 교반했다. 그런 다음 혼합물을 에탄올이 완전히 증발될 때까지 혼합물을 70℃에서 12시간 동안 가열하였다. 61.5 g의 수지 코팅된 마이크로 실리콘을 세라믹 도가니로 옮기고 용광로 튜브에 넣었다. 하소 공정을 시작하기 전에 용광로를 실온에서 30분 동안 2 L/분의 유속으로 고순도 질소 가스로 퍼징하고 전체적으로 유지했다. 샘플을 4℃/분의 가열 속도로 900℃까지 가열하고 1시간 동안 하소시켰다. 그런 다음, 적어도 용광로 온도가 100℃에 도달할 때까지 질소 가스 흐름을 유지하면서 용광로를 실온으로 냉각시켰다. 하소된 마이크로 실리콘 샘플을 막자사발과 막자를 사용하여 대략 5분 동안 분쇄하여 더 큰 실리콘 덩어리로 나누었다. 그런 다음 생성물을 30 wt% 실리콘 및 70 wt% 분쇄 매질 (즉, 1 cm 직경 세라믹 볼)의 밀링 비율을 사용하여 520 rpm에서 총 3시간 동안 6분 밀링 및 3분 휴지 간격으로 볼 밀링했다.

[0283] 실시예 3.2: 7.93 wt% 탄소 코팅 마이크로 실리콘

[0284] 실시예 3.1의 코팅 절차를 40 g의 페놀 수지 및 104 g의 마이크로 실리콘을 사용하여 반복했다. 65 g의 수지 코팅된 마이크로 실리콘을 세라믹 도가니로 옮기고 용광로 튜브에 넣었다. 하소 공정을 시작하기 전에 용광로를 실온에서 30분 동안 2 L/분의 유속으로 고순도 질소 가스로 퍼징하고 전체적으로 유지했다. 샘플을 4℃/분의 가열 속도로 900℃까지 가열하고 2시간 동안 하소시켰다. 그런 다음, 적어도 용광로 온도가 100℃에 도달할 때까지 질소 가스 흐름을 유지하면서 용광로를 실온으로 냉각시켰다. 하소된 마이크로 실리콘 샘플을 막자사발과 막자를 사용하여 대략 5분 동안 분쇄하여 더 큰 실리콘 덩어리로 나누었다. 그런 다음 생성물을 30 wt% 실리콘 및 70 wt% 분쇄 매질 (즉, 1 cm 직경 세라믹 볼)의 밀링 비율을 사용하여 520 rpm에서 총 3시간 동안 6분 밀링 및 3분 휴지 간격으로 볼 밀링했다.

[0285] 탄소 코팅 마이크로 실리콘에 대한 $D_{50}$ 입자 크기 및 BET 표면적 값은 다음과 같다.

[0286] **표 6:** 입자 크기 및 표면적 특성

| Si 재료 | PSD (D50, μm) | 계산된 코팅 두께 (nm) | 계산된 코팅 두께 (μm): 코팅되지 않은 Si PSD D50 (μm) 비율 | BET 표면적 ($m^2/g$) |
|---|---|---|---|---|
| 6.6 wt% PR (C) | 3.17 | 19.43 | 0.004057 | 66.51 |
| 7.93 wt% PR (C) | 2.82 | 23.35 | 0.004874 | 86.99 |

[0287]

[0288] 실시예 3(b) 전극 조성

[0289] 탄소 코팅 마이크로 실리콘으로 이루어진 애노드 조성물이 제작되었다. 모든 실험에 사용된 구체적인 슬러리 및 전극 조성은 하기 표 7에 나타낸다.

[0290] **표 7:** 전극 조성

| 예 | 활성 재료 (Si) | | 전도성 충전제 (Timrex KS6L 박편 흑연) | | 전도성 보조제 (Timcal Super C65) | | 결합제 (PAA, 25% LiOH 로 중화) | | $H_2O$ |
|---|---|---|---|---|---|---|---|---|---|
| | wt% | 질량 (g) | wt% | 질량 (g) | wt% | 질량 (g) | wt% | 질량 (g) | 질량 (g) |
| 6.6 wt% PR (C) | 75.20 | 34.22 | 14.80 | 6.73 | 2 | 0.91 | 8 | 18.20 | 19.76 |
| 7.93 wt% PR (C) | 76.30 | 34.72 | 13.70 | 6.23 | 2 | 0.91 | 8 | 18.20 | 19.76 |

[0291]

[0292] 실시예 3(c) 슬러리 제조

[0293] 슬러리 제조 공정에는 표 7에 명시된 재료의 양이 사용되었다. 실시예 1과 동일한 절차를 따랐다.

[0294] 실시예 3(d) 전기화학 테스트 프로그램

[0295] 실시예 1에 기술된 절차를 사용하여 완전 전지를 조립했다. 사이클링 프로그램에 대해서는 표 1 및 2를 참조.

[0296] 실시예 3(e) 사이클링 테스트 - 주요 결과 요약

[0297] **표 8:** 제한된 용량의 완전 전지 전기화학 데이터 개요

| | 애노드 | | 면적 용량 | | | 캐소드 | | 애노드 | |
|---|---|---|---|---|---|---|---|---|---|
| 코팅된 재료 | 두께 | 특정 부하 | 애노드 | 캐소드 | ICE | 방전 용량 @C/20 | 방전 용량 @C/2 | 방전 용량 @C/20 | 방전 용량 @C/2 |
| | μm | $mg/cm^2$ | $mAh/cm^2$ | $mAh/cm^2$ | % | mAh/g | mAh/g | mAh/g | mAh/g |
| 코팅되지 않음 | 53 | 5.9 | 12.8 | 4.2 | 89.0 | 160 | 132 | 714 | 588 |
| 6.6 wt% PR (C) | 53.3 | 5.8 | 12.5 | 3.6 | 86.6 | 156 | 126 | 734 | 592 |
| 7.93 wt% PR (C) | 50.5 | 5.6 | 12.0 | 3.5 | 85.3 | 154 | 124 | 735 | 593 |

[0298]

[0299] 표 8은 코팅 내 페놀 수지 (PR) 함량 증가가 ICE에 영향을 미쳤음을 보여준다. 대조군과 비교했을 때 ~ 8wt% PR 코팅은 ICE가 3.7% 감소하고 ~ 6.6 wt.% PR 코팅은 2.4% 감소한 것으로 나타났다. 50 사이클에서, 코팅되지 않은 전지의 용량 유지는 99.4%인 반면 ~ 8wt% PR 코팅 전지의 용량 유지는 96.2% 및 ~ 6.6 wt.% PR은 97%였다 (도 2b).

[0300] *실시예 4: PVP 전구체 탄소 코팅 마이크로 실리콘*

[0301] 실시예 4(a) 마이크로 실리콘 입자 코팅

[0302] 실시예 4.1 - 6.03 wt% 탄소 코팅 마이크로 실리콘

[0303] 22.5 g PVP (55,000 M.W.)를 250 ml의 무수 에탄올에 첨가하고 40℃에서 자기교반기를 사용하여 중합체가 완전히 용해될 때까지 용액을 혼합하였다. 다음으로, 22.5 g의 마이크로 실리콘을 에탄올-PVP 용액에 첨가하고, 현탁액을 계속 교반했다. 구성성분의 균일한 분산을 촉진하기 위해 추가로 30ml의 무수 에탄올을 혼합물에 첨가했다. 다음으로, 혼합물을 주변 조건하에 40℃에서 12시간 동안 건조시킨 후 진공하에 40℃에서 3시간 동안 추가 건조 단계를 거쳤다. 31.6 g의 PVP 코팅 마이크로 실리콘을 세라믹 도가니로 옮기고 용광로 튜브에 넣었다. 하소 공정을 시작하기 전에 용광로를 실온에서 30분 동안 2 L/분의 유속으로 고순도 질소 가스로 퍼징하고 전체적으로 유지했다. 샘플을 4℃/분의 가열 속도로 700℃까지 가열하고 2시간 동안 하소시켰다. 그런 다음, 적어도 용광로 온도가 100℃에 도달할 때까지 질소 가스 흐름을 유지하면서 용광로를 실온으로 냉각시켰다. 하소된 마이크로 실리콘 샘플을 막자사발과 막자를 사용하여 대략 5분 동안 분쇄하여 더 큰 실리콘 덩어리로 나누었다. 그런 다음 생성물을 30 wt% 실리콘 및 70 wt% 분쇄 매질 (즉, 0.7 cm 직경 세라믹 볼)의 밀링 비율을 사용하여 520 rpm에서 총 3시간 동안 6분 밀링 및 3분 휴지 간격으로 볼 밀링했다.

[0304] 실시예 4.2 - 3.12 wt% 탄소 코팅 마이크로 실리콘

[0305] 45 g PVP (55,000 M.W.)를 3 L의 탈이온수와 5 ml의 무수 에탄올의 혼합물에 첨가했다. 실온에서 자석 교반기를 사용하여 중합체가 완전히 용해될 때까지 용액을 혼합하였다. 다음으로, 90.0 g의 마이크로 실리콘을 PVP 용액에 첨가하고, 현탁액을 계속 교반했다. 이 현탁액은 마이크로 실리콘 분말의 균일한 분산을 촉진하기 위해 30분 동안 추가로 초음파 처리되었다. 그런 다음 제조된 5 wt% 현탁액을 Mini Spray Dryer B-290 (BUCHI)를 사용하여 220℃ 입구 온도, 30 L/분 공기 흐름, 100% 흡인 및 40% 용액 공급 속도에서 분무 건조했다. 37.0 g의 PVP 코팅 마이크로 실리콘을 세라믹 도가니에 옮기고 용광로 튜브에 넣었다. 하소 공정을 시작하기 전에 용광로를 실온에서 30분 동안 2 L/분의 유속으로 고순도 질소 가스로 퍼징하고 전체적으로 유지했다. 샘플을 4℃/분의 가열 속도로 700℃까지 가열하고 1시간 동안 하소시켰다. 그런 다음, 적어도 용광로 온도가 100℃에 도달할 때까지 질소 가스 흐름을 유지하면서 용광로를 실온으로 냉각시켰다. 코팅된 마이크로 실리콘 샘플을 먼저 막자사발과 막자를 사용하여 이어서 실험실 샘플 밀에서 30분 동안 분쇄하여 더 큰 실리콘 덩어리로 나누었다.

[0306] 실시예 4.3 - 6.92 wt% 탄소 코팅 마이크로 실리콘

[0307] 90 g PVP (55,000 M.W.)를 6 L의 탈이온수에 첨가하고 용액을 중합체가 완전히 용해될 때까지 30℃에서 자기 교반기를 사용하여 혼합했다. 다음으로, 91.0 g의 마이크로 실리콘을 실온으로 냉각된 PVP 용액에 첨가하고 계속 교반했다. 이 현탁액은 마이크로 실리콘 분말의 균일한 분산을 촉진하기 위해 30분 동안 추가로 초음파 처리되었다. 그런 다음 제조된 3 wt% 현탁액을 Mini Spray Dryer B-290 (BUCHI)를 사용하여 220℃ 입구 온도, 30 L/분 공기 흐름, 100% 흡인 및 40% 용액 공급 속도에서 분무 건조했다. 27.0 g의 PVP 코팅 마이크로 실리콘을 세라믹 도가니로 옮기고 용광로 튜브에 넣었다. 하소 공정을 시작하기 전에 용광로를 실온에서 30분 동안 2 L/분의 유속으로 고순도 질소 가스로 퍼징하고 전체적으로 유지했다. 샘플을 4℃/분의 가열 속도로 700℃까지 가열하고 2시간 동안 하소시켰다. 그런 다음, 적어도 용광로 온도가 100℃에 도달할 때까지 질소 가스 흐름을 유지하면서 용광로를 실온으로 냉각시켰다. 하소된 마이크로 실리콘 샘플을 막자사발과 막자를 사용하여 분쇄하여 더 큰 실리콘 덩어리로 나누었다. 그런 다음 생성물을 30 wt% 실리콘 및 70 wt% 분쇄 매질 (즉, 0.7 cm 직경 세라믹 볼)의 밀링 비율을 사용하여 520 rpm에서 총 3시간 동안 6분 밀링 및 3분 휴지 간격으로 볼 밀링했다.

[0308] 탄소 코팅 마이크로 실리콘에 대한 $D_{50}$ 입자 크기 및 BET 표면적 값은 다음과 같다.

[0309] **표 9:** 입자 크기 및 표면적 특성

| Si 재료 | PSD (D50, μm) | 계산된 코팅 두께 (nm) | 계산된 코팅 두께 (μm): 코팅되지 않은 Si PSD D50 (μm) 비율 | BET 표면적 ($m^2/g$) |
|---|---|---|---|---|
| 6.03 wt% PVP (C) | 3.22 | 17.75 | 0.003706 | 34.55 |
| 3.12 wt% PVP (C) | 4.18 | 9.19 | 0.001918 | 14.95 |
| 6.92 wt% PVP(C) | 3.18 | 20.37 | 0.004253 | 35.28 |

[0310]

[0311] 실시예 4(b) 전극 조성

[0312] 70% 마이크로 실리콘으로 이루어진 애노드 조성물을 제작하였다. 모든 실험에 사용된 특정 전극 조성은 아래 표 10에 나타낸다.

[0313] **표 10:** 전극 조성

| 예 | 활성 재료 (Si) | | 전도성 충전제 (Timrex KS6L 박편 흑연) | | 전도성 보조제 (Timcal Super C65) | | 결합제 (PAA, 25% LiOH 로 중화) | | $H_2O$ |
|---|---|---|---|---|---|---|---|---|---|
| | wt% | 질량 (g) | wt% | 질량 (g) | wt% | 질량 (g) | wt% | 질량 (g) | 질량 (g) |
| 3.12 wt% PVP (C) | 75.30 | 34.26 | 14.70 | 6.69 | 2 | 0.91 | 8 | 18.20 | 19.76 |
| 6.92 wt% PVP(C) | 75.40 | 34.31 | 14.60 | 6.64 | 2 | 0.91 | 8 | 18.20 | 19.76 |

[0314]

[0315] 실시예 4(c) 슬러리 제조

[0316] 슬러리 제조 공정에는 표 10에 명시된 재료의 양이 사용되었다. 실시예 1과 동일한 절차를 따랐다.

[0317] 실시예 4(d) 전기화학 테스트 프로그램

[0318] 완전 전지를 실시예 1에 기술된 절차를 사용하여 조립했다. 사이클링 프로그램에 대해서는 표 1 및 2를 참조.

[0319] 실시예 4(e) 사이클링 테스트 - 주요 결과 요약

[0320] **표 11:** 제한된 용량의 완전 전지 전기화학 데이터 개요

| | 애노드 | | 면적 용량 | | | 캐소드 | | 애노드 | |
|---|---|---|---|---|---|---|---|---|---|
| 코팅된 재료 | 두께 | 특정 부하 | 애노드 | 캐소드 | ICE | 방전 용량 @C/20 | 방전 용량 @C/2 | 방전 용량 @C/20 | 방전 용량 @C/2 |
| | μm | mg/cm$^2$ | mAh/cm$^2$ | mAh/cm$^2$ | % | mAh/g | mAh/g | mAh/g | mAh/g |
| 코팅되지 않음 | 53 | 5.9 | 12.8 | 4.2 | 89.0 | 160 | 132 | 714 | 588 |
| 3.12 wt% PVP (C) | 52.9 | 5.7 | 12.2 | 3.5 | 88.4 | 159.6 | 128 | 751 | 602 |
| 6.92 wt% PVP(C) | 53.0 | 5.7 | 12.3 | 3.5 | 86.1 | 155 | 124 | 718 | 576 |

[0321]

[0322] 표 11은 PVP 코팅의 함량 증가가 ICE에 부정적인 영향을 미친다는 것을 보여준다: 대조군과 비교했을 때 3.12 wt% PVP 샘플은 ICE가 0.6% 약간 감소한 반면, 6.92 wt% PVP 샘플은 ICE가 ~3% 손실되었다. 100 사이클에서, 코팅되지 않은 코팅되지 않은 샘플은 용량의 ~3%를 잃은 반면 3.1 wt% PVP는 동일한 사이클에서 5%를 잃었다.

[0323] *실시예 5: PAN 전구체 탄소 코팅 마이크로 실리콘*

[0324] 실시예 5(a) - 14.5 wt% 탄소 코팅 마이크로 실리콘

[0325] 전단 혼합기를 사용하여 70℃에서 교반하면서 45 g PAN (150,000 MW)을 500 ml의 DMF에 첨가했다. 중합체가 완전히 용해된 후, 90.0 g의 마이크로 실리콘을 중합체 용액에 첨가하고, 현탁액을 전단 혼합기를 사용하여 계속 혼합하였다. 이 공정에서, 용액 온도가 120℃까지 상승하여 DMF 용매의 증발이 촉진되었다. 용액 농도가 기계적으로 혼합하기 어렵게 된 후, 생성된 생성물을 3개의 세라믹 도가니에 옮기고 다음 중 하나에서 추가로 건조했다: (i) $N_2$ 가스 흐름 하에서 200℃에서 2시간 동안, (ii) 대기 조건에서 200℃에서 2시간 동안 또는 (iii) 진공하에서 2시간 동안 110℃. 60 g의 생성된 건조 생성물을 용광로 튜브에 넣고 하소 공정을 시작하기 전에 용광로를 실온에서 30분 동안 2 L/분의 유속으로 고순도 질소 가스로 퍼징했다. 샘플을 4℃/분의 가열 속도로 900℃까지 가열하고 2시간 동안 하소시켰다. 그런 다음, 적어도 용광로 온도가 100℃에 도달할 때까지 질소 가스 흐름을 유지하면서 용광로를 실온으로 냉각시켰다. 하소된 마이크로 실리콘 샘플을 막자사발과 막자를 사용하여 약 5분 동안 분쇄하여 더 큰 실리콘 덩어리로 나누었다. 그런 다음 생성물을 30 wt% 실리콘 및 70 wt% 분쇄 매질 (즉, 0.7 cm 직경 세라믹 볼)의 밀링 비율을 사용하여 520 rpm에서 총 3시간 동안 6분 밀링 및 3분 휴지 간격으로 볼 밀링했다.

[0326] 탄소 코팅 마이크로 실리콘에 대한 $D_{50}$ 입자 크기 및 BET 표면적 값은 다음과 같다.

[0327] **표 12:** 입자 크기 및 표면적 특성

| Si 재료 | PSD (D50, μm) | 계산된 코팅 두께 (nm) | 계산된 코팅 두께 (μm): 코팅되지 않은 Si PSD D50 (μm) 비율 | BET 표면적 (m$^2$/g) |
|---|---|---|---|---|
| 14.5 wt% PAN (C) | 3.51 | 42.69 | 0.008912 | 25.92 |

[0328]

[0329] 실시예 5(b) 전극 조성

[0330] 탄소 코팅된 마이크로 실리콘으로 이루어진 애노드 조성물을 제작하였다. 모든 실험에 사용된 특정 전극 조성은

아래 표 13에 나타낸다.

[0331] **표 13:** 전극 조성

| 재료 | 설명 | 함량 [wt%] | 질량 (g) |
|---|---|---|---|
| 활성 재료 | 실리콘 (14.5wt% PAN (C)로 코팅) | 82.20 | 37.4 |
| 전도성 충전제 | Timrex KS6L 박편 흑연 | 7.80 | 2.73 |
| 전도성 보조제 | Timcal Super C65 | 2.00 | 0.91 |
| 결합제 | PAA, 25% LiOH 로 중화 | 8.00 | 18.2 |
| 물 | _ | _ | 19.76 |

[0332]

[0333] 실시예 5(c) 슬러리 제조

[0334] 슬러리 제조 공정에는 표 13에 명시된 재료의 양이 사용되었다. 실시예 1과 동일한 절차를 따랐다.

[0335] 실시예 5(d) 전기화학 테스트 프로그램

[0336] 실시예 1에 기술된 절차를 사용하여 완전 전지를 조립했다. 사이클링 프로그램에 대해서는 표 1 및 2를 참조.

[0337] 실시예 5(e) 사이클링 테스트 - 주요 결과 요약

[0338] **표 14:** 제한 용량 완전 전기 전기화학 데이터의 개요

| | 애노드 | | 면적 용량 | | | 캐소드 | | 애노드 | |
|---|---|---|---|---|---|---|---|---|---|
| 코팅된 재료 | 두께 | 특정 부하 | 애노드 | 캐소드 | ICE | 방전 용량 @C/20 | 방전 용량 @C/2 | 방전 용량 @C/20 | 방전 용량 @C/2 |
| | µm | $mg/cm^2$ | $mAh/cm^2$ | $mAh/cm^2$ | % | mAh/g | mAh/g | mAh/g | mAh/g |
| 코팅되지 않음 | 53 | 5.9 | 12.8 | 4.2 | 89.0 | 160 | 132 | 714 | 588 |
| 14.5wt% PAN (C) | 50.8 | 5.7 | 12.2 | 3.5 | 82.1 | 148 | 120 | 696 | 562 |

[0339]

[0340] 14.5wt% PAN 코팅된 마이크로-Si는 82.1% ICE를 갖는 반면 코팅되지 않은 mSi는 89% ICE를 갖는다 (표 14). 50 사이클 후에 (도 4b) PAN 코팅 샘플은 용량의 4.4%를 잃었다.

[0341] *실시예 6: 코팅된 마이크로 실리콘의 사전리튬화*

[0342] 실시예 6(a) 전극 조성

[0343] 모든 실리콘 재료 샘플은 하기 표 15에 표시된 특정 전극 조성을 사용하여 전극에 혼입되었다.

[0344] **표 15:** 전극 조성

| 예 | 활성 재료 (Si) | | 전도성 충전제 (Timrex KS6L 박편 흑연) | | 전도성 보조제 (Timcal Super C65) | | 결합제 (PAA, 25% LiOH 로 중화) | | $H_2O$ |
|---|---|---|---|---|---|---|---|---|---|
| | wt% | 질량 (g) | wt% | 질량 (g) | wt% | 질량 (g) | wt% | 질량 (g) | 질량 (g) |
| 0.6 wt% $Al_2O_3$ | 70.40 | 32.03 | 19.60 | 8.92 | 2 | 0.91 | 8 | 18.20 | 21.26 |
| 3.12wt% PVP (C) | 75.30 | 34.26 | 14.70 | 6.69 | 2 | 0.91 | 8 | 18.20 | 19.76 |

[0345]

[0346] 실시예 6(b) 슬러리 제조

[0347] 슬러리 제조 공정에는 표 15에 명시된 재료의 양이 사용되었다. 실시예 1과 동일한 절차를 따랐다.

[0348] 실시예 6(c) 전기화학 테스트 프로그램

[0349] **표 16:** 반전지의 형성 테스트 프로그램 (사전리튬화)

| 명칭 | 비율 | 컷오프(V) | 참고 |
|---|---|---|---|
| 휴지 | | | 12 h |
| 정전류 방전 | C/20 | 0.01 | 용량 컷오프(사전리튬화 정도%*양극 예상 용량 mAh |
| 사이클 종료 | | | |

[0350]

[0351] 실시예 6(d) 사전리튬화 단계

[0352] 슬러리를 구리 호일 위에 캐스팅하고 60℃에서 건조한 다음 코인 전지 조립을 위해 절단했다. 전극을 진공하에서 110℃에서 12시간 동안 추가로 건조시켰다. 리튬 (Li) 금속을 상대전극으로 사용하였고 Celgard 분리기를 사용했다. FEC/DEC (2:8) 부피% 중 1M $LiPF_6$ 150 μL를 코인 전지 조립용 전해질로 사용했다. 코인 전지를 애노드 예상 용량을 기준으로 0.05C에서 특정 정도의 리튬화까지 부분 형성 사이클을 거쳤다 (표 16).

[0353] C 비율은 전극의 활성 재료 (Si 입자, 흑연)의 질량을 기준으로 했다. 제1 리튬화는 용량 (mAh/g)에 따라 애노드 예상 용량의 20%로 제한되며 이는 제1 사이클에서 ~10% 리튬 손실을 설명한다.

[0354] 실시예 6(e) 사전리튬화 후 단계

[0355] 코인 전지를 내리고 글로브 박스 (Ar 분위기 하)에 넣고 완전 전지 제조를 위해 분해했다. 애노드를 DMC로 세척하고 조립 전에 건조시켰다. 완전 전지를 실시예 1에 기술된 절차를 사용하여 조립했다. 사이클링 프로그램에 대해서는 표 1 및 2 참조

[0356] 실시예 6(f) 사이클링 테스트 - 주요 결과 요약.

[0357] **표 17:** 제한된 용량의 완전 전지 전기화학 데이터 개요

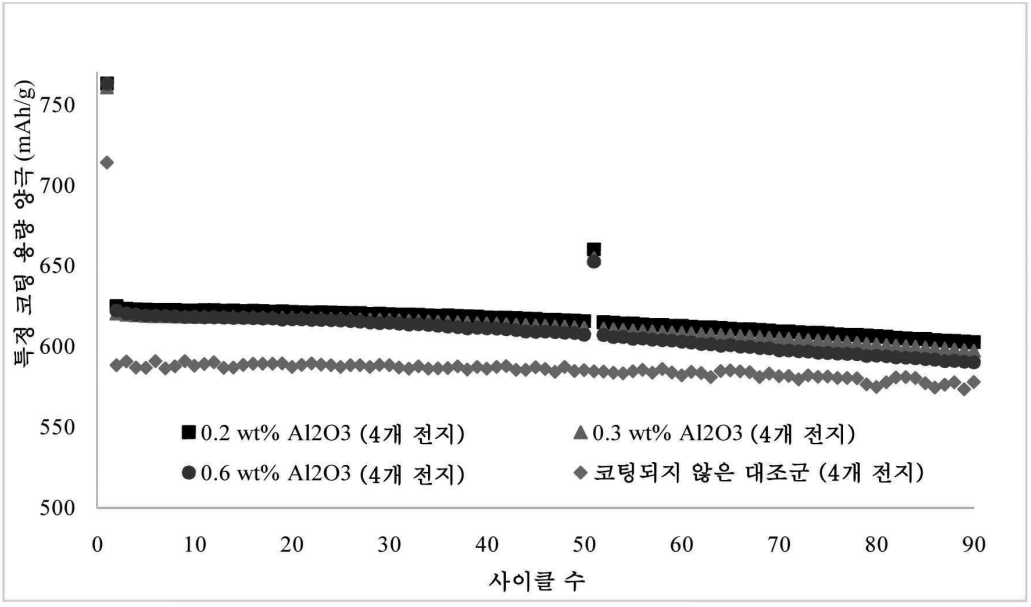
| | | 애노드 | | 면적 용량 | | | 캐소드 | | 애노드 | |
|---|---|---|---|---|---|---|---|---|---|---|
| 코팅된 재료 | 사전리튬화 | 두께 | 특정 부하 | 애노드 | 캐소드 | ICE | 방전 용량 @C/20 | 방전 용량 @C/2 | 방전 용량 @C/20 | 방전 용량 @C/2 |
| | % | μm | mg/cm$_2$ | mAh/cm$_2$ | mAh/cm$_2$ | % | mAh/g | mAh/g | mAh/g | mAh/g |
| 0.6 wt% Al2O3 | 10 | 54.0 | 5.9 | 12.6 | 3.5 | 90.5 | 162 | 144 | 743 | 660 |
| 0.6 wt% Al2O3 | 0 | 55.5 | 5.7 | 12.4 | 3.5 | 89.8 | 162 | 132 | 763 | 622 |
| 3.12wt % PVP (C) | 10 | 54.0 | 5.9 | 12.6 | 3.5 | 90.4 | 162 | 143 | 734 | 650 |
| 3.12wt % PVP (C) | 0 | 52.9 | 5.7 | 12.2 | 3.5 | 88.4 | 160 | 128 | 751 | 602.0 |

[0358]

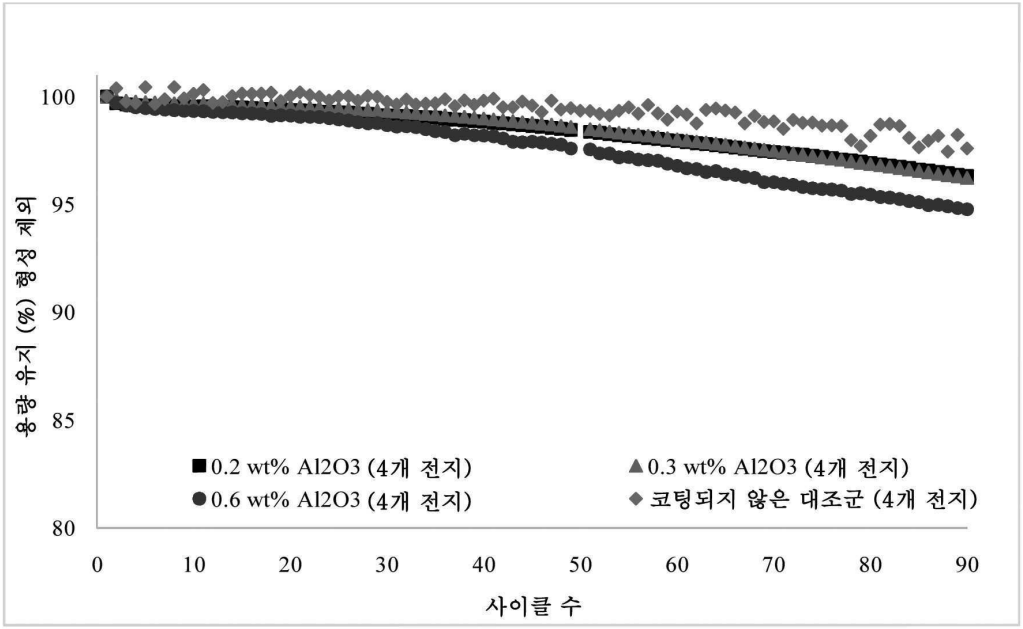
[0359] 리튬화되지 않은 샘플에 대한 데이터는 0.6wt% $Al_2O_3$에 대한 실시예 2 및 3.12wt% PVP에 대한 실시예 4에서 가져왔다. 코팅된 샘플의 전기화학적 사전리튬화는 리튬화되지 않은 샘플과 비교할 때 ICE (~1%)를 크게 개선하여 더 높은 용량에서 사이클링을 유도했다 (표 17). 사이클링 용량과 평균 쿨롱 효율이 크게 증가했다. 초기 50 사이클 동안 사전리튬화된 (3.12wt% PVP 전지 및 0.6wt% $Al_2O_3$) 전지 모두에 대해 무시할 만한 용량 손실이 관찰되었다 (도 5).

## 도면

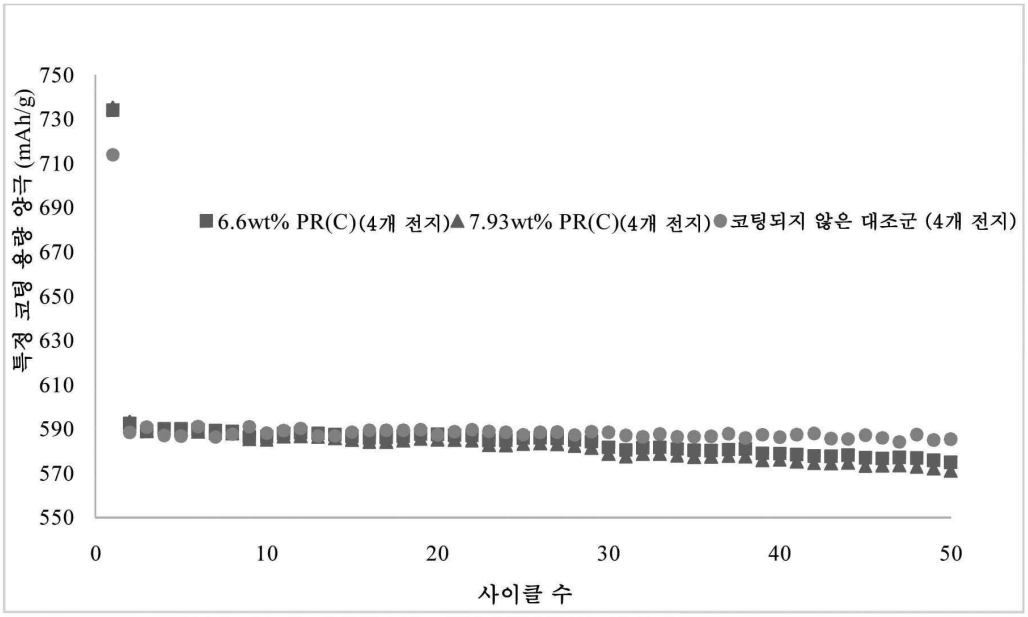
### 도면1a



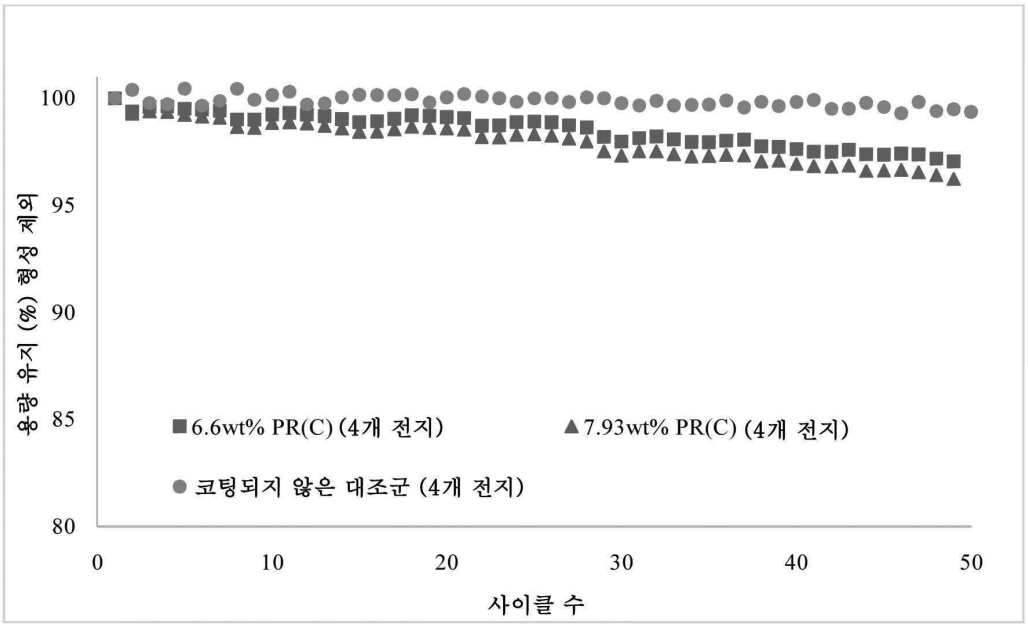
도면1b


100
95
90
85
80
용량 유지 (%) 형성 제외
0
10
20
30
40
50
60
70
80
90
사이클 수
0.2 wt% Al2O3 (4개 전지)
0.3 wt% Al2O3 (4개 전지)
0.6 wt% Al2O3 (4개 전지)
코팅되지 않은 대조군 (4개 전지)

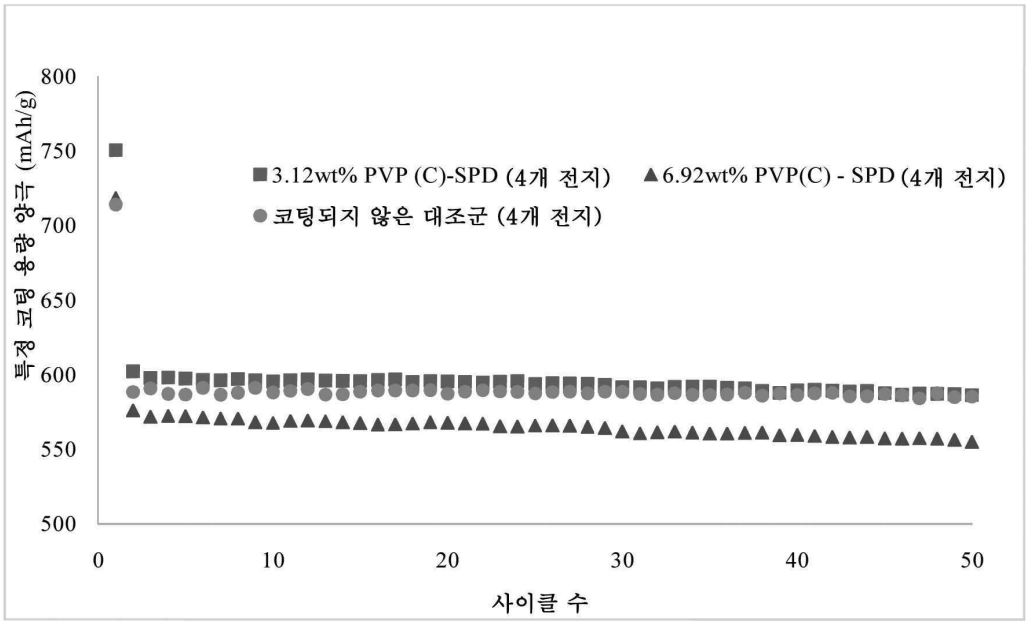
도면2a


750
730
710
690
670
650
630
610
590
570
550
특정 코팅 용량 양극 (mAh/g)
0
10
20
30
40
50
사이클 수
6.6wt% PR(C)(4개 전지)
7.93wt% PR(C)(4개 전지)
코팅되지 않은 대조군 (4개 전지)

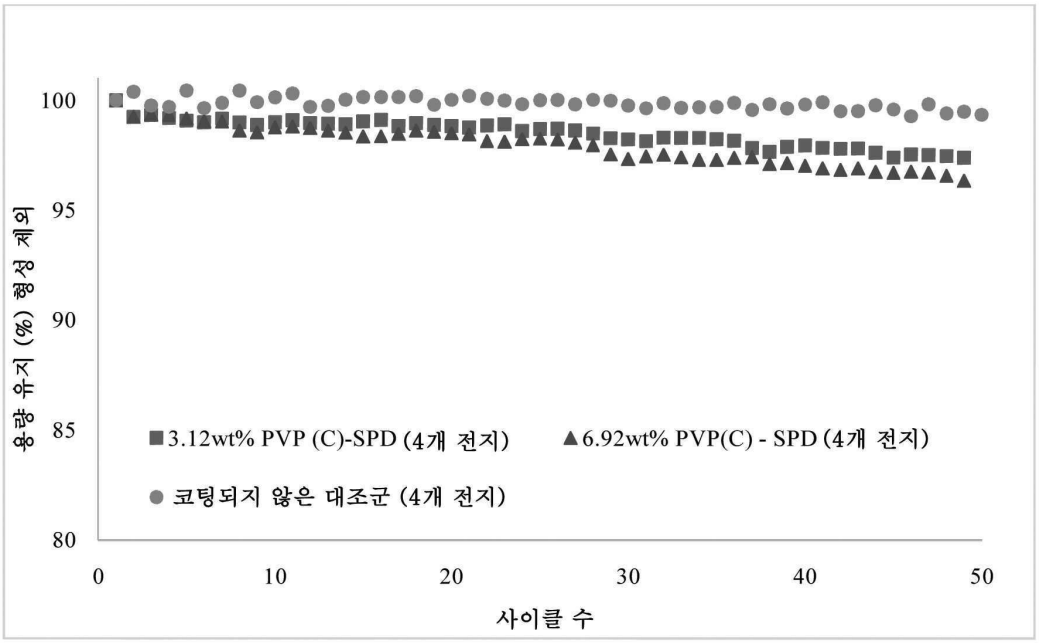
도면2b


100
95
90
85
80
용량 유지 (%) 형성 제외
■6.6wt% PR(C) (4개 전지)
▲7.93wt% PR(C) (4개 전지)
● 코팅되지 않은 대조군 (4개 전지)
0
10
20
30
40
50
사이클 수

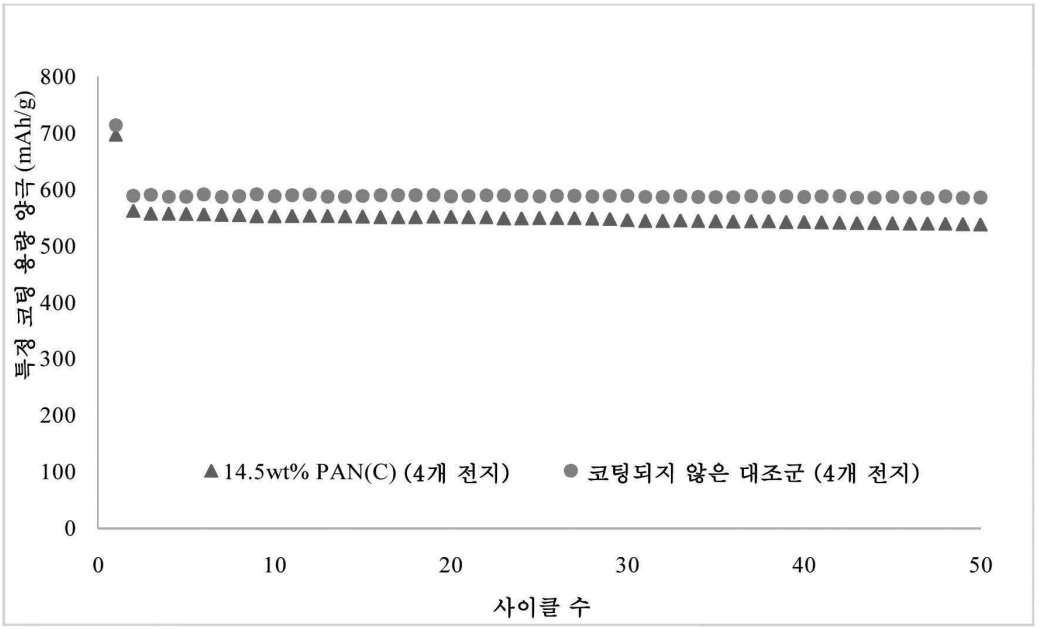
도면3a


800
750
700
650
600
550
500
특정 코팅 용량 양극 (mAh/g)
■3.12wt% PVP (C)-SPD (4개 전지)
▲6.92wt% PVP(C) - SPD (4개 전지)
● 코팅되지 않은 대조군 (4개 전지)
0
10
20
30
40
50
사이클 수

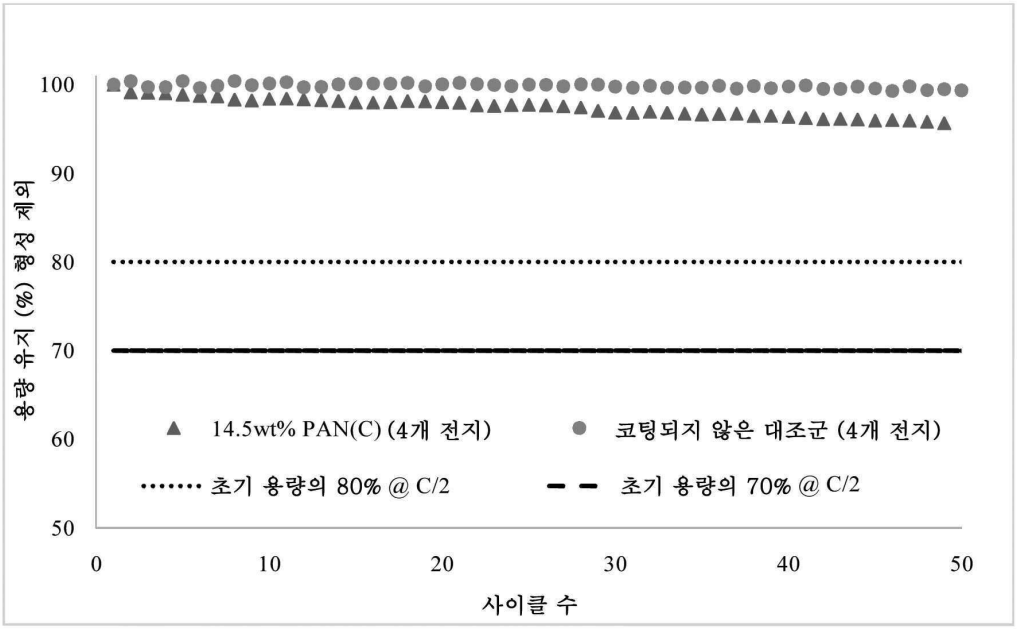
도면3b


100
95
90
85
80
용량 유지 (%) 형성 제외
■3.12wt% PVP (C)-SPD (4개 전지)
▲6.92wt% PVP(C) - SPD (4개 전지)
● 코팅되지 않은 대조군 (4개 전지)
0
10
20
30
40
50
사이클 수

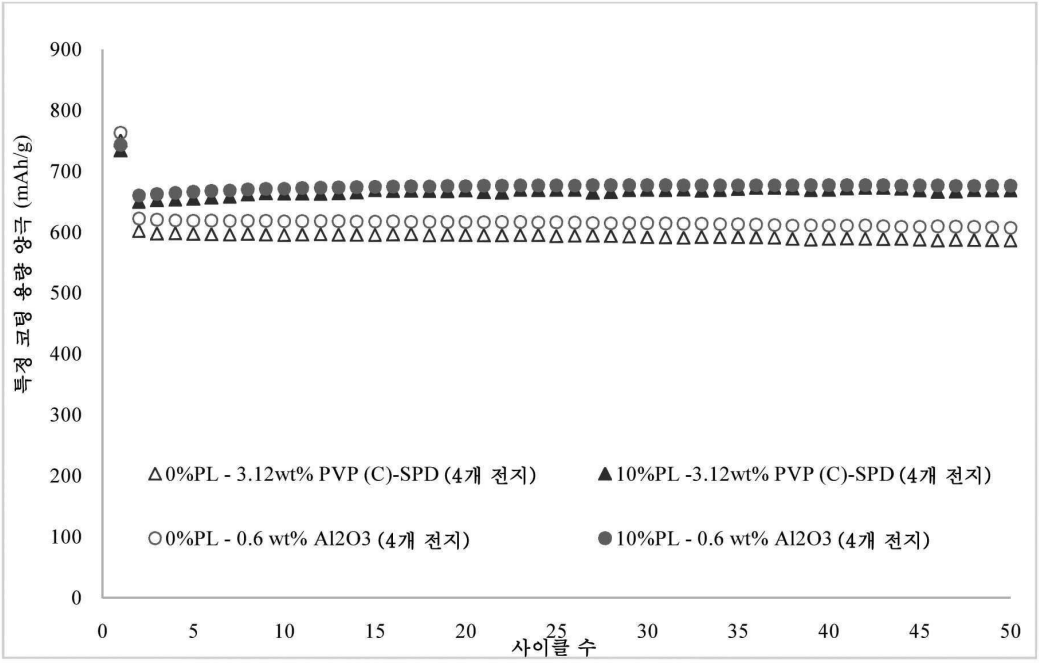
도면4a


800
700
600
500
400
300
200
100
0
특정 코팅 용량 양극 (mAh/g)
▲14.5wt% PAN(C) (4개 전지)
● 코팅되지 않은 대조군 (4개 전지)
0
10
20
30
40
50
사이클 수

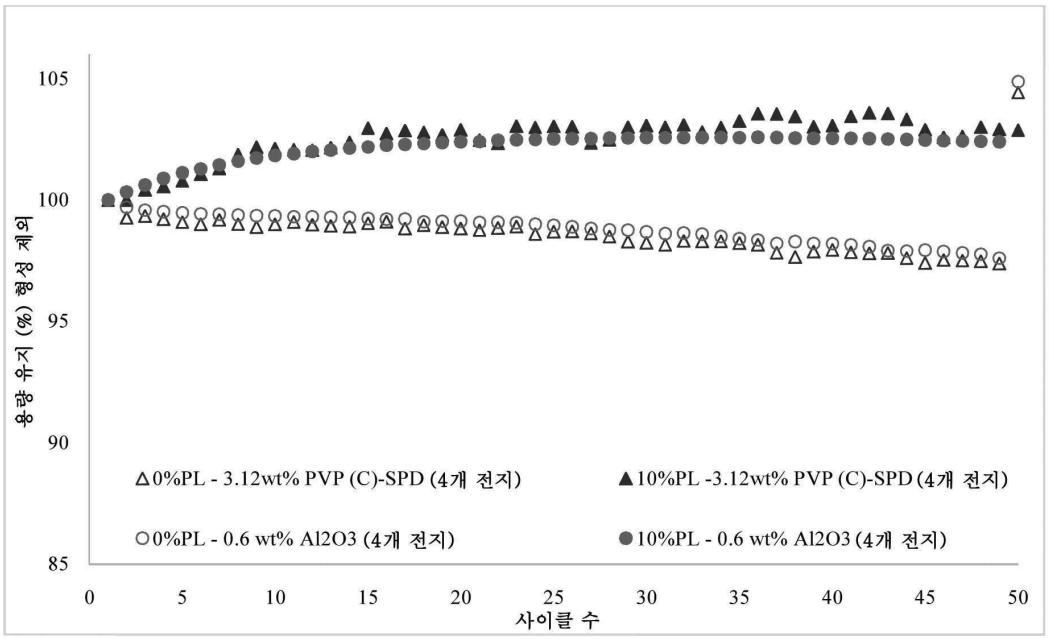
도면4b


100
90
80
70
60
50
용량 유지 (%) 형성 제외
0
10
20
30
40
50
사이클 수
14.5wt% PAN(C) (4개 전지)
코팅되지 않은 대조군 (4개 전지)
초기 용량의 80% @ C/2
초기 용량의 70% @ C/2

도면5a


900
800
700
600
500
400
300
200
100
0
특정 코팅 용량 양극 (mAh/g)
0
5
10
15
20
25
30
35
40
45
50
사이클 수
△0%PL - 3.12wt% PVP (C)-SPD (4개 전지)
▲10%PL -3.12wt% PVP (C)-SPD (4개 전지)
○0%PL - 0.6 wt% Al2O3 (4개 전지)
●10%PL - 0.6 wt% Al2O3 (4개 전지)

도면5b


105
100
95
90
85
용량 유지 (%) 형성 제외
0
5
10
15
20
25
30
35
40
45
50
사이클 수
△0%PL - 3.12wt% PVP (C)-SPD (4개 전지)
▲10%PL -3.12wt% PVP (C)-SPD (4개 전지)
○0%PL - 0.6 wt% Al2O3 (4개 전지)
●10%PL - 0.6 wt% Al2O3 (4개 전지)