

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-294582

(P2005-294582A)

(43) 公開日 平成17年10月20日(2005.10.20)

(51) Int. Cl.⁷

H01L 21/3205

F I

H01L 21/88

J

テーマコード (参考)

5F033

審査請求 未請求 請求項の数 9 O L (全 18 頁)

(21) 出願番号 特願2004-108442 (P2004-108442)

(22) 出願日 平成16年3月31日 (2004.3.31)

(71) 出願人 302062931

NECエレクトロニクス株式会社

神奈川県川崎市中原区下沼部1753番地

(74) 代理人 100110928

弁理士 遠水 進治

(72) 発明者 副島 康志

神奈川県川崎市中原区下沼部1753番地

NECエレクトロニクス株式会社内

(72) 発明者 川野 達也

神奈川県川崎市中原区下沼部1753番地

NECエレクトロニクス株式会社内

最終頁に続く

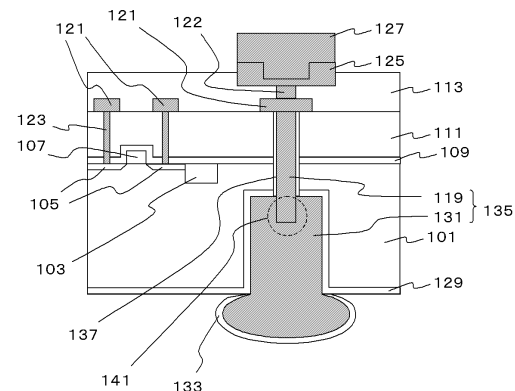
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 電極としての性能および製造安定性に優れた貫通電極を有する半導体装置を提供する。

【解決手段】 半導体装置100に導電性の小径プラグ119と導電性の大径プラグ131とからなる貫通電極135を設ける。小径プラグ119の断面積を、それぞれ接続プラグ123の断面積および径よりも大きく大径プラグ131の断面積および径よりも小さくする。また、シリコン基板101から小径プラグ119が突出した突出部141を大径プラグ131の上面に貫入させる。また、小径プラグ119の上面を第一配線121と接続させる。

【選択図】 図1



100

【特許請求の範囲】**【請求項 1】**

半導体基板の素子形成面の側に第一の孔を形成する工程と、
前記第一の孔の内壁に、絶縁材料からなるバリア膜を形成する工程と、
前記第一の孔の内部を埋め込むように第一の金属膜を埋設する工程と、
前記第一の孔の外部に形成された前記第一の金属膜を除去し、前記第一の孔の内部に第一のプラグを形成する工程と、
裏面の側から前記半導体基板を選択的に除去して第二の孔を形成し、前記第二の孔の内部に前記第一のプラグの一部を露出させる工程と、
前記第二の孔の内面の前記第一のプラグを除く領域に選択的に絶縁材料を付着させる工程と、
絶縁材料を付着させる前記工程の後、露出した前記バリア膜の少なくとも一部を除去し、前記第一の金属膜を露出させる工程と、
前記第二の孔の内部を埋めるように選択的に第二の金属膜を成長させて、前記第一のプラグの一部を内包する第二のプラグを形成する工程と、
を含むことを特徴とする半導体装置の製造方法。

【請求項 2】

請求項 1 に記載の半導体装置の製造方法において、第二のプラグを形成する前記工程は、露出した前記第一の金属膜を起点として前記第二の孔の内部を埋めるように前記第二の金属膜を成長させる工程を含むことを特徴とする半導体装置の製造方法。

【請求項 3】

請求項 1 または 2 に記載の半導体装置の製造方法において、前記絶縁材料は電着材料であることを特徴とする半導体装置の製造方法。

【請求項 4】

請求項 3 に記載の半導体装置の製造方法において、前記電着材料は電着ポリイミドであることを特徴とする半導体装置の製造方法。

【請求項 5】

請求項 1 乃至 4 いずれかに記載の半導体装置の製造方法において、前記第二の孔は前記第一の孔よりも断面積が大きいことを特徴とする半導体装置の製造方法。

【請求項 6】

請求項 1 乃至 5 いずれかに記載の半導体装置の製造方法において、第二のプラグを形成する前記工程の前に、前記第二の孔の前記内面に金属のシード層を形成する工程を含み、第二のプラグを形成する前記工程は、前記シード層を起点として前記第二の金属膜を成長させる工程を含むことを特徴とする半導体装置の製造方法。

【請求項 7】

請求項 1 乃至 6 いずれかに記載の半導体装置の製造方法において、第二の孔を形成する前記工程の後、絶縁材料を付着させる前記工程の前に、前記第二の孔の前記内面の前記第一のプラグを除く前記領域に選択的に金属のシード層を形成する工程を含み、絶縁材料を付着させる前記工程は、前記シード層に前記絶縁材料を付着させる工程を含むことを特徴とする半導体装置の製造方法。

【請求項 8】

請求項 1 乃至 7 いずれかに記載の半導体装置の製造方法において、第一の孔を形成する前記工程は、前記半導体基板の前記素子形成面の側に絶縁膜を形成した後、前記第一の孔を形成する領域の前記絶縁膜を選択的に除去する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 9】

請求項 8 に記載の半導体装置の製造方法において、第一のプラグを形成する前記工程の後に、前記半導体基板の前記絶縁膜上に配線層を形成する工程を含み、配線層を形成する前記工程は、前記第一のプラグに接続する配線を形成する工程を含む

10

20

30

40

50

ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法に関する。

【背景技術】

【0002】

近年、半導体装置の軽薄短小化と高性能化が要求されており、マルチチップパッケージなどの半導体装置において、配線の高密度化、論理素子の微細化およびメモリの大容量化が進められている。 10

【0003】

こうした要請に対応する一つ的手段として、半導体基板に貫通電極を設け、配線の高密度化等を図ることが試みられている。従来の貫通電極としては、たとえば特許文献1に記載されたものがある。同文献には、半導体素子基板を貫通する貫通孔内に中間絶縁層が周設され、その内側に導電層が充填された構成の貫通電極を有する半導体装置が開示されている。この構成を用いると、複数の半導体素子基板を高密度で三次元的に積層することができる。とされている。

【0004】

20

【特許文献1】特開2000-311982号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

ところが、上記特許文献1に記載の貫通電極は、半導体素子基板を太い貫通電極が貫通しているため、貫通電極を形成した領域には、配線等を設けることができない構成となっていた。このため、配線等の集積度が低下してしまい、配線の高密度化の点でさらに改善の余地があった。また、貫通電極が素子形成後に作製されるため、貫通電極の形成時に素子の信頼性を低下させる懸念があった。

【0006】

30

本発明は、上記事情に鑑みなされたものであり、その目的は、電極としての性能および製造安定性に優れた貫通電極を有する半導体装置を提供することにある。

【課題を解決するための手段】

【0007】

本発明によれば、半導体基板の素子形成面の側に第一の孔を形成する工程と、前記第一の孔の内壁に、絶縁材料からなるバリア膜を形成する工程と、前記第一の孔の内部を埋め込むように第一の金属膜を埋設する工程と、前記第一の孔の外部に形成された前記第一の金属膜を除去し、前記第一の孔の内部に第一のプラグを形成する工程と、裏面の側から前記半導体基板を選択的に除去して第二の孔を形成し、前記第二の孔の内部に前記第一のプラグの一部を露出させる工程と、前記第二の孔の内面の前記第一のプラグを除く領域に選択的に絶縁材料を付着させる工程と、絶縁材料を付着させる前記工程の後、露出した前記バリア膜の少なくとも一部を除去し、前記第一の金属膜を露出させる工程と、前記第二の孔の内部を埋めるように選択的に第二の金属膜を成長させて、前記第一のプラグの一部を内包する第二のプラグを形成する工程と、を含むことを特徴とする半導体装置の製造方法が提供される。 40

【0008】

本明細書において、素子形成面は、半導体素子が形成される半導体基板の面のことである。

【0009】

この方法によれば、第一のプラグと第二のプラグとの密着性にすぐれた貫通電極を有す 50

る半導体装置を簡便なプロセスで安定的に製造することができる。また、簡便なプロセスで第二のプラグの表面の絶縁性にすぐれた半導体装置を製造することができる。

【0010】

なお、本発明において、第一のプラグは、第一の金属膜とバリア膜を含む。また、本発明において、第一の金属膜がバリアメタル膜を含んでもよい。

【0011】

本発明の半導体装置の製造方法において、第二のプラグを形成する前記工程は、露出した前記第一の金属膜を起点として前記第二の孔の内部を埋めるように前記第二の金属膜を成長させる工程を含んでもよい。こうすることにより、第二の孔中にさらに確実に金属膜を成長させることができる。

10

【0012】

本発明の半導体装置の製造方法において、前記絶縁材料は電着材料であってもよい。こうすることにより、絶縁材料をさらに高い選択性で前記第二の孔の内面の前記第一のプラグを除く領域に付着させることができる。

【0013】

本発明の半導体装置の製造方法において、前記電着材料は電着ポリイミドであってもよい。こうすることにより、以降のプロセスにおける処理に対する絶縁材料の耐性を向上させることができる。よって、半導体装置のさらに高い歩留まりで安定的に製造することができる。

【0014】

本発明の半導体装置の製造方法において、前記第二の孔は前記第一の孔よりも断面積が大きい孔とすることができる。こうすることにより、第一のプラグの断面積を第二のプラグの断面積よりも小さくすることができる。よって、第二のプラグ中に第一のプラグの一部を確実に内包させることができる。また、配線の集積度の高い半導体装置を安定的に製造することができる。

20

【0015】

本発明の半導体装置の製造方法において、第二のプラグを形成する前記工程の前に、前記第二の孔の前記内面に金属のシード層を形成する工程を含み、第二のプラグを形成する前記工程は、前記シード層を起点として前記第二の金属膜を成長させる工程を含んでもよい。シード層を起点として第二の金属膜を成長させることにより、第二の孔中にさらに確

30

【0016】

本発明の半導体装置の製造方法において、第二の孔を形成する前記工程の後、絶縁材料を付着させる前記工程の前に、前記第二の孔の前記内面の前記第一のプラグを除く前記領域に選択的に金属のシード層を形成する工程を含み、絶縁材料を付着させる前記工程は、前記シード層に前記絶縁材料を付着させる工程を含んでもよい。こうすることにより、第二の孔の内面の第一のプラグを除く領域にさらに安定的に絶縁材料を付着させることができる。

【0017】

本発明の半導体装置の製造方法において、第一の孔を形成する前記工程は、前記半導体基板の前記素子形成面の側に絶縁膜を形成した後、前記第一の孔を形成する領域の前記絶縁膜を選択的に除去する工程を含むことができる。こうすることにより、第一のプラグが絶縁膜の上部の配線に接続する構成の半導体装置を安定的に得ることができる。

40

【0018】

本発明の半導体装置の製造方法において、第一のプラグを形成する前記工程の後に、前記半導体基板の前記絶縁膜上に配線層を形成する工程を含み、配線層を形成する前記工程は、前記第一のプラグに接する配線を形成する工程を含んでもよい。こうすることにより、第一のプラグに接続する配線と同層の配線の集積度を高めることができる。このため、配線の集積度の高い半導体装置を安定的に製造することができる。また、本発明の半導体装置の製造方法において、前記配線層の上部に、前記配線に接続する上部配線を形成する

50

工程を含んでもよい。こうすることにより、配線層よりも上層に存在する上部配線の集積度の高い多層の半導体装置を安定的に製造することができる。

【0019】

なお、これらの各構成の任意の組み合わせや、本発明の表現を方法、装置などの間で変換したものもまた本発明の態様として有効である。

【0020】

たとえば、本発明によれば、半導体基板と、前記半導体基板の素子形成面に設けられた絶縁層と、前記半導体基板を貫通し、前記絶縁層の内部に設けられた導電部材と接続する貫通電極と、を有し、前記貫通電極は、前記導電部材と接続する第一の導電プラグと、前記半導体基板中に設けられ、前記第一の導電プラグの断面積よりも大きい断面積を有し、前記第一の導電プラグの一部を内包する第二の導電プラグと、を有することを特徴とする半導体装置が提供される。

10

【0021】

本発明の半導体装置では、第一の導電プラグの一部が第二の導電プラグに内包されている。このため、アンカー効果が好適に得られ、これらのプラグの密着性にすぐれている。また、これらのプラグ間のコンタクト抵抗が低減される構成となっている。また、素子形成面側に断面積の小さい第一のプラグが配設されているため、貫通電極近傍の配線の集積度を向上させることができる。このため、小型化に適した構成となっている。

【0022】

また、本発明によれば、半導体基板と前記半導体基板の素子形成面に設けられたトランジスタ形成層と、前記トランジスタ形成層の上部に設けられた配線層と、前記配線層の上部に設けられた上部配線層と、前記トランジスタ形成層および前記半導体基板を貫通する貫通電極と、を有し、前記貫通電極は、前記トランジスタ形成層に設けられ、前記配線層中に形成された配線に接続する第一のプラグと、前記半導体基板中に形成され、前記第一の導電プラグの断面積よりも大きい断面積を有し、前記第一のプラグと接続する第二のプラグと、を有することを特徴とする半導体装置が提供される。

20

【0023】

本発明の半導体装置では、上部配線層に被覆された配線層に第一の導電プラグが接続されている。また、第一の導電プラグの断面積が第二の導電プラグの断面積よりも小さい構成となっている。このため、配線層またはその上層における配線や素子の集積度を向上させることができる。このため、本発明の半導体装置は、小型化に適した構成となっている。

30

【0024】

本発明の半導体装置において、前記第二の導電プラグと前記半導体基板とが絶縁膜を介して接している構成とすることができる。こうすることにより、製造安定性にすぐれた構成とすることができる。また、寄生容量を低下させることができる。たとえば、本発明において、前記絶縁膜を電着絶縁膜とすることができる。

【0025】

また、本発明において、第一の金属膜を埋設する前記工程は、前記第一の孔の内壁に、バリアメタル膜を形成する工程を含んでもよい。また、本発明において、第一の金属膜は、バリアメタル膜を含む積層膜とすることができる。こうすることにより、第一のプラグを構成する導電材料の半導体基板への拡散をより一層確実に抑制することができる。

40

【発明の効果】

【0026】

以上説明したように本発明によれば、電極としての性能および製造安定性に優れた貫通電極を有する半導体装置が提供される。また、半導体装置の配線を高密度化することが可能となる。

【発明を実施するための最良の形態】

【0027】

以下、本発明の実施形態について図面を参照して説明する。なお、すべての図面におい

50

て、同様の構成要素には同一の符号を付し、以下の説明において詳細な説明を適宜省略する。また、以下の実施形態において、半導体基板の素子形成面側を半導体装置の上（表）側とし、半導体基板の裏面側を半導体装置の下（裏）側とする。

【0028】

（第一の実施形態）

図1は、本実施形態に係る半導体装置の構成を模式的に示す断面図である。図1の半導体装置100は、シリコン基板101、エッチングストップ膜109、最下層絶縁膜111、第一配線層絶縁膜113の積層構造を有し、シリコン基板101、エッチングストップ膜109、および最下層絶縁膜111を貫通する貫通電極135が設けられている。

【0029】

シリコン基板101の素子形成面に、拡散層105、ゲート電極107等からなるMOSトランジスタおよび素子分離膜103が形成されている。MOSトランジスタおよび素子分離膜103を埋め込むように最下層絶縁膜111が形成されている。最下層絶縁膜111中には、シリコン基板101およびゲート電極107の上面に接してエッチングストップ膜109が設けられている。また、最下層絶縁膜111には、拡散層105に接続する接続プラグ123も設けられている。

【0030】

第一配線層絶縁膜113には第一配線121および第一配線121に電氣的に接続する接続プラグ122が設けられている。また、接続プラグ122の上部には、これと電氣的に接続するパッド125およびパッド125と電氣的に接続するバンプ127がこの順に形成されている。

【0031】

貫通電極135は、導電性の小径プラグ119と導電性の大径プラグ131とを有する。小径プラグ119の断面積および径は、それぞれ接続プラグ123の断面積および径よりも大きく大径プラグ131の断面積および径よりも小さい。また、シリコン基板101から小径プラグ119が突出した突出部141が大径プラグ131の上面に貫入している。

【0032】

小径プラグ119の径は、たとえば、1～5μm程度とすることができる。また、小径プラグ119はシリコン基板101中に20～50μm程度貫入している構成とすることができる。さらに、大径プラグ131中に貫入している突出部141の長さを、たとえば1～50μm程度とする。また、大径プラグ131の径は、たとえば10～1000μm程度とする。

【0033】

小径プラグ119は、最下層絶縁膜111の上面からエッチングストップ膜109、シリコン基板101をこの順に貫通し、その先端がシリコン基板101の外部に露出した突出部141となっている。小径プラグ119の上面は、第一配線層絶縁膜113の底面と同一平面内に底面を有する第一配線121と接触し、電氣的な接続が確保されている。小径プラグ119の側面は、突出部141を除きSiN膜137に被覆されている。

【0034】

また、大径プラグ131は、シリコン基板101の裏面から素子形成面に向かって形成されている。大径プラグ131の上面は、シリコン基板101の上面よりも下方に位置する。大径プラグ131の底面および側面、ならびにシリコン基板101の裏面に電着絶縁膜129が設けられている。また、大径プラグ131の表面はめっき膜133に被覆されている。

【0035】

小径プラグ119の材料に特に制限はないが、たとえば、Wを用いることができる。こうすることにより、シリコン基板101への拡散が好適に抑制される。また、大径プラグ131およびめっき膜133の材料に特に制限はないが、それぞれ、たとえばNiおよびAuとすることができる。

10

20

30

40

50

【0036】

次に、半導体装置100の製造方法を説明する。図2(a)~図2(d)は、図1に示した半導体装置100の製造工程を模式的に示す断面図である。

【0037】

まず、シリコン基板101上にゲート電極107、拡散層105、素子分離膜103を形成する。素子分離膜103は、たとえばSTI(シャロートレンチアイソレーション)とする。その後、シリコン基板101の上面全面にエッチングストップ膜109および最下層絶縁膜111をこの順に積層する。

【0038】

このとき、エッチングストップ膜109として、たとえばSiN膜をプラズマCVD法により50nm成膜する。また、最下層絶縁膜111として、たとえばSiO₂膜をプラズマCVD法により400nm成膜する。または、最下層絶縁膜111として、低誘電率層間絶縁膜であるL-Ox(商標)膜を塗布法により300nm成膜し、L-Ox(商標)膜の上面にSiO₂膜を100nm成膜して、積層膜を形成してもよい。

【0039】

次に、最下層絶縁膜111上に反射防止膜とフォトレジストをこの順に塗布し、フォトリソグラフィ技術を用いて小径プラグ119の形状に対応する開口部を有するレジストパターン(不図示)を形成する。フォトレジスト膜をマスクとして最下層絶縁膜111をドライエッチングして、小径プラグ119を設ける位置を開口させる。そして、ドライエッチングによりエッチングストップ膜109のエッチバックを行う。

【0040】

その後、さらにエッチングガスを変えて、シリコン基板101を途中までエッチングする。たとえば、シリコン基板101の上面から10μm以上50μm以下の深さまでエッチングする。深さを10μm以上とすることにより、突出部141の周囲を大径プラグ131に確実に接続することができる。50μm以下とすることにより、シリコン基板101の素子形成面からの小径プラグ119のシリコン基板101内部への突出量を減少させることができる。このため、開口部を安定的に形成することができる。開口部の径は、小径プラグ119の径がたとえば1~5μm程度となるように選択される。そして、フォトレジスト膜および反射防止膜あるいはエッチングによるそれらの残渣を除去する。

【0041】

次に、小径プラグ119の形状に対応した開口部が設けられたシリコン基板101の上面全面にSiN膜137を20nm成膜する。

【0042】

そして、最下層絶縁膜111上に、新たに反射防止膜とフォトレジストをこの順に塗布し、フォトリソグラフィ技術を用いて接続プラグ123の形状に対応して開口するレジストパターン(不図示)を形成する。このフォトレジスト膜をマスクとして、最下層絶縁膜111をドライエッチングし、拡散層105の上部の接続プラグ123を設ける位置を開口させる。そして、ドライエッチングによりエッチングストップ膜109のエッチバックを行い、拡散層105の上面を露出させる。こうして、小径プラグ119および接続プラグ123を形成するための孔を得る。

【0043】

次に、シリコン基板101の上面全面に、金属膜としてW膜をCVD法により成膜する。W膜の膜厚は、接続プラグ123および小径プラグ119の径に合わせて、その両方が埋め込められるような膜厚に設定される。たとえば、Wの膜厚を1μm程度とする。そして、最下層絶縁膜111上のW膜およびSiN膜137をCMP(Chemical Mechanical polishing)により除去する。こうして、小径プラグ119および接続プラグ123が同時に形成される(図2(a))。

【0044】

次に、シリコン基板101の上面全面に第一配線層絶縁膜113を設ける。第一配線層絶縁膜113は、図2(b)に示したように、配線用絶縁膜112およびプラグ用絶縁膜

10

20

30

40

50

1 1 4 が積層された構成である。

【 0 0 4 5 】

まず、シリコン基板 1 0 1 の上面全面を被覆し、第一配線層絶縁膜 1 1 3 の下層をなす配線用絶縁膜 1 1 2 を 3 0 0 n m 成膜する。配線用絶縁膜 1 1 2 は、たとえば、L - O x (商 標) 膜等の低誘電率膜とすることができる。このとき、最下層絶縁膜 1 1 1 上に C u 拡散防止膜の S i C N 膜を設けてもよい。また、低誘電率膜上に S i O₂ 膜を 1 0 0 n m 成膜してもよい。次に、シリコン基板 1 0 1 の上面全面に反射防止膜およびフォトレジストを塗布し、フォトリソグラフィ技術を用いて、フォトレジストに溝配線用レジストパターンを形成する。そして、フォトレジストをマスクにして、配線用絶縁膜 1 1 2 をエッチングし、第一配線 1 2 1 作製の開口部を形成する。次に、アッシングによりフォトレジストと反射防止膜を除去する。 10

【 0 0 4 6 】

その後、スパッタリング法により、バリアメタル膜として T a N 膜を 3 0 n m 成膜し、T a N 膜の上にシード用の C u 膜を 1 0 0 n m 成膜する。次に、電解メッキ法により C u 膜を 7 0 0 n m 成膜し、次いで C M P 法により、第一配線 1 2 1 となる金属膜を形成する。その後、小径プラグ 1 1 9 および接続プラグ 1 2 3 の形成時と同様にして、配線用絶縁膜 1 1 2 上の C u 膜およびバリアメタル膜を除去し、第一配線 1 2 1 が形成される。

【 0 0 4 7 】

その後、通常の配線作製工程により、配線用絶縁膜 1 1 2 上に、第一配線層絶縁膜 1 1 3 の上層をなすプラグ用絶縁膜 1 1 4 を形成する。プラグ用絶縁膜 1 1 4 中に、第一配線 1 2 1 と接続する接続プラグ 1 2 2 を形成する。そして、接続プラグ 1 2 2 に接続するパッド 1 2 5、およびパンプ 1 2 7 をこの順に形成する。パッドの材料は、たとえば A l、C u、N i、T i N 等とすることができる。また、パンプ 1 2 7 の材料は、たとえば A u、ハンダ等とすることができる。 20

【 0 0 4 8 】

なお、第一配線層絶縁膜 1 1 3 の上部にさらに所定の数の配線層等の上層を形成してもよい。

【 0 0 4 9 】

次に、シリコン基板 1 0 1 の上面に粘着剤層 1 1 5 を形成し、支持体 1 1 7 を貼付する (図 2 (b))。粘着剤層 1 1 5 として、たとえば粘着テープを用いる。粘着テープは基材とその両面に形成された粘着層から構成されている。粘着テープを構成する基材としては、たとえば、ポリオレフィン系樹脂、ポリエステル系樹脂などが用いられる。また、粘着テープを構成する粘着剤としては、たとえば、アクリル系エマルジョン型粘着剤、アクリル系溶剤型粘着剤、ウレタン系粘着剤などが用いられる。 30

【 0 0 5 0 】

また、支持体 1 1 7 の材料は、後述する裏面研削によるシリコン基板 1 0 1 の薄化加工等のプロセスにおける、熱、薬剤、外力などに対する耐性を備えている材料であればよく、たとえば、石英やパイレックス (登録商標) 等のガラスとすることができる。また、ガラス以外の材料としてもよい。たとえば、アクリル樹脂などのプラスチック等の材料を用いてもよい。 40

【 0 0 5 1 】

次に、シリコン基板 1 0 1 の裏面研削を行う。裏面研削は、機械的研磨により行う。研削後のシリコン基板 1 0 1 の厚さは、小径プラグ 1 1 9 の底部が露出しない範囲で適宜選択することができるが、たとえば、5 0 ~ 2 0 0 μ m 程度とすることができる。そして、シリコン基板 1 0 1 の裏面に反射防止膜およびフォトレジストをこの順に成膜し、フォトリソグラフィ技術を用いて大径プラグ 1 3 1 を形成する領域が開口するレジストパターン (不図示) を形成する。フォトレジスト膜をマスクとしてシリコン基板 1 0 1 をドライエッチングして、後に大径プラグ 1 3 1 を設ける位置に、開口部 1 3 9 を設ける。

【 0 0 5 2 】

開口部 1 3 9 は、シリコン基板 1 0 1 の裏面から素子形成面に向かい、上面がシリコン 50

基板 101 の素子形成面の近傍よりも下方に位置する形状とする。また、開口部 139 は突出部 141 の底部に設けられ、その上面が小径プラグ 119 の底面よりも上方に位置する。小径プラグ 119 の表面に SiN 膜 137 が設けられており、前述のシリコン基板 101 をドライエッチングする際のエッチング条件は、シリコン膜と SiN 膜 137 との選択比が高い条件に設定されているため、開口部 139 の形成時に小径プラグ 119 は除去されず、小径プラグ 119 の側面外周のシリコン基板 101 が選択的に除去される。これにより、小径プラグ 119 の底面を含む状態で開口部 139 が形成される。また、小径プラグ 119 の一部がシリコン基板 101 の外部に露出し、突出部 141 が形成される。

【0053】

次に、シリコン基板 101 の裏面に電着絶縁膜 129 を設ける（図 2（c））。このとき、電着絶縁膜 129 は、シリコン基板 101 の裏面ならびに開口部 139 の底面および側面に選択的に成膜される。突出部 141 の表面は絶縁性の SiN 膜 137 に被覆されているため、小径プラグ 119 の外側には電着絶縁膜 129 が形成されない。電着絶縁膜 129 の膜厚は、たとえば 0.5 ~ 5 μm 程度とする。

【0054】

電着絶縁膜 129 は、たとえば電着ポリイミド膜とする。電着ポリイミド膜の材料として、カチオン型ポリイミド電着塗料またはアニオン型ポリイミド電着塗料を用いることができる。具体的には、たとえば、シミズ社製エレコート PI 等を用いることができる。なお、電着絶縁膜 129 の材料はポリイミドには限定されず、エポキシ系の電着塗料、アクリル系の電着塗料、フッ素系の電着塗料等、他の電着高分子塗料を用いてもよい。電着絶縁膜 129 の材料としてポリイミドを用いることにより、電着絶縁膜 129 の耐熱性を向上させることができる。このため、その後の製造プロセスにおける劣化が好適に抑制され、高い歩留まりで安定的に製造可能な構成とすることができる。

【0055】

電着絶縁膜 129 の形成は、たとえば以下のようにして行う。シリコン基板 101 を一方の電極とし、他方の対極とともに電着塗料の液体中に浸漬させる。そして、シリコン基板 101 および対極に高分子の電荷に応じて所定の電位を印加する。こうすると、シリコン基板 101 の表面に高分子が付着する。所定の膜厚が得られたら塗料からシリコン基板 101 を取り出し、水洗する。その後、シリコン基板 101 を焼成することにより、その裏面に電着絶縁膜 129 が形成される。

【0056】

次に、SiN 膜 137 のエッチバックを行う。これにより、突出部 141 の先端部において SiN 膜 137 が除去されて小径プラグ 119 の表面を露出させる。このとき、シリコン基板 101 の裏面には電着絶縁膜 129 が形成されているため、シリコン基板 101 は除去されず、SiN 膜 137 が選択的に除去される。なお、図 1 および図 2（d）においては、突出部 141 における SiN 膜 137 がすべて除去されている構成を例示したが、小径プラグ 119 のプラグ底部を含む少なくとも一部が露出していてもよい。

【0057】

次いで、無電解めっきにより小径プラグ 119 の露出部を起点として Ni 膜を成長させて、開口部 139 を埋め込むとともに、開口部 139 の外部にパンプを一体に形成する。そして、パンプの表面に Au のめっき膜 133 を設けることにより、大径プラグ 131 が形成される（図 2（d））。

【0058】

このとき、大径プラグ 131 の形成を、裏面の開口部 139 の埋め込み工程と、裏面のパンプ形成工程に分けて行ってもよい。

【0059】

その後、粘着剤層 115 をシリコン基板 101 の素子形成面から剥離することにより、支持体 117 が除去され、図 1 に示した半導体装置 100 が得られる。

【0060】

次に、図 1 に示した半導体装置 100 の効果を説明する。

10

20

30

40

50

まず、半導体装置 100 においては、貫通電極 135 が小径プラグ 119 および大径プラグ 131 の二つのプラグからなる。小径プラグ 119 の端部の突出部 141 は、大径プラグ 131 に内包されている。

【0061】

図 3 (a) および図 3 (b) は、太さの異なる 2 本のプラグからなる貫通電極の構成を模式的に示す図である。各分図において、上の図が断面図であり、下の図が平面図である。図 3 (a) は、本実施形態に係る貫通電極 135 の構成を示す図である。また、図 3 (b) は、小径プラグ 219 と大径プラグ 231 とが平坦面において接続した形状の貫通電極 235 を示す図である。

【0062】

図 3 (a) の構成では、アンカー効果による両プラグの密着性の向上が図られる。このため、図 3 (b) の構成のように、これらの端部同士が単に接触している場合に比べて密着した構成とすることができる。また、シリコン基板 101 の裏面側から選択成長で大径プラグ 131 を形成可能な構成とすることができる。このため、製造プロセスの簡素化が可能な構成となっている。また、この構成により、両プラグ間のコンタクト抵抗の低減が図られる。また、配線近傍ではプラグの径を低くして配線密度を十分に確保しつつ、配線近傍以外ではプラグの径を太くして電気抵抗を低減することができる。このため、半導体装置 100 の電気的特性を向上させることができる。

【0063】

また、図 3 (c) に示したように、本実施形態に係る貫通電極 135 が大径プラグ 131 に内包される二つの小径プラグ 119 および大径プラグ 131 の三つのプラグからなる構造では、アンカー効果によるプラグの密着性はさらに向上し、コンタクト抵抗のさらなる低減が図られる。

【0064】

なお、小径プラグ 119 は、大径プラグ 131 の裏面側まで貫通する必要はない。突出部 141 の深さを浅くすることができるため、埋め込みによる小径プラグ 119 の製造が安定的に行える構成である。

【0065】

また、貫通電極 135 においては、小径プラグ 119 の径が大径プラグ 131 の径よりも小さい構成となっている。このため、小径プラグ 119 に電氣的に接続する第一配線 121 の大きさを小さくすることができる。また、最下層絶縁膜 111 中の素子の集積度を向上させることが可能な構成となっている。よって、装置全体の小型化に好適な構成となっている。

【0066】

また、小径プラグ 119 が接続プラグ 123 と同時に成形可能であるため、製造プロセスの簡素化およびそれに伴う製造コストの低減が可能な構成となっている。また、小径プラグ 119 の成形がトランジスタの成形工程に与える影響が小さく、貫通電極 135 の形成によるトランジスタへのダメージが少ない構成となっている。

【0067】

また、貫通電極 135 の上部において、小径プラグ 119 が最下層配線である第一配線層絶縁膜 113 内の第一配線 121 に接続しており、貫通電極 135 が第一配線層絶縁膜 113 に突出しない構成となっている。このため、第一配線層絶縁膜 113 内の配線密度を向上させることが可能な構成となっている。よって、貫通電極 135 の設置が回路の構成に与える影響が小さく、半導体装置 100 は素子や配線の配置の選択の自由度が高く、また、第一配線層絶縁膜 113 のデッドスペースの減少および第一配線 121 の集積度を高くすることが可能な構成とすることができる。

【0068】

また、半導体装置 100 においては、開口部 139 の内面の突出部 141 の表面を除く領域に電着絶縁膜 129 が選択的に設けられている。このため、大径プラグ 131 を形成する以降の工程において、電着絶縁膜 129 を保護膜として用いることができるため、大

10

20

30

40

50

径プラグ 1 3 1 形成用のレジストパターンをシリコン基板 1 0 1 の裏面に形成する必要がない。このため、簡便なプロセスで大径プラグ 1 3 1 を安定的に製造可能な構成となっている。

【 0 0 6 9 】

次に、小径プラグ 1 1 9 と大径プラグ 1 3 1 からなる貫通電極 1 3 5 の構成を従来の貫通電極の構成と対比してさらに説明する。図 4 (a) および図 4 (b) は、貫通電極の構成を模式的に示す断面図である。図 4 (a) は本実施形態に係る貫通電極 1 3 5 の構成を模式的に示した図である。また、図 4 (b) は、従来の貫通電極 2 3 5 の構成を模式的に示した図である。

【 0 0 7 0 】

10

図 4 (b) に示したように、従来の貫通電極 2 3 5 は、太い一本のプラグからなり、その上面で配線 2 5 3 に接触している。このため、貫通電極 2 3 5 の上部の配線 2 5 3 の面積が比較的大きくなる傾向にあった。また、貫通電極 2 3 5 に接触する配線 2 5 3 の層においては、貫通電極 2 3 5 の近傍に、貫通電極 2 3 5 に接触する配線 2 5 3 以外の配線 2 5 4 を設けることができなかった。このため、図中に矢印で示したように、貫通電極 2 3 5 の上面およびその近傍から離れた領域にのみ、貫通電極 2 3 5 に接触する配線 2 5 3 以外の配線 2 5 4 を形成することが可能であった。よって、貫通電極 2 3 5 に接触する配線 2 5 3 以外の配線 2 5 4 の集積度の向上の点で改善の余地があった。

【 0 0 7 1 】

これに対し、図 4 (a) に示したように、本実施形態に係る貫通電極 1 3 5 では、小径プラグ 1 1 9 の上面で配線 1 5 3 に接触している。このため、小径プラグ 1 1 9 の上部の配線 1 5 3 の断面積を小さくすることができる。また、配線 1 5 3 に接続するプラグが小径プラグ 1 1 9 である。このため、図中に矢印で示したように、小径プラグ 1 1 9 に接触する配線 1 5 3 以外の配線 1 5 4 を形成可能な領域が広い。このため、小径プラグ 1 1 9 に接触する配線 1 5 3 以外の配線 1 5 4 の集積度を向上させることができる。また、配線層近傍ではプラグの径を低くして配線密度を十分に確保しつつ、配線層の近傍以外ではプラグの径を太くして電気抵抗を低減することができる。

20

【 0 0 7 2 】

また、図 4 (a) の貫通電極 1 3 5 は、図 3 (a) および図 3 (b) を用いて前述したように、小径プラグ 1 1 9 の一部が大径プラグ 1 3 1 に貫入した構成である。このため、図 4 (b) の構成とは異なり 2 本のプラグを用いた場合にも、図 3 (b) の構成と比較した場合に、これらのプラグの間の接触抵抗が十分に小さく、貫通電極としての特性に優れた構成となっている。

30

【 0 0 7 3 】

なお、図 1 には示していないが、半導体装置 1 0 0 において、第一配線層絶縁膜 1 1 3 の上層の構成は、装置設計に応じて適宜選択することができる。第一配線層絶縁膜 1 1 3 の上部にさらに配線層等が積層されていてもよい。

【 0 0 7 4 】

たとえば、図 5 は、配線層が積層された半導体装置の構成を模式的に示す断面図である。図 5 の半導体装置の構成は基本的には図 1 に示した半導体装置 1 0 0 と同様であるが、シリコン基板 1 0 1 上に、最下層絶縁膜 1 1 1、第一配線層絶縁膜 1 1 3 に加え、さらに絶縁層 1 6 1 および絶縁層 1 6 3 が積層されている。絶縁層 1 6 1 には、配線 1 6 5 および接続プラグ 1 6 7 が形成されている。絶縁層 1 6 3 には、配線 1 6 9 および接続プラグ 1 7 1 が形成されている。

40

【 0 0 7 5 】

図 5 に示したように、本実施形態に係る貫通電極 1 3 5 は、素子形成面側に断面積の小さい小径プラグ 1 1 9 が設けられ、これが積層体中の下層に設けられた第一配線 1 2 1 と接続している。このため、上層の配線の集積度を向上させることができる。

【 0 0 7 6 】

また、図 6 は、配線層が積層された半導体装置の別の構成を模式的に示す断面図である

50

。図 6 に示したように、小径プラグ 1 1 9 が第一配線 1 2 1 と接続しているため、第一配線 1 2 1 よりも上層の設計の自由度にすぐれている。たとえば、貫通電極 1 3 5 がパンプ 1 2 7 に接続していない構成や、貫通電極 1 3 5 の直上にパンプ 1 2 7 を形成せずに、不図示の配線を介して貫通電極 1 3 5 とパンプ 1 2 7 とを接続した構造等とすることができる。

【 0 0 7 7 】

また、本実施形態および以下の実施形態に係る半導体装置において、貫通電極 1 3 5 を構成する小径プラグ 1 1 9 の一部が大径プラグ 1 3 1 に内包する態様として、たとえば、小径プラグ 1 1 9 の断面の一部が内包される態様および断面すべてが内包される態様が挙げられる。図 7 (a) および図 7 (b) は、こうした貫通電極 1 3 5 の構成を模式的に示す断面図である。図 7 (a) は、小径プラグ 1 1 9 の断面のすべてが大径プラグ 1 3 1 に内包されている構成を示す図である。また、図 7 (b) は、小径プラグ 1 1 9 の断面の一部が大径プラグ 1 3 1 に内包されている構成を示す図である。小径プラグ 1 1 9 の内包のされ方により、大径プラグ 1 3 1 に形成される凹部の形状が異なっている。

10

【 0 0 7 8 】

図 7 (a) および図 7 (b) のように、小径プラグ 1 1 9 の断面の少なくとも一部が大径プラグ 1 3 1 に内包される構成とすることにより、小径プラグ 1 1 9 が大径プラグ 1 3 1 に複数の面で接触する構成とすることができる。このため、図 3 (b) を用いて前述した構成に比べ、小径プラグ 1 1 9 と大径プラグ 1 3 1 との密着性を向上させることができる。また、図 7 (a) に示したように、小径プラグ 1 1 9 の断面すべてが大径プラグ 1 3 1 に貫入し、内包される構成とすることにより、これらの密着性をさらに向上させることができる。

20

【 0 0 7 9 】

(第二の実施形態)

第一の実施形態に記載の半導体装置 1 0 0 を以下のようにして作製することもできる。以下、図 2 (a) ~ 図 2 (d) を参照しつつ、第一の実施形態と異なる点を中心に説明する。

【 0 0 8 0 】

まず、第一の実施形態と同様にして、シリコン基板 1 0 1 の裏面に電着絶縁膜 1 2 9 を設ける手順までを行う (図 2 (c))。次に、第一の実施形態と同様にして、突出部 1 4 1 における S i N 膜 1 3 7 のエッチバックを行う。

30

【 0 0 8 1 】

そして、電着絶縁膜 1 2 9 が設けられたシリコン基板 1 0 1 の裏面全面に、金属のシード層を形成する。シード層を構成する金属は、たとえば N i 、 N i / C u 、または T i N / T i / C u 等とすることができる。なお、シード層に複数の金属を用いる場合には、シリコン基板 1 0 1 から近い層から順に「下層 / 上層」または「下層 / 中層 / 上層」のように表示している。また、シード層は、たとえばスパッタリング法により形成することができる。

【 0 0 8 2 】

次に、シリコン基板 1 0 1 の裏面に、開口部 1 3 9 を被覆し、開口部 1 3 9 以外の領域が開口したレジストパターンを形成する。そして、エッチングを行うことにより、シード層を除去する。そして、シリコン基板 1 0 1 の裏面に設けられているレジストパターンを除去する。これにより、開口部 1 3 9 の内面を被覆するシード層が形成される。

40

【 0 0 8 3 】

そして、N i の電解めっきを行い、表面に A u のめっき膜 1 3 3 を設け、大径プラグ 1 3 1 を得る。こうして、本実施形態に係る半導体装置が得られる。

【 0 0 8 4 】

本実施形態に係る半導体装置においては、開口部 1 3 9 の内壁全面にシード層が形成されている。このため、大径プラグ 1 3 1 を開口部 1 3 9 内に隙間なく安定的に作製可能な構成となっている。また、シード層が設けられているため、小径プラグ 1 1 9 と大径プラ

50

グ 1 3 1 との間の接触抵抗を好適に低減させることができる。貫通電極 1 3 5 の導電性により一層すぐれた構成となっている。このため、より一層貫通電極 1 3 5 の信頼性にすぐれた構成となっている。また、製造安定性にすぐれた構成となっている。

【 0 0 8 5 】

(第三の実施形態)

第一の実施形態に記載の半導体装置 1 0 0 を以下のようにして作製することもできる。以下、以下、図 2 (a) ~ 図 2 (d) を参照しつつ、第一または第二の実施形態と異なる点を中心に説明する。

【 0 0 8 6 】

まず、第一および第二の実施形態と同様にして、図 2 (a) および図 2 (b) を用いて 10
前述した手順を行う。シリコン基板 1 0 1 の上面に粘着剤層 1 1 5 を形成し、支持体 1 1 7 に貼付した後 (図 2 (b))、シリコン基板 1 0 1 の裏面研削、開口部 1 3 9 の形成までの手順までを行う。

【 0 0 8 7 】

次に、シリコン基板 1 0 1 の裏面に電着絶縁膜 1 2 9 を設ける手順 (図 2 (c)) の前に、シリコン基板 1 0 1 の裏面にシード層を設ける。シード層の材料は、S i よりも低抵抗の材料とする。たとえば、N i 等の金属とする。シード層の膜厚は、たとえば、0 . 1 ~ 2 μ m 程度とすることができる。

【 0 0 8 8 】

シード層は、たとえば無電解めっきにより形成することができる。無電解めっきを用いることにより、シリコン基板 1 0 1 の裏面に S i N 膜 1 3 7 に対して選択的にシード層を形成することができる。 20

【 0 0 8 9 】

シード層を形成した後、このシード層をシードとして、第一の実施形態と同様にしてシリコン基板 1 0 1 の裏面に電着絶縁膜 1 2 9 を設ける (図 2 (c)、ただしシード層は不図示。)。以降の工程は、第一または第二の実施形態と同様にして行うことができる。こうして、本実施形態に係る半導体装置が得られる。

【 0 0 9 0 】

本実施形態に係る半導体装置においては、開口部 1 3 9 の内壁を含むシリコン基板 1 0 1 の裏面全面にシード層が形成されている。下地に S i よりも低抵抗の金属のシード層を 30
設けることにより、電着絶縁膜 1 2 9 を一様に安定的に形成することができる。よって、大径プラグ 1 3 1 形成用のレジストパターンをシリコン基板 1 0 1 の裏面に形成することなく、大径プラグ 1 3 1 をより一層安定的に製造可能な構成となっている。また、大径プラグ 1 3 1 とシリコン基板 1 0 1 との間を確実に絶縁することができる。

【 0 0 9 1 】

以上、発明の好適な実施形態を説明した。しかし、本発明は上述の実施形態に限定されず、当業者が本発明の範囲内で上述の実施形態を変形可能なことはもちろんである。

【 0 0 9 2 】

たとえば、以上の実施形態においては、半導体基板としてシリコン基板を用いたが、G a A s 基板等の化合物半導体基板としてもよい。 40

【 0 0 9 3 】

また、以上の実施形態においては、小径プラグ 1 1 9 の材料として W を用いたが、導電率の高い他の金属を用いてもよい。たとえば、C u、A l、N i などの金属を用いてもよい。

【 0 0 9 4 】

また、以上の実施形態においては、貫通電極 1 3 5 を構成する小径プラグ 1 1 9 が第一配線層絶縁膜 1 1 3 に接続される構成について説明したが、第二配線層以上の第一配線層絶縁膜 1 1 3 より上部の下層配線層に接続される構成としてもよい。

【 0 0 9 5 】

また、以上の実施形態においては、一つの大径プラグ 1 3 1 の上面に一つの小径プラグ 50

１１９が貫入した構成を例に説明したが、図３（ｃ）に示したように、一つの大径プラグ１３１に二つ以上の小径プラグ１１９が貫入した構成とすることもできる。こうすることにより、小径プラグ１１９と大径プラグ１３１との電氣的接触をさらに確実なものとすることができる。

【００９６】

また、貫通電極１３５を構成する小径プラグ１１９および大径プラグ１３１がともに円柱である場合を例に説明したが、小径プラグ１１９が大径プラグ１３１に貫入した柱状体であれば、これらの形状は円柱形には限定されない。たとえば、小径プラグ１１９または大径プラグ１３１の形状は、楕円柱、または角柱等の上面および底面の面積が略等しい形状であってもよい。また、上面に先端部を有しない円錐台、楕円錐台、または角錐台の形状であってもよい。また、柱状体は、一方向に延在するトレンチ形状であってもよい。 10

【００９７】

また、以上の実施形態においては、大径プラグ１３１の上面がシリコン基板１０１の素子形成面の下方に位置している構成を例に説明したが、大径プラグ１３１がシリコン基板１０１の裏面から素子形成面近傍にわたって設けられている構成とすることができる。また、大径プラグ１３１の上面が多少シリコン基板１０１の素子形成面から突出していても、大径プラグ１３１が上面で絶縁された構成であればよい。

【００９８】

また、以上の実施形態においては、粘着剤層１１５および支持体１１７をシリコン基板１０１の素子形成面から剥離したが、必要に応じて剥離させずにそのまま半導体装置の一部としてもよい。 20

【図面の簡単な説明】

【００９９】

【図１】本実施形態に係る半導体装置の構成を模式的に示す断面図である。

【図２】図１の半導体装置の製造工程を説明する断面図である。

【図３】貫通電極の構成を模式的に示す図である。

【図４】貫通電極の構成を模式的に示す断面図である。

【図５】本実施形態に係る半導体装置の構成を模式的に示す断面図である。

【図６】本実施形態に係る半導体装置の構成を模式的に示す断面図である。

【図７】本実施形態に係る貫通電極の構成を模式的に示す断面図である。 30

【符号の説明】

【０１００】

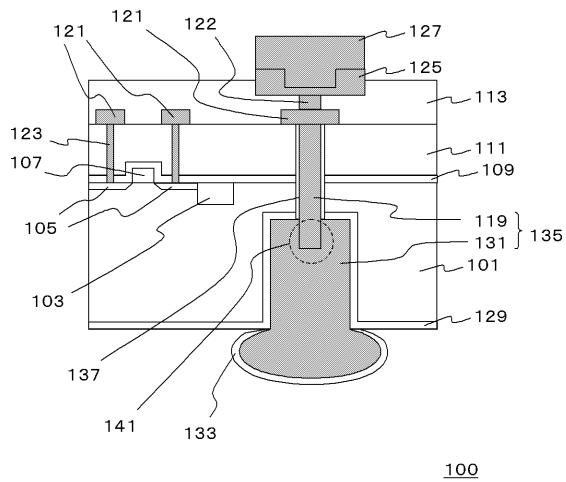
- １００ 半導体装置
- １０１ シリコン基板
- １０２ 半導体装置
- １０３ 素子分離膜
- １０４ 半導体装置
- １０５ 拡散層
- １０７ ゲート電極
- １０９ エッチングストッパ膜
- １１２ 配線用絶縁膜
- １１３ 第一配線層絶縁膜
- １１４ プラグ用絶縁膜
- １１５ 粘着剤層
- １１７ 支持体
- １１９ 小径プラグ
- １２１ 第一配線
- １２２ 接続プラグ
- １２３ 接続プラグ
- １２５ パッド

40

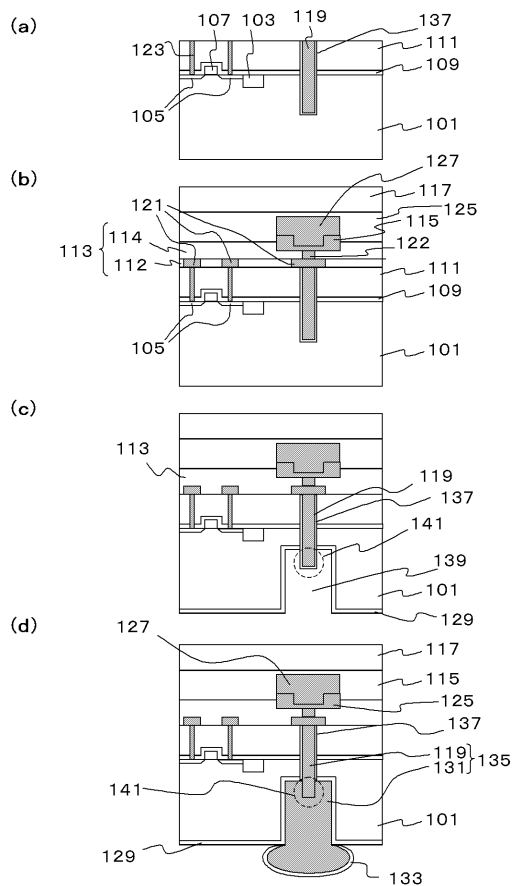
50

- 1 2 7 バンプ
- 1 2 9 電着絶縁膜
- 1 3 1 大径プラグ
- 1 3 3 めっき膜
- 1 3 5 貫通電極
- 1 3 7 S i N 膜
- 1 3 9 開口部
- 1 4 1 突出部
- 1 5 3 配線
- 1 5 4 配線
- 1 6 1 絶縁層
- 1 6 3 絶縁層
- 1 6 5 配線
- 1 6 7 接続プラグ
- 1 6 9 配線
- 1 7 1 接続プラグ

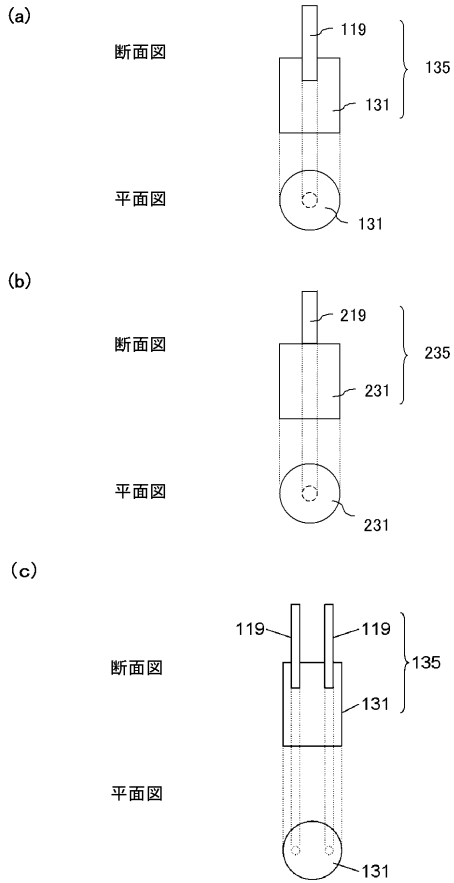
【図 1】



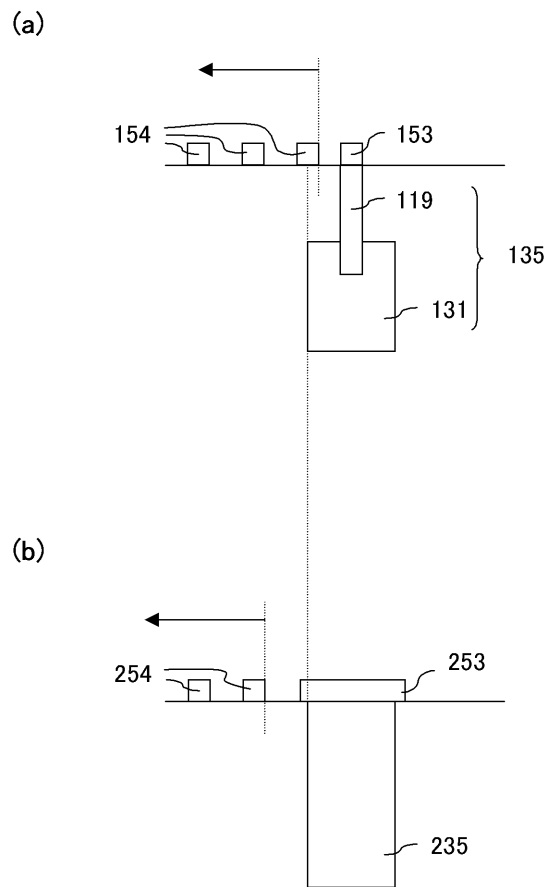
【図 2】



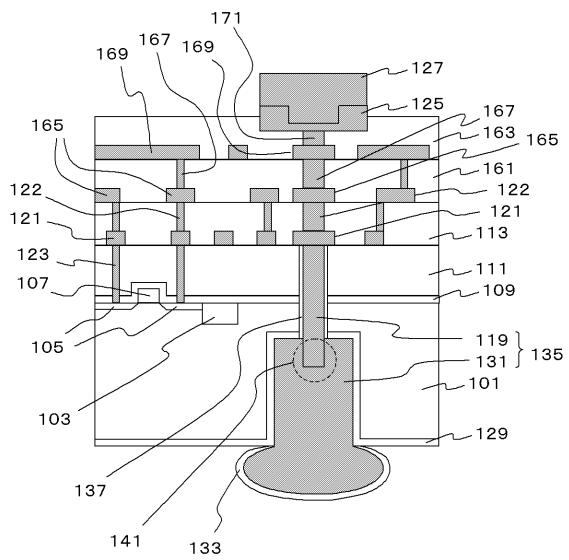
【 図 3 】



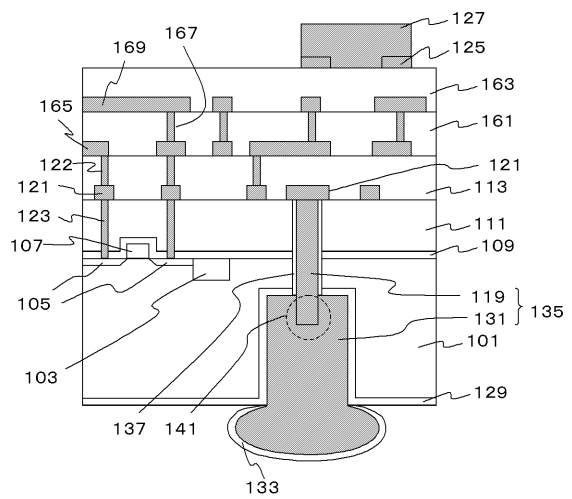
【 図 4 】



【 図 5 】

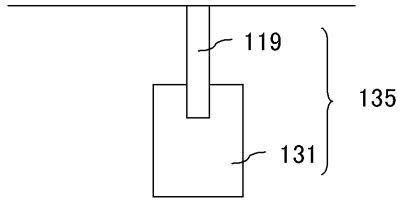


【 図 6 】

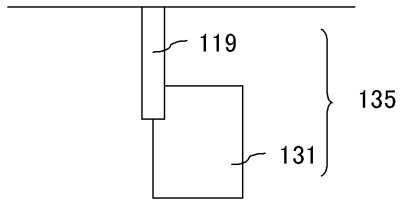


【 図 7 】

(a)



(b)



フロントページの続き

F ターム(参考) 5F033 HH07 HH08 HH11 HH32 HH33 JJ07 JJ08 JJ11 JJ18 JJ33
KK11 KK13 KK32 MM05 MM11 MM13 MM30 NN11 PP06 PP15
PP27 PP28 QQ09 QQ10 QQ11 QQ31 QQ37 QQ48 RR01 RR04
RR06 RR22 SS15 SS21 SS22 XX03 XX09 XX13 XX28 XX34