

# 公告本

|      |            |
|------|------------|
| 申請日期 | 89.4.1     |
| 案 號  | 89106143   |
| 類 別  | H01L 21/16 |

A4  
C4

490793

(以上各欄由本局填註)

## 發明專利說明書

|                 |               |                                                                                                                                                                                                                                                                                                                                             |
|-----------------|---------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 一、發明<br>新 型 名 稱 | 中 文           | 半導體裝置及形成方法                                                                                                                                                                                                                                                                                                                                  |
|                 | 英 文           | "SEMICONDUCTOR DEVICE AND METHOD OF FORMATION"                                                                                                                                                                                                                                                                                              |
| 二、發明<br>人 姓 名   | 國 籍           | 1. 亞歷山大 L. 巴爾<br>2. 蘇瑞斯 汎卡特珊<br>3. 大衛 B. 克利葛<br>4. 利貝卡 G. 克爾<br>5. 歐魯布米 亞德杜吐<br>6. 史都華 E. 葛利爾<br>7. 布萊恩 G. 安東尼<br>8. 瑞那斯 汎卡特雷曼<br>9. 葛利果 布瑞克曼<br>10. 道格拉斯 M. 利柏<br>11. 史蒂芬 R. 克羅恩                                                                                                                                                           |
|                 | 住、居所          | 1. 3. 4. 5. 6. 7. 10. 11. 均美國<br>2. 8. 均印度<br>9. 德國<br>1. 美國德州奧斯汀市索亞伍德路5606號<br>2. 美國德州奧斯汀市泰勒達瑞普路5833號<br>3. 美國德州奧斯汀市亞波蘭辛亞路8511號<br>4. 美國德州奧斯汀市尼德漢街6603號<br>5. 美國德州奧斯汀市帕特利吉路12919號<br>6. 美國德州奧斯汀市特利布塔利路6004號<br>7. 美國德州奧斯汀市巴爾寇尼斯路4118號<br>8. 美國德州奧斯汀路哈羅葛特路6221號<br>9. 美國德州奧斯汀市西第30街603號<br>10. 美國德州奧斯汀市特魯普斯13114號<br>11. 美國德州奧斯汀市史塔林恩路9203號 |
|                 | 三、申請人         |                                                                                                                                                                                                                                                                                                                                             |
|                 | 姓 名<br>(名稱)   | 美商摩托羅拉公司                                                                                                                                                                                                                                                                                                                                    |
|                 | 國 籍           | 美國                                                                                                                                                                                                                                                                                                                                          |
|                 | 住、居所<br>(事務所) | 美國伊利諾州史堪伯市東阿崗崑路1303號摩托羅拉中心                                                                                                                                                                                                                                                                                                                  |
|                 | 代 表 人<br>姓 名  | F. 強 莫辛格                                                                                                                                                                                                                                                                                                                                    |

(由本局填寫)

|           |
|-----------|
| 承辦人代碼：    |
| 大類：       |
| I P C 分類： |

A6  
B6

本案已向：

|       |             |            |                                                                       |
|-------|-------------|------------|-----------------------------------------------------------------------|
| 國(地區) | 申請專利，申請日期：  | 案號：        | ， <input type="checkbox"/> 有 <input type="checkbox"/> 無主張優先權          |
| 美國    | 1999年04月05日 | 09/285,666 | <input checked="" type="checkbox"/> 有 <input type="checkbox"/> 無主張優先權 |

有關微生物已寄存於：，寄存日期：，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝  
訂  
線

## 五、發明說明( 1 )

### 先前申請之參考

本申請案已於1999年4月5日以專利申請案號09/285,666申請美國專利。

### 發明領域

本發明係有關於形成半導體裝置的製程，特別是形成包含有互連障礙層(interconnect barrier layer)的半導體裝置的製程。

### 相關技藝之敘述

隨著半導體裝置的尺寸與封裝持續縮小，在半導體裝置的打線墊(bond pads)上形成導電緩衝墊(conductive bumps)的技術也逐漸普遍化。這些緩衝墊(bumps)係用來取代金屬導線，而電連接打線墊(bond pads)至個別的封裝腳位(packaging leads)。緩衝墊的類型包括了控制倒塌晶片連結型(controlled-collapse chip-connection, C4)緩衝墊。大體而言，緩衝墊要求在打線墊與緩衝墊之間形成一層由打線墊所限制大小的金屬層。該打線墊所限制大小的金屬層包含有鉻化物與鉻合金。然而，含鉻的薄膜通常具有缺陷(defect)，例如裂縫(crack)、以及非規則狀的鼓粒邊界(grain boundary)，其可能會限制含鉻金屬層準確地分離打線墊與緩衝墊材料之能力。

典型之緩衝墊包括如錫(Sn)與鉛(Pb)等元素。因此，通常會導致障礙物無法有效分離打線墊與緩衝墊，使得打線墊的材料與緩衝墊中的錫(Sn)或鉛(Pb)起反應，而形

## 五、發明說明(2)

成這些材料的金屬間合金(intermetallic alloy)。如果打線墊包括有含銅的材料，便會形成易碎的金屬間合金。易碎的金屬間合金可能因而碎裂並造成緩衝墊的失效。另外，打線墊與緩衝墊之間合金的過程以及黏著性的退化可能會導致空洞(void)的形成。較嚴重者，會產生高電阻而對於半導體裝置的性能有負面的影響並甚至造成半導體裝置的故障。

### 圖式之簡要說明

本發明將藉由下列參照附圖所作之較佳具體實施例的詳細描述，將會更為明白但並不為其所限制，其中相同的參考數字代表相同的元件，其中：

圖1至圖7係為本發明第一組具體實施例中，形成具有銅互連與緩衝墊之半導體裝置的橫截面圖；以及

圖8至圖12係為本發明第二組具體實施例中，形成具有銅互連與緩衝墊之半導體裝置的橫截面圖。

熟習此項技藝者當可明白以上圖式係以簡化與清楚為要，且不必然依實際比例而繪示者。舉例而言，圖式中部分元件的尺寸較於實際尺寸係被誇大，以助益對於本發明具體實施例之了解。

### 本發明之詳細描述

根據本發明之具體實施例，所揭露者係為一種半導體裝置及其形成方法。在一具體實施例中，一導通障礙層(conductive barrier layer)覆蓋於互連(interconnect)之上方，一保護層(passivation layer)覆蓋於導通障礙層之上

### 五、發明說明 ( 3 )

方，而該保護層具有一曝露該導通障礙層之部分的開口 (opening)。在另一具體實施例中，一保護層覆蓋於互連之上方，該保護層具有一曝露該互連的開口，而導通障礙層於開口的範圍內覆蓋於互連之上方。

圖1包括一半導體裝置之部分橫截面圖。該半導體裝置包括一半導體裝置基板100、以及形成於該半導體裝置基板100中之場隔離區102與摻雜區104。一閘極介電層106覆蓋於半導體裝置的部分之上方，而一閘極電極108覆蓋於該閘極介電層106之上方。

一第一層間介電層 (ILD) 110 形成於閘極電極108以及整個半導體裝置基板100之上方。第一層間介電層110被定義圖案以形成雙重嵌入之開口，其係由黏著/障礙層112與銅填充材料114所填滿。該黏著/障礙層112通常為一種堅硬的金屬、堅硬的金屬氮化物或是堅硬的金屬及其金屬氮化物的組合。而銅填充材料114則通常為銅金屬或銅合金，其中的銅含量必須至少為九十原子百分比。銅可以與鎂、硫、碳或類似的元素組成合金，以增進其黏著性、電移動性、以及其他金屬互連的特性。在沉積黏著/障礙層112與銅填充材料114之後，該基板被研磨處理，以除去開口之外的黏著/障礙層112與銅填充材料114部分。

在形成第一互連(interconnect)之後，一絕緣障礙層122形成於由銅所填滿的互連與第一層間介電層110之上方。此一絕緣障礙層122包含有氮化矽 (silicon nitride)、氮氧

## 五、發明說明 ( 4 )

化矽 (silicon oxynitride) 或類似的材料。使用絕緣材料以形成絕緣障礙層 122 可以減少形成額外的圖案以及蝕刻製程的需要，否則如果使用導通障礙層，便需要上述的額外製程以將互連施以彼此之間的電隔離。一第二層間介電層 (ILD) 124 形成於絕緣障礙層 122 之上方。一包括有導電黏著 / 障礙層 126 與銅填充材料 128 之雙重嵌入的互連形成於第二層間介電層 124 中。該雙重嵌入的互連之形成係藉由使用類似於第一層間介電層 110 中雙重嵌入互連的結構所使用的製程與材料。

如圖 2 所示，一保護層 22 接著形成於第二層間介電層 124 與雙重嵌入的互連之上方。該保護層 22 可包括一或多層的氮化矽、氮氧化矽、二氧化矽 (silicon dioxide) 或類似的材料。靠近銅填充材料 128 之保護層 22 的部分通常包括有氮化矽、或含有相對於原子氧之較高濃度的原子氮之氮氧化矽。保護層 22 被定義圖案以形成打線墊的開口 24，其透過保護層 22 而延伸至銅填充材料 128。

如圖 3 所示，一導通障礙層 32 沉積於保護層 22 與銅填充材料 128 之上方。導通障礙層 32 之沉積製程係可用化學氣相沉積、物理氣相沉積、蒸鍍沉積、電鍍、無電極電鍍或類似的方式而完成。該導通障礙層 32 之厚度通常介於大約 50 至 300 奈米 (nm) 的範圍。通常，導通障礙層 32 包含有一種堅硬的金屬、堅硬的金屬氮化物或是堅硬的金屬及其金屬氮化物的組合。在一具體實施例中，導通障礙層 32 包含了鈦 (Ti) 與氮化鈦 (TiN) 的組成。鈦 / 氮化鈦的堆

## 五、發明說明 ( 5 )

疊增進了其對於下方之保護層22與銅填充材料128的黏著程度。此外，氮化鈦(TiN)形成了一道阻止銅填充材料與陸續沉積的導電緩衝墊反應的障礙。就另一種方式而言，導通障礙層32亦可包含其他材料，如鈹(Ta)、氮化鈹(TaN)、鎢(W)、氮化鈦鎢(TiWN)、鈦鎢(TiW)合金、氮化鎢(WN)、氮化鉬(MoN)、氮化鈷(CoN)、以及上述材料的組成。在其他具體實施例中，亦可使用耐氧材料。這些材料包括鉑(Pt)、鈀(Pd)、鎳(Ni)、導電的金屬氧化物、其對應之金屬、或類似之材料。這些導電的金屬氧化物以及其對應之金屬更可包括銱(Ir)與氧化銱(IrO<sub>2</sub>)；鈷(Ru)與氧化鈷(RuO<sub>2</sub>)；銻(Re)與氧化銻(ReO<sub>2</sub>及ReO<sub>3</sub>)；或是銱(Os)與氧化銱(OsO<sub>2</sub>)。

隨後再鋪上一層光阻34於導通障礙層32之上方。光阻34曝露出導通障礙層32下方覆蓋有保護層22之部分。光阻34的形成使得打線墊開口34被覆蓋住。此外，其亦可被定義圖案，以略為延伸至保護層22上方導通障礙層32之表面部分，如圖3所示。

接著以習用之蝕刻製程對導通障礙層32進行蝕刻作用，以除去保護層22上方導通障礙層32之曝露部分。在蝕刻之後，有圖案之光阻層34再藉由電漿蝕刻製程或使用有機化學藥品的濕化學製程而除去，而這些化學藥品包括N-甲基-1-氮五環-2-酮(N-methyl-2-pyrrolidone)、丙酮、異丁基甲酮(MIBK)、或其他類似的化學藥品。

就另一種方法而言，如果使用鍍金的方式，例如電鍍或

## 五、發明說明 ( 6 )

無電極電鍍，來形成導通障礙層32，上述的圖案定義過程便不需要了。取而代之者，導通障礙層32可以透過直接在銅填充材料128上方的曝露部份於形成開口24之後，電鍍而得。如果有必要的話，電鍍可以繼續進行到所鍍上的金屬覆蓋保護層的一部分，以形成導通障礙層32，其係如圖4所示者。

接著，一晶粒塗佈層(die coat layer)52形成於半導體裝置之上方，並且被定義圖案以在打線墊開口24上方形成一晶粒塗佈層開口54，如圖5所示。在本具體實施例中，導通障礙層32之周圍部分具有曝露於晶粒塗佈層開口54的邊緣。晶粒塗佈層52之形成係可用可感光之聚醯亞胺(polyimide)層或是使用習知的光阻與蝕刻製程所定義圖案之聚醯亞胺(polyimide)層。

在形成打線墊所限制大小的金屬層62之前，如圖6所示，導通障礙層32之曝露部分係由射頻濺鍍的清潔方式所處理。射頻濺鍍的清潔方式可除去導通障礙層32之最上層部分，其可能包含有例如氧、碳、氟與氯等雜質，以改善障礙層與打線墊所限制大小的金屬層62之間的接觸電阻。在一具體實施例中，射頻濺鍍的清潔製程係可在沉積打線墊所限制大小的金屬層(於緩衝墊下方)之前，作為現場(in-situ)製程的一部分。在一具體實施例中，執行射頻濺鍍清潔的製程參數如下：射頻功率大約介於1200瓦(W)至1500瓦(W)之間的範圍內、直流偏壓大約介於-300伏特(V)至-600伏特(V)之間的範圍內、壓力大約介於0.1

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 五、發明說明( 7 )

帕(Pascal)之間的範圍內、而時間則大約介於150秒至250秒之間的範圍內。射頻濺鍍的清潔製程大約從導通障礙層32的表面移除了20至40奈米(nm)範圍的障礙材料。

接著，打線墊所限制大小的金屬層62形成於晶粒塗佈層開口54中，如圖6所示。電極所限制大小的金屬層通常包括有黏著層、中等耦合/焊接層、與反氧化障礙層之組成。在一具體實施例中，電極所限制大小的金屬層62包括四種不同層膜之組成：一鉻層622、一鉻銅合金層624、一銅層626、與一金層628。鉻層622與鉻銅合金層624各有介於50至500奈米(nm)範圍之厚度，銅層626具有介於700至1300奈米(nm)範圍之厚度，而金層628則具有介於80至140奈米(nm)範圍之厚度。就另一種方法而言，電極所限制大小的金屬層也可包括有其他層膜，例如鈦、銅與金的組合以及鈦、鎳、銅與金之組合。通常，電極所限制大小的金屬層62之形成可藉由使用罩幕(mask)的蒸鍍製程而完成。然而，其他的方法，例如濺鍍亦可用於形成電極所限制大小的金屬層。

根據一具體實施例，在形成電極所限制大小的金屬層之後，如鉛錫焊接材料72之緩衝墊材料，被沉積於電極所限制大小的金屬層62之上方，如圖7所示。鉛錫焊接材料72之形成係可藉由使用罩幕的蒸鍍製程而完成，或就另一種方法而言，其形成係可藉由使用習知方法，如電鍍或焊接劑噴出(solderjetting)的方式而完成。接著，再施以

## 五、發明說明( 8 )

回流(reflow)的製程步驟以圓化鉛錫焊接材料72之角落，並形成如圖7所示之緩衝墊。

在此一製程階段，基本的半導體裝置便已完成。此一裝置隨後可被接著至如覆晶(flip chip)或球型格狀陣列封裝(ball grid array package)等封裝基板。儘管未被繪示出來，其他層間的互連亦可依需要而形成。同理，其他互連亦可被形成以連接至摻雜區104與閘極電極108。如果額外的互連需要形成時，其可使用與用來形成絕緣障礙層122、第二層間介電層124、黏著/障礙層126與銅填充材料128相同的製程。

圖8至圖12係為本發明另一具體實施例之半導體裝置的橫截面圖。煩請參閱圖8，其中有一導通障礙層82形成於第二層間介電層124與銅填充材料128之上方。導通障礙層82之形成係使用相同於先前對照圖3所述之導通障礙層32的任一種形成材料方法。導通障礙層82具有介於50至300奈米(nm)範圍之厚度。在此一具體實施例中，一選用之抗氧化層(oxidation-resist)84隨後被形成於導通障礙層82之上方。該抗氧化層可採用能夠避免下方層膜被氧化或者較下方層膜更易被氧化之任何材料。可以採用的材料包括氮化矽、多晶矽、非晶矽、或導電之金屬氧化物或其對應之導電金屬。抗氧化層84具有介於10至50奈米(nm)範圍之厚度。一光阻層86隨後被形成於導通障礙層82與抗氧化層84之上方。光阻層86被定義圖案，以覆蓋下方覆蓋有黏著/障礙層126與銅填充材料128之導通障礙層82

## 五、發明說明( <sup>9</sup> )

與抗氧化層84。

導通障礙層82與抗氧化層84之未被定義圖案的部分隨後便以習用之蝕刻製程而除去。之後，光阻便被除去，而一保護層92形成於包括有導通障礙層82與抗氧化層84之堆疊結構以及第二層間介電層124部分區域之上方，如圖9所示。保護層92係類似於先前對照圖2所述之保護層22者。在此一具體實施例中，保護層92被定義圖案，以形成打線墊之開口94。如圖9所示，並非所有打線墊之開口內的保護層均被移除。因此，打線墊之開口只有部分形成於定義圖案的製程中。保護層之剩餘部分96在定義圖案的製程之後依然保留在抗氧化層84之上方。

接著，一晶粒塗佈層1001形成於半導體裝置之上方，並且被定義圖案以形成一晶粒塗佈層開口1003，如圖10所示。晶粒塗佈層1001係類似於先前對照圖5所述之晶粒塗佈層1001者。晶粒塗佈層開口1003曝露出保護層92之部分區域，其包括剩餘部分96。在形成晶粒塗佈層開口1003之後，以蝕刻方式除去剩餘部分96以及其下方之抗氧化層84。藉此形成如圖11所示之晶粒塗佈層開口1003。在此一蝕刻過程中，晶粒塗佈層1001所曝露出的保護層92部分也被蝕刻。在一具體實施例中，保護層92包括含矽與氮之成分，例如氮化矽或氮氧化矽，而抗氧化層84則包括有氮化矽。於是，相同或類似的蝕刻化學藥品可被使用來移去保護層92以及抗氧化層84的剩餘部分96。

## 五、發明說明 ( <sup>10</sup> )

製程持續被進行以完成如圖 12 所示之裝置。一電極所限制大小的金屬層 1220 以與之前所述者採用相同之方式形成，其包括一鉻層 1222、一鉻銅合金層 1224、一銅層 1226、與一金層 1228。如果需要的話，類似於之前所述之射頻濺鍍清潔製程可被用來製備形成電極所限制大小的金屬層 1220 之前所需要之障礙層表面。在此一具體實施例中，施以回流步驟，以圓化鉛錫焊接材料 1230 之角落，並呈現如圖 12 所示之圓頂形貌。

在圖 9 至圖 12 所示之具體實施例中，絕緣障礙層 122 係用於除了最上層之互連之外的所有互連。最上層之互連係為其上形成有打線墊之互連者。因此，其為使用導通障礙層 82 之唯一互連。

本發明有許多其他可行之具體實施例。煩請參閱圖 3，導通障礙層 32 亦可包括一類似圖 8 至圖 12 中所示之第二組具體實施例中的抗氧化層 84 之覆蓋(overlying)抗氧化層。同樣地，第二組具體實施例不一定需要使用抗氧化層 84，因為保護層 92 之剩餘部分 96 允許含氧之電漿的使用，而不會對導通障礙層 82 造成損害。此項特點在導通障礙層 32 或 82 包括氮化鉭(TaN)、氮化鈦(TiN)、或類似材料時，顯得格外重要，因為以上這些材料可以與含氧電漿或其他用來移除或顯影光阻或聚醯亞胺(polyimide)層的化學藥品產生不利的化學反應。這些化學藥品可能包括四甲基氫氧化銨(tetramethyl ammonium hydroxide)、N-甲基-1-氮五環-2-酮(N-methyl-2-pyrrolidone)、丙酮、異丁基

## 五、發明說明 ( <sup>11</sup> )

甲酮(MIBK)、以及其他類似的化學藥品。

除了在打線墊之上形成如圖9至圖12所示之導通障礙層之外，導電障礙材料亦可用來形成半導體裝置導電區域之間可藉由能量或雷射而調整的連接(energy- or laser-alterable connection)。這些連接之導電性可藉由雷射來修正，以程式化或調整裝置之電路。

使用導通障礙層來形成藉由雷射而調整的連接具有優於先前技藝的優點。導通障礙層通常比一般用來形成藉由雷射而調整的連接之互連具有比較薄、較低熱導度、與較低反射率之特性。相較於互連，導通障礙層也較具自我保護(self-passivating)的優點。藉此，使用藉由雷射而調整的連接可改善穩定度，因為在雷射調變之後用來短路的電壓被降低了。此外，藉由雷射而調整的連接可形成於靠近半導體裝置之上表面處。如此可使雷射使用較低的功率即可改變藉由雷射而調整的連接之導電性，其可降低會產生短路、損壞鄰近互連、以及損壞環繞保護層之電壓。此外，導通障礙層與藉由雷射而調整的連接可以使用相同材料而同時形成。藉此，製程整合不需要額外的製程步驟。

儘管特定之材料已依照電極所限制大小的金屬層62而被列舉，其他的材料與變動亦可被使用。舉例而言，導通障礙層可被作為部分之電極所限制大小的金屬層。在這種情形中，可在形成其他的電極所限制大小的金屬層之前，以蒸鍍或濺鍍至晶圓的方式形成。而在另一具體實施例中，電極所限制大小的金屬層與焊接材料可一起藉由物理

## 五、發明說明 ( <sup>12</sup> )

氣相沉積或噴射印刷的方式而形成，其中熔化之焊接滴點可被沉積於孔洞旁邊的地方。

本發明所述之具體實施例可被整合成一製程流程，而不需使用有毒材料、開發新的製程或是添購新的製程設備。導通障礙層32及82係足以阻隔互連中的銅與緩衝墊中的鉛錫焊接劑彼此產生反應。因此，可在互連與緩衝墊之間的介面維持製程的整合性。如此可提昇緩衝墊之機械整合度，並且降低互連與緩衝墊之間的接面電阻。

本發明之圖式與描述以較佳實施例說明如上，僅用於藉以幫助了解本發明之實施，非用以限定本發明之精神，而熟悉此領域技藝者於領悟本發明之精神後，在不脫離本發明之精神範圍內，當可作些許更動潤飾及同等之變化替換，其專利保護範圍當視後附之申請專利範圍及其等同領域而定。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 四、中文發明摘要 (發明之名稱：半導體裝置及形成方法)

一互連覆蓋於半導體裝置基板(100)之上方。在一具體實施例中，一導通障礙層覆蓋於互連之上方，一保護層(92)覆蓋於導通障礙層之上方，該保護層(92)具有一曝露該導通障礙層(82)之部分的開口。在另一具體實施例中，一保護層(22)覆蓋於互連之上方，該保護層(22)具有一曝露該互連的開口，而導通障礙層(32)於開口(24)的範圍內覆蓋於互連之上方。

## 英文發明摘要 (發明之名稱： "SEMICONDUCTOR DEVICE AND METHOD OF FORMATION")

An interconnect overlies a semiconductor device substrate (10). In one embodiment, a conductive barrier layer overlies a portion of the interconnect, a passivation layer (92) overlies the conductive barrier layer and the passivation layer (92) has an opening that exposes portions of the conductive barrier layer (82). In an alternate embodiment a passivation layer (22) overlies the interconnect, the passivation layer (22) has an opening (24) that exposes the interconnect and a conductive barrier layer (32) overlies the interconnect within the opening (24).

## 六、申請專利範圍

### 1. 一種半導體裝置，包括：

一第一互連(114)，其覆蓋於半導體裝置基板(100)之上方；

一絕緣障礙層(122)，其覆蓋於該第一互連(114)之上方；

一大部分含銅之互連(128)，其覆蓋於該第一互連(114)與絕緣障礙層(122)之部分的上方；

一導通障礙層(82)，其覆蓋於該大部分含銅之互連(128)之部分的上方，而該導通障礙層(82)延伸於該大部分含銅之互連(128)之部分的邊緣區域的下方；以及

一保護層(92)，其覆蓋於該導通障礙層(82)之上方，而該保護層(92)具有一曝露該導通障礙層(82)之部分的開口。

### 2. 如申請專利範圍第1項之半導體裝置，其中該導通障礙層(82)之一部份為至少兩導電區域之間的可藉由雷射而調整的連接。

### 3. 一種半導體裝置，其包括：

一大部分含銅之互連(128)，其覆蓋於半導體裝置基板(100)之上方；

一保護層(22)，其覆蓋於該大部分含銅之互連(128)之上方，而該保護層(22)具有一曝露該大部分含銅之互連(128)之部分的開口(24)；以及

一導通障礙層(32)，其位於開口(24)之內且覆蓋於該大部分含銅之互連(128)之部分的上方。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 六、申請專利範圍

4. 一種形成半導體裝置的方法，其包括以下之步驟：

形成一第一互連(114)，其覆蓋於半導體裝置基板(100)之上方；

形成一絕緣障礙層(122)，其覆蓋於該第一互連(114)之上方；

形成一大部分含銅之互連(128)，其覆蓋於該第一互連(114)與絕緣障礙層(122)之部分的上方；

形成一導通障礙層(82)，其覆蓋於該大部分含銅之互連(128)之部分的上方，而該導通障礙層(82)延伸於該大部分含銅之互連(128)之部分的邊緣區域的下方；

形成一保護層(92)，其覆蓋於該導通障礙層(82)之上方；以及

形成一開口於該保護層(92)內，其中該開口曝露該導通障礙層(82)之部分。

5. 如申請專利範圍第4項之方法，其中形成一開口於該保護層(92)內更包括以下的步驟：

形成一部分的開口(94)於該保護層(92)內，其中該部分的開口之深度小於該保護層在部分開口形成之處的厚度；

形成一晶粒塗佈層(1001)於該保護層(92)之上方；

形成一開口(1003)於該晶粒塗佈層(1001)內，其中該晶粒塗佈層開口(1003)曝露出保護層(92)內之部分的開口(94)；以及

蝕刻保護層(92)內之部分的開口，以在形成晶粒塗

## 六、申請專利範圍

佈層(1001)中之開口(1003)之後，曝露其下方之層膜。

6. 如申請專利範圍第5項之方法，其更包括以下的步驟：

在形成保護層(92)內的開口之後，移去導通障礙層(82)之一部分，其中該導通障礙層(82)之部分具有一深度；以及

在移去導通障礙層(82)之一部分之後，形成一導電緩衝墊(1230)於該導通障礙層(82)之上方。

7. 一種形成半導體裝置的方法，其包括以下之步驟：

形成一大部分含銅之互連(128)，其覆蓋於半導體裝置基板(100)之上方；

形成一保護層(22)，其覆蓋於該大部分含銅之互連(128)之上方；

形成一開口(24)於該保護層(22)內，而該開口(24)曝露該大部分含銅之互連(128)之部分；以及

形成一導通障礙層(32)，於開口(24)之內，該導通障礙層(32)覆蓋於該大部分含銅之互連(128)之部分的上方。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

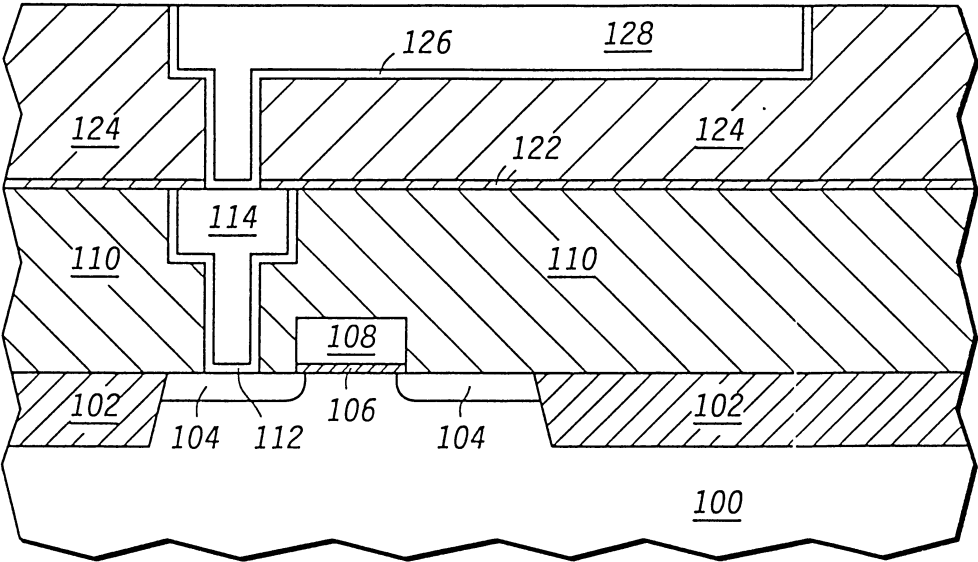


圖 1

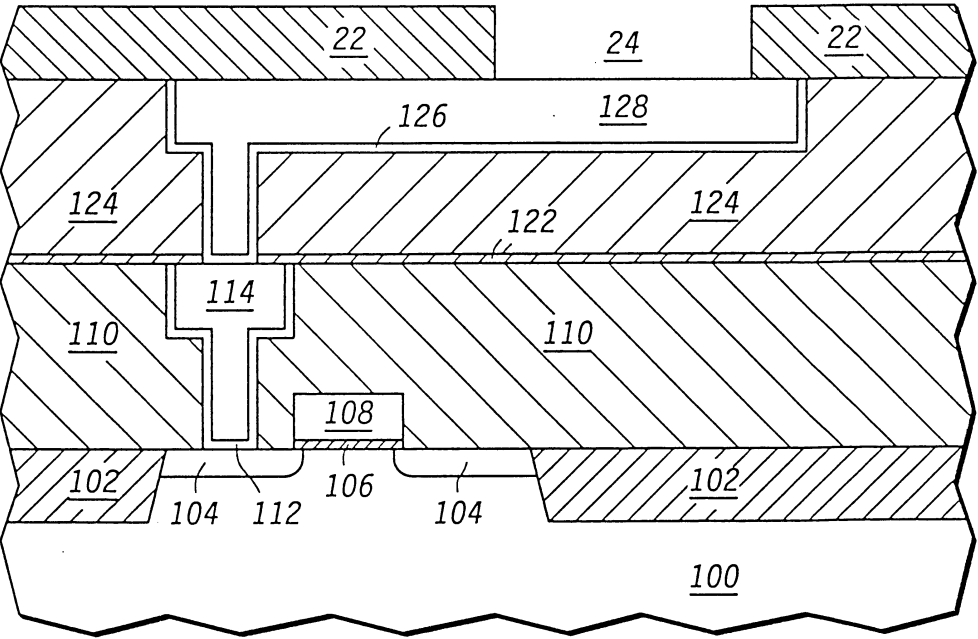


圖 2

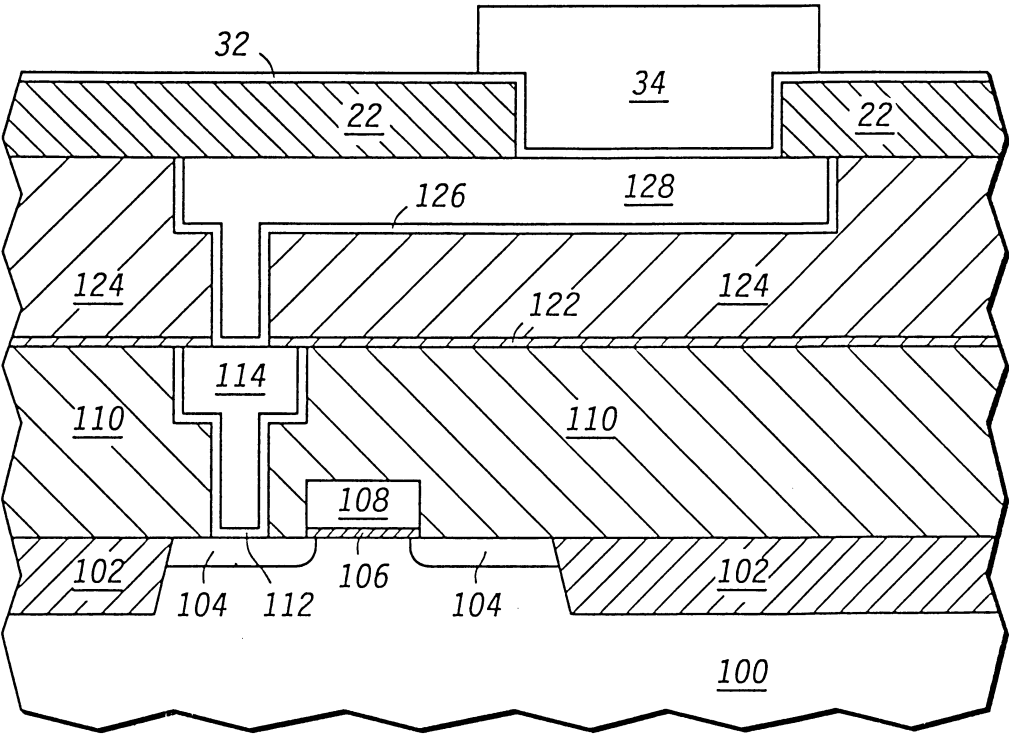


圖 3

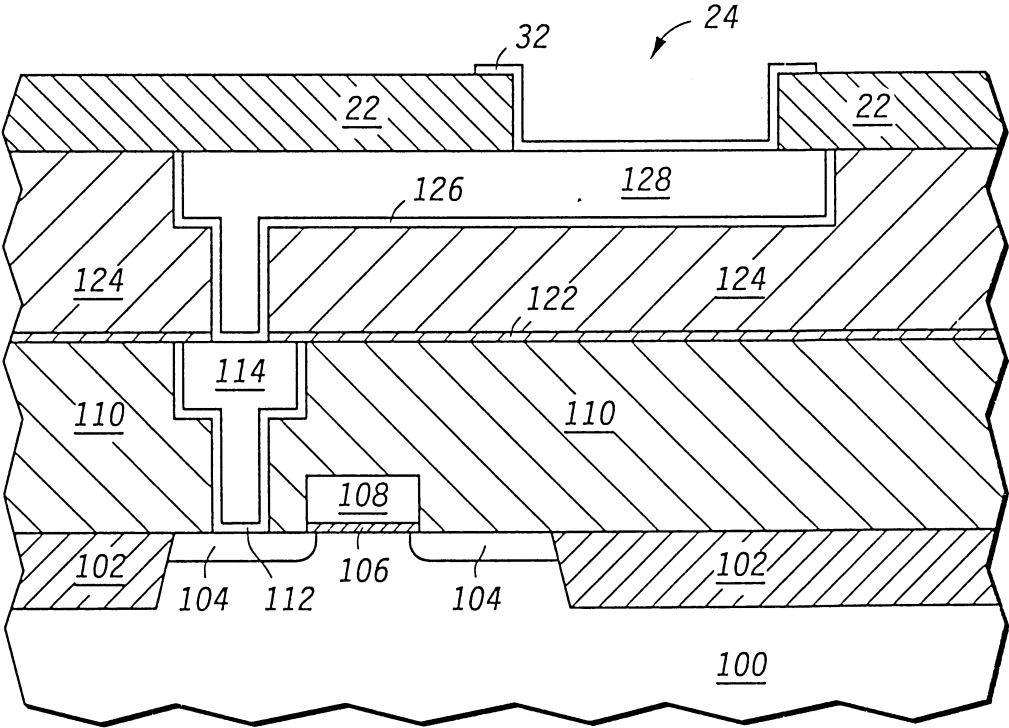


圖 4

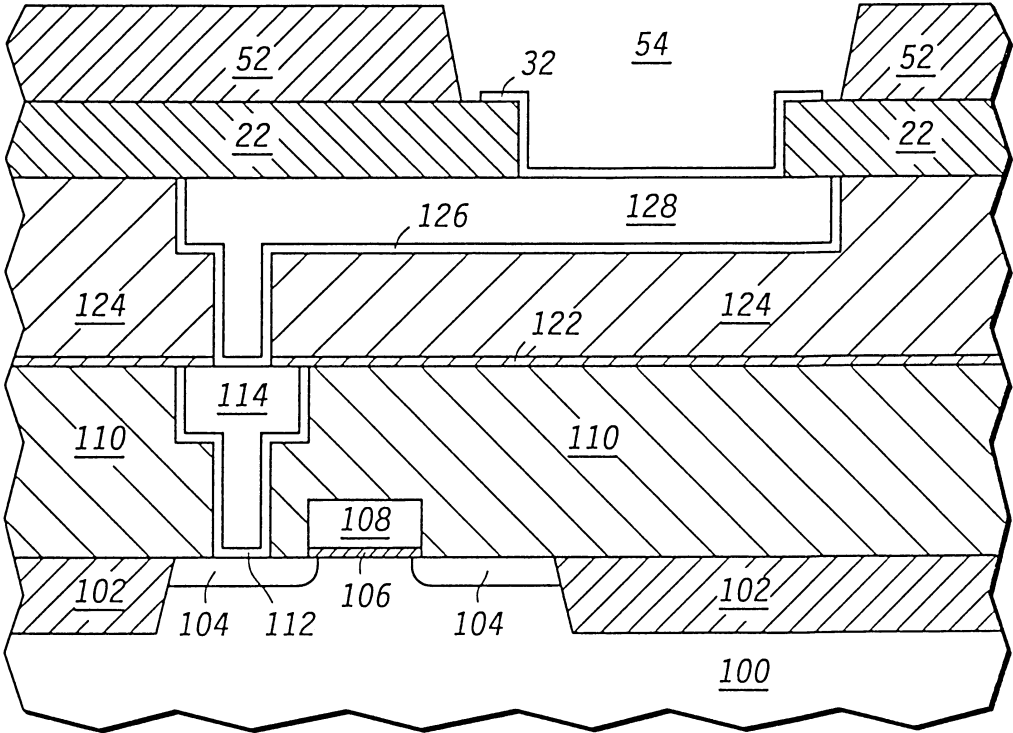


圖 5

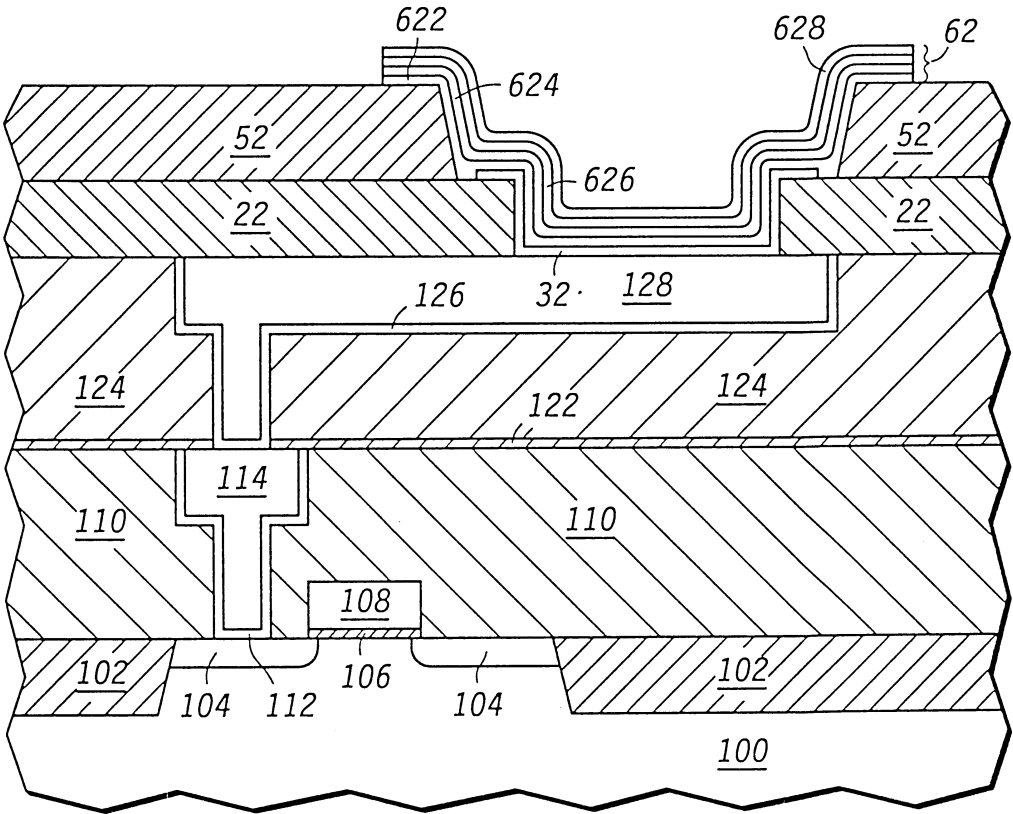


圖 6



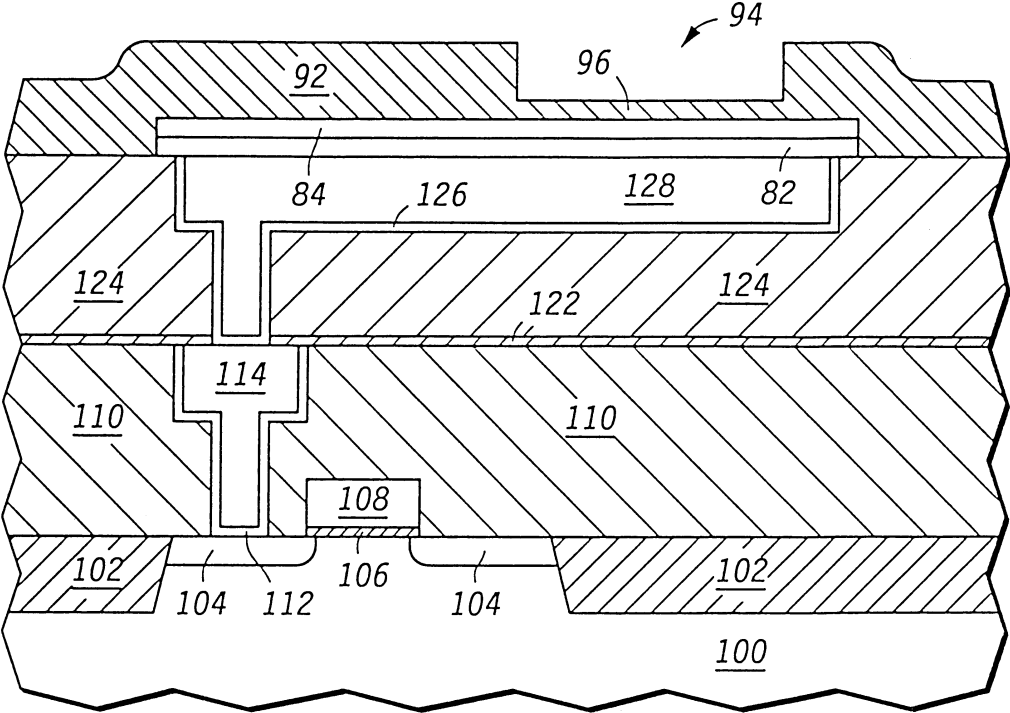


圖 9

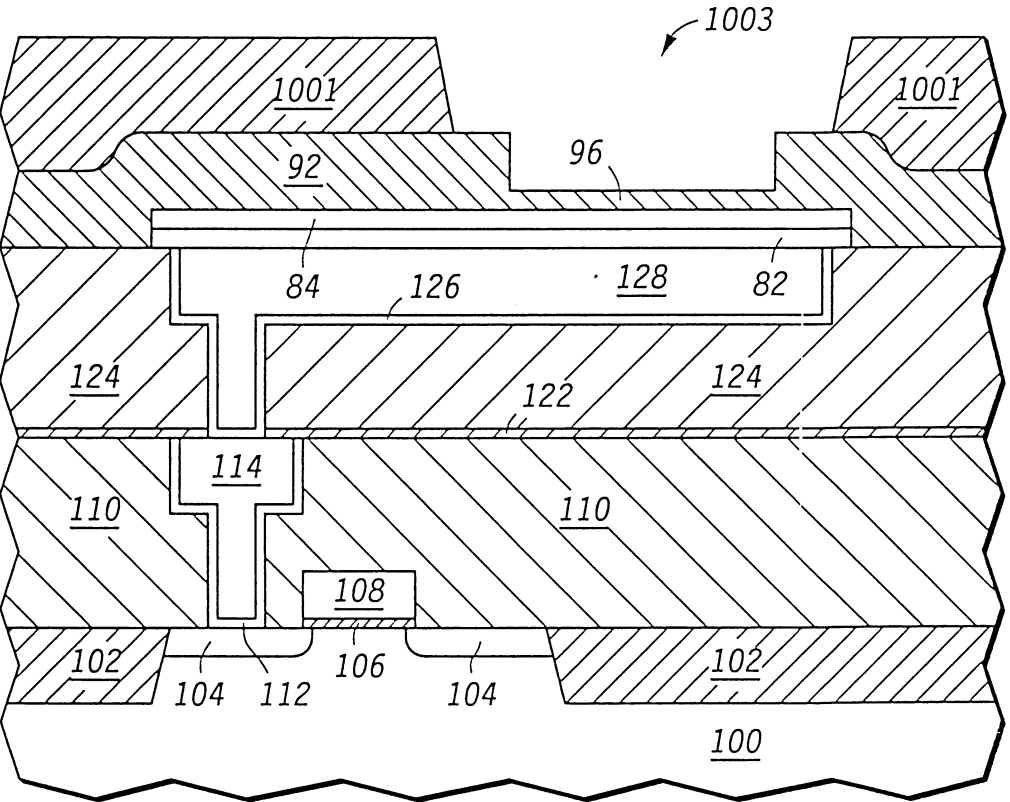


圖 10

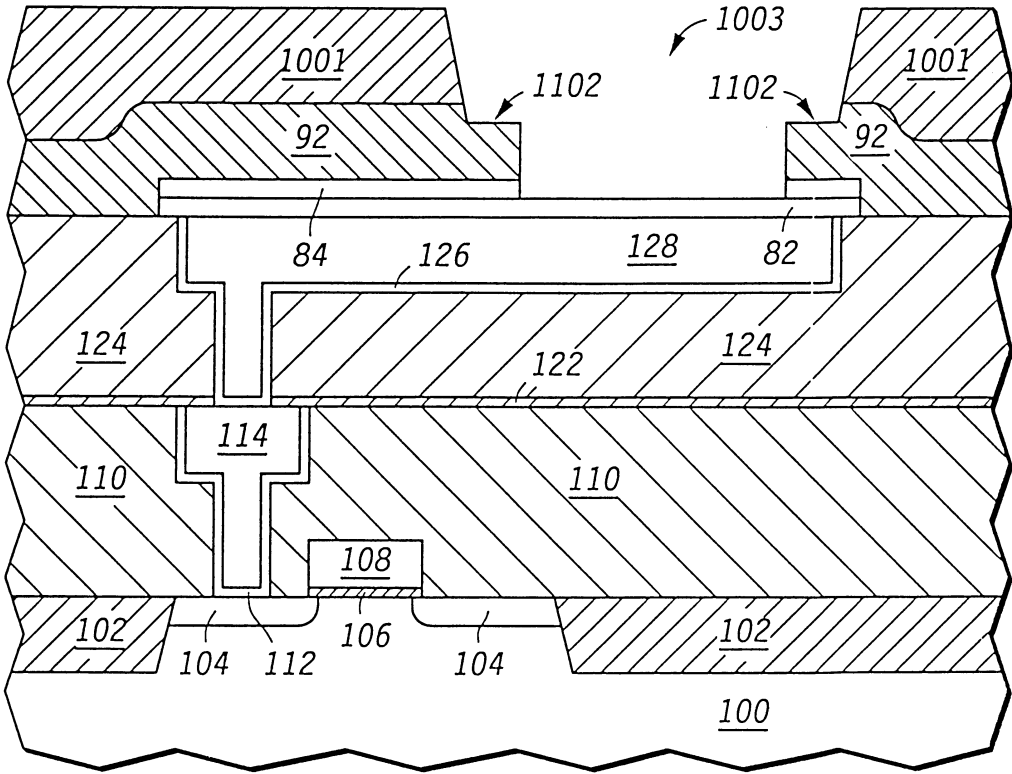


圖 11

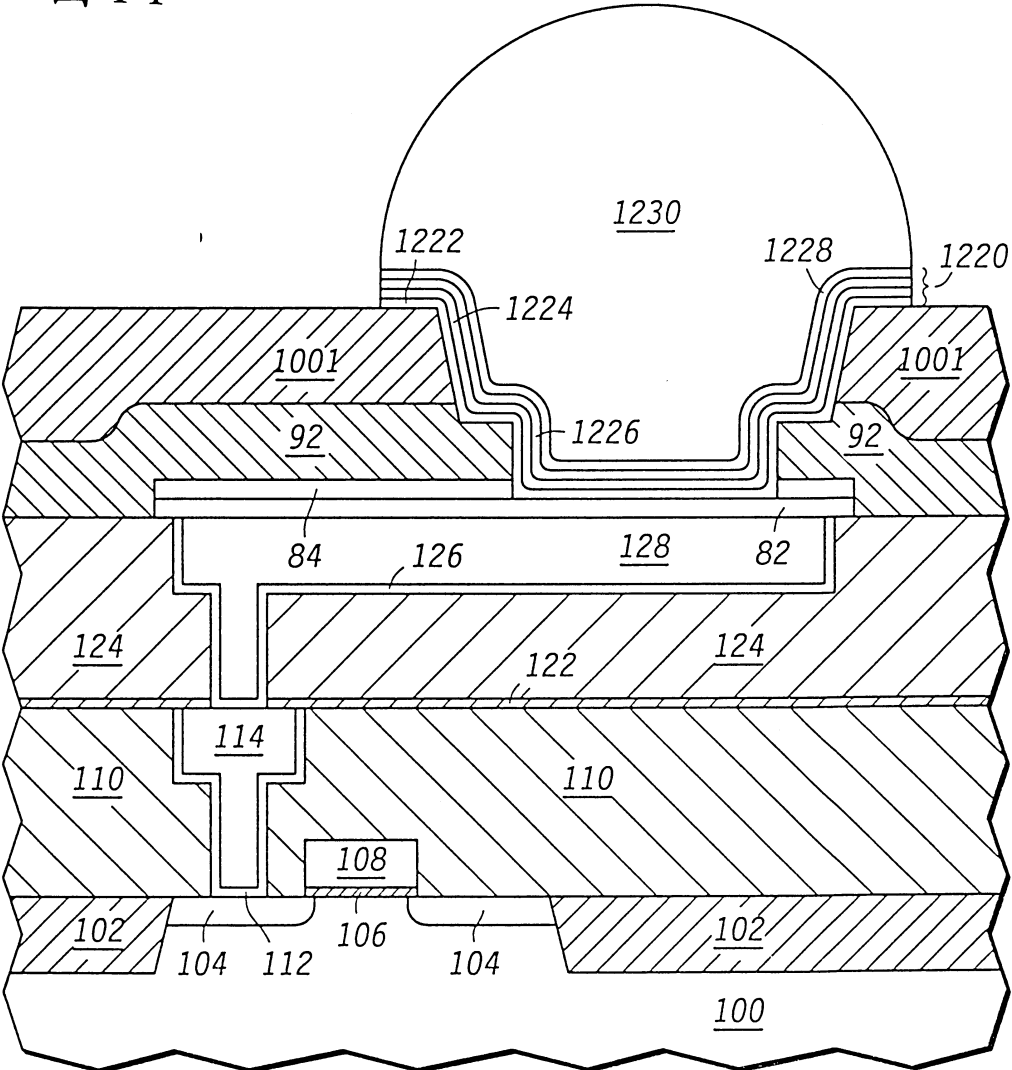


圖 12