

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016年6月9日 (09.06.2016)



(10) 国际公布号
WO 2016/086484 A1

- (51) 国际专利分类号:
H01L 21/336 (2006.01) H01L 29/786 (2006.01)
H01L 21/324 (2006.01) H01L 29/08 (2006.01)
H01L 29/06 (2006.01) H01L 21/268 (2006.01)
- (21) 国际申请号: PCT/CN2014/095567
- (22) 国际申请日: 2014年12月30日 (30.12.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410737078.1 2014年12月5日 (05.12.2014) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道9-2号, Guangdong 518132 (CN)。
- (72) 发明人: 李松杉 (LI, Songshan); 中国广东省深圳市光明新区塘明大道9-2号, Guangdong 518132 (CN)。
张晓星 (ZHANG, Xiaoxing); 中国广东省深圳市光明新区塘明大道9-2号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市威世博知识产权代理事务所 (普通合伙) (CHINA WISPRO INTELLECTUAL PROPERTY LLP.); 中国广东省深圳市南山区高新区粤兴三道8号中国地质大学产学研基地中地大楼A806, Guangdong 518057 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: LOW-TEMPERATURE POLYCRYSTALLINE SILICON THIN-FILM TRANSISTOR AND MANUFACTURING METHOD THEREOF

(54) 发明名称: 一种低温多晶硅薄膜晶体管及其制造方法

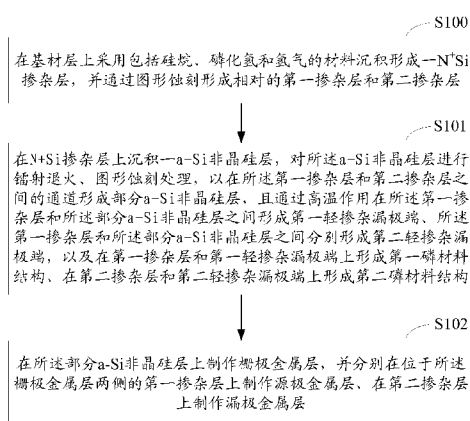


图2 / FIG. 2

S100 Forming an N+Si doped layer on a substrate layer by depositing materials including silane, hydrogen phosphide and hydrogen, and forming a first doped layer and a second doped layer which are opposite to each other by pattern etching
S101 Depositing an a-Si amorphous silicon layer on the N+Si doped layer, subjecting the a-Si amorphous silicon layer laser to annealing and a pattern etching treatment, such that a partial a-Si amorphous silicon layer is formed on the channel between the first doped layer and the second doped layer, and by a high-temperature effect, forming a first lightly doped drain electrode end between the first doped layer and the partial a-Si amorphous silicon layer, and a second lightly doped drain electrode end between the first doped layer and the partial a-Si amorphous silicon layer respectively, and forming a first phosphorus material structure on the first doped layer and the first lightly doped drain electrode end, and a second phosphorus material structure on the second doped layer and the second lightly doped drain electrode end
S102 Manufacturing a gate metal layer on the partial a-Si amorphous silicon layer and manufacturing a source electrode metal layer on the first doped layer and a drain electrode metal layer on the second doped layer located on either side of the gate metal layer respectively

(57) Abstract: Provided in the embodiment of the present invention is a low-temperature polycrystalline silicon thin-film transistor and a manufacturing method thereof, comprising: forming an N+Si doped layer on a substrate layer by depositing materials including silane, hydrogen phosphide and hydrogen, and forming a first doped layer and a second doped layer which are opposite to each other; and depositing a-Si amorphous silicon layer on the N+Si doped layer, subjecting the a-Si amorphous silicon layer to laser annealing and a pattern etching treatment, forming an a-Si amorphous silicon layer between the first doped layer and the second doped layer, forming a first lightly doped drain electrode end between the first doped layer and the a-Si amorphous silicon layer, and a second lightly doped drain electrode end between the first doped layer and the a-Si amorphous silicon layer respectively, and forming a first phosphorus material structure on the first doped layer and the first lightly doped drain electrode end, and a second phosphorus material structure on the second doped layer and the second lightly doped drain electrode end. In the present invention, by the high temperature effect of laser annealing, the N+Si doped layer is used for forming the lightly doped drain electrode ends and the phosphorus material structures, such that the number of use of a photomask is reduced, and the manufacturing process flow is simplified.

(57) 摘要:

[见续页]

WO 2016/086484 A1



RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, **本国际公布:**

CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, — 包括国际检索报告(条约第 21 条(3))。
TG)。

本发明实施例提供一种低温多晶硅薄膜晶体管及其制造方法, 包括: 在基材层上采用包括硅烷、磷化氢和氢气的材料沉积形成一 N+Si 掺杂层, 并形成相对的第一掺杂层和第二掺杂层; 在 N+Si 掺杂层上沉积一 a-Si 非晶硅层, 对 a-Si 非晶硅层进行镭射退火、图形蚀刻处理, 在第一掺杂层和第二掺杂层之间形成 a-Si 非晶硅层, 且在第一掺杂层和 a-Si 非晶硅层之间形成第一轻掺杂漏极端、第一掺杂层和 a-Si 非晶硅层之间分别形成第二轻掺杂漏极端, 以及在第一掺杂层和第一轻掺杂漏极端上形成第一磷材料结构、在第二掺杂层和第二轻掺杂漏极端上形成第二磷材料结构。本发明通过镭射退火的高温作用, 利用 N+Si 掺杂层形成轻掺杂漏极端和磷材料结构, 减少光罩的使用次数, 简化制作工艺流程。

说明书

发明名称：一种低温多晶硅薄膜晶体管及其制造方法

[1] **【技术领域】**

[2] 本发明属于晶体管制造技术领域，具体涉及一种低温多晶硅薄膜晶体管的制造方法，还涉及一种低温多晶硅薄膜晶体管。

[3] **【背景技术】**

[4] 现有技术中，如图1所示，为现有技术的LTPS-TFT（Low Temperature Poly-Silicon-Thin Film Transistor，低温多晶硅薄膜晶体管）的结构示意图。

[5] 从其结构中不难看出，其制造方法如下：

[6] 依序沉积Substrate（基底）层、SiN_x（氮化硅）层、SiO_x（氧化硅）层以形成基材层，接着沉积a-Si（非晶硅）层，a-Si经由Laser（镭射）结晶变为Poly-Si（多晶硅）薄膜，然后通过黄光/蚀刻制程得到图案图层结构。

[7] 接着，在图案图层上用两次Mask（镀膜）通过黄光光阻分别定义N+（掺杂区）和N-（LDD，轻掺杂漏极端）区域，其中，在N+和N-区域doping（掺杂）不同剂量的P31（相对分子质量为31的磷），即离子植入P31，得到N-。

[8] 通过多次沉积、黄光和蚀刻得到图1所示的GI（氮化硅）及GE（栅极金属）层、Source（源极金属）层和Drain（漏极金属）层等。

[9] 不难理解的是，现有技术需要通过反复多次沉积、黄光和刻蚀等工艺流程，增加了工艺流程的复杂度，制造成本高且生产效率均偏低。

[10] **【发明内容】**

[11] 有鉴于此，本发明实施例提供一种低温多晶硅薄膜晶体管及其制造方法，以降低工艺流程的复杂度，降低成本并提高生产效率。

[12] 为解决上述技术问题，本发明实施例提供一种低温多晶硅薄膜晶体管的制造方法，所述制造方法包括：在基材层上采用包括硅烷、磷化氢和氢气的材料沉积形成一N+Si掺杂层，并通过图形蚀刻形成相对的第一掺杂层和第二掺杂层；在N+Si掺杂层上沉积一a-Si非晶硅层，对所述a-Si非晶硅层进行镭射退火、图形蚀刻处理，以在所述第一掺杂层和第二掺杂层之间的通道形成部分a-Si非晶硅层，且

通过高温作用在所述第一掺杂层和所述部分a-Si非晶硅层之间形成第一轻掺杂漏极端、所述第一掺杂层和所述部分a-Si非晶硅层之间分别形成第二轻掺杂漏极端，以及在第一掺杂层和第一轻掺杂漏极端上形成第一磷材料结构、在第二掺杂层和第二轻掺杂漏极端上形成第二磷材料结构；在所述部分a-Si非晶硅层上制作栅极金属层，并分别在位于所述栅极金属层两侧的第一掺杂层上制作源极金属层、在第二掺杂层上制作漏极金属层。

- [13] 其中，所述第一轻掺杂漏极端和所述第一磷材料结构经由所述第一掺杂层的磷材料高温扩散成型，所述第二轻掺杂漏极端和所述第二磷材料结构经由所述第二掺杂层的磷材料高温扩散成型。
- [14] 其中，所述对所述a-Si非晶硅层进行镭射退火、图形蚀刻处理的步骤中，采用准分子镭射退火。
- [15] 其中，所述对所述a-Si非晶硅层进行镭射退火、图形蚀刻处理的步骤中，对所述a-Si非晶硅层进行激光结晶转化为Poly-Si薄膜。
- [16] 其中，所述第一掺杂层和所述第二掺杂层的磷材料往所述Poly-Si薄膜方向高温扩散成型。
- [17] 其中，所述N+Si掺杂层的磷材料的相对分子质量为31。
- [18] 其中，所述在基材层上采用包括硅烷、磷化氢和氢气的材料沉积形成一N+Si掺杂层，并通过图形蚀刻形成相对的第一掺杂层和第二掺杂层的步骤之前，还包括：控制所述磷化氢的质量所占的质量分数，以控制所述第一轻掺杂漏极端和所述第二轻掺杂漏极端的电阻值。
- [19] 其中，所述通过图形蚀刻形成相对的第一掺杂层和第二掺杂层的步骤中，采用黄光照射蚀刻。
- [20] 其中，所述对所述a-Si非晶硅层进行镭射退火、图形蚀刻处理的步骤中，包括对所述a-Si非晶硅层进行去氢处理。
- [21] 为解决上述技术问题，本发明实施例还提供一种低温多晶硅薄膜晶体管，其采用任一上述的制造方法制得。
- [22] 通过上述技术方案，本发明实施例的有益效果是：本发明通过镭射退火的高温作用，利用N+Si掺杂层含有的磷材料，通过扩散作用而自动形成轻掺杂漏极端

和磷材料结构，减少光罩次数，简化制作工艺流程。相对于现有技术而言，本发明实施例减少两次的离子植入工艺流程，减少光罩的使用次数，降低工艺流程的复杂度，降低成本并提高生产效率。

[23] **【附图说明】**

[24] 为了更清楚地说明本发明实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[25] 图1是现有技术低温多晶硅薄膜晶体管的部分结构示意图；

[26] 图2是本发明低温多晶硅薄膜晶体管的制造方法一实施例的流程示意图；

[27] 图3到图6依序为图2所示制造方法的制造效果示意图，其中，图6为采用图2所示制造方法制造得到的低温多晶硅薄膜晶体管的部分结构示意图。

[28] **【具体实施方式】**

[29] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，本发明以下所描述的实施例仅仅是本发明的一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有付出创造性劳动前提下所获得的所有其它实施例，都属于本发明保护的范围。

[30] 请参阅图2，图2是本发明低温多晶硅薄膜晶体管的制造方法一实施例的流程示意图，本实施例制造方法包括但不限于以下步骤。

[31] 步骤S100，在基材层上采用包括硅烷、磷化氢和氢气的材料沉积形成一N+Si掺杂层，并通过图形蚀刻形成相对的第一掺杂层和第二掺杂层。

[32] 在步骤S100中，如图3所示，本实施例的基材层可以包括substrate层、SiNx层和SiOx层，其具体形成方法和工艺流程，可以采用现有技术的方法制得，在本技术领域人员容易理解的范围内，不作限定。

[33] 不难理解的是，本实施例所述的硅烷为SiH₄，磷化氢为PH₃，氢气为H₂，其为本实施例采用的成膜气体，当然，还可以包括其他材料。此外，本实施例的硅烷、磷化氢和氢气之间的质量分数可以根据工艺流程的需要而调整。

[34] 本实施例的图形蚀刻过程可以采用现有技术的黄光照射、蚀刻，在此不作细述

，而第一掺杂层和第二掺杂层则为图3所示的彼此间隔成型的两个N+Si。

- [35] 步骤S101，在N+Si掺杂层上沉积一a-Si非晶硅层，对所述a-Si非晶硅层进行镭射退火、图形蚀刻处理，以在所述第一掺杂层和第二掺杂层之间的通道形成部分a-Si非晶硅层，且通过高温作用在所述第一掺杂层和所述部分a-Si非晶硅层之间形成第一轻掺杂漏极端、所述第一掺杂层和所述部分a-Si非晶硅层之间分别形成第二轻掺杂漏极端，以及在第一掺杂层和第一轻掺杂漏极端上形成第一磷材料结构、在第二掺杂层和第二轻掺杂漏极端上形成第二磷材料结构。
- [36] 值得注意的是，如图4所示，第一轻掺杂漏极端LDD和第一磷材料结构P31经由第一掺杂层N+Si的磷材料高温扩散成型，第二轻掺杂漏极端LDD和第二磷材料结构P31经由第二掺杂层N+Si的磷材料高温扩散成型。其中，不难理解的是，本实施例N+Si掺杂层的磷材料的相对分子质量为31。需要说明的是，由于N+Si里的磷材料在瞬间高温的状况下，其迅速进行扩展，而无需采用现有技术的离子植入的工艺流程。
- [37] 其中，对a-Si非晶硅层进行镭射退火、图形蚀刻处理时，本实施例优选地采用ELA (Excimer Laser Annealer，准分子镭射退火) 技术。具体而言，本实施例对a-Si非晶硅层进行激光结晶转化为Poly-Si薄膜（两个LDD之间的结构），如图4所示，第一掺杂层和第二掺杂层的磷材料往Poly-Si薄膜方向高温扩散成型，以分别形成第一、第二轻掺杂漏极端LDD和第一、第二磷材料结构P31。
- [38] 在上述镭射退火前，本实施例具体还可以包括对a-Si非晶硅层进行去氢处理的工艺流程。
- [39] 需要说明的是，在步骤S100之前，本实施例可以通过控制磷化氢的质量所占的质量分数，以控制第一轻掺杂漏极端和第二轻掺杂漏极端的电阻值。换言之，本发明通过控制磷化氢的质量所占的质量分数，使其高温扩散成型时所形成的浓度、体积等可以适当调整，以获得较佳的结构和性能。
- [40] 步骤S102，在所述部分a-Si非晶硅层上制作栅极金属层，并分别在位于所述栅极金属层两侧的第一掺杂层上制作源极金属层、在第二掺杂层上制作漏极金属层。

- [41] 在步骤S102中，如图5和图6所示，其分别制作SiN_x的GI层和金属材料的GE层以得到栅极金属层，接着还可以制作SiO_x和SiN_x形成的ILD层（图未示）等，在此不作限定。
- [42] 其中，源极金属层为图6所示的Source层，漏极金属层为图6所示的Drain层。
- [43] 通过上述实施例描述的制造方法流程，不难看出，相对于现有技术而言，本发明实施例通过镭射退火的高温作用，利用N+Si掺杂层含有的磷材料，通过高温、扩散作用而自动形成第一、第二轻掺杂漏极端和第一、第二磷材料结构，可以减少光罩的使用次数，简化制作工艺流程。
- [44] 本发明实施例减少两次的离子植入工艺流程，减少光罩次数，降低工艺流程的复杂度，降低成本并提高生产效率。
- [45] 请参阅图6，为本发明实施例提供的一种低温多晶硅薄膜晶体管，其可以采用前面任一实施例所述的制造方法制得。
- [46] 在本实施例中，低温多晶硅薄膜晶体管包括但不限于基材层（依序叠设成型的Substrate层、SiN_x层和SiO_x层）、相对设置的第一掺杂层N+Si和第二掺杂层N+Si、第一轻掺杂漏极端LDD和第二轻掺杂漏极端LDD、第一磷材料结构P31和第二磷材料结构P31、栅极金属层、源极金属层和漏极金属层。其中，其具体结构成型请参阅前面实施例的相关描述，在本技术领域人员容易结合理解的范围内，不作赘述。
- [47] 其中，本实施例低温多晶硅薄膜晶体管可以用于有机发光二极管显示器。
- [48] 同理，本实施例的第一、第二轻掺杂漏极端LDD，以及第一、第二磷材料结构P31，优选地采用N+Si掺杂层内含的磷材料高温扩散而成，结构简单且制造简便，能够减少两次的离子植入工艺流程，减少光罩的使用次数，降低工艺流程的复杂度，降低成本并提高生产效率。
- [49] 以上所述仅为本发明的实施例，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，例如各实施例之间技术特征的相互结合，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

权利要求书

[权利要求 1]

一种低温多晶硅薄膜晶体管的制造方法，其中，所述制造方法包括：

在基材层上采用包括硅烷、磷化氢和氢气的材料沉积形成一N+Si掺杂层，并通过图形蚀刻形成相对的第一掺杂层和第二掺杂层；
在N+Si掺杂层上沉积一a-Si非晶硅层，对所述a-Si非晶硅层进行镭射退火、图形蚀刻处理，所述对所述a-Si非晶硅层进行镭射退火、图形蚀刻处理的步骤中，对所述a-Si非晶硅层进行激光结晶转化为Poly-Si薄膜，以在所述第一掺杂层和第二掺杂层之间的通道形成部分a-Si非晶硅层，且通过高温作用在所述第一掺杂层和所述部分a-Si非晶硅层之间形成第一轻掺杂漏极端、所述第一掺杂层和所述部分a-Si非晶硅层之间分别形成第二轻掺杂漏极端，以及在第一掺杂层和第一轻掺杂漏极端上形成第一磷材料结构、在第二掺杂层和第二轻掺杂漏极端上形成第二磷材料结构，所述第一轻掺杂漏极端和所述第一磷材料结构经由所述第一掺杂层的磷材料高温扩散成型，所述第二轻掺杂漏极端和所述第二磷材料结构经由所述第二掺杂层的磷材料高温扩散成型；

在所述部分a-Si非晶硅层上制作栅极金属层，并分别在位于所述栅极金属层两侧的第一掺杂层上制作源极金属层、在第二掺杂层上制作漏极金属层。

[权利要求 2]

一种低温多晶硅薄膜晶体管的制造方法，其中，所述制造方法包括：

在基材层上采用包括硅烷、磷化氢和氢气的材料沉积形成一N+Si掺杂层，并通过图形蚀刻形成相对的第一掺杂层和第二掺杂层；
在N+Si掺杂层上沉积一a-Si非晶硅层，对所述a-Si非晶硅层进行镭射退火、图形蚀刻处理，以在所述第一掺杂层和第二掺杂层之间的通道形成部分a-Si非晶硅层，且通过高温作用在所述第一掺杂层和所述部分a-Si非晶硅层之间形成第一轻掺杂漏极端、所述第一掺

杂层和所述部分a-Si非晶硅层之间分别形成第二轻掺杂漏极端，以及在第一掺杂层和第一轻掺杂漏极端上形成第一磷材料结构、在第二掺杂层和第二轻掺杂漏极端上形成第二磷材料结构；
在所述部分a-Si非晶硅层上制作栅极金属层，并分别在位于所述栅极金属层两侧的第一掺杂层上制作源极金属层、在第二掺杂层上制作漏极金属层。

[权利要求 3] 根据权利要求2所述的制造方法，其中，所述第一轻掺杂漏极端和所述第一磷材料结构经由所述第一掺杂层的磷材料高温扩散成型，所述第二轻掺杂漏极端和所述第二磷材料结构经由所述第二掺杂层的磷材料高温扩散成型。

[权利要求 4] 根据权利要求3所述的制造方法，其中，所述对所述a-Si非晶硅层进行镭射退火、图形蚀刻处理的步骤中，采用准分子镭射退火。

[权利要求 5] 根据权利要求2所述的制造方法，其中，所述对所述a-Si非晶硅层进行镭射退火、图形蚀刻处理的步骤中，对所述a-Si非晶硅层进行激光结晶转化为Poly-Si薄膜。

[权利要求 6] 根据权利要求5所述的制造方法，其中，所述第一掺杂层和所述第二掺杂层的磷材料往所述Poly-Si薄膜方向高温扩散成型。

[权利要求 7] 根据权利要求2所述的制造方法，其中，所述N+Si掺杂层的磷材料的相对分子质量为31。

[权利要求 8] 根据权利要求2所述的制造方法，其中，所述在基材层上采用包括硅烷、磷化氢和氢气的材料沉积形成一N+Si掺杂层，并通过图形蚀刻形成相对的第一掺杂层和第二掺杂层的步骤之前，还包括：控制所述磷化氢的质量所占的质量分数，以控制所述第一轻掺杂漏极端和所述第二轻掺杂漏极端的电阻值。

[权利要求 9] 根据权利要求3所述的制造方法，其中，所述在基材层上采用包括硅烷、磷化氢和氢气的材料沉积形成一N+Si掺杂层，并通过图形蚀刻形成相对的第一掺杂层和第二掺杂层的步骤之前，还包括：控制所述磷化氢的质量所占的质量分数，以控制所述第一轻掺杂

漏极端和所述第二轻掺杂漏极端的电阻值。

[权利要求 10] 根据权利要求4所述的制造方法，其中，所述在基材层上采用包括硅烷、磷化氢和氢气的材料沉积形成一N+Si掺杂层，并通过图形蚀刻形成相对的第一掺杂层和第二掺杂层的步骤之前，还包括：控制所述磷化氢的质量所占的质量分数，以控制所述第一轻掺杂漏极端和所述第二轻掺杂漏极端的电阻值。

[权利要求 11] 根据权利要求5所述的制造方法，其中，所述在基材层上采用包括硅烷、磷化氢和氢气的材料沉积形成一N+Si掺杂层，并通过图形蚀刻形成相对的第一掺杂层和第二掺杂层的步骤之前，还包括：控制所述磷化氢的质量所占的质量分数，以控制所述第一轻掺杂漏极端和所述第二轻掺杂漏极端的电阻值。

[权利要求 12] 根据权利要求6所述的制造方法，其中，所述在基材层上采用包括硅烷、磷化氢和氢气的材料沉积形成一N+Si掺杂层，并通过图形蚀刻形成相对的第一掺杂层和第二掺杂层的步骤之前，还包括：控制所述磷化氢的质量所占的质量分数，以控制所述第一轻掺杂漏极端和所述第二轻掺杂漏极端的电阻值。

[权利要求 13] 根据权利要求7所述的制造方法，其中，所述在基材层上采用包括硅烷、磷化氢和氢气的材料沉积形成一N+Si掺杂层，并通过图形蚀刻形成相对的第一掺杂层和第二掺杂层的步骤之前，还包括：控制所述磷化氢的质量所占的质量分数，以控制所述第一轻掺杂漏极端和所述第二轻掺杂漏极端的电阻值。

[权利要求 14] 根据权利要求2所述的制造方法，其中，所述通过图形蚀刻形成相对的第一掺杂层和第二掺杂层的步骤中，采用黄光照射蚀刻。

[权利要求 15] 根据权利要求2所述的制造方法，其中，所述对所述a-Si非晶硅层进行镭射退火、图形蚀刻处理的步骤中，包括对所述a-Si非晶硅层进行去氢处理。

[权利要求 16] 一种低温多晶硅薄膜晶体管，其中，其采用下述的制造方法制得，该制造方法包括：

在基材层上采用包括硅烷、磷化氢和氢气的材料沉积形成一N+Si掺杂层，并通过图形蚀刻形成相对的第一掺杂层和第二掺杂层；在N+Si掺杂层上沉积一a-Si非晶硅层，对所述a-Si非晶硅层进行镭射退火、图形蚀刻处理，以在所述第一掺杂层和第二掺杂层之间的通道形成部分a-Si非晶硅层，且通过高温作用在所述第一掺杂层和所述部分a-Si非晶硅层之间形成第一轻掺杂漏极端、所述第一掺杂层和所述部分a-Si非晶硅层之间分别形成第二轻掺杂漏极端，以及在第一掺杂层和第一轻掺杂漏极端上形成第一磷材料结构、在第二掺杂层和第二轻掺杂漏极端上形成第二磷材料结构；在所述部分a-Si非晶硅层上制作栅极金属层，并分别在位于所述栅极金属层两侧的第一掺杂层上制作源极金属层、在第二掺杂层上制作漏极金属层。

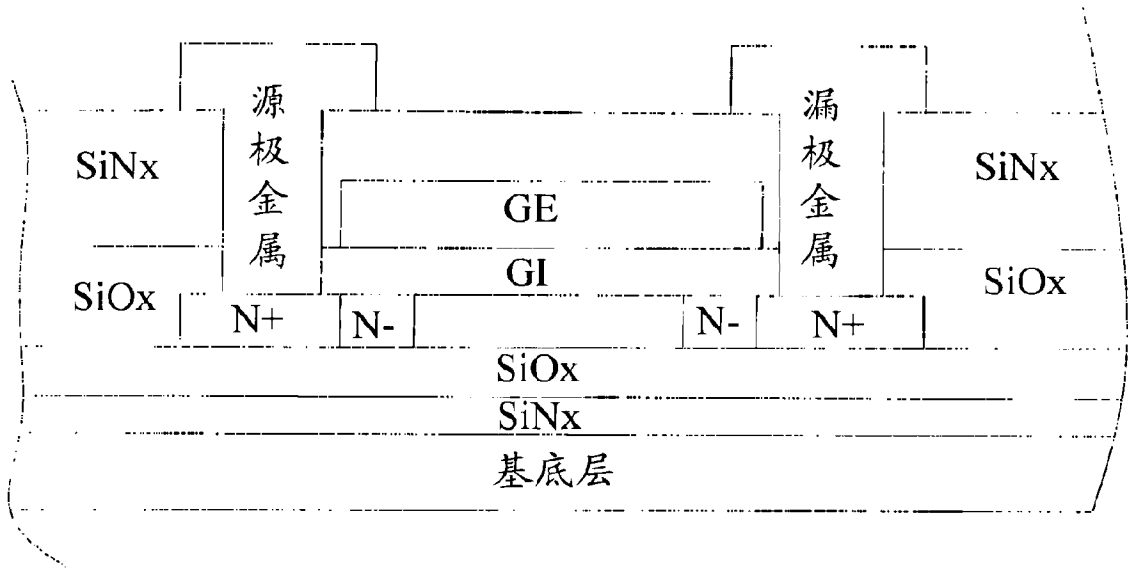


图 1

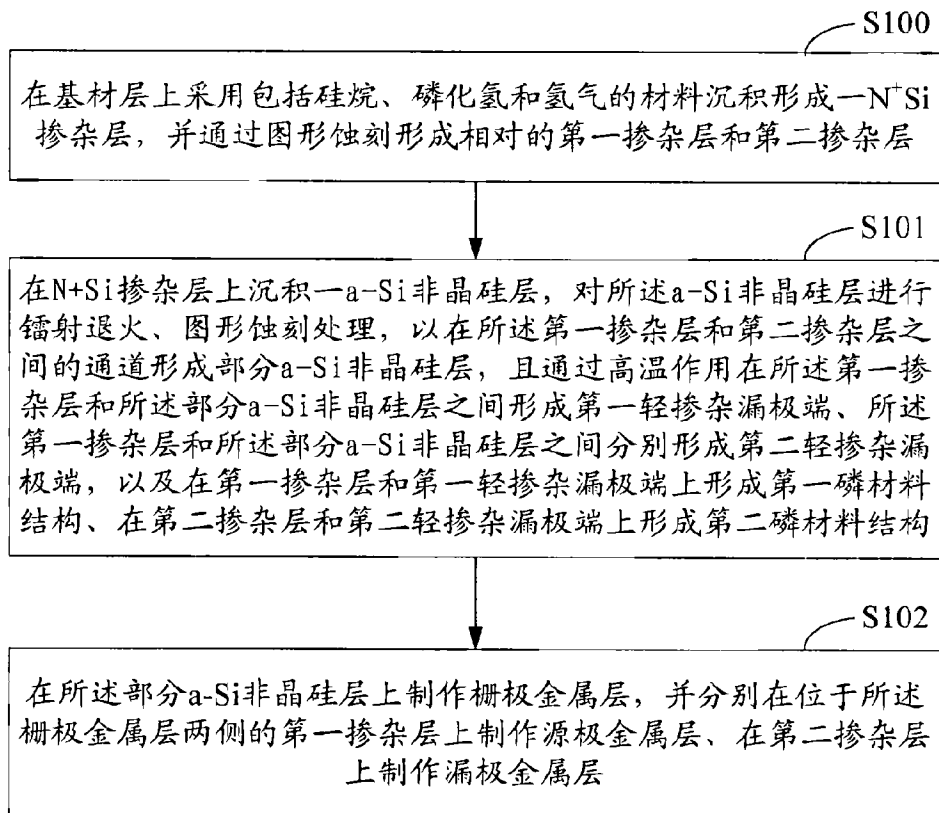


图 2

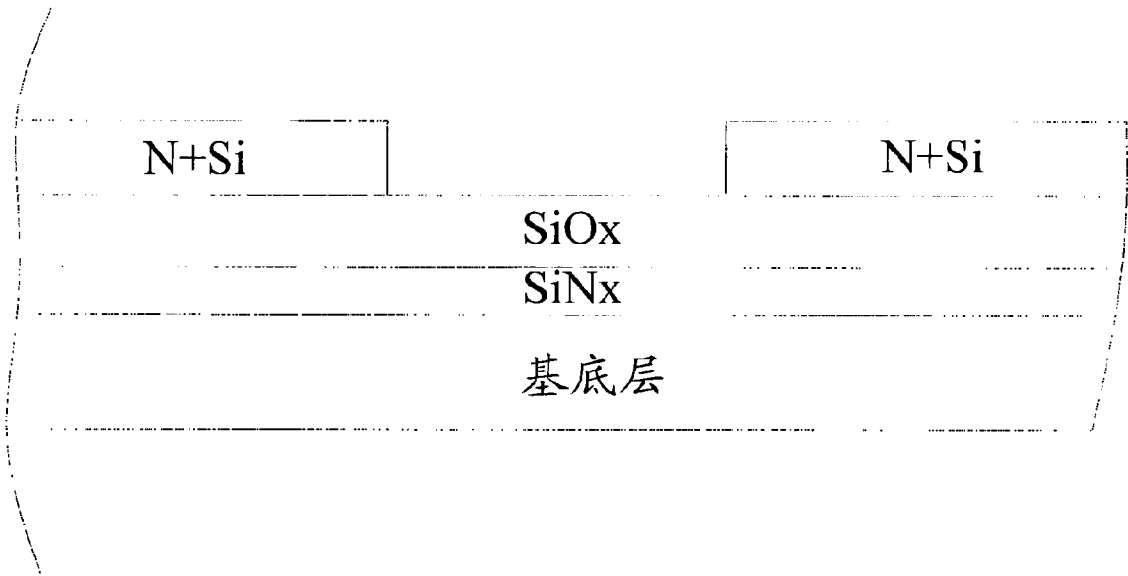


图 3

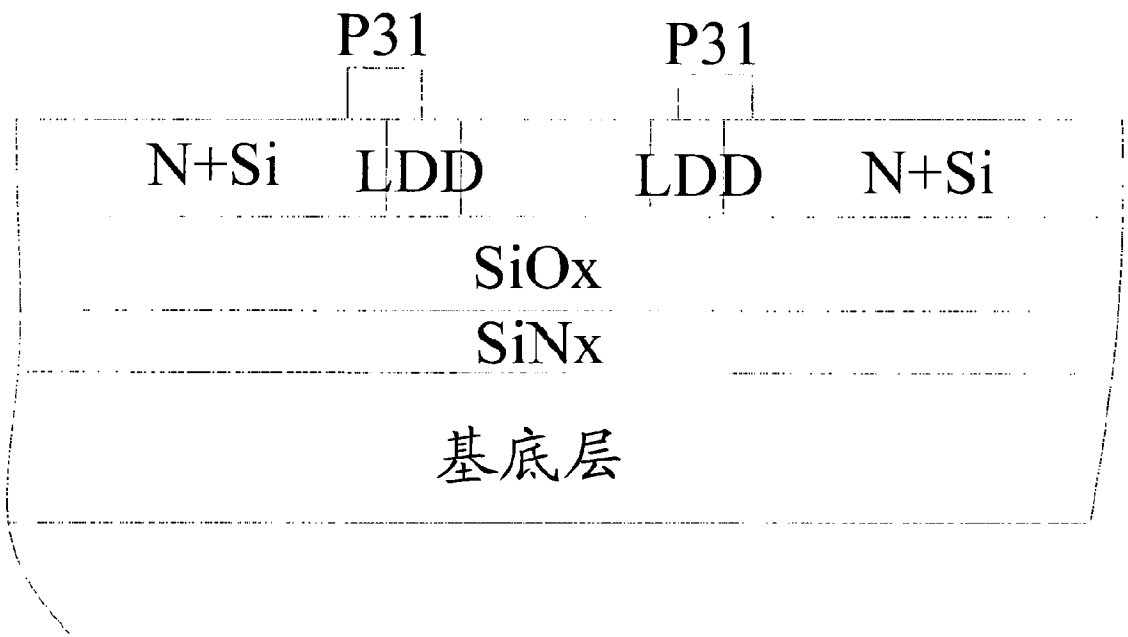


图 4

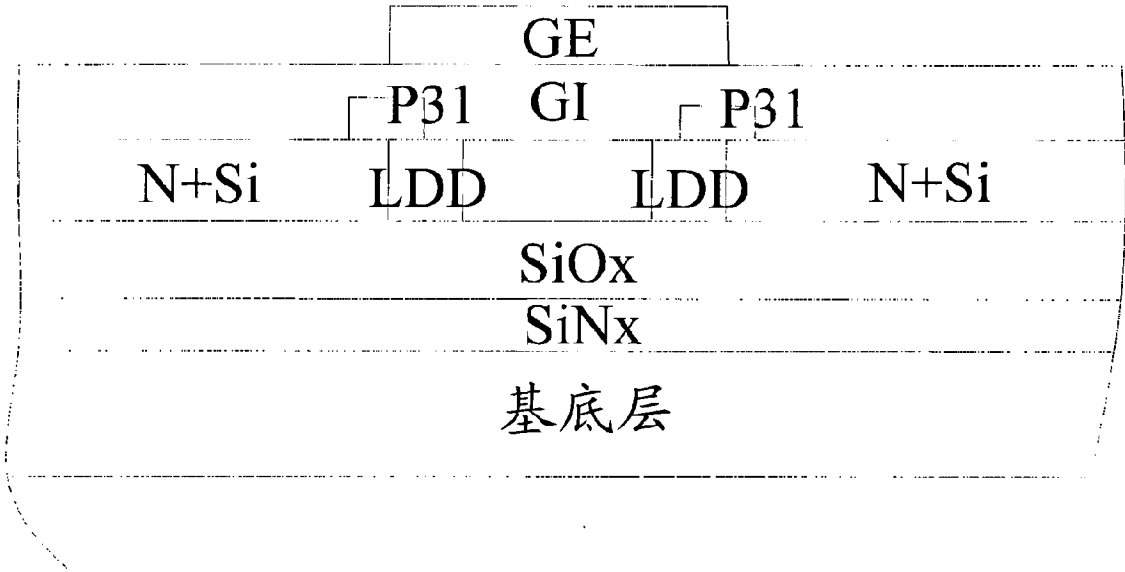


图 5

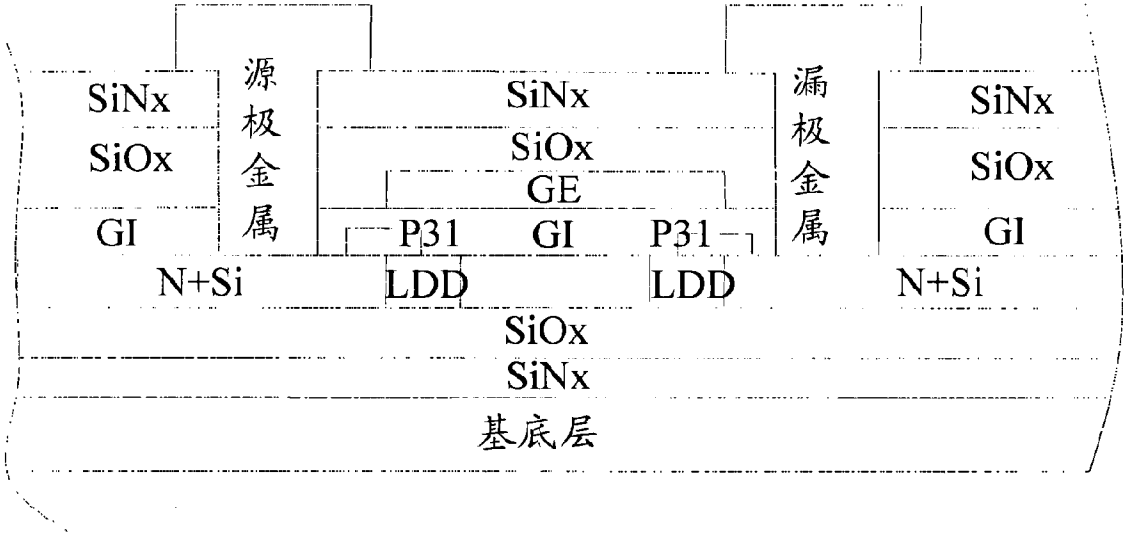


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2014/095567

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336 (2006.01) i; H01L 21/324 (2006.01) i; H01L 29/06 (2006.01) i; H01L 29/786 (2006.01) i; H01L 29/08 (2006.01) i; H01L 21/268 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, VEN, IEEE: low temperature poly silicon thin film transistor substrate layer silane amorphous silicon layer laser annealing high temperature diffuse light cover organic electroluminescence display N+silicon dope layer pattern etching phosphorus material light doping leak extreme phosphorus material structure gate metal layer LOW TEMPERATURE THIN FILM TRANSISTOR MANUFACTURE METHOD DEPOSIT PHOSPHINE HYDROGEN N=TYPE SILICON DOPE LAYER DRAIN ELECTRODE METAL FORMING

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 103839826 A (BOE TECHNOLOGY GROUP CO., LTD.), 04 June 2014 (04.06.2014), description, paragraphs [0073]-[0128], and figures 2-11	16
A	CN 103839826 A (BOE TECHNOLOGY GROUP CO., LTD.), 04 June 2014 (04.06.2014), description, paragraphs [0073]-[0128], and figures 2-11	1-15
A	CN 103000531 A (AU OPTRONICS CORP.), 27 March 2013 (27.03.2013), the whole document	1-16
A	TW 201448178 A (EVERDISPLAY OPTRONICS SHANGHAI LTD.), 16 December 2014 (16.12.2014), the whole document	1-16
A	CN 1525554 A (AU OPTRONICS CORP.), 01 September 2004 (01.09.2004), the whole document	1-16

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 20 August 2015 (20.08.2015)	Date of mailing of the international search report 26 August 2015 (26.08.2015)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer GAO, Yingran Telephone No.: (86-10) 62411596

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2014/095567

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103839826 A	04 June 2014	None	
CN 103000531 A	27 March 2013	None	
TW 201448178 A	16 December 2014	CN 104240633 A	24 December 2014
		US 2014361276 A1	11 December 2014
CN 1525554 A	01 September 2004	CN 1259731 C	14 June 2006

国际检索报告

国际申请号

PCT/CN2014/095567

A. 主题的分类		
H01L 21/336(2006.01)i; H01L 21/324(2006.01)i; H01L 29/06(2006.01)i; H01L 29/786(2006.01)i; H01L 29/08(2006.01)i; H01L 21/268(2006.01)i		
按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
H01L		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
CNABS, VEN, IEEE: 低温多晶硅薄膜晶体管 基材料 硅烷 磷化氢 氢气 掺杂层 非晶硅层 激光退火 高温 扩散 光罩 有机电致发光显示器 N+硅掺杂层 图形蚀刻 磷材料 轻掺杂漏极端 磷材料结构 栅极金属层 LOW TEMPERATURE THIN FILM TRANSISTOR MANUFACTURE METHOD DEPOSIT PHOSPHINE HYDROGEN N-TYPE SILICON DOPE LAYER DRAIN ELECTRODE METAL FORMING		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 103839826 A (京东方科技集团股份有限公司) 2014年 6月 4日 (2014 - 06 - 04) 说明书【0073】-【0128】, 图2-11	16
A	CN 103839826 A (京东方科技集团股份有限公司) 2014年 6月 4日 (2014 - 06 - 04) 说明书【0073】-【0128】, 图2-11	1-15
A	CN 103000531 A (友达光电股份有限公司) 2013年 3月 27日 (2013 - 03 - 27) 全文	1-16
A	TW 201448178 A (EVERDISPLAY OPTRONICS SHANGHAI LTD) 2014年 12月 16日 (2014 - 12 - 16) 全文	1-16
A	CN 1525554 A (友达光电股份有限公司) 2004年 9月 1日 (2004 - 09 - 01) 全文	1-16
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期		国际检索报告邮寄日期
2015年 8月 20日		2015年 8月 26日
ISA/CN的名称和邮寄地址		受权官员
中华人民共和国国家知识产权局(ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国		高莺然
传真号 (86-10)62019451		电话号码 (86-10)62411596

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2014/095567

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	103839826	A	2014年 6月 4日	无	
CN	103000531	A	2013年 3月 27日	无	
TW	201448178	A	2014年 12月 16日	CN	104240633 A 2014年 12月 24日
				US	2014361276 A1 2014年 12月 11日
CN	1525554	A	2004年 9月 1日	CN	1259731 C 2006年 6月 14日

表 PCT/ISA/210 (同族专利附件) (2009年7月)