

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6253272号
(P6253272)

(45) 発行日 平成29年12月27日(2017.12.27)

(24) 登録日 平成29年12月8日(2017.12.8)

| | |
|----------------------|-------------------------|
| (51) Int.Cl. | F 1 |
| HO4N 5/232 (2006.01) | HO4N 5/232 |
| HO4N 9/07 (2006.01) | HO4N 5/232 120 |
| HO4N 5/347 (2011.01) | HO4N 9/07 A |
| GO3B 3/00 (2006.01) | HO4N 5/347 GO3B 3/00 |

請求項の数 16 (全 22 頁)

(21) 出願番号 特願2013-127788 (P2013-127788)
 (22) 出願日 平成25年6月18日 (2013.6.18)
 (65) 公開番号 特開2015-2531 (P2015-2531A)
 (43) 公開日 平成27年1月5日 (2015.1.5)
 審査請求日 平成28年6月15日 (2016.6.15)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100110412
 弁理士 藤元 亮輔
 (74) 代理人 100104628
 弁理士 水本 敦也
 (74) 代理人 100121614
 弁理士 平山 優也
 (72) 発明者 内田 峰雄
 東京都大田区下丸子3丁目30番2号 キ
 ャノン株式会社内
 審査官 吉川 康男

最終頁に続く

(54) 【発明の名称】撮像装置、撮像システム、信号処理方法、プログラム、および、記憶媒体

(57) 【特許請求の範囲】

【請求項 1】

複数のマイクロレンズのそれぞれに対応する複数の画素を備え、該複数のマイクロレンズのうちの一つのマイクロレンズを共有するように、該複数の画素のうちの一画素に含まれる第1光電変換部および第2光電変換部を備えた撮像素子と、

前記一画素に含まれる前記第1光電変換部および前記第2光電変換部からの出力であって画像生成に用いられる加算信号、および、前記複数のマイクロレンズに対応する複数の第1光電変換部の複数の信号を加算して生成された焦点検出に用いられる第1の信号を補正する信号処理部と、を有し、

前記信号処理部は、前記一画素ごとに前記加算信号を補正し、前記複数の第1光電変換部ごとに前記第1の信号を補正することを特徴とする撮像装置。

【請求項 2】

前記信号処理部は、前記加算信号および前記第1の信号のそれぞれに対して、オフセット補正を行うことを特徴とする請求項1に記載の撮像装置。

【請求項 3】

前記信号処理部は、前記加算信号および前記第1の信号のそれぞれに対して、ゲイン補正を行うことを特徴とする請求項1または2に記載の撮像装置。

【請求項 4】

前記信号処理部は、

前記複数のマイクロレンズに対応する前記複数の第1光電変換部および複数の第2光電

10

20

変換部の複数の加算信号を用いて第2の信号を生成し、

前記第2の信号から前記第1の信号を減算することにより第3の信号を生成し、

前記複数の第2光電変換部ごとに前記第3の信号を補正する、ことを特徴とする請求項1乃至3のいずれか1項に記載の撮像装置。

【請求項5】

前記信号処理部は、

前記複数のマイクロレンズに対応する前記複数の第1光電変換部および複数の第2光電変換部の複数の加算信号を前記一画素ごとに補正した後、該複数の加算信号を用いて第2の信号を生成し、

前記第2の信号から、前記複数の第1光電変換部ごとに補正した後の前記第1の信号を減算することにより、第3の信号を生成する、ことを特徴とする請求項1乃至3のいずれか1項に記載の撮像装置。 10

【請求項6】

前記信号処理部は、時分割で、前記一画素ごとに前記加算信号を補正し、前記複数の第1光電変換部ごとに前記第1の信号を補正することを特徴とする請求項5に記載の撮像装置。

【請求項7】

前記信号処理部は、

前記第1の信号または前記第3の信号の補正に用いられる補正值を記憶する補正值記憶部と、

前記補正值記憶部に対して前記補正值を送信する補正值送信制御部と、を有することを特徴とする請求項4乃至6のいずれか1項に記載の撮像装置。 20

【請求項8】

前記補正值記憶部は、第1補正值記憶部および第2補正值記憶部を有し、

前記信号処理部は、前記第1補正值記憶部と前記第2補正值記憶部に記憶されたいずれの補正值を用いて前記第1の信号または前記第3の信号を補正するかをフレームごとに選択することを特徴とする請求項7に記載の撮像装置。

【請求項9】

前記補正值記憶部は、第1補正值記憶部および第2補正值記憶部を有し、

前記信号処理部は、前記第1補正值記憶部に記憶された補正值を用いて前記第1の信号または前記第3の信号を補正し、

前記補正值送信制御部は、前記第2補正值記憶部に対して前記補正值を送信することを特徴とする請求項7に記載の撮像装置。 30

【請求項10】

前記信号処理部は、前記補正值記憶部に記憶された複数の補正值のうちの一部の補正值を選択して補正を行い、前記第1の信号または前記第3の信号の補正に用いられる補正值をフレームごとに変更することを特徴とする請求項7乃至9のいずれか1項に記載の撮像装置。

【請求項11】

被写体の焦点ずれ量を算出する焦点検出部を更に有し、

前記焦点検出部は、前記第1の信号と前記第3の信号に基づいて焦点検出を行うことを特徴とする請求項4乃至10のいずれか1項に記載の撮像装置。 40

【請求項12】

前記加算信号は、撮像画像を生成するために用いられることを特徴とする請求項1乃至11のいずれか1項に記載の撮像装置。

【請求項13】

請求項1乃至12のいずれか1項に記載の撮像装置と、

前記撮像装置に着脱可能に取り付けられたレンズ装置と、を有することを特徴とする撮像システム。

【請求項14】

複数のマイクロレンズのそれぞれに対応する複数の画素を備え、該複数のマイクロレンズのうちの一つのマイクロレンズを共有するように、該複数の画素のうちの一画素に含まれる第1光電変換部および第2光電変換部を備えた撮像素子から得られる信号を処理する信号処理方法であって、

前記一画素に含まれる前記第1光電変換部および前記第2光電変換部からの出力であって画像生成に用いられる加算信号を取得するステップと、

前記複数のマイクロレンズに対応する複数の第1光電変換部の複数の信号を取得するステップと、

前記複数の信号を加算して生成された焦点検出に用いられる第1の信号を生成するステップと、

前記一画素ごとに前記加算信号を補正し、前記複数の第1光電変換部ごとに前記第1の信号を補正するステップと、を有することを特徴とする信号処理方法。

【請求項15】

請求項14に記載の信号処理方法の手順が記述されたコンピュータで実行可能なプログラム。

【請求項16】

コンピュータに、請求項14に記載の信号処理方法の各工程を実行させるためのプログラムが記憶されたコンピュータが読み取り可能な記憶媒体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮像素子を用いた撮像装置に係り、特に、一画素ごとに複数の副画素を有する撮像素子を用いた撮像装置に関する。

【背景技術】

【0002】

近年、CMOSセンサなどの撮像素子を用いた撮像装置では、多機能化が進み、静止画や動画などの撮像画像の生成だけでなく、例えば焦点調節のような撮像装置の制御についても、撮像素子で得られた被写体情報に基づいて行われる。

【0003】

特許文献1には、撮像素子から得られた信号を用いて瞳分割方式の焦点検出が可能な構成が開示されている。特許文献1の構成では、撮像素子の画素ごとに一つのマイクロレンズおよび二つのフォトダイオードが設けられており、それぞれのフォトダイオードは撮影レンズの互いに異なる瞳領域を通過した光を受光する。このような構成により、二つのフォトダイオードからの出力信号を比較することで焦点検出が可能となり、二つのフォトダイオードからの出力信号を加算することで撮像画像の生成が可能となる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2001-124984号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

一方、CMOSセンサなどの撮像素子においては、撮像素子の信号読出し回路に起因する固定パターンノイズを除去するため、画素ごと（または、画素列ごと、画素行ごと）のオフセット補正やゲイン補正などの補正が必要である。

【0006】

しかしながら、特許文献1のように各画素に対して複数のフォトダイオードが設けられている場合、フォトダイオードごとに補正を行うと補正データ量が大きくなり、大きなメモリ容量が必要となる。

【0007】

10

20

30

40

50

そこで本発明は、少ない補正データ量で、撮像素子から撮像信号および焦点検出信号の両方を高精度に生成可能な撮像装置、撮像システム、信号処理方法、プログラム、および記憶媒体を提供する。

【課題を解決するための手段】

【0008】

本発明の一側面としての撮像装置は、複数のマイクロレンズのそれぞれに対応する複数の画素を備え、該複数のマイクロレンズのうちの一つのマイクロレンズを共有するように、該複数の画素のうちの一画素に含まれる第1光電変換部および第2光電変換部を備えた撮像素子と、前記一画素に含まれる前記第1光電変換部および前記第2光電変換部からの出力であって画像生成に用いられる加算信号、および、前記複数のマイクロレンズに対応する複数の第1光電変換部の複数の信号を加算して生成された焦点検出に用いられる第1の信号を補正する信号処理部とを有し、前記信号処理部は、前記一画素ごとに前記加算信号を補正し、前記複数の第1光電変換部ごとに前記第1の信号を補正する。10

【0009】

本発明の他の側面としての撮像システムは、前記撮像装置と、前記撮像装置に着脱可能に取り付けられたレンズ装置とを有する。

【0010】

本発明の他の側面としての信号処理方法は、複数のマイクロレンズのそれぞれに対応する複数の画素を備え、該複数のマイクロレンズのうちの一つのマイクロレンズを共有するように、該複数の画素のうちの一画素に含まれる第1光電変換部および第2光電変換部を備えた撮像素子から得られる信号を処理する信号処理方法であって、前記一画素に含まれる前記第1光電変換部および前記第2光電変換部からの出力であって画像生成に用いられる加算信号を取得するステップと、前記複数のマイクロレンズに対応する複数の第1光電変換部の複数の信号を取得するステップと、前記複数の信号を加算して生成された焦点検出に用いられる第1の信号を生成するステップと、前記一画素ごとに前記加算信号を補正し、前記複数の第1光電変換部ごとに前記第1の信号を補正するステップとを有する。20

【0011】

本発明の他の側面としてのプログラムは、前記信号処理方法の手順が記述されたコンピュータで実行可能なプログラムである。

【0012】

本発明の他の側面としての記憶媒体は、コンピュータに、前記信号処理方法の各工程を実行させるためのプログラムが記憶されたコンピュータが読み取り可能な記憶媒体である。30

【0013】

本発明の他の目的及び特徴は、以下の実施例において説明される。

【発明の効果】

【0014】

本発明によれば、少ない補正データ量で、撮像素子から撮像信号および焦点検出信号の両方を高精度に生成可能な撮像装置、撮像システム、信号処理方法、プログラム、および記憶媒体を提供することができる。40

【図面の簡単な説明】

【0015】

【図1】本実施形態における撮像装置のブロック図である。

【図2】本実施形態における撮像素子の画素配置図

【図3】本実施形態における撮影レンズの射出瞳から出る光束と画素との関係を示す模式図である。

【図4】本実施形態における撮像素子の副画素から得られる像信号波形を示す模式図である。

【図5】本実施形態における撮像素子の全体構成図である。

【図6】本実施形態における撮像素子の単位画素（一画素）の回路構成図である。50

【図7】本実施形態における撮像素子の列共通読出し回路の構成図である。

【図8】本実施形態における撮像素子の各行の読出し動作を示すタイミングチャートである。

【図9】実施例1における撮像装置のDSPのブロック図および信号処理の説明図である。

【図10】実施例1における別形態としての撮像装置のDFEとDSPのブロック図および信号処理の説明図である。

【図11】実施例2における撮像装置のDSPのブロック図および信号処理の説明図である。

【図12】実施例3における撮像装置のDSPのブロック図および信号処理の説明図である。

【図13】実施例4における撮像装置のDFEとDSPのブロック図および信号処理の説明図である。

【図14】実施例4における撮像装置のDSPからDFEへの補正值の転送タイミングの説明図である。

【図15】実施例5における撮像装置のDFEとDSPのブロック図および信号処理の説明図である。

【図16】実施例5における撮像装置のDSPからDFEへの補正值の転送タイミングの説明図である。

【図17】実施例6における像信号Aの読出し領域と補正值の説明図である。

【発明を実施するための形態】

【0016】

以下、本発明の実施形態について、図面を参照しながら詳細に説明する。各図において、同一の部材については同一の参照番号を付し、重複する説明は省略する。

【0017】

まず、図1を参照して、本実施形態における撮像装置の構成について説明する。図1は、本実施形態における撮像装置100のブロック図である。101は、結像光学系の先端に配置された第1レンズ群であり、光軸方向に進退可能に保持される。102は絞りであり、その開口径を調節することにより撮影時の光量調節を行う。103は第2レンズ群であり、第1レンズ群101の進退動作と連動することにより、変倍動作（ズーム機能）を行う。104は第3レンズ群であり、光軸方向の進退により焦点調節を行う。105は光学的ローパスフィルタであり、撮影画像の偽色やモアレを軽減するための光学素子である。

【0018】

本実施形態において、前述の各レンズ群により撮像光学系が構成される。また、撮像光学系を有するレンズ装置と撮像装置本体とは一体的に構成されているが、本実施形態はこれに限定されるものではない。本実施形態は、撮像装置本体と、撮像装置本体に着脱可能に取り付けられたレンズ装置（撮像光学系）とにより構成された撮像システムにも適用可能である。

【0019】

106は撮像素子であり、撮像光学系（前述の各レンズ群）により結像された被写体像（光学像）を光電変換する。本実施形態において、撮像素子106として、ベイヤー配列のCMOSイメージセンサが用いられる。撮像素子106から出力されるアナログ画像信号は、AFE107によりデジタル信号に変換される。AFE107（Analog Front End）から出力されるデジタル画像信号は、DFE108（Digital Front End）に入力され、所定の演算処理が行われる。DFE108は、後述のDSP109とともに信号処理部を構成する。

【0020】

109はDSP（Digital Signal Processor）であり、DFE108から出力されるデジタル画像信号に対する補正処理や現像処理などを行う。また

10

20

30

40

50

D S P 1 0 9 は、画像信号（デジタル画像信号）から焦点ずれ量を算出する A F（オートフォーカス）演算も行う。1 1 0 は、画像データを記録する記録媒体である。1 1 1 は、撮影画像や各種のメニュー画面などを表示するための表示部であり、液晶ディスプレイ（L C D）などが用いられる。1 1 2 は、画像データなどを一時的に記憶する R A M であり、D S P 1 0 9 と接続されている。1 1 3 はタイミングジェネレータ（T G）であり、撮像素子1 0 6 に駆動信号を供給する。

【0 0 2 1】

1 1 4 は C P U であり、A F E 1 0 7 、D F E 1 0 8 、D S P 1 0 9 、T G 1 1 3 、および、絞り駆動回路1 1 5 の制御を行う。また C P U 1 1 4 は、D S P 1 0 9 の A F 演算結果に基づいて、フォーカス駆動回路1 1 6 を制御する。1 1 5 は絞り駆動回路であり、絞りアクチュエータ1 1 7 を制御することにより、絞り1 0 2 を駆動する。1 1 6 はフォーカス駆動回路であり、フォーカスアクチュエータ1 1 8 を制御することにより、第3レンズ群1 0 4 を光軸方向に進退させて（駆動して）焦点調節を行う。1 1 9 は、各種の補正データなどを記憶する R O M である。

【0 0 2 2】

続いて、図2を参照して、本実施形態における撮像素子1 0 6 の画素配置について説明する。図2は、撮像素子1 0 6 の画素配置図である。図2に示されるように、撮像素子1 0 6 には、単位画素3 0 0（一画素）が行列状に配列され、各画素上にはそれぞれR（R e d）/G（G r e e n）/B（B l u e）のカラーフィルタがベイヤー配列により配置されている。また、単位画素3 0 0 内にはそれぞれ副画素a（第1光電変換部）、副画素b（第2光電変換部）が配置されている。図2中の4 0 1 a、4 0 1 bは、副画素a、bのそれぞれのフォトダイオード（以下、「P D」という。）である。副画素a、bの各々の出力信号は焦点検出に利用される。また、副画素a、bの出力信号を加算して得られた信号（a / b 加算信号）は、画像生成（撮像画像の生成）に用いられる。

【0 0 2 3】

続いて、図3を参照して、第1レンズ群1 0 1 、絞り1 0 2 、第2レンズ群1 0 3 、および、第3レンズ群1 0 4 により構成される撮像光学系（撮影レンズ）の射出瞳から出る光束と撮像素子1 0 6 の単位画素3 0 0との関係について説明する。図3は、撮像光学系（撮影レンズ）の射出瞳から出る光束と単位画素3 0 0との関係を示す模式図である。

【0 0 2 4】

2 0 1 はカラーフィルタ、2 0 2 はマイクロレンズである。カラーフィルタ2 0 1 およびマイクロレンズ2 0 2 は、それぞれ、単位画素3 0 0 上（P D 4 0 1 a、4 0 1 b 上）に形成されている。2 0 3 は、撮像光学系（撮影レンズ）の射出瞳である。2 0 4 は光軸であり、マイクロレンズ2 0 2 を有する画素（単位画素3 0 0 ）に対して射出瞳2 0 3 から出た光束の中心を示している。射出瞳2 0 3 を通過した光束は、光軸2 0 4 を中心として単位画素3 0 0 に入射する。

【0 0 2 5】

2 0 5 、2 0 6 は、撮像光学系（撮影レンズ）の射出瞳のうち互いに異なる瞳領域（一部領域）である。図3に示されるように、瞳領域2 0 5 を通過する光束は、マイクロレンズ2 0 2 を介して、副画素aにより受光される。一方、瞳領域2 0 6 を通過する光束は、マイクロレンズ2 0 2 を介して、副画素bにより受光される。このように、副画素a、bは、それぞれ、撮影レンズの射出瞳の別々の領域（互いに異なる領域）の光を受光している。このため、副画素a、bの出力信号を比較することにより、位相差方式の焦点検出が可能となる。

【0 0 2 6】

続いて、図4を参照して、撮像素子1 0 6 の副画素a、bから得られる像信号波形について説明する。図4は、副画素a、bから得られる像信号波形の模式図であり、図4（a）は合焦状態から外れている場合（非合焦状態）、図4（b）は合焦状態（略合焦状態）をそれぞれ示している。図4（a）、（b）において、縦軸は信号出力を示し、横軸は位置（画素水平位置）を示している。

10

20

30

40

50

【0027】

図4(a)に示されるように合焦状態から外れている場合(非合焦状態の場合)、副画素a、bから得られる像信号波形(副画素a信号、副画素b信号)は互いに一致せず、大きくずれた状態となる。非合焦状態から合焦状態に近づくと、図4(b)に示されるように副画素a、bの互いの像信号波形のずれは小さくなる。そして合焦状態において、これらの像信号波形は互いに重なる。このように、副画素a、bから得られる像信号波形のずれ(ズレ量)から焦点のズレ量(デフォーカス量)を検出することにより、焦点調節を行うことができる。

【0028】

続いて、図5を参照して、撮像素子106の全体構成について説明する。図5は、撮像素子106の全体構成図である。PAは撮像素子106の画素領域である。画素領域PAには、単位画素300がp11～pknのように二次元状(行列状)に配置されている。10

【0029】

ここで、図6を参照して、単位画素300(一画素)の回路構成について説明する。図6は、単位画素300の回路構成図である。副画素a、bのPD401a、401bは、入射した光信号(光学像)を光電変換し、露光量に応じた電荷を蓄積する。402a、402bは転送ゲートであり、信号txa、txbをHighレベルにすることにより、PD401a、401bに蓄積されているそれぞれの電荷がFD部403(フローティングディフュージョン部)に転送される。FD部403は、FDアンプ404(フローティングディフュージョンアンプ)のゲートに接続されており、FDアンプ404によりPD401a、401bから転送された電荷量が電圧量に変換される。20

【0030】

405は、FD部403をリセットするためのFDリセットスイッチであり、信号resをHighレベルとすることにより、FD部403がリセットされる。また、PD401a、401bの電荷をリセットする場合、信号resと信号txa、txbとを同時にHighレベルとすることにより、転送ゲート402a、402bおよびFDリセットスイッチ405の両方をオンにする。そして、FD部403を経由して、PD401a、401bのリセットを行う。406は、画素選択スイッチであり、信号selをHighレベルとすることにより、FDアンプ404で電圧に変換された画素信号が単位画素300(画素)の出力voutに出力される。30

【0031】

図5に戻り、垂直走査回路301は、前述の各画素(単位画素300)のトランジスタを制御する信号res、txa、txb、selなどの駆動信号を単位画素300に供給する。これらの駆動信号は、画素領域PAの行ごとに共通である。各画素の出力voutは、列ごとに垂直出力線302を介して列共通読出し回路303(c1m1、c1m2、…、c1mk)に接続されている。

【0032】

ここで、図7を参照して、列共通読出し回路303の回路構成について説明する。図7は、列共通読出し回路303の構成図である。垂直出力線302は、列ごとに設けられ、一列分の単位画素300の出力voutが接続されている。垂直出力線302には、電流源304が接続されており、電流源304と、垂直出力線302に接続された単位画素300のFDアンプ404により、ソースフォロワ回路が構成される。501はクランプ容量C1、502はフィードバック容量C2、503は演算増幅器であり、非反転入力端子には基準電源Vrefが接続されている。504は、フィードバック容量C2の両端をショートさせるためのスイッチであり、信号cfsで制御される。40

【0033】

転送スイッチ505～508は、それぞれ、単位画素300から読み出された信号を容量509～512にそれぞれ転送するスイッチである。後述する読み出し動作により、容量509(第1のS信号保持容量)には副画素aの画素信号Saが記憶され、容量511(第2のS信号保持容量)には副画素a、bの信号を加算して得られたa/b加算信号Sa50

bが記憶される。また、容量510（第1のN信号保持容量）および容量512（第2のN信号保持容量）には、それぞれ、単位画素300のノイズ信号Nが記憶される。容量509～512は、列共通読出し回路303の出力vsa、vna、vsb、vnbにそれぞれ接続されている。

【0034】

図5に戻り、列共通読出し回路303の出力vsa、vnaは、水平転送スイッチ305、306にそれぞれ接続されている。水平転送スイッチ305、306は、水平走査回路311の出力信号ha*（「*」は列番号1～k）により制御される。そして、信号ha*がHighレベルになることにより、容量509（第1のS信号保持容量）および容量510（第1のN信号保持容量）の信号が水平出力線309、310へそれぞれ転送される。また、列共通読出し回路303の出力vsb、vnbは、水平転送スイッチ307、308にそれぞれ接続されている。水平転送スイッチ307、308は、水平走査回路311の出力信号hb*（「*」は列番号1～k）により制御される。そして、信号hb*がHighレベルになることにより、容量511（第2のS信号保持容量）および容量512（第2のN信号保持容量）の信号が水平出力線309、310へそれぞれ転送される。
10

【0035】

水平出力線309、310は、差動増幅器314の入力部に接続されている。差動増幅器314は、S信号とN信号との差分をとると同時に、所定のゲインをかけ、最終的な出力信号を出力端子315へ出力する。312、313は水平出力線リセットスイッチであり、信号chressがHighになるとオノンになり、水平出力線309、310はそれぞれ、リセット電圧Vchressにリセットされる。
20

【0036】

次に、図8を参照して、撮像素子106の読み出し動作について説明する。図8は、撮像素子106の各行の読み出し動作を示すタイミングチャートである。まず、信号cfsをHighレベルにしてスイッチ504をオノンにすることにより、演算増幅器503をバッファ状態にする。続いて、信号selをHighレベルにして画素の画素選択スイッチ406をオノンにする。その後、信号resをLowレベルにしてFDリセットスイッチ405をオフし、FD部403のリセットを開放する。
30

【0037】

続いて、信号cfsをLowレベルに戻してスイッチ504をオフした後、信号tna、tnbをHighレベルに設定する。これにより、転送スイッチ506、508を介して、容量501（第1のN信号保持容量）および容量512（第2のN信号保持容量）にN信号を記憶させる。
40

【0038】

続いて、信号tna、tnbをLowにし、転送スイッチ506、508をオフにした後、信号tsaをHighレベルにして転送スイッチ505をオノンにするとともに、信号txaをHighレベルにすることにより転送ゲート402aをオノンにする。この動作により、副画素aのPD401aに蓄積されていた信号は、FDアンプ404および画素選択スイッチ406を介して、垂直出力線302へ出力される。垂直出力線302の信号は、演算増幅器503においてクランプ容量C1とフィードバック容量C2との容量比に応じたゲインで増幅され、転送スイッチ505を介して、容量509（第1のS信号保持容量）に記憶される（画素信号Sa）。
50

【0039】

次に、信号txaと信号tsaとを順次Lowレベルにした後、信号tsbをHighレベルにして転送スイッチ507をオノンにするとともに、信号txa、txbをHighレベルにすることにより、転送ゲート402a、402bをオノンにする。この動作により、副画素bのPD402bに蓄積されていた信号は、FD部403において副画素aの信号と加算され、加算信号はFDアンプ404および画素選択スイッチ406を介して、垂直出力線302へ出力される。垂直出力線302の信号は、演算増幅器503においてクランプ容量C1とフィードバック容量C2との容量比に応じたゲインで増幅され、転送スイッチ505を介して、容量509（第1のS信号保持容量）に記憶される（画素信号Sb）。

ランプ容量 C 1 とフィードバック容量 C 2 との容量比に応じたゲインで増幅され、転送スイッチ 505 を介して、容量 511（第2のS信号保持容量）に記憶される（a/b 加算信号 S a b）。そして、転送ゲート 402a、402b および転送スイッチ 507 を順次オフにした後、信号 res を High レベルにして FD リセットスイッチ 405 をオンにし、FD 部 403 をリセットする。

【0040】

次に、水平走査回路 311 の出力 ha1 が High レベルになることにより、水平転送スイッチ 305、306 がオンになる。そして、容量 509（第1のS信号保持容量）および容量 510（第1のN信号保持容量）の信号が水平出力線 309、310 および差動增幅器 314 を介して、出力端子 315 に出力される。水平走査回路 311 は、各列の選択信号である出力信号 ha1、ha2、...、hak を順次 High にすることにより、一行分の副画素 a の信号（像信号 A）を出力する。10

【0041】

像信号 A の読み出しが終了すると、続いて、水平走査回路 311 の出力信号 hb1 が High レベルになることにより、水平転送スイッチ 307、308 がオンになる。そして、容量 511（第1のS信号保持容量）および容量 512（第1のN信号保持容量）の信号が水平出力線 309、310 および差動增幅器 314 を介して、出力端子 315 に出力される。水平走査回路 311 は、各列の選択信号である出力信号 hb1、hb2、...、hbk を順次 High にすることにより、一行分の a/b 加算信号（像信号 AB）を出力する。20

【0042】

なお、出力信号 ha1 ~ hak および出力信号 hb1 ~ hbk により各列の信号が読み出される間、信号 chres を High レベルにする。これにより、水平出力線リセットスイッチ 312、313 をオンにし、一旦、水平出力線 309、310 をリセット電圧 Vchres のレベルにリセットする。

【0043】

以下、本実施形態における撮像装置 100 および信号処理方法について、各実施例において詳述する。

【実施例 1】

【0044】

まず、図 9 を参照して、本発明の実施例 1 における像信号 A および像信号 AB の信号処理方法について説明する。図 9 は、本実施例における DSP109 のブロック図および信号処理の説明図である。30

【0045】

601 は入力データ処理部である。入力データ処理部 601 には、前述の読み出し動作により撮像素子 106 から読み出された信号（像信号 A、像信号 AB）が、AFE107 および DFE108 を経由して入力される。入力データ処理部 601 は、DFE108 から入力された像信号 A を、画素加算処理部 604 に出力する。また入力データ処理部 601 は、DFE108 から入力された像信号 AB を、第1オフセット補正部 602 および画素加算処理部 604 に出力する。40

【0046】

第1オフセット補正部 602 は、ROM119 に予め記憶されたデータを用いて、像信号 AB に対するオフセット補正を行う。本実施例において、第1オフセット補正部 602 は、画素列ごとにオフセット加減算を行う。603 は第1ゲイン補正部である。第1ゲイン補正部 603 は、ROM119 に予め記憶されたデータを用いて、像信号 AB に対するゲイン補正を行う。本実施例において、第1ゲイン補正部 603 は、画素列ごとに所定のゲインを乗じ、列ごとのゲイン差を補正する。第1オフセット補正部 602 および第1ゲイン補正部 603 により補正された信号は、その後、現像処理が行われ、静止画や動画などの画像生成に用いられる。

【0047】

10

20

30

40

50

画素加算処理部 604 は、像信号 A および像信号 A B に対して、画素加算処理を行う。本実施例において、画素加算処理部 604 は、 2×2 画素のペイヤー単位で画素信号（像信号 A または像信号 A B）を加算して輝度信号 A および輝度信号 A B を生成する。この処理により、像信号 A および像信号 A B のデータ数は、それぞれ、水平方向において 1 / 2 、垂直方向において 1 / 2 に減少する。605 は像信号減算部である。像信号減算部 605 は、輝度信号 A B (Yab) から輝度信号 A (Ya) を減算することにより、輝度信号 B (Yb) を生成する。輝度信号 A B (Yab) は、副画素 a、b の信号を加算して得られた信号であり、輝度信号 A (Ya) は副画素 a の信号である。このため、その差 (Ya - Yb) は、副画素 b の輝度信号 B (Yb) を表す。

【0048】

10

第 2 オフセット補正部 606 は、ROM119 に予め記憶されたデータを用いて、輝度信号 A および輝度信号 B に対するオフセット補正を行う。本実施例において、第 2 オフセット補正部 606 は、画素加算処理部 604 で加算した後の列単位で、輝度信号 A および輝度信号 B に対するオフセット加減算を行う。607 は第 2 ゲイン補正部である。第 2 ゲイン補正部 607 は、ROM119 に予め記憶されたデータを用いて、輝度信号 A および輝度信号 B に対するゲイン補正を行う。本実施例において、第 2 ゲイン補正部 607 は、画素加算処理部 604 で加算した後の列単位で、所定のゲインを乗じて列ごとのゲイン差を補正する。第 2 オフセット補正部 606 および第 2 ゲイン補正部 607 により補正された信号は、AF 演算部 608 (焦点検出部) に出力される。そして AF 演算部 608 は、補正信号に基づいて AF 演算を行い、デフォーカス量を検出する（被写体の焦点ずれ量を算出する）。このとき AF 演算部 608 は、輝度信号 A (第 1 の信号) と輝度信号 B (第 3 の信号) に基づいて焦点検出を行う。そして CPU114 は、AF 演算部 608 の演算結果に基づいてフォーカス駆動回路 116 を制御し、焦点調節を行う。

20

【0049】

なお本実施例においては、DSP109 が一連の処理の全てを行うものとして説明したが、これに限定されるものではない。例えば、図 10 に示されるように、第 1 オフセット補正部 602 および第 2 ゲイン補正部 603 の機能を DSP109 で行うように構成し、それ以外の機能を DFE108 で行うように構成してもよい。

【0050】

30

図 10 は、本実施例における別形態としての DFE108a と DSP109a のプロック図および信号処理の説明図である。図 10 に示されるように、本形態において、DFE108a は、入力データ処理部 611、画素加算処理部 614、像信号減算部 615、第 2 オフセット補正部 616a、第 2 ゲイン補正部 617、AF 演算部 618 を含む。また、DSP109a は、第 1 オフセット補正部 602 および第 1 ゲイン補正部 603 を含む。このような構成でも、本実施例の前記効果を得ることができる。

【0051】

以上のとおり、撮像素子 106 は、複数のマイクロレンズのそれぞれに対応する複数の画素（複数の単位画素 300）を備えている。また撮像素子 106 は、複数のマイクロレンズのうちの一つのマイクロレンズを共有するように、複数の画素のうちの一画素に含まれる第 1 光電変換部（副画素 a）および第 2 光電変換部（副画素 b）を備えている。

40

【0052】

そして、信号処理部（DFE108、DSP109）は、一画素に含まれる第 1 光電変換部および第 2 光電変換部の加算信号（像信号 A B）を取得して補正する。また信号処理部は、複数のマイクロレンズに対応する複数の第 1 光電変換部の複数の信号（像信号 A）を取得し、複数の信号を用いて生成された第 1 の信号（輝度信号 A）を補正する。

【0053】

このように、撮像素子 106 は、加算信号（像信号 A B）および複数の信号（像信号 A）を信号処理部（DFE108 または DSP109）に出力する。信号処理部は、複数の信号を用いて第 1 の信号を生成する。そして信号処理部は、一画素ごとに加算信号を補正し、複数の第 1 光電変換部ごとに第 1 の信号を補正する。好ましくは、信号処理部は、加

50

算信号および第1の信号のそれぞれに対して、オフセット補正またはゲイン補正を行う。

【0054】

本実施例において、信号処理部（画素加算処理部604、614）は、複数のマイクロレンズに対応する複数の第1光電変換部（複数の副画素a）および複数の第2光電変換部（複数の副画素b）の複数の加算信号を用いて第2の信号（輝度信号A B）を生成する。また、信号処理部（像信号減算部605、615）は、第2の信号から第1の信号を減算することにより第3の信号（輝度信号B）を生成する。そして信号処理部（第2オフセット補正部606、616、第2ゲイン補正部607、617）は、複数の第2光電変換部ごとに第3の信号を補正する。

【0055】

本実施例の構成によれば、AF演算に用いられる信号（像信号Aおよび像信号A B）に関する、画素加算処理部604でデータ数を削減した後に補正（オフセット補正およびゲイン補正）が行われる。このため、像信号Aおよび像信号A Bに用いられる補正データ量を削減することができる。本実施例では、水平方向のデータ数が1/2になっている。このため、補正データ量は、画素加算せずに補正する場合と比較して、1/2のデータ量になる。これにより、補正データを格納するROM119のメモリ容量を削減することが可能である。

【実施例2】

【0056】

次に、図11を参照して、本発明の実施例2における像信号Aおよび像信号A Bに対する信号処理方法について説明する。図11は、本実施例におけるDSP109bのブロック図および信号処理の説明図である。本実施例では、輝度信号B（Y b）に対する補正データを不要とすることにより、実施例1と比較して補正データ量の更なる削減を図ることができる。

【0057】

図11において、入力データ処理部701は、DFE108から出力された像信号Aおよび像信号A Bを入力する。そして入力データ処理部701は、像信号AをA画素加算処理部704に出力する。また入力データ処理部701は、像信号A Bを第1オフセット補正部702に出力する。

【0058】

本実施例において、第1オフセット補正部602および第1ゲイン補正部603は実施例1と同じである。709はAB画素加算処理部である。AB画素加算処理部709は、第1オフセット補正部602および第1ゲイン補正部603で補正が施された像信号A Bに対して、画素加算処理を行う。AB画素加算処理部709は、実施例1で説明した画素加算処理部604と同様に、 2×2 画素のペイヤー単位で画素信号（補正後の像信号A B）を加算して、輝度信号A B（Y ab）を生成する。また、A画素加算処理部704は、像信号Aに対して同様の画素加算処理を行い、輝度信号A（Y a）を生成する。AB画素加算処理部709およびA画素加算処理部704における処理により、像信号A Bおよび像信号Aのデータ数は、それぞれ、水平方向において1/2、垂直方向において1/2に減少する。

【0059】

A画素加算処理部704による画素加算処理後、第2オフセット補正部706および第2ゲイン補正部707は、輝度信号Aに対してオフセット補正およびゲイン補正を行う。これらの補正は、実施例1と同様である。像信号減算部705は、AB画素加算処理部709から出力された輝度信号A B（Y ab）から第2ゲイン補正部707から出力された輝度信号A（Y a）を減算することにより、輝度信号B（Y b）を生成する。像信号減算部705から出力された輝度信号Aおよび輝度信号Bは、AF演算部608に入力される。AF演算部608は、実施例1と同様に、輝度信号Aおよび輝度信号Bに基づいてAF演算を行う。

【0060】

10

20

30

40

50

以上のとおり、本実施例の信号処理部（第1オフセット補正部602、第1ゲイン補正部603）は、複数のマイクロレンズに対応する複数の第1光電変換部および複数の第2光電変換部の複数の加算信号（像信号A B）を一画素ごとに補正する。その後、信号処理部（A B画素加算処理部709）は、複数の加算信号を用いて第2の信号（輝度信号A B）を生成する。そして信号処理部（像信号減算部705）は、第2の信号（輝度信号A B）から、複数の第1光電変換部ごとに補正した後の第1の信号（補正後の輝度信号A）を減算することにより、第3の信号（輝度信号B）を生成する。

【0061】

本実施例の構成によれば、第2オフセット補正部706および第2ゲイン補正部707において輝度信号Bに対する補正を行うことが不要となる。このため、全体の補正データ量を更に削減することができる。10

【実施例3】

【0062】

次に、図12を参照して、本発明の実施例3における像信号Aおよび像信号A Bに対する信号処理方法について説明する。図12は、本実施例におけるDSP109cのブロック図および信号処理の説明図である。本実施例では、像信号A Bの補正部と輝度信号Aの補正部とを共有し、小さな回路規模で双方の補正を実現することが可能である。

【0063】

図12において、入力データ処理部701およびA画素加算処理部704は実施例2と同様である。801はデータ選択部である。データ選択部801は、像信号A Bと輝度信号Aとを時分割で共通のオフセット補正部802に出力するように制御する。オフセット補正部802は、像信号A Bおよび輝度信号Aに対するオフセット補正を行う。オフセット補正部802は、データ選択部801から入力されるデータに対して、列ごとのオフセット補正を行う。これにより、像信号A Bに対しては画素列ごとのオフセット補正が施され、輝度信号Aに対しては加算列単位でのオフセット補正が施される。ゲイン補正部803は、像信号A Bおよび輝度信号Aに対するゲイン補正を行う。ゲイン補正部803は、入力データに対して、列ごとのゲイン補正を行う。これにより、像信号A Bに対しては画素列ごとのゲイン補正が施され、輝度信号Aに対しては加算列単位でのゲイン補正が施される。20

【0064】

804はデータ分離部である。データ分離部804は、補正後の像信号A Bを現像処理ブロック（不図示）へ出力するとともに、A B画素加算処理部709にも出力する。またデータ分離部804は、輝度信号Aを像信号減算部705に出力する。A B画素加算処理部709および像信号減算部705は、実施例2と同様である。また、像信号減算部705で生成された輝度信号Aおよび輝度信号Bは、実施例1、2と同様に、AF演算部608によるAF演算に用いられる。30

【0065】

このように本実施例において、信号処理部（データ選択部801、オフセット補正部802、ゲイン補正部803）は、時分割で、一画素ごとに加算信号（像信号A B）を補正し、複数の第1光電変換部ごとに第1の信号（輝度信号A）を補正する。本実施例の構成によれば、像信号A Bの補正部と輝度信号Aの補正部とを共有することにより、小さな回路規模で双方の補正を実現することが可能となる。40

【実施例4】

【0066】

次に、図13を参照して、本発明の実施例4における像信号Aおよび像信号A Bに対する信号処理方法について説明する。図13は、本実施例におけるDFE108dとDSP109dのブロック図および信号処理の説明図である。

【0067】

611は入力データ処理部である。入力データ処理部611には、上述の読み出し動作により撮像素子106から読み出された信号（像信号A、像信号A B）が、AFE107を50

経由して入力される。入力データ処理部 611 は、像信号 A を画素加算処理部 614 に出力する。また入力データ処理部 611 は、像信号 A B を画素加算処理部 614 および DSP109d の第 1 オフセット補正部 602 (ダークシェーディング補正部) に出力する。

【 0068 】

像信号 A B が DSP109 に入力されると、第 1 オフセット補正部 602 は、 ROM119 に予め記憶されたデータを用いて像信号 A B に対するオフセット補正 (ダークシェーディング補正) を行う。本実施例において、第 1 オフセット補正部 602 は、画素列ごとのオフセット加減算を行う。603 は第 1 ゲイン補正部である。第 1 ゲイン補正部 603 は、 ROM119 に予め記憶されたデータを用いて、像信号 A B に対するゲイン補正を行う。本実施例において、第 1 ゲイン補正部 603 は、画素列ごとに所定のゲインを乗じ列ごとのゲイン差を補正する。第 1 オフセット補正部 602 および第 1 ゲイン補正部 603 により補正された信号に対しては、その後、現像処理が行われ、この信号に基づいて静止画や動画などの画像 (撮像画像) が生成される。
10

【 0069 】

画素加算処理部 614 は、像信号 A および像信号 A B に対して画素加算処理を行う。本実施例において、画素加算処理部 614 は、 2×2 画素のベイヤー単位で画素信号を加算して輝度信号を生成する。この処理により、像信号 A および像信号 A B のデータ数は、それぞれ、水平方向において 1 / 2 、垂直方向において 1 / 2 に減少する。615 は像信号減算部である。像信号減算部 615 は、輝度信号 A B (Yab) から輝度信号 A (Ya) を減算することにより、輝度信号 B (Yb) を生成する。輝度信号 A B (Yab) は、副画素 a 、 b の信号の加算信号に相当し、輝度信号 A (Ya) は副画素 b の信号に相当する。このため、その差 (Yab - Ya) である輝度信号 B (Yb) は、副画素 b の輝度信号を表す。
20

【 0070 】

第 2 オフセット補正部 616 は、輝度信号 A および輝度信号 B に対するオフセット補正を行う。本実施例において、第 2 オフセット補正部 616 は、画素加算処理部 614 による加算後の列単位でオフセット加減算を行う。616a はオフセット補正值記憶部である。オフセット補正值記憶部 616a は、 RAM を備えて構成され、 1 ライン分のオフセット補正值を保持することが可能である。第 2 オフセット補正部は、オフセット補正值記憶部 616a に格納されているオフセット補正值を輝度信号 A および輝度信号 B から減算することにより、オフセット補正を行う。オフセット補正值記憶部 616a には、オフセット補正值として、 ROM119 に予め記憶されたデータが DSP109 を経由して書き込まれる。
30

【 0071 】

617 は第 2 ゲイン補正部である。第 2 ゲイン補正部 617 は、輝度信号 A および輝度信号 B に対するゲイン補正が行われる。本実施例において、第 2 ゲイン補正部 617 は、画素加算処理部 614 で加算後の列単位で、所定のゲインを乗じ列毎のゲイン差を補正する。617a はゲイン補正值記憶部である。ゲイン補正值記憶部 617a は、 RAM を備えて構成され、 1 ライン分のゲイン補正值を保持することが可能である。第 2 ゲイン補正部 617 は、ゲイン補正值記憶部 617a に格納されているゲイン補正データを輝度信号 A および輝度信号 B から減算することにより、ゲイン補正を行う。ゲイン補正值記憶部 617a には、ゲイン補正值として、 ROM119 に予め記憶されたデータが DSP109 を経由して書き込まれる。
40

【 0072 】

第 2 オフセット補正部 616 および第 2 ゲイン補正部 617 により補正された信号 (輝度信号 A 、輝度信号 B) は、 AF 演算部 618 に出力される。AF 演算部 618 は、輝度信号 A および輝度信号 B を用いて、デフォーカス量を検出するための AF 演算を行う。そして CPU114 は、 AF 演算部 618 の演算結果に基づいてフォーカス駆動回路 116 を制御し、焦点調節を行う。なお、609 は補正值送信制御部である。補正值送信制御部 609 は、 ROM119 に記憶されたオフセット補正值およびゲイン補正值を読み出して
50

D F E 1 0 8 d へ送信するように制御する。

【 0 0 7 3 】

続いて、図 1 4 を参照して、D S P 1 0 9 d から D F E 1 0 8 d への送信（転送）について説明する。図 1 4 は、D S P 1 0 9 d から D F E 1 0 8 d へのオフセット補正值およびゲイン補正值の転送タイミングの説明図である。

【 0 0 7 4 】

オフセット補正值およびゲイン補正值は、図 1 4 に示されるように、各フレーム中の撮像素子 1 0 6 の信号読出し期間外に転送される。D S P 1 0 9 d からは、次フレームの I S O 感度設定に応じた補正值（オフセット補正值およびゲイン補正值）が転送され、撮像素子 1 0 6 から読み出された輝度信号 A および輝度信号 B の補正に用いられる。本実施例において、補正值の転送は毎フレームで行われる。このような構成により、あるフレームから I S O 感度設定が切り替わった際に、切り替わった後の I S O 感度に応じた補正值が用いられるため、適切な補正動作が可能となる。10

【 0 0 7 5 】

このように本実施例において、信号処理部（D F E 1 0 8 d）は、第 1 の信号（輝度信号 A）または第 3 の信号（輝度信号 B）の補正に用いられる補正值を記憶する補正值記憶部（オフセット補正值記憶部 6 1 6 a、ゲイン補正值記憶部 6 1 7 a）を有する。また信号処理部（D S P 1 0 9 d）は、補正值記憶部に対して補正值を送信する補正值送信制御部 6 0 9 を有する。本実施例の構成によれば、D F E 1 0 8 d に大容量の記憶部（R A M）を設けることなく、撮像素子 1 0 6 から読み出された信号を適切に補正し、高精度の焦点調節を行うことが可能となる。20

【 実施例 5 】

【 0 0 7 6 】

次に、図 1 5 を参照して、本発明の実施例 5 における像信号 A および像信号 A B に対する信号処理方法について説明する。図 1 5 は、本実施例における D F E 1 0 8 e と D S P 1 0 9 d のブロック図および信号処理の説明図である。

【 0 0 7 7 】

実施例 4 では、撮像素子 1 0 6 の信号読出し期間外にオフセット補正值およびゲイン補正值は、撮像素子 1 0 6 の信号読出し期間外に転送される。しかし、各フレーム期間において、信号読出し期間外の時間は限られている。このため、転送する補正值のデータ量が多い場合や転送速度が遅い場合、時間が足りなくなる可能性がある。そこで本実施例では、補正值の転送動作が撮像素子 1 0 6 の信号読出し期間内に行われても構わないように構成されている。30

【 0 0 7 8 】

図 1 5 に示されるように、第 2 オフセット補正部 6 1 6 は、オフセット補正值記憶部 B（6 1 6 b）およびオフセット補正值記憶部 C（6 1 6 c）の二つの記憶部を有する。そして、フレーム毎にいずれの記憶部のデータを用いるかを交互に切り替えながら補正が行われる。同様に、第 2 ゲイン補正部 6 1 7 は、ゲイン補正值記憶部 B（6 1 7 b）およびゲイン補正值記憶部 C（6 1 7 c）の二つの記憶部を有する。40

【 0 0 7 9 】

続いて、図 1 6 を参照して、D S P 1 0 9 d から D F E 1 0 8 e へのオフセット補正值およびゲイン補正值の転送タイミングについて説明する。図 1 6 は、D S P 1 0 9 d から D F E 1 0 8 e へのオフセット補正值およびゲイン補正值の転送タイミングの説明図である。あるフレーム（第 n フレーム）における補正值送信制御部 6 0 9 からの補正值転送動作は、オフセット補正值記憶部 B（6 1 6 b）およびゲイン補正值記憶部 B（6 1 7 b）に対して行われる。次の第 n + 1 フレームにおいては、第 n フレーム期間中に転送された補正值を用いて、第 2 オフセット補正部 6 1 6 および第 2 ゲイン補正部 6 1 7 の補正動作が行われる。これに並行して、オフセット補正值記憶部 C（6 1 6 c）およびゲイン補正值記憶部 C（6 1 7 c）に対する補正值転送動作が行われる。更に続く第 n + 2 フレームでは、第 n + 1 フレームに転送された補正值を用いてそれぞれの補正が行われるとともに50

、これに並行してオフセット補正值記憶部 B およびゲイン補正值記憶部 B に補正データが転送される。

【 0 0 8 0 】

このように補正值記憶部は、第 1 補正值記憶部（オフセット補正值記憶部 B (6 1 6 b)）、ゲイン補正值記憶部 B (6 1 7 b)）および第 2 補正值記憶部（（オフセット補正值記憶部 C (6 1 6 c)、ゲイン補正值記憶部 C (6 1 7 c)）を有する。そして信号処理部 (D F E 1 0 8 e) は、第 1 補正值記憶部と第 2 補正值記憶部に記憶されたいずれの補正值を用いて第 1 の信号（輝度信号 A ）または第 3 の信号（輝度信号 B ）を補正するかをフレームごとに選択する。

【 0 0 8 1 】

本実施例の構成によれば、第 2 オフセット補正部 6 1 6 および第 2 ゲイン補正部 6 1 7 が補正動作を行う撮像素子 1 0 6 の信号読出し期間中に、補正值送信制御部 6 0 9 が補正值転送動作を行うことが可能となる。これにより、転送データ量が多い場合や転送速度が遅い場合にも転送時間を十分確保することができる。

【 0 0 8 2 】

なお本実施例では、第 2 オフセット補正部 6 1 6 の参照先として、オフセット補正值記憶部 B (6 1 6 b) とオフセット補正值記憶部 C (6 1 6 c) からフレーム毎に交互に選択するよう構成されている。ただし本実施例はこれに限定されるものではなく、二つの記憶部の一方を補正值参照用、他方を補正值送信制御部 6 0 9 からの書き込み用としても構わない。例えば、第 2 オフセット補正部 6 1 6 は常にオフセット補正值記憶部 B (6 1 6 b) に格納されている補正值を参照し、補正值送信制御部 6 0 9 は常にオフセット補正值記憶部 C (6 1 6 c) に対して補正值の書き込みを行うような構成である。この場合、毎フレームの補正開始前にオフセット補正值記憶部 C (6 1 6 c) からオフセット補正值記憶部 B (6 1 6 b) に補正值を転送する必要がある。

【 0 0 8 3 】

この場合、信号処理部 (D F E 1 0 8 e) は、第 1 補正值記憶部（オフセット補正值記憶部 B (6 1 6 b)、ゲイン補正值記憶部 B (6 1 7 b)）に記憶された補正值を用いて第 1 の信号（輝度信号 A ）または第 3 の信号（輝度信号 B ）を補正する。また、補正值送信制御部 6 0 9 は、第 2 補正值記憶部（（オフセット補正值記憶部 C (6 1 6 c)、ゲイン補正值記憶部 C (6 1 7 c)）に対して補正值を送信する。

【 実施例 6 】

【 0 0 8 4 】

次に、図 1 7 を参照して、本発明の実施例 6 における信号処理について説明する。図 1 7 は、像信号 A の読出し領域および補正值（オフセット補正值）の説明図である。なお、撮像素子 1 0 6 の読出し動作においては、フレームレートの関係上、像信号 A を 1 ライン分全て読み出すのではなく、焦点検出領域の近傍のみの信号を読み出す場合が考えられる。本実施例において、水平方向の一部のみの領域の像信号 A を読み出す場合についての構成について説明する。

【 0 0 8 5 】

図 1 7 (a) は、焦点検出領域と像信号 A 読出し領域の関係図である。図 1 7 (a) に示されるように、画面左側に焦点検出領域が存在する場合、点線で囲まれた領域の像信号 A が読み出される。一方、画面右側に焦点検出領域が存在する場合、一点鎖線で囲まれた領域の像信号 A が読み出される。

【 0 0 8 6 】

なお、図 1 7 (a) 中の点線で囲まれた領域を読み出すには、図 8 に示されるタイミングチャートにおいて、像信号 A を読み出すための水平走査回路 3 1 1 の動作を信号 h a 1 の出力から開始し、点線枠の右端まで走査した段階で停止すればよい。また、一点鎖線で囲まれた領域を読み出すには、水平走査回路 3 1 1 の動作を一点鎖線枠の左端に相当する列から開始し、右端の信号 h a k まで走査して停止すればよい。

【 0 0 8 7 】

10

20

30

40

50

図17(b)は、オフセット補正值記憶部616a(または、616b、616c)に格納される補正值と、オフセット補正部616において補正に用いられる部分との関係図である。まず、オフセット補正值の書き込みについては、補正值送信制御部609の転送動作により、1ライン分の補正值が書き込まれる。次に、オフセット補正部616で用いられる補正值については、画面左側の焦点検出時には図17(a)の点線枠で囲まれた部分の補正值を用いる。一方、画面右側の焦点検出時には図17(a)の一点鎖線枠に囲まれた部分の補正值を用いる。なお、詳細な説明は省略するが、ゲイン補正についても同様である。ゲイン補正值記憶部617a(617b、617c)に格納された1ライン分の補正值から、像信号Aの読み出し領域に応じた部分を選択して用いる。

【0088】

10

このように本実施例において、信号処理部は、補正值記憶部に記憶された複数の補正值のうちの一部の補正值を選択して補正を行う。そして信号処理部は、第1の信号(輝度信号A)または第3の信号(輝度信号B)の補正に用いられる補正值をフレームごとに変更する。本実施例の構成によれば、補正值送信制御部609は、像信号Aの読み出し領域に応じて異なる補正值を送信する必要がなくなり、処理の煩雑化を回避することができる。

【0089】

各実施例によれば、少ない補正データ量で、撮像素子から撮像信号および焦点検出信号の両方を高精度に生成可能な撮像装置、撮像システム、信号処理方法、プログラム、および、記憶媒体を提供することができる。

【0090】

20

以上、本発明の好ましい実施形態について説明したが、本発明はこれらの実施形態に限定されず、その要旨の範囲内で種々の変形及び変更が可能である。

【0091】

例えば、補正值の転送は1フレームごとに行われるものとして説明したが、ISO感度設定を切り替える場合にのみ行うようにしても構わない。この場合、転送動作を行う回数が減る分だけ消費電力を低減することができる。また、ISO感度設定を切り替える場合だけに限定されるものではなく、絞り設定やシャッター速度設定など他の撮影条件に応じて補正值を変更する場合、それらの条件の変更のたびに補正值の転送を行うように構成してもよい。

【0092】

30

また、各実施例のオフセット補正について、列ごとのオフセット差を補正する構成について説明しているが、各実施例はこれに限定されるものではなく、画素行ごとに異なるオフセット補正を行うように構成してもよい。同様に、ゲイン補正についても、画素行ごとに異なるゲインを乗じるような構成としてもよい。また、光学シェーディングの補正などの別のゲイン補正と同時に行うように構成することもできる。

【0093】

また各実施例では、画素加算について、R/G/G/Bの各色の信号を同比率で加算するように構成されているが、色ごとに重み付けを変えて加算してもよい。また、異なる色を加算せず、同色の信号同士を加算するように構成することもできる。

【0094】

40

また、各実施例の加算画素数について、 2×2 の画素加算を行う構成について説明しているが、これに限定されるものではない。AF演算でデフォーカス量を高精度に検出することができる範囲であれば、より大きな単位で加算してもよい。

【0095】

また、各実施例の副画素の配置について、副画素a、bは水平方向に二分割された構成を説明しているが、これに限定されるものではない。一つのマイクロレンズに対応する一画素を 2×2 の四分割するように構成してもよい。また、それ以外の分割数とすることも可能である。

【0096】

また、副画素aの信号と副画素bの信号の加算方法について、FD部403により加算

50

される構成を説明しているが、撮像素子 106 の他の部分で加算してもよい。列共通読出し回路内の信号保持容量で加算することもできる。また、撮像素子 106 内での加算に限定されるものではなく、デジタル値への変換後に DFE や DSP において加算するように構成してもよい。

【0097】

(他の実施形態)

本発明の目的は、以下のようにしても達成できる。すなわち、前述した各実施形態の機能を実現するための手順が記述されたソフトウェアのプログラムコードを記録した記憶媒体を、システムまたは装置に供給する。そしてそのシステムまたは装置のコンピュータ（または CPU、MPU 等）が記憶媒体に格納されたプログラムコードを読み出して実行する。10 この場合、記憶媒体から読み出されたプログラムコード自体が本発明の新規な機能を実現することになり、そのプログラムコードを記憶した記憶媒体およびプログラムは本発明を構成することになる。

【0098】

また、プログラムコードを供給するための記憶媒体としては、例えば、フレキシブルディスク、ハードディスク、光ディスク、光磁気ディスクなどが挙げられる。また、CD-ROM、CD-R、CD-RW、DVD-ROM、DVD-RAM、DVD-RW、DV-D-R、磁気テープ、不揮発性のメモリカード、ROM 等も用いることができる。

【0099】

また、コンピュータが読み出したプログラムコードを実行可能とすることにより、前述した各実施形態の機能が実現される。さらに、そのプログラムコードの指示に基づき、コンピュータ上で稼動している OS（オペレーティングシステム）などが実際の処理の一部または全部を行い、その処理によって前述した各実施形態の機能が実現される場合も含まれる。20

【0100】

更に、以下の場合も含まれる。まず記憶媒体から読み出されたプログラムコードが、コンピュータに挿入された機能拡張ボードやコンピュータに接続された機能拡張ユニットに備わるメモリに書き込まれる。その後、そのプログラムコードの指示に基づき、その機能拡張ボードや機能拡張ユニットに備わる CPU 等が実際の処理の一部または全部を行う。

【0101】

また、本発明はデジタルカメラのような撮影を主目的とした機器に限定されず、携帯電話、パソコンコンピュータ（ラップトップ型、デスクトップ型、タブレット型など）、ゲーム機など、撮像装置を内蔵もしくは外部接続する任意の機器に適用可能である。従つて、本明細書における「撮像装置」は、撮像機能を備えた任意の電子機器を包含することが意図されている。30

【符号の説明】

【0102】

100 撮像装置

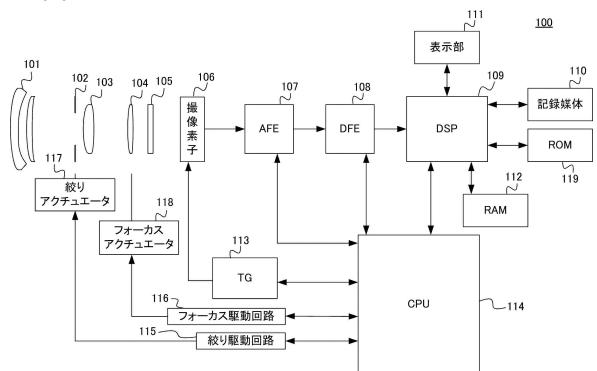
106 撮像素子

108 DFE

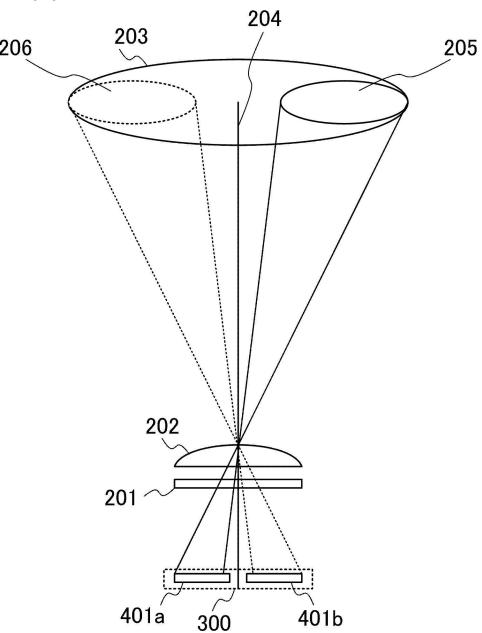
109 DSP

40

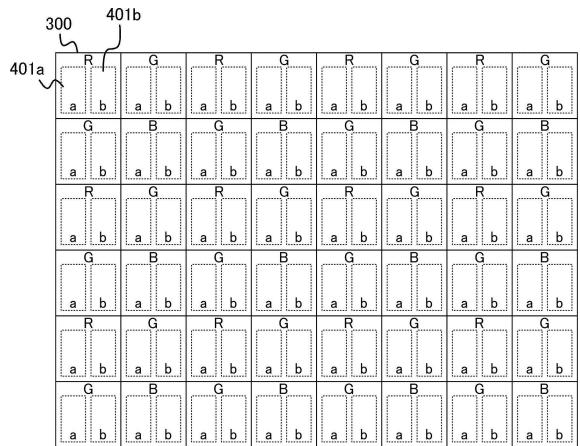
【図1】



【図3】

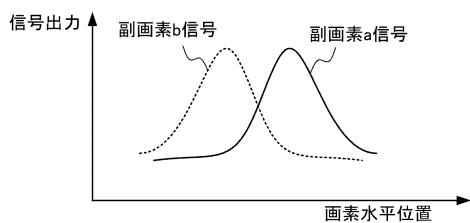


【図2】

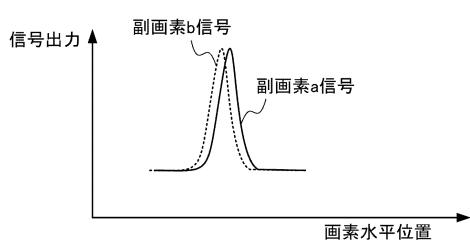


【図4】

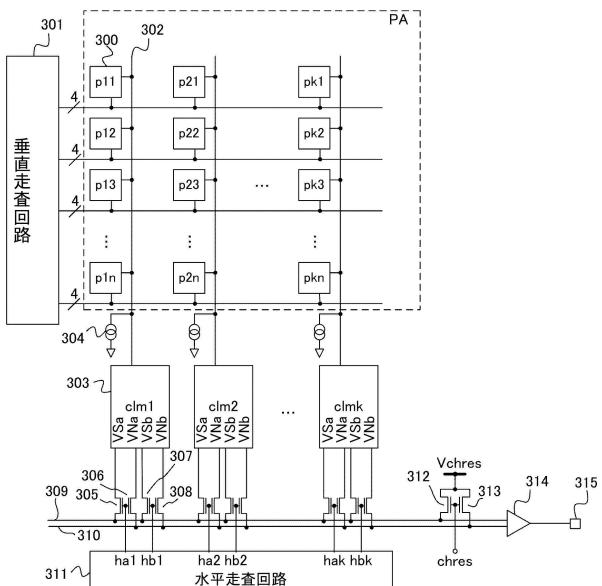
(a) 合焦状態から外れている場合



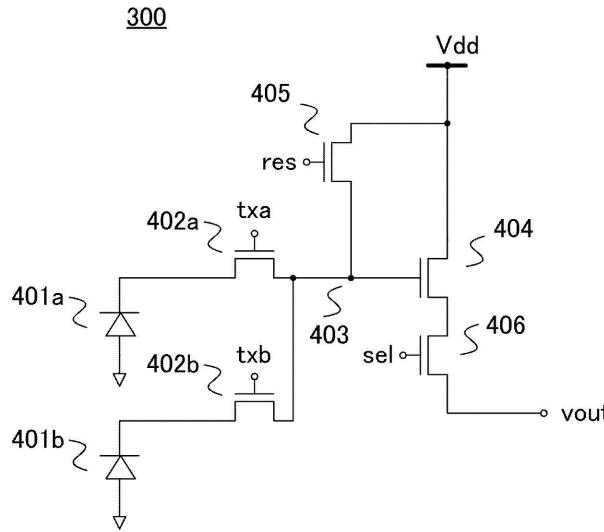
(b) 略合焦状態



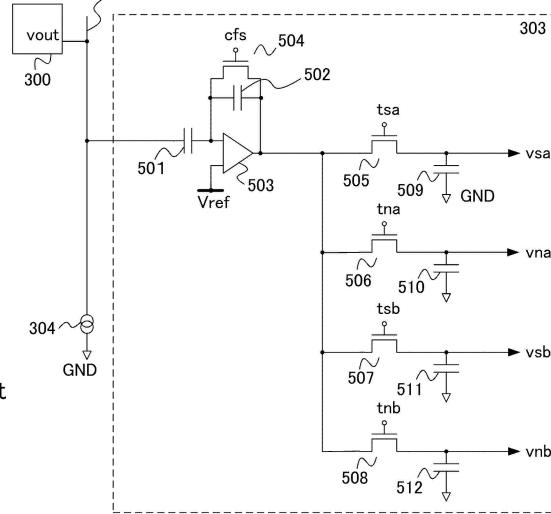
【図5】



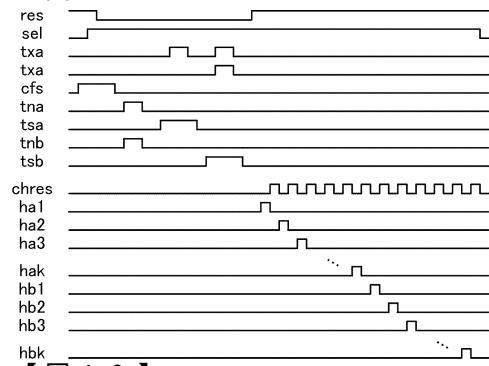
【図6】



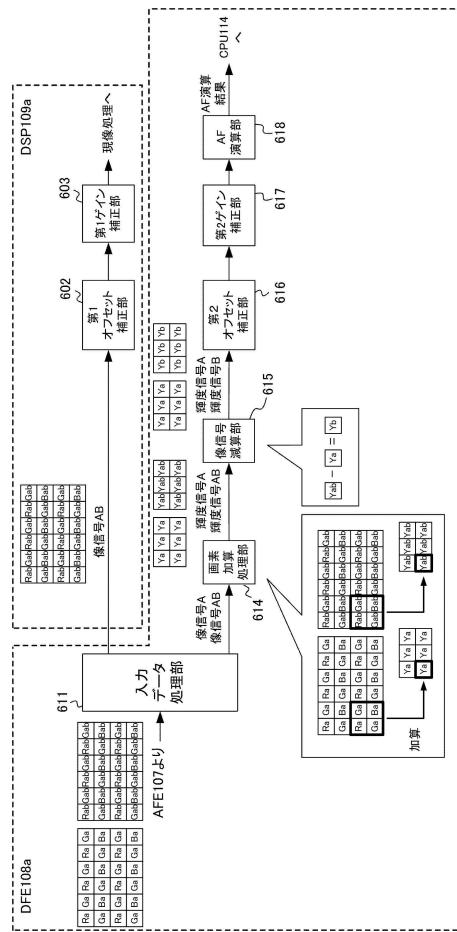
【図7】



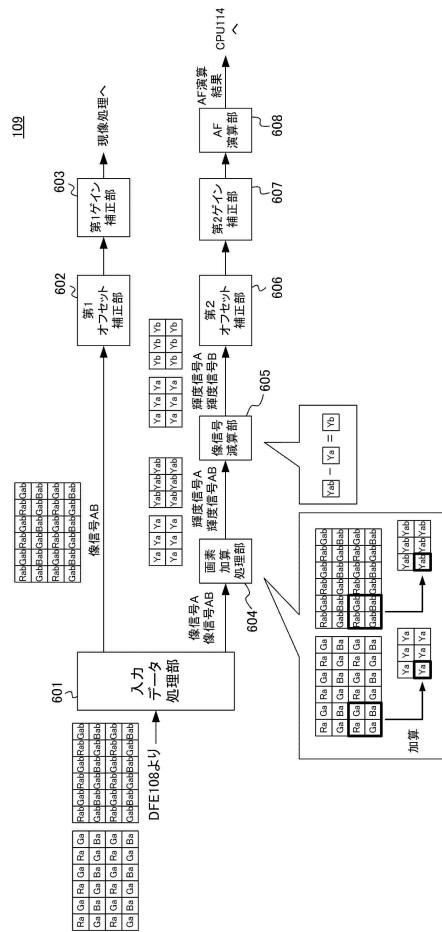
【図8】



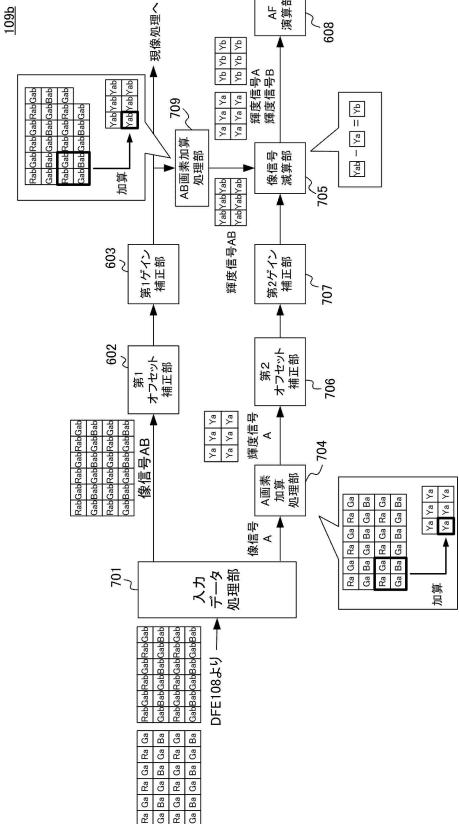
【図10】



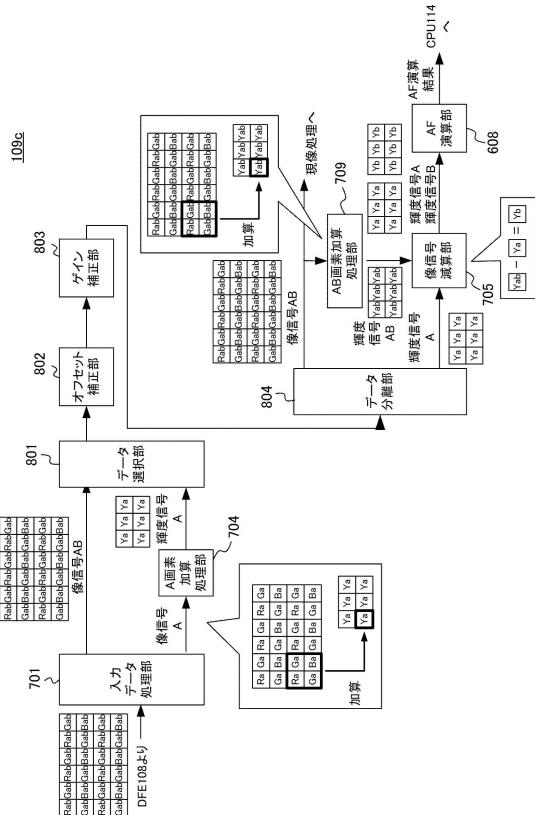
【図9】



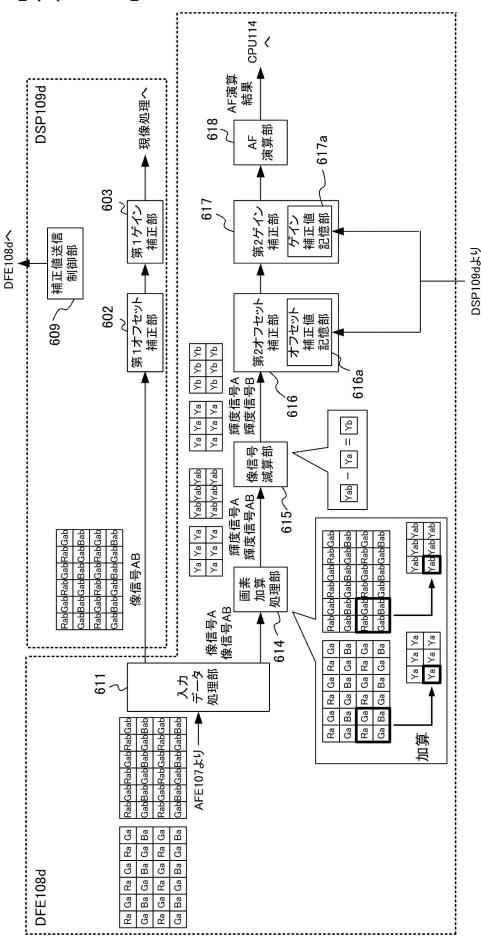
【図 1 1 】



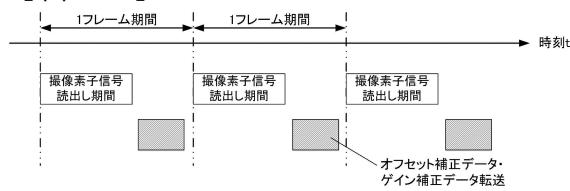
【図 1 2】



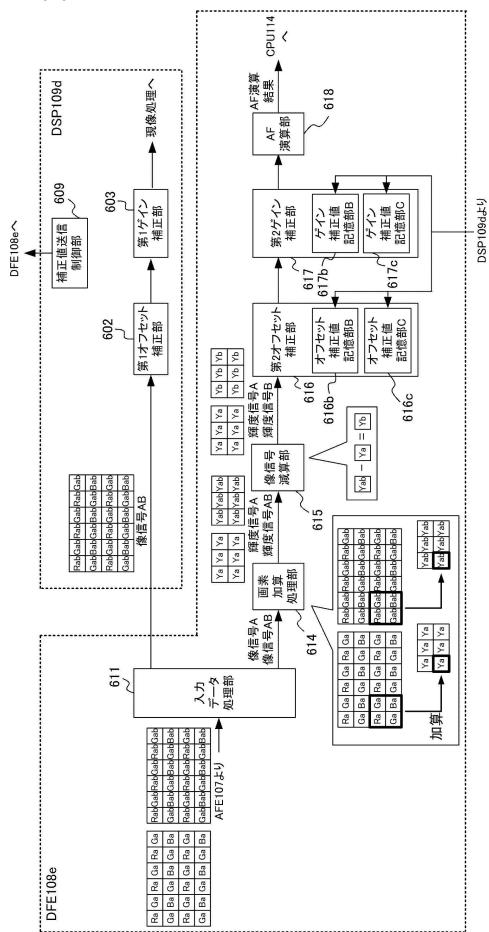
〔 図 1 3 〕



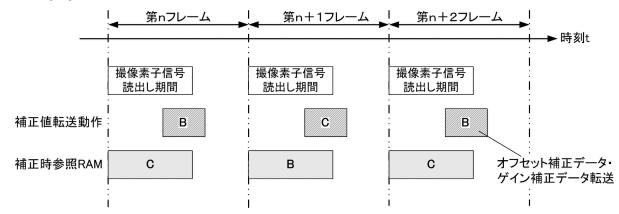
【 义 1 4 】



【図15】

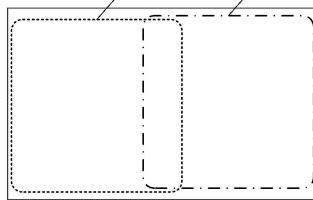


【図16】



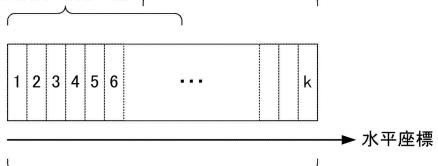
【図17】

(a) 画面左側の焦点検出時 像信号A読出し領域
画面右側の焦点検出時 像信号A読出し領域



(b)

画面左側の焦点検出時に使用される補正值
画面右側の焦点検出時に使用される補正值



補正值送信制御部609により
書き込まれるデータ

フロントページの続き

(56)参考文献 特開2002-131623(JP,A)
特開2011-017800(JP,A)
特開2013-110607(JP,A)
国際公開第2013/027513(WO,A1)
特開昭61-253978(JP,A)
特開2003-198929(JP,A)
米国特許出願公開第2006/0262210(US,A1)
国際公開第2011/004686(WO,A1)
国際公開第2013/077154(WO,A1)
特開2007-174590(JP,A)

(58)調査した分野(Int.Cl., DB名)

| | |
|--------|---------|
| H 04 N | 5 / 232 |
| G 03 B | 3 / 00 |
| H 04 N | 5 / 347 |
| H 04 N | 9 / 07 |