

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4519112号

(P4519112)

(45) 発行日 平成22年8月4日(2010.8.4)

(24) 登録日 平成22年5月28日(2010.5.28)

(51) Int.Cl.

F I

G 1 1 C 11/41 (2006.01)

G 1 1 C 11/34

H

G 1 1 C 11/34

M

請求項の数 13 (全 12 頁)

(21) 出願番号 特願2006-238210 (P2006-238210)
 (22) 出願日 平成18年9月1日(2006.9.1)
 (65) 公開番号 特開2007-66509 (P2007-66509A)
 (43) 公開日 平成19年3月15日(2007.3.15)
 審査請求日 平成18年9月1日(2006.9.1)
 (31) 優先権主張番号 11/218,009
 (32) 優先日 平成17年9月1日(2005.9.1)
 (33) 優先権主張国 米国(US)

(73) 特許権者 395015319
 株式会社ソニー・コンピュータエンタテインメント
 東京都港区南青山二丁目6番21号
 (74) 代理人 100105924
 弁理士 森下 賢樹
 (72) 発明者 時任 俊作
 東京都港区南青山2丁目6番21号 株式会社ソニー・コンピュータエンタテインメント内

審査官 園田 康弘

最終頁に続く

(54) 【発明の名称】 SRAMのメモリシステムおよびその制御方法

(57) 【特許請求の範囲】

【請求項1】

スタティックランダムアクセスメモリのメモリシステムであって、
 ビットラインに接続される真ノードと、相補ビットラインに接続される相補ノードと、
 を含むメモリセルと、
 前記メモリセルへのデータの書き込みに先立ち、前記ビットラインおよび前記相補ビットラインを、電源電圧V_{dd}よりも低い電圧レベルに充電する書き込みプリチャージ回路と、
 前記メモリセルからのデータの読み出しに先立ち、前記ビットラインおよび前記相補ビットラインを、電源電圧V_{dd}の電圧レベルまで充電する読み出しプリチャージ回路と、
 を備えることを特徴とするメモリシステム。

【請求項2】

前記書き込みプリチャージ回路は、
 前記電源電圧V_{dd}と前記ビットラインの間に接続されたNチャンネルMOSFET (Metal Oxide Semiconductor Field Effect Transistor) と、
 前記電源電圧V_{dd}と前記相補ビットラインの間に接続されたNチャンネルMOSFET と、
 を含むことを特徴とする請求項1に記載のメモリシステム。

【請求項3】

10

20

前記NチャンネルMOSFETのしきい値電圧を V_{th} とすると、前記書き込みプリチャージ回路は、前記ビットラインを略($V_{dd} - V_{th}$)の電圧レベルまで充電し、前記相補ビットラインを略($V_{dd} - V_{th}$)の電圧レベルまで充電することを特徴とする請求項2に記載のメモリシステム。

【請求項4】

前記読み出しプリチャージ回路は、

前記電源電圧 V_{dd} と前記ビットラインの間に接続されたPチャンネルMOSFET (Metal Oxide Semiconductor Field Effect Transistor)と、

前記電源電圧 V_{dd} と前記相補ビットラインの間に接続されたPチャンネルMOSFETと、

を含むことを特徴とする請求項1に記載のメモリシステム。

【請求項5】

書き込みバッファをさらに備え、

当該書き込みバッファは、書き込まれるデータがハイのとき、前記ビットラインを、前記書き込みプリチャージ回路と同レベルである前記電源電圧 V_{dd} よりも低い電圧レベルに駆動し、書き込まれるデータがローのとき、前記相補ビットラインを、前記書き込みプリチャージ回路と同レベルである前記電源電圧 V_{dd} よりも低い電圧レベルに駆動することを特徴とする請求項1に記載のメモリシステム。

【請求項6】

前記書き込みバッファは、

前記電源電圧 V_{dd} と前記ビットラインの間に接続されたNチャンネルMOSFET (Metal Oxide Semiconductor Field Effect Transistor)と、

前記電源電圧 V_{dd} と前記相補ビットラインの間に接続されたNチャンネルMOSFETと、

を含むことを特徴とする請求項5に記載のメモリシステム。

【請求項7】

前記書き込みバッファは、

前記ビットラインと共通接地電圧 V_{ss} の間に接続されたNチャンネルMOSFETと

、
前記相補ビットラインと前記共通接地電圧 V_{ss} の間に接続されたNチャンネルMOSFETと、

をさらに含むことを特徴とする請求項6に記載のメモリシステム。

【請求項8】

前記NチャンネルMOSFETのしきい値電圧を V_{th} とすると、前記書き込みバッファは、書き込まれるデータがハイのとき、前記ビットラインを略($V_{dd} - V_{th}$)の電圧レベルに駆動し、前記相補ビットラインを略 V_{ss} の電圧レベルに駆動することを特徴とする請求項6または7に記載のメモリシステム。

【請求項9】

前記NチャンネルMOSFETのしきい値電圧を V_{th} とすると、前記書き込みバッファは、書き込まれるデータがローのとき、前記相補ビットラインを略($V_{dd} - V_{th}$)の電圧レベルに駆動し、前記ビットラインを略 V_{ss} の電圧レベルに駆動することを特徴とする請求項6または7に記載のメモリシステム。

【請求項10】

スタティックランダムアクセスメモリの制御方法であって、

メモリセルへのデータの書き込みに先立ち、ビットラインおよび相補ビットラインを、電源電圧 V_{dd} よりも低い電圧レベルに予備充電するステップと、

前記メモリセルからのデータの読み出しに先立ち、前記ビットラインおよび前記相補ビットラインを、前記電源電圧 V_{dd} の電圧レベルまで充電するステップと、

を備えることを特徴とする制御方法。

【請求項 1 1】

NチャンネルMOSFETのしきい値電圧を V_{th} とすると、前記電源電圧 V_{dd} よりも低い電圧レベルは、略 $(V_{dd} - V_{th})$ であることを特徴とする請求項 1 0 に記載の制御方法。

【請求項 1 2】

前記メモリセルに書き込まれるデータがハイのとき、
前記ビットラインを略 $(V_{dd} - V_{th})$ の電圧レベルに駆動するステップと、
前記相補ビットラインを共通接地電圧 V_{ss} の電圧レベルに駆動するステップと、
をさらに備えることを特徴とする請求項 1 1 に記載の制御方法。

10

【請求項 1 3】

前記メモリセルに書き込まれるデータがローのとき、
前記相補ビットラインを略 $(V_{dd} - V_{th})$ の電圧レベルに駆動するステップと、
前記ビットラインを共通接地電圧 V_{ss} の電圧レベルに駆動するステップと、
をさらに備えることを特徴とする請求項 1 1 に記載の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、SRAM (Static Random Access Memory) を制御する装置および方法に関する。

20

【背景技術】

【0002】

SRAMのメモリセルは、メモリセルの向かい合った位置に、相補的な低電位および高電位で表されるデータを保持する。DRAM (Dynamic Random Access Memory) のメモリセルが、周期的に保持されたデータをリフレッシュさせるのに対して、SRAMは、DRAMとは異なり、セルに電力が供給される限り、データを保持する。SRAMセルは、あるビットラインに関連づけられる“真”ノードと、それと相補的なビットラインに関連づけられる相補的なノードを含む。真ノードが高電位として読み出される場合、そのSRAMセルの値はデジタル値の1となる。真ノードが低電位として読み出される場合、そのSRAMセルの値はデジタル値の0となる。

30

【0003】

書き込み、読み出しサイクルの間、データがあるメモリセルに書き込まれる前に、従来のSRAMシステムは、あるビットラインとそれと相補的なビットラインを、SRAMの電源電圧 V_{dd} で駆動するためのプリチャージ (Pre-charge) 回路を利用する。実際にSRAMセルにデータが書き込まれる期間、書き込みバッファは、ビットラインおよび相補ビットラインを駆動する。書き込まれるデータに応じて、すなわち論理値のハイ、ローに応じて、ビットラインおよび相補ビットラインは、プリチャージレベル (V_{dd}) と、共通電位レベル V_{ss} (通常は、接地電圧) との間で、電圧レベルがフルスイングする場合がある。

【0004】

40

比較的高い周波数のクロック信号による連続的な書き込みサイクルは、2つのビットラインにおいて連続的な電圧のフルスイングを引き起し、その結果、SRAMのメモリシステムは電力を消費する。電力消費の問題は、クロック信号の周波数が増加するとともに顕著となる。これは、高いメモリの性能が設計の最終目標である状況において、ますます問題となる。

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明は、係る課題に鑑みてなされたものであり、その目的は、高いクロック周波数による消費電力の増加を抑制するためのSRAMのメモリセルの制御技術の提供にある。

50

【課題を解決するための手段】

【0006】

上記課題を解決するための本発明のある態様は、スタティックランダムアクセスメモリ（SRAM）のメモリシステムに関する。このスタティックランダムアクセスメモリシステムは、ビットラインに接続される真ノードと、相補ビットラインに接続される相補ノードと、を含むメモリセルと、メモリセルへのデータの書き込みに先立ち、ビットラインおよび相補ビットラインを、電源電圧 V_{dd} よりも低い電圧レベルに充電する書き込みプリチャージ回路と、を備える。

【0007】

書き込みプリチャージ回路は、電源電圧 V_{dd} とビットラインの間に接続されたNチャンネルMOSFETと、電源電圧 V_{dd} と相補ビットラインの間に接続されたNチャンネルMOSFETと、を含んでもよい。

10

NチャンネルMOSFETのしきい値電圧を V_{th} とすると、書き込みプリチャージ回路は、ビットラインを略 $(V_{dd} - V_{th})$ の電圧レベルまで充電し、相補ビットラインを略 $(V_{dd} - V_{th})$ の電圧レベルまで充電してもよい。

【0008】

メモリシステムは、メモリセルからのデータの読み出しに先立ち、ビットラインおよび相補ビットラインを、略電源電圧 V_{dd} の電圧レベルまで充電する読み出しプリチャージ回路をさらに備えてもよい。

読み出しプリチャージ回路は、電源電圧 V_{dd} とビットラインの間に接続されたPチャンネルMOSFETと、電源電圧 V_{dd} と相補ビットラインの間に接続されたPチャンネルMOSFETと、を含んでもよい。

20

【0009】

メモリシステムは、書き込みバッファをさらに備えてもよい。この書き込みバッファは、電源電圧 V_{dd} とビットラインの間に接続されたNチャンネルMOSFETと、電源電圧 V_{dd} と相補ビットラインの間に接続されたNチャンネルMOSFETと、を含んでもよい。

書き込みバッファは、ビットラインと共通接地電圧 V_{ss} の間に接続されたNチャンネルMOSFETと、相補ビットラインと共通接地電圧 V_{ss} の間に接続されたNチャンネルMOSFETと、をさらに含んでもよい。

30

NチャンネルMOSFETのしきい値電圧を V_{th} とすると、書き込みバッファは、書き込まれるデータがハイのとき、ビットラインを略 $(V_{dd} - V_{th})$ の電圧レベルに駆動し、相補ビットラインを略 V_{ss} の電圧レベルに駆動してもよい。

また、NチャンネルMOSFETのしきい値電圧を V_{th} とすると、書き込みバッファは、書き込まれるデータがローのとき、相補ビットラインを略 $(V_{dd} - V_{th})$ の電圧レベルに駆動し、ビットラインを略 V_{ss} の電圧レベルに駆動してもよい。

【0010】

本発明の別の態様も、SRAMメモリシステムに関する。このSRAMメモリシステムは、ビットラインに接続される真ノードと、相補ビットラインに接続される相補ノードと、を含むメモリセルと、メモリセルへのデータの書き込みに先立ち、ビットラインおよび相補ビットラインを、電源電圧 V_{dd} よりも低い電圧レベルに充電する書き込みプリチャージ回路と、メモリセルからのデータの読み出しに先立ち、ビットラインおよび相補ビットラインを、略電源電圧 V_{dd} の電圧レベルまで充電する読み出しプリチャージ回路と、を備える。

40

【0011】

本発明のさらに別の態様は、スタティックランダムアクセスメモリの制御方法に関する。この制御方法は、メモリセルへのデータの書き込みに先立ち、ビットラインおよび相補ビットラインを、電源電圧 V_{dd} よりも低い電圧レベルに予備充電するステップを備える。

NチャンネルMOSFETのしきい値電圧を V_{th} とすると、電源電圧 V_{dd} よりも

50

低い電圧レベルは、略 ($V_{dd} - V_{th}$) であってもよい。

この制御方法は、メモリセルに書き込まれるデータがハイのとき、ビットラインを略 ($V_{dd} - V_{th}$) の電圧レベルに駆動するステップと、相補ビットラインを共通接地電圧 V_{ss} の電圧レベルに駆動するステップと、をさらに備えてもよい。さらに、この制御方法は、メモリセルに書き込まれるデータがローのとき、相補ビットラインを略 ($V_{dd} - V_{th}$) の電圧レベルに駆動するステップと、ビットラインを共通接地電圧 V_{ss} の電圧レベルに駆動するステップと、をさらに備えてもよい。

【0012】

本発明のさらに別の態様もまた、制御方法である。この方法は、メモリセルからのデータの読み出しに先立ち、ビットラインおよび相補ビットラインを、電源電圧 V_{dd} の電圧レベルまで充電するステップをさらに備える。

10

【0013】

なお、以上の構成要素の任意の組合せや、本発明の構成要素や表現を、方法、装置、システムなどの間で相互に置換したものもまた、本発明の態様として有効である。

【発明の効果】

【0014】

本発明によれば、SRAMメモリシステムにおける消費電力を低減することができる。

【発明を実施するための最良の形態】

【0015】

同等の構成要素に同一の符号を付したいいくつかの図面を参照しながら、実施の形態について説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

20

図1は、本発明の特徴を実現するSRAMメモリシステム100を示す。説明の簡潔化および明確化のため、図1のブロック図は装置を示すものとして説明するが、同等の方法にも適用できることは容易に理解される。

【0016】

SRAMメモリシステム100は、SRAMメモリセル102、読み出しプリチャージ回路104、書き込みプリチャージ回路106、クランプデコード回路108、書き込みバッファ110、センスアンプ112を備える。説明の簡潔化および明確化のため、1個のSRAMメモリセル102が示されるが、SRAMメモリシステム100に複数のSRAMメモリセル102が用いられることは当業者にとって容易に理解される。

30

【0017】

図2は、図1のSRAMメモリシステム100に好適に使用されるSRAMメモリセル102の構成例を示す詳細な回路図である。SRAMメモリセル102は、ビットラインBLおよび相補ビットラインXBLにそれぞれ対応するノードA、Bの間に設けられた複数のFETを備える。説明のため、NチャンネルMOSトランジスタ（以下、NMOSトランジスタともいう）を経由して、ビットラインBLに接続されるノードAを真のノード、相補ビットラインXBLに接続されるノードBを相補ノードとよぶ。NMOSトランジスタは、ワードライン(WL)信号によって制御される。NMOSトランジスタは、1ワードのデータを、複数のSRAMメモリセルにストアする際に駆動される。SRAMメモリセル102は、電源電圧 V_{dd} および V_{ss} （あるいは接地電圧）間に直列に接続されたPチャンネルMOSトランジスタ（以下、PMOSトランジスタともいう）およびNMOSトランジスタを含む。真ノードAは、PMOSトランジスタおよびNMOSトランジスタの接続点である。PMOSトランジスタおよびNMOSトランジスタの第2の組は、相補ノードBを形成する。

40

【0018】

ワードラインWLを介してそれぞれのNMOSトランジスタをオンすることにより、ビットラインBLおよび相補ビットラインXBL間の電圧に応じたビットデータがSRAM

50

メモリセル102に書き込まれる。たとえば、ビットラインBLが電圧V_{dd}に駆動され、相補ビットラインXBLが電圧V_{ss}（すなわち接地電圧）に駆動されると、真ノードAに対応するPMOSトランジスタがオンし、真ノードAに対応するNMOSトランジスタがオフする。また、相補ノードBに対応するPMOSトランジスタがオフし、相補ノードBに対応するNMOSトランジスタがオンする。その結果、真ノードAは、実質的に電圧V_{dd}となり、相補ノードBは実質的に電圧V_{ss}となる。ビットラインBLおよび相補ビットラインXBLの駆動電圧をこれと反転することにより、反対の状態が作り出せることは当業者にとって容易に理解できる。

【0019】

本実施の形態において、真ノードAが高電圧（すなわちV_{dd}）であり、相補ノードBがそれより低い電圧（すなわち接地電圧）である状態は、論理値のハイレベルあるいはデジタル値の1を意味する。反対に、真ノードAが低電圧であり、相補ノードBが高電圧である状態は、論理値のローレベルあるいはデジタル値の0を意味する。

【0020】

SRAMメモリセル102へのデータの書き込みは、書き込みバッファ110によって行われ、SRAMメモリセル102からのデータの読み出しは、センスアンプ112により行われる。クランプデコード回路108は、書き込みバッファ110、センスアンプ112、ビットラインBLおよび相補ビットラインXBLを接続する。SRAMメモリセル102にデータを書き込む際に、クランプデコード回路108は、書き込みバッファ110とビットラインBLおよび相補ビットラインXBLを接続する。このようにして、書き込みバッファ110の電圧源は、ビットラインBLおよび相補ビットラインXBLに対して適切な電圧を供給し、ビットラインBLおよび相補ビットラインXBLを、書き込むべきデータに応じた適切な電圧レベルに駆動する。一方、SRAMメモリセル102からデータを読み出す際に、クランプデコード回路108は、センスアンプ112とビットラインBLおよび相補ビットラインXBLを接続する。このとき、SRAMメモリセル102のトランジスタは、ビットラインBLおよび相補ビットラインXBLを駆動し、その結果、センスアンプ112が真ノードAおよび相補ノードBに現れる電圧を決定する。

【0021】

詳しくは後述するが、読み出しプリチャージ回路104および書き込みプリチャージ回路106は、SRAMメモリセル102へのデータ書き込みあるいは読み出しに先立ち、ビットラインBLおよび相補ビットラインXBLをある電圧に駆動する。

【0022】

図3は、SRAMメモリシステム100の詳細な回路図およびブロック図である。説明の簡略化および明確化のため、SRAMメモリセル102は省略されている。読み出しプリチャージ回路104は、電圧V_{dd}とビットラインBLの間、あるいは電圧V_{dd}と相補ビットラインXBLの間に接続された複数のPMOSトランジスタを含む。読み出しプリチャージ回路104は、動作時において、SRAMメモリセル102からのデータ読み出しに先立って、ビットラインBLおよび相補ビットラインXBLを、電源電圧V_{dd}付近のある電圧レベルに充電する。

図3に示すように、読み出しプリチャージ回路104は、NMOSトランジスタよりも、PMOSトランジスタで構成した方が望ましい。

読み出しプリチャージ回路104を、NMOSトランジスタで構成した場合、ビットラインBL、相補ビットラインXBLは、NMOSトランジスタのゲートに供給する電位（V_{dd}）よりも、NMOSトランジスタのしきい値電圧V_{th}だけ低い電圧でプリチャージされることになる。したがって、トランジスタのしきい値電圧V_{th}のばらつきは、プリチャージ電圧のばらつきとなって現れる。SRAMメモリシステム100では、ビットラインBLおよび相補ビットラインXBLの微少な電位差を、センスアンプ112によって読み出すため、ビットラインBL、相補ビットラインXBLのプリチャージ電圧が変動すると、読み出し時にエラーが発生する可能性がある。

これに対して、読み出しプリチャージ回路104をPMOSトランジスタで構成した場

10

20

30

40

50

合、PMOSトランジスタがフルの状態において、ドレイン電圧とソース電圧は等しくなるため、ビットラインBL、相補ビットラインXBLは、確実に電源電圧V_{dd}付近にプリチャージされる。すなわち、トランジスタのしきい値電圧V_{th}のばらつきが、プリチャージ電圧に影響を及ぼすことはなく、読み出し時にエラーが発生するのを防止することができる。

もっとも、半導体製造プロセスによっては、NMOSトランジスタの能力差（しきい値電圧V_{th}）のばらつきが小さい場合や、あるいは、データが書き込まれた状態において、ビットラインBLと相補ビットラインXBLの電位差が十分に大きい場合もありえる。このような場合には、読み出しプリチャージ回路104をNMOSトランジスタで構成してもよい。読み出しプリチャージ回路104をNMOSトランジスタで構成できれば、PMOSトランジスタで構成した場合に比べて、回路面積の点で有利である。

10

さらに、回路規模の増大を許容できる場合には、読み出しプリチャージ回路104を、PMOSトランジスタを複数、直列に接続した構成、あるいは、NMOSトランジスタとPMOSトランジスタを直列に接続した構成としてもよい。

【0023】

書き込みプリチャージ回路106は、好ましくは、電圧V_{dd}とビットラインBLの間、あるいは電圧V_{dd}と相補ビットラインXBLの間に接続された複数のNMOSトランジスタを含む。書き込みプリチャージ回路106は、動作時において、SRAMメモリセル102へのデータ書き込みに先立って、ビットラインBLおよび相補ビットラインXBLを、電源電圧V_{dd}付近より低い電圧レベルに充電する。具体的には、書き込みプリチャージ回路106は、ビットラインBLを電圧レベル（V_{dd} - V_{th}）付近に充電する。ここでV_{th}は、電源電圧V_{dd}およびビットラインBLの間に接続されたNMOSトランジスタのしきい値電圧である。同様に、書き込みプリチャージ回路106は、相補ビットラインXBLを略（V_{dd} - V_{th}）に充電する。詳しくは後述するが、ビットラインBLおよび相補ビットラインXBLを、電源電圧V_{dd}より低い電圧レベルまで充電することにより、SRAMメモリシステム100の消費電力を低減することができる。

20

【0024】

書き込みプリチャージ回路106の利点を理解するために、まず、従来のビットラインBLおよび相補ビットラインXBLのプリチャージについて図4を参照して説明する。図4は、書き込み動作および読み出し動作時におけるSRAMメモリシステム100のさまざまな信号を示すタイムチャートである。説明のため、図4のタイムチャートは、読み出し時と書き込み時で、全く同じ、あるいは同様なプリチャージを使用しているものとする。さらに具体的にいうと、図4のタイムチャートにおいて、ビットラインBLおよび相補ビットラインXBLは、書き込み動作あるいは読み出し動作に先立って、ほぼ電源電圧V_{dd}に充電されるものとする。図4を詳細に説明すると、CK信号は、SRAMメモリシステム100の各部材に供給されるクロック信号を示す。WL信号は、各ワードライン信号がいつ動作するかを示している。ビットラインBLは読み出しあるいは書き込み動作時のビットラインの電圧レベルを示す。図4に示されるように、書き込み動作に先立ち、ビットラインBLは、電圧レベルV_{dd}に充電される。書き込み動作中、書き込みバッファ110は、ビットラインBLを、ビットラインBLを電源電圧V_{dd}と接地レベル（V_{ss}）の間で、フルスイングさせる場合がある。その後、ビットラインBLは、再度プリチャージを受け電圧レベルV_{dd}に充電される。次の動作が読み出し動作である場合、ビットラインBLは、電源電圧V_{dd}に充電される。読み出し動作の間、SRAMメモリセル102内の動作中の素子は、ビットラインBLを駆動し、その結果、ビットラインBLが駆動される間、ビットラインBLの電圧レベルは低下（ドループ）する。読み出し動作の後、ビットラインBLは、再び電源電圧レベルV_{dd}にプリチャージされる。

30

40

【0025】

これから明らかなように、書き込み動作中、ビットラインBLは、電源電圧V_{dd}および接地電圧の間をフルスイングしており、その結果、比較的大きな電力が、特に書き込みバッファにより消費されてしまう。この問題は、連続動作時や、クロックCKの周波数が

50

増加した場合に、複数の書き込み動作が実行されると、さらに深刻となる。

【 0 0 2 6 】

これに対して、本実施の形態に係る書き込みプリチャージ回路 1 0 6 は、ビットライン B L および相補ビットライン X B L が電源電圧 V d d と V s s (あるいは接地電圧)のレベル間でフルスイングする必要がないように動作する。図 5 は、S R A M メモリシステム 1 0 0 の各信号およびノードの状態を示すタイムチャートである。C K 信号は、S R A M メモリシステム 1 0 0 に供給されるクロック信号を示す。C L M 信号は、クランプデコード回路 1 0 8 が、いつ書き込みバッファ 1 1 0 (あるいはセンスアンプ 1 1 2)と、ビットライン B L および相補ビットライン X B L を接続するかを制御する信号であり、接続状態を示す。C L M 信号は、図 3 にも示される。P R E 信号は、読み出しプリチャージ回路 1 0 4 および書き込みプリチャージ回路 1 0 6 のタイミングを制御する信号であり、そのタイミングを示す。図 3 および図 5 に示されるように、P R E 信号は、読み出し信号 (d e c o d e) との組み合わせによって、読み出し動作に先立ち、読み出しプリチャージ回路 1 0 4 を動作させる。図示される組み合わせ論理回路は、読み出しプリチャージ回路 1 0 4 のための適切な制御信号を生成する。同様に、P R E 信号は、書き込み信号 (d e c o d e) との組み合わせによって、書き込み動作に先立ち、書き込みプリチャージ回路 1 0 6 を動作させる。図示される組み合わせ論理回路は、書き込みプリチャージ回路 1 0 6 のための適切な制御信号を生成する。W E 信号は、ライトイネーブル信号であり、書き込み動作時において、書き込みバッファ 1 1 0 を有効化する。W L 信号は、ワードライン信号であり、真ノード A およびビットライン B L の間のトランジスタ、ならびに相補ノード B および相補ビットライン X B L の間のトランジスタをオンさせる。B L 信号は、書き込み動作中のビットラインの電圧値を示す。

【 0 0 2 7 】

P R E 信号および書き込み信号 (d e c o d e) が書き込みプリチャージ回路 1 0 6 を動作させると、ビットライン B L および相補ビットライン X B L が電圧レベル (V d d - V t h) 付近に充電される。電源電圧 V d d およびしきい値電圧 V t h のレベルにもよるが、この電圧レベルは、電源電圧 V d d のおよそ 1 / 2 となる。したがって、書き込み動作中、ビットライン B L (および相補ビットライン X B L) は、従来のメモリシステムのように、電源電圧 V d d および接地電圧の間をフルスイングしなくなる。さらにいえば、ビットライン B L および相補ビットライン X B L は、(V d d - V t h) 程度の幅、すなわち、従来のメモリシステムの半分、もしくはそれ以下でスイングすることになる。

【 0 0 2 8 】

このようにして、ビットライン B L および相補ビットライン X B L の電圧スイングが実質的に小さくなることにより、S R A M メモリシステム 1 0 0 における消費電力を大きく低減することが可能となる。特に、図 5 に示すような連続書き込みが実行される場合には、その効果は顕著となる。

また、S R A M メモリシステムでは、アイドルモード (すなわち書き込みおよび読み出しサイクル以外)において、ビットライン B L の電位がフローティング (不定) となると、ワードライントランジスタを介したリークによって、ビットライン B L の電位が低下してロー (G N D) となり、メモリセルが壊れるおそれがある。これを防止するため、アイドルモードにおいてプリチャージが実行される。本実施の形態に係る S R A M メモリシステム 1 0 0 では、図 2 に示されるように、アイドルモードにおける、ビットライン B L および相補ビットライン X B L のプリチャージ完了後の定常状態の電圧が低く設定されるため、N M O S のワードライントランジスタがオフしているときに流れるリーク電流が低減される。これによっても、S R A M メモリシステム 1 0 0 の消費電力が低減される。さらに、図 5 に示すように (図 4 と比較して)、書き込みサイクル中のビットライン B L および相補ビットライン X B L の電圧が低下することにより、書き込み時間を短縮することが可能となる。実際に、図 5 において、ビットライン B L および相補ビットライン X B L が、ハイレベル (V d d - V t h) から 0 V にスイングするまでの期間は、図 4 において、ビットライン B L および相補ビットライン X B L が、ハイレベル V d d から 0 V にスイン

10

20

30

40

50

グするまでの期間よりも短くなっている。

【 0 0 2 9 】

図 6 (a)、(b) は、ある動作特性を実現するための書き込みバッファ 1 1 0 の構成例を示す。図 6 (a) の書き込みバッファ 1 1 0 は、N M O S トランジスタおよび P M O S トランジスタの組み合わせで構成される。図 6 (a) の書き込みバッファ 1 1 0 は、書き込むべきデータがハイのとき、ビットライン B L を、電圧レベル (V d d) に駆動し、相補ビットライン X B L を、電圧レベル V s s に駆動する。反対に、書き込むべきデータがローのとき、書き込みバッファ 1 1 0 は相補ビットライン X B L を電圧レベル V s s に駆動する。このため、ビットラインが V s s と V d d の間で振幅する。

図 6 (b) に示す書き込みバッファ 1 1 0 は、N M O S トランジスタで構成され、消費電力の観点から図 6 (a) よりも望ましい。図 6 (b) の書き込みバッファ 1 1 0 は、書き込むべきデータがハイのとき、ビットライン B L を、電圧レベル (V d d - V t h) に駆動し、相補ビットライン X B L を、電圧レベル V s s に駆動する。反対に、書き込むべきデータがローのとき、書き込みバッファ 1 1 0 は、相補ビットライン X B L を電圧レベル (V d d - V t h) に駆動し、ビットライン B L を電圧レベル V s s に駆動する。したがって、図 6 (a) の書き込みバッファ 1 1 0 よりも電圧の振幅が小さくなり、さらに消費電力が低減される。この動作特性は、書き込みプリチャージ回路 1 0 6 の動作特性とも非常に適合するものであり、本発明のある態様の消費電力を低減する能力をより多く発揮することができる。

【 0 0 3 0 】

本実施の形態に係る S R A M メモリシステムでは、書き込み時と読み出し時で利用するプリチャージ回路をそれぞれ別個に設けている。その結果、データの読み出し、書き込みがパイプライン処理される S R A M において、よりその利点、効果を楽しむことができる。

すなわち、パイプライン処理を行わない場合、同じサイクル内で、プリチャージを切り替えて、読み出し/書き込み回路を動作させる必要があり、動作の切り替えに、ある程度の時間を要する。これに対して、パイプライン処理を行った場合には、次のサイクルが読み出し動作か、書き込み動作か判断することが可能となるので、各動作に必要とされるプリチャージ回路を、前のサイクルで動作させることが出来るため高速動作が可能となる。

【 0 0 3 1 】

実施の形態にもとづき、本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎないことはいうまでもなく、実施の形態には、請求の範囲に規定された本発明の思想を離脱しない範囲において、多くの変形例や配置の変更が可能であることはいうまでもない。

【図面の簡単な説明】

【 0 0 3 2 】

【図 1】実施の形態に係る S R A M メモリシステムを示すブロック図である。

【図 2】図 1 の S R A M システムに好適に利用される S R A M メモリセルの構成を示す回路図である。

【図 3】図 1 の S R A M メモリシステムの詳細な回路図である。

【図 4】従来の S R A M メモリシステムの書き込みサイクルおよび読み出しサイクルのタイムチャートである。

【図 5】図 1 の S R A M メモリシステムの連続する書き込みサイクルのタイムチャートである。

【図 6】図 6 (a) は、従来の書き込みバッファの構成を示す回路図であり、図 6 (b) は、図 1 の S R A M メモリシステムに好適に利用される実施の形態に係る書き込みバッファの構成を示す回路図である。

【符号の説明】

【 0 0 3 3 】

1 0 0 S R A M メモリシステム、 1 0 2 S R A M メモリセル、 1 0 4 読み出

10

20

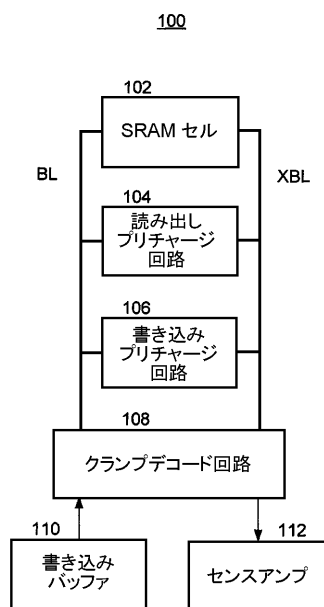
30

40

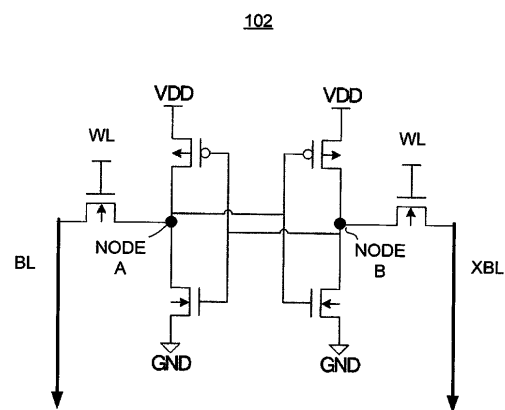
50

しプリチャージ回路、 106 書き込みプリチャージ回路、 108 クランプデコード回路、 110 書き込みバッファ、 112 センスアンプ、 BL ビットライン、 XBL 相補ビットライン、 A 真ノード、 B 相補ノード。

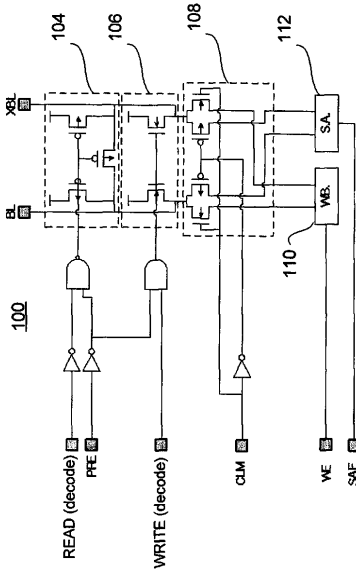
【図 1】



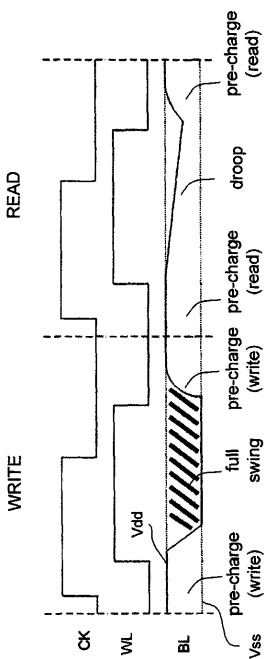
【図 2】



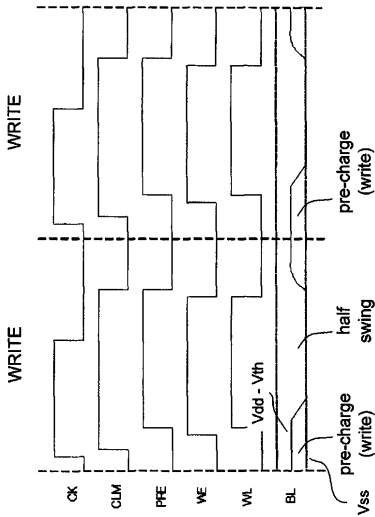
【 図 3 】



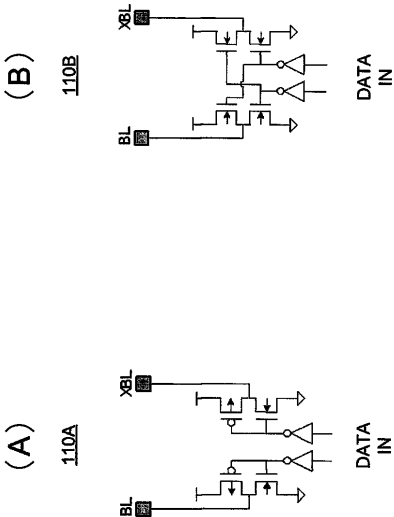
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

- (56)参考文献 特開平 09 - 017183 (JP, A)
特開平 02 - 146188 (JP, A)
特開平 10 - 031888 (JP, A)
特開 2000 - 251477 (JP, A)
特開平 05 - 290580 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G11C 11/41