



공개특허 10-2022-0149426



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0149426
(43) 공개일자 2022년11월08일

(51) 국제특허분류(Int. Cl.)
H01L 27/11521 (2017.01) *H01L 29/788*
(2006.01)

(52) CPC특허분류
H01L 27/11521 (2013.01)
H01L 27/11546 (2013.01)

(21) 출원번호 10-2022-0047529
(22) 출원일자 2022년04월18일
심사청구일자 없음

(30) 우선권주장
JP-P-2021-077655 2021년04월30일 일본(JP)

(71) 출원인
르네사스 일렉트로닉스 가부시키가이샤
일본 도쿄도 고토쿠 도요스 3쵸메 2방 24고

(72) 발명자
시미즈, 슈
일본 도쿄도 고우또우구 도요스 3쵸메 2-24 르네
사스 일렉트로닉스 가부시키가이샤 내

(74) 대리인
장수길, 이중희

전체 청구항 수 : 총 9 항

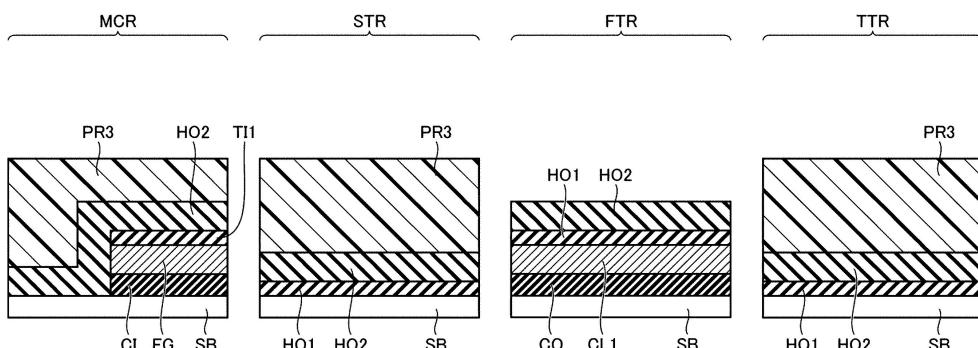
(54) 발명의 명칭 반도체 장치의 제조 방법

(57) 요 약

다른 트랜지스터의 제조 플로에 큰 영향을 주지 않고, 제1 트랜지스터를 제조할 수 있는 반도체 장치의 제조 방법을 제공한다.

불휘발성 반도체 메모리와, 3종 이상의 트랜지스터가 마련되어 있다. 제1 트랜지스터 FT의 게이트 산화막 GI1의 두께는, 제2 트랜지스터 ST의 게이트 산화막 GI2의 두께보다도 크고, 제3 트랜지스터 TT의 게이트 산화막 GI3의 두께보다도 작다. 제1 트랜지스터 영역 FTR에서, 반도체 기판 SB의 표면에 실리콘 산화막 CO가 형성되고, 실리콘 산화막 CO 상에 실리콘 산화막 HO1, HO2가 형성된다. 실리콘 산화막 HO1, HO2와 실리콘 산화막 CO의 상층의 일부가 제거되어, 실리콘 산화막 CO로부터 게이트 산화막 GI1이 형성된다.

대 표 도



(52) CPC특허분류
H01L 29/788 (2013.01)

명세서

청구범위

청구항 1

불휘발성 반도체 메모리와, 제1 막 두께의 제1 게이트 산화막을 갖는 제1 트랜지스터와, 상기 제1 막 두께보다도 작은 제2 막 두께의 제2 게이트 산화막을 갖는 제2 트랜지스터와, 상기 제1 막 두께보다도 큰 제3 막 두께의 제3 게이트 산화막을 갖는 제3 트랜지스터를 갖는 반도체 장치의 제조 방법으로서,

상기 제1 트랜지스터의 형성 영역에 있어서, 반도체 기판의 표면에 산화막을 형성하는 공정과,

상기 제1 트랜지스터의 형성 영역에 있어서, 상기 산화막의 상에 제1 피에칭막을 형성하는 공정과,

상기 제1 피에칭막과 상기 산화막의 상층의 일부를 제거하여, 상기 산화막으로부터 상기 제1 막 두께를 갖는 상기 제1 게이트 산화막을 형성하는 공정을 구비한, 반도체 장치의 제조 방법.

청구항 2

제1항에 있어서,

상기 제1 피에칭막의 제거와 상기 산화막의 상기 상층의 일부의 제거의 각각은 드라이 에칭에 의해 행해지는, 반도체 장치의 제조 방법.

청구항 3

제2항에 있어서,

상기 제1 피에칭막은, 실리콘 산화막과 실리콘 질화막과 실리콘 산화막의 3층으로 이루어지는 적층 구조를 갖는, 반도체 장치의 제조 방법.

청구항 4

제1항에 있어서,

상기 제1 피에칭막의 제거는 웨트 에칭에 의해 행해지고, 상기 산화막의 상기 상층의 일부의 제거는 드라이 에칭에 의해 행해지는, 반도체 장치의 제조 방법.

청구항 5

제4항에 있어서,

상기 산화막과 상기 제1 피에칭막의 사이에, 제2 피에칭막을 형성하는 공정을 더 구비하고,

상기 제2 피에칭막은, 상기 불휘발성 반도체 메모리에 있어서의 플로팅 게이트 전극 형성용 도전막인, 반도체 장치의 제조 방법.

청구항 6

제4항에 있어서,

상기 산화막은, 상기 불휘발성 반도체 메모리에 있어서의 커플링 산화막 형성용 산화막인, 반도체 장치의 제조 방법.

청구항 7

제1항에 있어서,

상기 산화막의 상기 상층의 일부의 제거는, 케미컬 드라이 에칭에 의해 행해지는, 반도체 장치의 제조 방법.

청구항 8

제1항에 있어서,

상기 산화막의 상기 상층의 일부의 제거는, 상기 산화막을 드라이 에칭한 후에 웨트 에칭함으로써 행해지는, 반도체 장치의 제조 방법.

청구항 9

제1항에 있어서,

상기 산화막의 상기 상층의 일부의 제거는, 웨트 에칭에 의해 행해지는, 반도체 장치의 제조 방법.

발명의 설명

기술 분야

[0001]

본 발명은 반도체 장치의 제조 방법에 관한 것으로, 예를 들어, 불휘발성 반도체 메모리와 각각의 게이트 산화막의 두께가 상이한 3종 이상의 전계 효과 트랜지스터를 갖는 반도체 장치의 제조 방법에 적합하게 이용할 수 있는 것이다.

배경기술

[0002]

종래, 불휘발성의 반도체 메모리와 각각의 게이트 산화막의 두께가 상이한 3종의 전계 효과 트랜지스터를 갖는 반도체 장치는, 예를 들어 일본 특허 공개 제2019-79938호 공보(특허문현 1)에 개시되어 있다. 특허문현 1에는, 플래시 메모리와, 고내압 MOS(Metal Oxide Semiconductor) 트랜지스터와, 저내압 MOS 트랜지스터와, 고내압 및 저내압 사이의 내압을 갖는 새로운 MOS 트랜지스터가 개시되어 있다.

[0003]

새로운 MOS 트랜지스터의 게이트 산화막은, 플래시 메모리의 플로팅 게이트 전극이 형성된 후에 CVD(Chemical Vapor Deposition)법에 의해 성막된다.

[0004]

또한 새로운 MOS 트랜지스터의 게이트 산화막은, 고내압 MOS 트랜지스터의 게이트 산화막의 일부로서도 사용된다.

선행기술문현

특허문현

[0005]

(특허문현 0001) 일본 특허 공개 제2019-79938호 공보

발명의 내용

해결하려는 과제

[0006]

특허문현 1의 제조 방법에서는, 새로운 MOS 트랜지스터의 게이트 산화막은, 고내압 MOS 트랜지스터의 게이트 산화막의 일부로서도 사용된다. 이 때문에 새로운 MOS 트랜지스터에 있어서의 게이트 산화막의 형성은, 고내압 MOS 트랜지스터를 포함하는 다른 트랜지스터의 제조 플로에 큰 영향을 준다. 따라서 새로운 MOS 트랜지스터의 게이트 산화막을 성막할 때, 제약이 크다.

[0007]

기타의 과제와 신규한 특징은, 본 명세서의 기술 및 첨부의 도면으로부터 명백해질 것이다.

과제의 해결 수단

[0008]

일 실시 형태에 관한 반도체 장치의 제조 방법은, 불휘발성 반도체 메모리와, 제1 트랜지스터와, 제2 트랜지스터와, 제3 트랜지스터를 갖는 반도체 장치의 제조 방법이다. 제1 트랜지스터는, 제1 막 두께의 제1 게이트 산화막을 갖는다. 제2 트랜지스터는, 제1 막 두께보다도 작은 제2 막 두께의 제2 게이트 산화막을 갖는다. 제3 트랜지스터는, 제1 막 두께보다도 큰 제3 막 두께의 제3 게이트 산화막을 갖는다. 당해 반도체 장치의 제조 방법에 있어서는, 먼저 제1 트랜지스터의 형성 영역에 있어서, 반도체 기판의 표면에 산화막이 형성된다. 제1 트랜지스터의 형성 영역에 있어서, 산화막의 상에 제1 희에칭막이 형성된다. 제1 희에칭막과 산화막의 상층의 일

부가 제거되어, 산화막으로부터 제1 막 두께를 갖는 제1 게이트 산화막이 형성된다.

발명의 효과

[0009] 일 실시 형태에 관한 반도체 장치의 제조 방법에 의하면, 다른 트랜지스터의 제조 플로에 큰 영향을 주지 않고, 제1 트랜지스터를 제조할 수 있다.

도면의 간단한 설명

[0010] 도 1은 실시 형태 1에 있어서의 반도체 장치의 구성을 도시하는 단면도이다.

도 2는 도 1의 영역 RM, RF, RS, RT를 확대하여 도시하는 부분 확대 단면도이다.

도 3은 실시 형태 1에 있어서의 반도체 장치의 제조 방법의 제1 공정을 도시하는 단면도이다.

도 4는 실시 형태 1에 있어서의 반도체 장치의 제조 방법의 제2 공정을 도시하는 단면도이다.

도 5는 실시 형태 1에 있어서의 반도체 장치의 제조 방법의 제3 공정을 도시하는 단면도이다.

도 6은 실시 형태 1에 있어서의 반도체 장치의 제조 방법의 제4 공정을 도시하는 단면도이다.

도 7은 실시 형태 1에 있어서의 반도체 장치의 제조 방법의 제5 공정을 도시하는 단면도이다.

도 8은 실시 형태 1에 있어서의 반도체 장치의 제조 방법의 제6 공정을 도시하는 단면도이다.

도 9는 실시 형태 1에 있어서의 반도체 장치의 제조 방법의 제7 공정을 도시하는 단면도이다.

도 10은 실시 형태 1에 있어서의 반도체 장치의 제조 방법의 제8 공정을 도시하는 단면도이다.

도 11은 실시 형태 1에 있어서의 반도체 장치의 제조 방법의 제9 공정을 도시하는 단면도이다.

도 12는 실시 형태 1에 있어서의 반도체 장치의 제조 방법의 제10 공정을 도시하는 단면도이다.

도 13은 실시 형태 1에 있어서의 반도체 장치의 제조 방법의 제11 공정을 도시하는 단면도이다.

도 14는 실시 형태 2에 있어서의 반도체 장치의 구성을 도시하는 단면도이다.

도 15는 도 14의 영역 RM, RF, RS, RT를 확대하여 도시하는 부분 확대 단면도이다.

도 16은 실시 형태 2에 있어서의 반도체 장치의 제조 방법의 제1 공정을 도시하는 단면도이다.

도 17은 실시 형태 2에 있어서의 반도체 장치의 제조 방법의 제2 공정을 도시하는 단면도이다.

도 18은 실시 형태 2에 있어서의 반도체 장치의 제조 방법의 제3 공정을 도시하는 단면도이다.

도 19는 실시 형태 2에 있어서의 반도체 장치의 제조 방법의 제4 공정을 도시하는 단면도이다.

도 20은 실시 형태 2에 있어서의 반도체 장치의 제조 방법의 제5 공정을 도시하는 단면도이다.

도 21은 실시 형태 2에 있어서의 반도체 장치의 제조 방법의 제6 공정을 도시하는 단면도이다.

도 22는 실시 형태 2에 있어서의 반도체 장치의 제조 방법의 제7 공정을 도시하는 단면도이다.

도 23은 실시 형태 2에 있어서의 반도체 장치의 제조 방법의 제8 공정을 도시하는 단면도이다.

도 24는 실시 형태 3에 있어서의 반도체 장치의 구성을 도시하는 단면도이다.

도 25는 도 24의 영역 RM, RF, RS, RT를 확대하여 도시하는 부분 확대 단면도이다.

도 26은 실시 형태 3에 있어서의 반도체 장치의 제조 방법의 제1 공정을 도시하는 단면도이다.

도 27은 실시 형태 3에 있어서의 반도체 장치의 제조 방법의 제2 공정을 도시하는 단면도이다.

도 28은 실시 형태 3에 있어서의 반도체 장치의 제조 방법의 제3 공정을 도시하는 단면도이다.

도 29는 실시 형태 3에 있어서의 반도체 장치의 제조 방법의 제4 공정을 도시하는 단면도이다.

도 30은 실시 형태 3에 있어서의 반도체 장치의 제조 방법의 제5 공정을 도시하는 단면도이다.

도 31은 실시 형태 3에 있어서의 반도체 장치의 제조 방법의 제6 공정을 도시하는 단면도이다.

도 32는 실시 형태 3에 있어서의 반도체 장치의 제조 방법의 제7 공정을 도시하는 단면도이다.

도 33은 실시 형태 3에 있어서의 반도체 장치의 제조 방법의 제8 공정을 도시하는 단면도이다.

도 34는 실시 형태 3에 있어서의 반도체 장치의 제조 방법의 제9 공정을 도시하는 단면도이다.

도 35는 실시 형태 3에 있어서의 반도체 장치의 제조 방법의 제10 공정을 도시하는 단면도이다.

도 36은 실시 형태 3에 있어서의 반도체 장치의 제조 방법의 제11 공정을 도시하는 단면도이다.

도 37은 실시 형태 3의 제1 변형예에 있어서의 반도체 장치의 제조 방법의 제1 공정을 도시하는 단면도이다.

도 38은 실시 형태 3의 제1 변형예에 있어서의 반도체 장치의 제조 방법의 제2 공정을 도시하는 단면도이다.

도 39는 실시 형태 3의 제2 변형예에 있어서의 반도체 장치의 제조 방법의 제1 공정을 도시하는 단면도이다.

도 40은 실시 형태 3의 제2 변형예에 있어서의 반도체 장치의 제조 방법의 제2 공정을 도시하는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0011]

이하, 본 개시의 실시 형태에 대하여, 도면을 참조하여 상세하게 설명한다. 또한, 명세서 및 도면에 있어서, 동일한 구성 요소 또는 대응하는 구성 요소에는, 동일한 부호를 붙이고, 중복되는 설명을 반복하지 않는다. 또한, 도면에서는, 설명의 편의상, 구성 또는 제조 방법을 생략 또는 간략화하고 있는 경우도 있다. 또한, 각 실시 형태와 각 변형예의 적어도 일부는, 서로 임의로 조합되어도 된다.

[0012]

(실시 형태 1)

[0013]

<반도체 장치의 구성>

[0014]

먼저 실시 형태 1에 있어서의 반도체 장치의 구성에 대하여 도 1 및 도 2를 이용하여 설명한다.

[0015]

도 1에 도시된 바와 같이, 본 실시 형태에 있어서의 반도체 장치는, 불휘발성 반도체 메모리 MC와, 제1 트랜지스터 FT와, 제2 트랜지스터 ST와, 제3 트랜지스터 TT를 갖고 있다.

[0016]

불휘발성 반도체 메모리 MC는, 메모리 영역 MCR에 배치되어 있다. 제1 트랜지스터 FT는, 제1 트랜지스터 영역 FTR(제1 트랜지스터 FT의 형성 영역)에 배치되어 있다. 제2 트랜지스터 ST는, 제2 트랜지스터 영역 STR에 배치되어 있다. 제3 트랜지스터 TT는, 제3 트랜지스터 영역 TTR에 배치되어 있다.

[0017]

불휘발성 반도체 메모리 MC는, 예를 들어 스플릿 게이트형의 플래시 메모리이다. 불휘발성 반도체 메모리 MC는, 한 쌍의 불순물 영역 IRa, IRb와, 커플링 산화막 CI와, 플로팅 게이트 전극 FG와, 터널 산화막 TI와, 컨트롤 게이트 전극 CG를 갖고 있다.

[0018]

한 쌍의 불순물 영역 IRa, IRb의 한쪽은 소스 영역으로서 기능하고, 다른 쪽은 드레인 영역으로서 기능한다. 기억 내용을 기입할 때는, 불순물 영역 IRa가 소스 영역으로서 기능하고, 불순물 영역 IRb가 드레인 영역으로서 기능한다. 기억 내용을 판독할 때는, 불순물 영역 IRa가 드레인 영역으로서 기능하고, 불순물 영역 IRb가 소스 영역으로서 기능한다.

[0019]

한 쌍의 불순물 영역 IRa, IRb는, 반도체 기판 SB의 표면에 서로 거리를 두고 배치되어 있다. 반도체 기판 SB는, 예를 들어 단결정 실리콘으로 이루어져 있다. 한 쌍의 불순물 영역 IRa, IRb는, 예를 들어 n형의 불순물을 반도체 기판 SB의 표면에 도입함으로써 구성되어 있다.

[0020]

한 쌍의 불순물 영역 IRa, IRb의 사이에 끼인 반도체 기판 SB의 표면 상에 커플링 산화막 CI를 개재하여 플로팅 게이트 전극 FG가 배치되어 있다. 커플링 산화막 CI는, 예를 들어 실리콘으로 이루어지는 반도체 기판 SB의 표면을 열산화함으로써 형성된 실리콘 산화막이다. 커플링 산화막 CI는, 예를 들어 100Å의 두께를 갖고 있다.

[0021]

플로팅 게이트 전극 FG는, 예를 들어 불순물이 도입된 다결정 실리콘(도핑된 폴리실리콘)으로 이루어져 있다. 플로팅 게이트 전극 FG는, 예를 들어 1000Å의 두께를 갖고 있다.

[0022]

플로팅 게이트 전극 FG 상에는, 터널 산화막 TI를 개재하여 컨트롤 게이트 전극 CG가 배치되어 있다. 터널 산화막 TI는, 산화막 TI1과, 산화막 TI2를 갖고 있다. 산화막 TI1은, 플로팅 게이트 전극 FG의 상면에 접하고 있다. 산화막 TI2는, 산화막 TI1의 상면과, 플로팅 게이트 전극 FG의 측면과, 반도체 기판 SB의 표면에 접하고

있다.

- [0023] 산화막 TI1은, 예를 들어 RTO(Rapid Thermal Oxidation)에 의해 형성된 실리콘 산화막과, HTO(High Temperature Oxidation)에 의해 형성된 실리콘 산화막의 적층 구조를 갖고 있다. RTO는, 열산화법의 일종이다. HTO는 화학 기상 성장법(CVD법)의 일종이다. 산화막 TI1은, 예를 들어 48Å의 두께를 갖고 있다.
- [0024] 산화막 TI2는, 예를 들어 HTO에 의해 형성된 실리콘 산화막이다. 산화막 TI2는, 예를 들어 139Å의 두께를 갖고 있다. 컨트롤 게이트 전극 CG는, 예를 들어 도핑된 폴리실리콘으로 이루어져 있다.
- [0025] 컨트롤 게이트 전극 CG는, 산화막 TI1, TI1을 개재하여 플로팅 게이트 전극 FG의 상면과 대향하고 있다. 또한 컨트롤 게이트 전극 CG는, 산화막 TI2를 개재하여 플로팅 게이트 전극 FG의 측면 및 반도체 기판 SB의 표면과 대향하고 있다. 반도체 기판 SB와 컨트롤 게이트 전극 CG의 사이에 위치하는 산화막 TI2는, 게이트 산화막으로서 기능한다. 컨트롤 게이트 전극 CG의 측벽은, 사이드월 절연막 SW에 의해 덮여 있다.
- [0026] 제1 트랜지스터 FT, 제2 트랜지스터 ST 및 제3 트랜지스터 TT의 각각은, 절연 게이트형 전계 효과 트랜지스터고, 게이트 절연막에 실리콘 산화막을 채용한 MOS 트랜지스터이다. 제1 트랜지스터 FT, 제2 트랜지스터 ST 및 제3 트랜지스터 TT의 각각은, 구동 전압이 서로 다르도록 구성되어 있다.
- [0027] 제1 트랜지스터 FT의 구동 전압은, 제2 트랜지스터 ST의 구동 전압보다도 높고, 제3 트랜지스터 TT의 구동 전압보다도 낮다. 제1 트랜지스터 FT의 구동 전압은, 예를 들어 3.3V이다. 제1 트랜지스터 FT는, 예를 들어 AD(Analog Digital) 컨버터 등의 아날로그 회로의 트랜지스터로서 사용된다.
- [0028] 제2 트랜지스터 ST의 구동 전압은, 예를 들어 1.5V이다. 제2 트랜지스터 ST는, 예를 들어 코어 트랜지스터이다. 코어 트랜지스터란, 반도체 장치 내에 있어서 가장 구동 능력이 높은 트랜지스터이다.
- [0029] 제3 트랜지스터 TT의 구동 전압은, 예를 들어 5.0V이다. 제3 트랜지스터 TT는, 예를 들어 IO(Input Output) 인터페이스에 사용되는 트랜지스터이다.
- [0030] 각 트랜지스터 FT, ST, TT는, 각각 상이한 막 두께의 게이트 산화막 GI1, GI2, GI3을 갖고 있다. 제2 트랜지스터 ST에 있어서의 게이트 산화막 GI2의 막 두께는, 제1 트랜지스터 FT에 있어서의 게이트 산화막 GI1의 막 두께보다 작다. 제3 트랜지스터 TT에 있어서의 게이트 산화막 GI3의 막 두께는, 제1 트랜지스터 FT에 있어서의 게이트 산화막 GI1의 막 두께보다 크다.
- [0031] 제1 트랜지스터 FT는, 한 쌍의 불순물 영역 IR1과, 게이트 산화막 GI1과, 게이트 전극 GE1을 갖고 있다. 한 쌍의 불순물 영역 IR1의 한쪽은 소스 영역으로서 기능하고, 다른 쪽은 드레인 영역으로서 기능한다. 한 쌍의 불순물 영역 IR1의 각각은, 고농도 영역 HI1과, 저농도 영역 LI1을 갖고 있고, LDD(Lightly Doped Drain) 구조를 갖고 있다. 한 쌍의 불순물 영역 IR1의 각각은, 반도체 기판 SB의 표면에 배치되어 있다. 한 쌍의 불순물 영역 IR1 사이에 끼인 반도체 기판 SB의 표면 상에 게이트 산화막 GI1을 개재하여 게이트 전극 GE1이 배치되어 있다. 게이트 전극 GE1의 측벽은, 사이드월 절연막 SW에 의해 덮여 있다.
- [0032] 게이트 산화막 GI1은, 예를 들어 실리콘으로 이루어지는 반도체 기판 SB의 표면을 열산화함으로써 형성된 실리콘 산화막이다. 게이트 산화막 GI1은, 예를 들어 75Å의 두께를 갖고 있다. 게이트 전극 GE1은, 예를 들어 도핑된 폴리실리콘으로 이루어져 있다.
- [0033] 제2 트랜지스터 ST는, 한 쌍의 불순물 영역 IR2와, 게이트 산화막 GI2와, 게이트 전극 GE2를 갖고 있다. 한 쌍의 불순물 영역 IR2의 한쪽은 소스 영역으로서 기능하고, 다른 쪽은 드레인 영역으로서 기능한다. 한 쌍의 불순물 영역 IR2의 각각은, 고농도 영역 HI2와, 저농도 영역 LI2를 갖고 있고, LDD 구조를 갖고 있다. 한 쌍의 불순물 영역 IR2의 각각은, 반도체 기판 SB의 표면에 배치되어 있다. 한 쌍의 불순물 영역 IR2 사이에 끼인 반도체 기판 SB의 표면 상에 게이트 산화막 GI2를 개재하여 게이트 전극 GE2가 배치되어 있다. 게이트 전극 GE2의 측벽은, 사이드월 절연막 SW에 의해 덮여 있다.
- [0034] 게이트 산화막 GI2는, 예를 들어 실리콘으로 이루어지는 반도체 기판 SB의 표면을 열산화함으로써 형성된 실리콘 산화막이다. 게이트 산화막 GI2는, 예를 들어 27Å의 두께를 갖고 있다. 게이트 전극 GE2는, 예를 들어 도핑된 폴리실리콘으로 이루어져 있다.
- [0035] 제3 트랜지스터 TT는, 한 쌍의 불순물 영역 IR3과, 게이트 산화막 GI3과, 게이트 전극 GE3을 갖고 있다. 한 쌍의 불순물 영역 IR3의 한쪽은 소스 영역으로서 기능하고, 다른 쪽은 드레인 영역으로서 기능한다. 한 쌍의 불순물 영역 IR3의 각각은, 고농도 영역 HI3과, 저농도 영역 LI3를 갖고 있고, LDD 구조를 갖고 있다. 한 쌍의

불순물 영역 IR3의 각각은, 반도체 기판 SB의 표면에 배치되어 있다. 한 쌍의 불순물 영역 IR3 사이에 끼인 반도체 기판 SB의 표면 상에 게이트 산화막 GI3을 개재하여 게이트 전극 GE3이 배치되어 있다. 게이트 전극 GE3의 측벽은, 사이드월 절연막 SW에 의해 덮여 있다.

[0036] 게이트 산화막 GI3은, 산화막 GI3a와, 산화막 GI3b를 갖고 있다. 산화막 GI3a는, 반도체 기판 SB의 표면에 접하고 있다. 산화막 GI3b는, 산화막 GI3a의 상면에 접하고 있다. 게이트 전극 GE3은, 산화막 GI3b의 상면에 접하고 있다.

[0037] 산화막 GI3a는, 예를 들어 RTO에 의해 형성된 실리콘 산화막과, HTO에 의해 형성된 실리콘 산화막의 적층 구조를 갖고 있다. 산화막 GI3a는, 예를 들어 48Å의 두께를 갖고 있다. 산화막 GI3b는, 예를 들어 HTO에 의해 형성된 실리콘 산화막이다. 산화막 GI3b는, 예를 들어 139Å의 두께를 갖고 있다. 게이트 전극 GE3은, 예를 들어 도핑된 폴리실리콘으로 이루어져 있다.

[0038] 도 2는, 도 1의 영역 RM, RF, RS, RT를 확대하여 도시하는 부분 확대 단면도이다. 도 2에 도시된 바와 같이, 제1 트랜지스터 영역 FTR에 있어서의 반도체 기판 SB 및 게이트 산화막 GI1의 계면은, 메모리 영역 MCR에 있어서의 반도체 기판 SB 및 커플링 산화막 CI의 계면보다도 하측에 위치하고 있다. 메모리 영역 MCR에 있어서의 반도체 기판 SB 및 커플링 산화막 CI의 계면과 제1 트랜지스터 영역 FTR에 있어서의 반도체 기판 SB 및 게이트 산화막 GI1의 계면의 고저차는, 제2 트랜지스터 영역 STR에 있어서의 게이트 산화막 GI2의 두께의 44%보다 작다.

[0039] 또한 제3 트랜지스터 영역 TTR에 있어서의 반도체 기판 SB 및 게이트 산화막 GI3의 계면은, 제1 트랜지스터 영역 FTR에 있어서의 반도체 기판 SB 및 게이트 산화막 GI1의 계면보다도 하측에 위치하고 있다. 제2 트랜지스터 영역 STR에 있어서의 반도체 기판 SB 및 게이트 산화막 GI2의 계면은, 제3 트랜지스터 영역 TTR에 있어서의 반도체 기판 SB 및 게이트 산화막 GI3의 계면보다도 하측에 위치하고 있다.

[0040] <불휘발성 반도체 메모리 MC의 동작>

[0041] 다음으로, 도 1에 도시하는 불휘발성 반도체 메모리 MC의 동작에 대하여 설명한다.

[0042] 도 1에 도시된 바와 같이, 데이터의 기입 시에는, 불순물 영역 IRa에 비교하여 불순물 영역 IRb가 고전위로 된다. 이에 의해, 플로팅 게이트 전극 FG 하의 채널의 불순물 영역 IRa측에서 핫 일렉트론(고에너지 상태의 전자)이 발생한다. 이 핫 일렉트론이 커플링 산화막 CI를 통하여 플로팅 게이트 전극 FG에 주입된다. 이에 의해, 데이터의 기입이 행해진다.

[0043] 데이터 소거 시에는, 컨트롤 게이트 전극 CG에 소정의 전압이 인가된다. 이에 의해 플로팅 게이트 전극 FG에 축적된 전자가, 터널 산화막 TI를 통하여 컨트롤 게이트 전극 CG로 인출된다. 이에 의해, 데이터의 소거가 행해진다.

[0044] 데이터 판독 시에는, 컨트롤 게이트 전극 CG 및 불순물 영역 IRa에 소정의 전압이 인가된다. 이때 불순물 영역 IRa와 불순물 영역 IRb의 사이에 전류(판독 전류)가 흐르는지 여부에 따라 데이터의 판독 판정이 행해진다.

[0045] <반도체 장치의 제조 방법>

[0046] 다음으로, 본 실시 형태에 있어서의 반도체 장치의 제조 방법에 대하여 도 3 내지 도 12를 이용하여 설명한다.

[0047] 도 3에 도시된 바와 같이, 예를 들어 단결정 실리콘으로 이루어지는 반도체 기판 SB가 준비된다. 반도체 기판 SB의 표면에, STI(Shallow Trench Isolation)가 형성된다. STI는, 반도체 기판 SB의 표면에 홈을 형성한 후, 그 홈을 절연막에 의해 메움으로써 형성된다. STI가 형성된 후, 반도체 기판 SB 내에 웨이가 형성된다. 그 후, 웨트 에칭에 의해 기저의 산화막이 제거된다.

[0048] 기저의 산화막이 제거된 후, 반도체 기판 SB의 표면이 열산화된다. 이에 의해 메모리 영역 MCR 및 각 트랜지스터 영역 FTR, STR, TTR의 각각에 있어서, 반도체 기판 SB의 표면에, 열산화막으로 이루어지는 실리콘 산화막 CO가 예를 들어 100Å의 두께로 형성된다. 실리콘 산화막 CO는, 불휘발성 반도체 메모리 MC에 있어서의 커플링 산화막 CI를 형성하기 위한 산화막(커플링 산화막 형성용 산화막)이다.

[0049] 메모리 영역 MCR 및 각 트랜지스터 영역 FTR, STR, TTR의 각각에 있어서, 실리콘 산화막 CO의 표면 상에, 도전막 CL1이 성막된다. 도전막 CL은, 불휘발성 반도체 메모리 MC에 있어서의 플로팅 게이트 전극 FG를 형성하기 위한 도전막(플로팅 게이트 전극 형성용 도전막)이다. 도전막 CL1은, 예를 들어 1000Å의 두께로 형성된다. 도전막 CL1은, 예를 들어 도핑된 폴리실리콘으로 이루어진다.

- [0050] 도 4에 도시된 바와 같이, 포토레지스트 PR1이 반도체 기판 SB의 표면 상의 전체에 도포된 후, 선택적으로 노광 · 현상된다. 이에 의해 메모리 영역 MCR 및 제1 트랜지스터 영역 FTR의 각각을 덮는 레지스트 패턴 PR1이 형성된다.
- [0051] 레지스트 패턴 PR1을 마스크로 하여, 드라이 에칭이 행해진다. 드라이 에칭에 의해 제2 트랜지스터 영역 STR 및 제3 트랜지스터 영역 TTR에 있어서 도전막 CL1이 제거되어, 실리콘 산화막 CO의 표면이 노출된다. 그 후, 레지스트 패턴 PR1이 산에 의해 박리 제거된다.
- [0052] 도 5에 도시된 바와 같이, 제2 트랜지스터 영역 STR 및 제3 트랜지스터 영역 TTR에 있어서 노출된 실리콘 산화막 CO가 에칭에 의해 제거된다. 이에 의해 제2 트랜지스터 영역 STR 및 제3 트랜지스터 영역 TTR에 있어서, 반도체 기판 SB의 표면이 노출된다.
- [0053] 도 6에 도시된 바와 같이, 반도체 기판 SB의 표면 상의 전체에, RTO에 의해 열산화가 행해진다. 이에 의해 메모리 영역 MCR과 각 트랜지스터 영역 FTR, STR, TTR의 각각에, 열산화에 의한 실리콘 산화막이 형성된다. 또한 반도체 기판 SB의 표면 상의 전체에, HTO에 의해 실리콘 산화막이 퇴적된다. 상기에 의해 메모리 영역 MCR과 각 트랜지스터 영역 FTR, STR, TTR의 각각에, RTO에 의한 실리콘 산화막과 HTO에 의한 실리콘 산화막의 적층 구조로 이루어지는 실리콘 산화막 HO1이 형성된다. 실리콘 산화막 HO1은, 예를 들어 48Å의 두께로 형성된다.
- [0054] 도 7에 도시된 바와 같이, 포토레지스트 PR2가 반도체 기판 SB의 표면 상의 전체에 도포된 후, 선택적으로 노광 · 현상된다. 이에 의해 메모리 영역 MCR의 일부 및 각 트랜지스터 영역 FTR, STR, TTR의 각각을 덮는 레지스트 패턴 PR2가 형성된다.
- [0055] 레지스트 패턴 PR2를 마스크로 하여, 웨트 에칭이 행해진다. 이 웨트 에칭에 의해, 메모리 영역 MCR에 있어서 실리콘 산화막 HO1이 선택적으로 제거되어, 도전막 CL1이 노출된다. 그 후, 드라이 에칭이 행해진다. 이 드라이 에칭에 의해, 노출된 도전막 CL1이 선택적으로 제거되어, 실리콘 산화막 CO가 노출된다. 그 후, 웨트 에칭이 행해진다. 이 웨트 에칭에 의해, 노출된 실리콘 산화막 CO가 선택적으로 제거되어, 반도체 기판 SB의 표면이 노출된다.
- [0056] 이에 의해 메모리 영역 MCR에 있어서는, 실리콘 산화막 CO로부터 커플링 산화막 CI가 형성되고, 도전막 CL1로부터 플로팅 게이트 전극 FG가 형성되고, 실리콘 산화막 HO1로부터 터널 산화막의 일부를 구성하는 실리콘 산화막 TI1이 형성된다. 그 후, 레지스트 패턴 PR2가 산에 의해 박리 제거된다.
- [0057] 도 8에 도시된 바와 같이, 반도체 기판 SB의 표면 상의 전체에, HTO에 의해 실리콘 산화막 HO2가 퇴적된다. 실리콘 산화막 HO2는, 예를 들어 139Å의 두께로 형성된다.
- [0058] 도 9에 도시된 바와 같이, 포토레지스트 PR3이 반도체 기판 SB의 표면 상의 전체에 도포된 후, 선택적으로 노광 · 현상된다. 이에 의해 메모리 영역 MCR, 제2 트랜지스터 영역 STR 및 제3 트랜지스터 영역 TTR의 각각을 덮는 레지스트 패턴 PR3이 형성된다.
- [0059] 레지스트 패턴 PR3을 마스크로 하여, 웨트 에칭이 행해진다. 이 웨트 에칭에 의해, 제1 트랜지스터 영역 FTR에 있어서 실리콘 산화막 HO2, HO1이 선택적으로 제거되어, 도전막 CL1이 노출된다. 그 후, 드라이 에칭이 행해진다.
- [0060] 이 드라이 에칭은, 예를 들어 케미컬 드라이 에칭(CDE: Chemical Dry Etching)에 의해 행해진다. 이 드라이 에칭에 의해, 노출된 도전막 CL1이 선택적으로 제거되어, 실리콘 산화막 CO가 노출된다.
- [0061] 도 10에 도시된 바와 같이, 상기의 드라이 에칭 시에, 노출된 실리콘 산화막 CO의 상층의 일부도 오버에칭되어 제거된다. 이 CDE의 오버에칭을 조정함으로써, 실리콘 산화막 CO의 잔막의 두께가, 예를 들어 75Å으로 조정된다. 그 후, 레지스트 패턴 PR3이 산에 의해 박리 제거된다.
- [0062] 도 11에 도시된 바와 같이, 포토레지스트 PR4가 반도체 기판 SB의 표면 상의 전체에 도포된 후, 선택적으로 노광 · 현상된다. 이에 의해 메모리 영역 MCR, 제1 트랜지스터 영역 FTR 및 제3 트랜지스터 영역 TTR의 각각을 덮는 레지스트 패턴 PR4가 형성된다.
- [0063] 레지스트 패턴 PR4를 마스크로 하여, 웨트 에칭이 행해진다. 이 웨트 에칭에 의해, 제2 트랜지스터 영역 STR에 있어서 실리콘 산화막 HO2, HO1이 선택적으로 제거되어, 반도체 기판 SB의 표면이 노출된다. 그 후, 레지스트 패턴 PR4가 산에 의해 박리 제거된다.
- [0064] 도 12에 도시된 바와 같이, 반도체 기판 SB의 표면이 열산화된다. 이에 의해 제2 트랜지스터 영역 STR에 있어

서, 반도체 기판 SB의 표면에, 열산화막으로 이루어지는 실리콘 산화막 OX가 예를 들어 27Å의 두께로 형성된다.

[0065] 그 후, 메모리 영역 MCR 및 각 트랜지스터 영역 FTR, STR, TTR의 각각에 있어서, 도전막 CL2가 성막된다. 도전막 CL2는, 예를 들어 도핑된 폴리실리콘으로 이루어진다.

[0066] 도 13에 도시된 바와 같이, 도전막 CL2가 사진 제판 기술 및 에칭 기술에 의해 패터닝된다. 이에 의해 메모리 영역 MCR에 있어서는, 도전막 CL2로부터 컨트롤 게이트 전극 CG가 형성된다. 제1 트랜지스터 영역 FTR에 있어서는, 도전막 CL2로부터 게이트 전극 GE1이 형성된다. 제2 트랜지스터 영역 STR에 있어서는, 도전막 CL2로부터 게이트 전극 GE2가 형성된다. 제3 트랜지스터 영역 TTR에 있어서는, 도전막 CL2로부터 게이트 전극 GE3이 형성된다.

[0067] 또한 메모리 영역 MCR에 있어서는, 실리콘 산화막 TI1, TI2로부터 터널 산화막 TI가 구성된다. 제1 트랜지스터 영역 FTR에 있어서는, 실리콘 산화막 CO로부터 게이트 산화막 GI1이 구성된다. 제2 트랜지스터 영역 STR에 있어서는, 실리콘 산화막 OX로부터 게이트 산화막 GI2가 구성된다. 제3 트랜지스터 영역 TTR에 있어서는, 실리콘 산화막 HO1, HO2로부터 실리콘 산화막 GI3a, GI3b로 이루어지는 게이트 산화막 GI3이 구성된다.

[0068] 그 후, 소스 영역 및 드레인 영역을 구성하는 불순물 영역 IRa, IRb, IR1, IR2, IR3 등이 형성됨으로써, 도 1에 도시하는 본 실시 형태의 반도체 장치가 제조된다.

[0069] <효과>

[0070] 다음으로, 본 실시 형태의 효과에 대하여 설명한다.

[0071] 본 실시 형태에 있어서는 도 3에 도시된 바와 같이, 제1 트랜지스터 영역 FTR에 있어서, 반도체 기판 SB의 표면에 실리콘 산화막 CO가 형성되고, 그 실리콘 산화막 CO 상에 도 8에 도시된 바와 같이 실리콘 산화막 HO1, HO2(제1 피에칭막)가 형성된다. 그 후, 도 9 및 도 10에 도시된 바와 같이, 제1 트랜지스터 영역 FTR에 있어서, 실리콘 산화막 HO1, HO2와 실리콘 산화막 CO의 상층의 일부가 에칭에 의해 제거된다. 이에 의해 실리콘 산화막 CO로부터 제1 트랜지스터 FT의 게이트 산화막 GI1(도 13)이 형성된다.

[0072] 이와 같이 실리콘 산화막 CO의 상층의 일부를 에칭 제거함으로써 게이트 산화막 GI1의 두께가 조정된다. 이에 의해, 제2 트랜지스터 ST 및 제3 트랜지스터 TT의 각 게이트 산화막 GI2, GI3과는 별도로 게이트 산화막 GI1의 막 두께 조정이 가능하게 된다. 이 때문에 제2 트랜지스터 ST 및 제3 트랜지스터 TT의 각 게이트 산화막 GI2, GI3의 형성에 큰 영향을 주지 않고, 게이트 산화막 GI1을 형성하는 것이 가능하게 된다.

[0073] 또한 본 실시 형태에 있어서는, 도 1에 도시된 바와 같이, 불휘발성 반도체 메모리 MC 이외에, 각각 구동 전압이 상이한 3종 이상의 트랜지스터 FT, ST, TT가 혼재하고 있다. 상기한 바와 같이, 제1 트랜지스터 FT의 구동 전압은, 예를 들어 3.3V이고, 제2 트랜지스터 ST의 구동 전압은, 예를 들어 1.5V이고, 제3 트랜지스터 TT의 구동 전압은, 예를 들어 5.0V이다. 이와 같이 1개의 칩 내에 제1 트랜지스터 FT 및 제3 트랜지스터 TT가 혼재함으로써 이하의 장점이 있다.

[0074] 5V의 구동 전압을 갖는 제3 트랜지스터 TT만으로 1칩 내의 모든 트랜지스터가 구성되면, AD 컨버터 등의 아날로그 회로에도 5V의 구동 전압을 갖는 제3 트랜지스터 TT가 사용되게 된다. 그러나 당해 아날로그 회로는 3V로 동작시키기 때문에, 전압 저하에 의해 변환 속도가 느려진다는 문제가 있다.

[0075] 한편, 3V의 구동 전압을 갖는 제1 트랜지스터 FT만으로 1칩 내의 모든 트랜지스터가 구성되면, Li(리튬) 이온 전지의 전압이 3.6V를 초과해 버린다. 이 때문에, DCDC(Direct Current to Direct Current) 컨버터를 항상 동작시킬 필요가 있어, 대기 시의 전류가 커진다는 문제가 있다.

[0076] 또한, 5V의 구동 전압을 갖는 제3 트랜지스터 TT만으로 구성된 칩과, 3V의 구동 전압을 갖는 제1 트랜지스터 FT만으로 구성된 칩의 2개의 칩을 준비하면 상기의 문제는 해결되지만, 비용이 높아진다.

[0077] 본 실시 형태에서는, 5V의 구동 전압을 갖는 제3 트랜지스터 TT와 3V의 구동 전압을 갖는 제1 트랜지스터 FT가 1개의 칩 내에 혼재한다. 이에 의해, IO 인터페이스의 전압은 5V의 내압을 갖고, Li 이온 전지로부터 직접 전원 공급이 가능하게 되어, 대기 시의 전류가 저감된다. 또한 AD 컨버터 등의 아날로그 회로와, 3V에서 사용되는 IO 인터페이스에 3V의 구동 전압을 갖는 제1 트랜지스터 FT가 사용됨으로써, 3V의 전압에서 최적의 성능의 AD 컨버터를 실현할 수 있다. 또한, 이를 장점이 1칩으로 실현되어, 비용적으로도 유리하다.

[0078] 또한 본 실시 형태에 의하면 도 9 및 도 10에 도시된 바와 같이, 제1 트랜지스터 영역 FTR에 있어서의 실리콘

산화막 H02, H01의 제거는 웨트 에칭에 의해 행해지고, 실리콘 산화막 CO의 상층의 일부의 제거는 드라이 에칭에 의해 행해진다. 이에 의해 실리콘 산화막 H01의 제거는 에칭에 의한 대미지가 억제되고, 실리콘 산화막 CO의 상층의 제거는 막 두께의 제어성이 양호해진다.

[0079] 또한 본 실시 형태에 의하면 도 8에 도시된 바와 같이, 제1 트랜지스터 영역 FTR에 있어서, 실리콘 산화막 CO와 실리콘 산화막 H01, H02의 사이에, 도전막 CL1이 형성된다. 이 도전막 CL1은, 불휘발성 반도체 메모리 MC에 있어서의 플로팅 게이트 전극 FG를 형성하기 위한 도전막이다. 이에 의해 플로팅 게이트 전극 FG를 형성하기 위한 도전막 CL1을 에칭할 때의 오버에칭에 의해 실리콘 산화막 CO의 상층의 일부를 제거하는 것이 가능하게 된다.

[0080] 또한 본 실시 형태에 의하면 도 9 및 도 10에 도시된 바와 같이, 제1 트랜지스터 영역 FTR에 형성되는 실리콘 산화막 CO는, 불휘발성 반도체 메모리 MC에 있어서의 커플링 산화막 CI를 형성하기 위한 산화막이다. 이에 의해 제1 트랜지스터 FT의 게이트 산화막 GI1을 불휘발성 반도체 메모리 MC의 커플링 산화막 CI와 같은 실리콘 산화막으로부터 형성할 수 있다. 이 때문에 게이트 산화막 GI1의 성막 시에 있어서의 수백 °C 이상의 열처리가 커플링 산화막 CI의 형성과는 별도로 필요해질 일은 없다.

[0081] 또한 제1 트랜지스터 FT를 추가하는 것에 의한, 제1 트랜지스터 FT 이외의 기존 부분(불휘발성 반도체 메모리 MC, 제2 트랜지스터 ST, 제3 트랜지스터 TTR 등)의 구조 변화가 거의 없다. 이 때문에 제1 트랜지스터 FT가 추가되더라도, 불휘발성 반도체 메모리 MC 및 다른 소자의 특성, 신뢰성이 변동하는 리스크를 저감시킬 수 있다.

[0082] 또한 제1 트랜지스터 FT의 게이트 산화막 GI1이 열산화막으로서 형성될 수 있기 때문에, CVD법으로 형성하는 경우와 비교하여 신뢰성 저하의 리스크를 저감시킬 수 있다.

[0083] 또한 본 실시 형태에 의하면 도 9 및 도 10에 도시된 바와 같이, 제1 트랜지스터 영역 FTR에 있어서, 실리콘 산화막 CO의 상층의 일부를 제거하기 위한 드라이 에칭은 CDE이다. CDE란, 방전실이 에칭실로부터 이격되어, 방전실에서 발생한 긴 수명의 반응종이 에칭실로 수송되는, 소위 방전실 분리형의 에칭 방식이다. 이 방식에서는, 방전실로부터 열, 광, 플라스마 등이 에칭실에 도달하지 않고, 이온이 에칭에 기여하는 것이 거의 없다. 이 때문에, 피에칭막의 에칭에 의한 대미지를 억제할 수 있어, 양호한 막질을 갖는 게이트 산화막 GI1을 얻을 수 있다.

[0084] (실시 형태 2)

[0085] <반도체 장치의 구성>

[0086] 실시 형태 2에 있어서의 반도체 장치의 구성에 대하여 도 14 및 도 15를 이용하여 설명한다.

[0087] 도 14에 도시된 바와 같이, 본 실시 형태에 있어서의 반도체 장치의 구성은, 불휘발성 반도체 메모리 MC의 구성에 있어서 실시 형태 1의 구성과 다르다. 본 실시 형태에 있어서는, 불휘발성 반도체 메모리 MC는, 예를 들어 스택 게이트형의 플래시 메모리이다.

[0088] 불휘발성 반도체 메모리 MC는, 한 쌍의 불순물 영역 IR과, 터널 산화막 TI와, 플로팅 게이트 전극 FG와, 절연막 IL과, 컨트롤 게이트 전극 CG를 갖고 있다.

[0089] 한 쌍의 불순물 영역 IR의 한쪽은 소스 영역으로서 기능하고, 다른 쪽은 드레인 영역으로서 기능한다. 한 쌍의 불순물 영역 IR은, 반도체 기판 SB의 표면에 서로 거리를 두고 배치되어 있다. 반도체 기판 SB는, 예를 들어 단결정 실리콘으로 이루어져 있다. 한 쌍의 불순물 영역 IR은, 예를 들어 n형의 불순물을 반도체 기판 SB의 표면에 도입함으로써 구성되어 있다.

[0090] 한 쌍의 불순물 영역 IR의 각각은, 고농도 영역 HI와, 저농도 영역 LI를 갖고 있고, LDD(Lightly Doped Drain) 구조를 갖고 있어도 된다. 고농도 영역 HI는, 저농도 영역 LI보다도 높은 n형 불순물 농도를 갖고 있다.

[0091] 한 쌍의 불순물 영역 IR의 사이에 끼인 반도체 기판 SB의 표면 상에 터널 산화막 TI를 개재하여 플로팅 게이트 전극 FG가 배치되어 있다. 터널 산화막 TI는, 예를 들어 실리콘으로 이루어지는 반도체 기판 SB의 표면을 열산화함으로써 형성된 실리콘 산화막이다. 터널 산화막 TI는, 예를 들어 100Å의 두께를 갖고 있다.

[0092] 플로팅 게이트 전극 FG는, 예를 들어 도핑된 폴리실리콘으로 이루어져 있다. 플로팅 게이트 전극 FG는, 예를 들어 1000Å의 두께를 갖고 있다. 플로팅 게이트 전극 FG 상에는, 절연막 IL을 개재하여 컨트롤 게이트 전극 CG가 배치되어 있다.

- [0093] 절연막 IL은, 예를 들어 150 \AA 의 두께를 갖고 있다. 컨트롤 게이트 전극 CG는, 예를 들어 도핑된 폴리실리콘으로 이루어져 있다. 플로팅 게이트 FG 및 컨트롤 게이트 전극 CG의 각 측벽은, 사이드월 절연막 SW에 의해 덮여 있다.
- [0094] 도 15에 도시된 바와 같이, 메모리 영역 MCR에 있어서의 절연막 IL은, 실리콘 산화막 OX1과, 실리콘 질화막 NI와, 실리콘 산화막 OX2의 3층으로 이루어지는 적층 구조를 갖고 있다. 실리콘 산화막 OX1은, 플로팅 게이트 전극 FG의 상면에 접하고 있다. 실리콘 질화막 NI는, 실리콘 산화막 OX1의 상면에 접하고 있다. 실리콘 산화막 OX2는, 실리콘 질화막 NI의 상면에 접하고 있다.
- [0095] 또한 본 실시 형태에 있어서의 상기 이외의 구성은 실시 형태 1의 구성과 거의 동일하기 때문에, 동일한 요소에 대해서는 동일한 부호를 붙이고, 그 설명을 반복하지 않는다.
- [0096] <불휘발성 반도체 메모리 MC의 동작>
- [0097] 다음으로, 도 14에 도시하는 불휘발성 반도체 메모리 MC의 동작에 대하여 설명한다.
- [0098] 도 14에 도시된 바와 같이, 데이터의 기입 시에는, 한 쌍의 불순물 영역 IR의 한쪽(소스)에 비교하여, 한 쌍의 불순물 영역 IR의 다른 쪽(드레인)이 고전위로 된다. 이에 의해, 드레인 근방의 전계가 강해져서, 전자가 가속되기 때문에, 핫 일렉트론이 발생한다. 이 핫 일렉트론이 터널 산화막 TI를 통하여 플로팅 게이트 전극 FG에 주입된다. 이에 의해, 데이터의 기입이 행해진다.
- [0099] 데이터 소거 시에는, 한 쌍의 불순물 영역 IR의 한쪽(소스)이 고전위로 된다. 이에 의해, 한 쌍의 불순물 영역 IR의 한쪽(소스)과 플로팅 게이트 전극 FG의 사이에 고전계가 가해지고, 파울러 노드하임 · 터널 효과에 의해, 플로팅 게이트 전극 FG에 축적된 전자가, 터널 산화막 TI를 통하여, 한 쌍의 불순물 영역 IR의 한쪽(소스)으로 인출된다. 이에 의해, 데이터의 소거가 행해진다.
- [0100] 데이터 판독 시에는, 한 쌍의 불순물 영역 IR 간에 전압을 가하고, 컨트롤 게이트 전극 CG에 소정의 전압이 인가된다. 이때, 한 쌍의 불순물 영역 IR의 사이에 전류(판독 전류)가 흐르는지 여부에 따라 데이터의 판독 판정이 행해진다.
- [0101] <반도체 장치의 제조 방법>
- [0102] 다음으로, 본 실시 형태에 있어서의 반도체 장치의 제조 방법에 대하여 도 16 내지 도 23을 이용하여 설명한다.
- [0103] 도 16에 도시된 바와 같이, 본 실시 형태에서는, 실시 형태 1과 마찬가지로, 반도체 기판 SB가 준비되고, 반도체 기판 SB에 STI 및 웰이 형성된다. 그 후, 반도체 기판 SB의 표면이 열산화된다. 이에 의해 메모리 영역 MCR 및 각 트랜지스터 영역 FTR, STR, TTR의 각각에 있어서, 반도체 기판 SB의 표면에, 열산화막으로 이루어지는 실리콘 산화막 OXA가 예를 들어 100 \AA 의 두께로 형성된다. 실리콘 산화막 OXA는, 불휘발성 반도체 메모리 MC에 있어서의 터널 산화막 TI를 형성하기 위한 산화막(터널 산화막 형성용 산화막)이다.
- [0104] 메모리 영역 MCR 및 각 트랜지스터 영역 FTR, STR, TTR의 각각에 있어서, 실리콘 산화막 OXA의 표면 상에, 도전막 CL1이 성막된다. 도전막 CL1은, 불휘발성 반도체 메모리 MC에 있어서의 플로팅 게이트 전극 FG를 형성하기 위한 도전막(플로팅 게이트 전극 형성용 도전막)이다. 도전막 CL1은, 예를 들어 1000 \AA 의 두께로 형성된다. 도전막 CL1은, 예를 들어 도핑된 폴리실리콘으로 이루어진다.
- [0105] 메모리 영역 MCR 및 각 트랜지스터 영역 FTR, STR, TTR의 각각에 있어서, 도전막 CL1의 표면 상에, 실리콘 산화막 OX1, 실리콘 질화막 NI 및 실리콘 산화막 OX2가, 이 순서대로 형성된다.
- [0106] 도 17에 도시된 바와 같이, 포토레지스트 PR11이 반도체 기판 SB의 표면 상의 전체에 도포된 후, 선택적으로 노광 · 현상된다. 이에 의해 메모리 영역 MCR, 제1 트랜지스터 영역 FTR 및 제2 트랜지스터 영역 STR의 각각을 덮는 레지스트 패턴 PR11이 형성된다.
- [0107] 레지스트 패턴 PR11을 마스크로 하여, 드라이 에칭이 행해진다. 드라이 에칭에 의해 제3 트랜지스터 영역 TTR에 있어서, 실리콘 산화막 OX2, 실리콘 질화막 NI 및 실리콘 산화막 OX1이 순서대로 제거된다. 그 후, 드라이 에칭에 의해 도전막 CL1이 제거된다. 그 후, 웨트 에칭에 의해 실리콘 산화막 OXA가 제거된다. 이에 의해 제3 트랜지스터 영역 TTR에 있어서, 반도체 기판 SB의 표면이 노출된다. 그 후, 레지스트 패턴 PR11이 산에 의해 박리 제거된다.
- [0108] 도 18에 도시된 바와 같이, 반도체 기판 SB의 표면이 열산화된다. 이에 의해 제3 트랜지스터 영역 TTR에 있어

서, 반도체 기판 SB의 표면에, 열산화막으로 이루어지는 실리콘 산화막 H03이 예를 들어 150Å의 두께로 형성된다.

[0109] 도 19에 도시된 바와 같이, 포토레지스트 PR12가 반도체 기판 SB의 표면 상의 전체에 도포된 후, 선택적으로 노광·현상된다. 이에 의해 메모리 영역 MCR, 제2 트랜지스터 영역 STR 및 제3 트랜지스터 영역 TTR의 각각을 덮는 레지스트 패턴 PR12가 형성된다.

[0110] 레지스트 패턴 PR12를 마스크로 하여, 드라이 에칭이 행해진다. 이 드라이 에칭에 의해, 제1 트랜지스터 영역 FTR에 있어서, 실리콘 산화막 OX2, 실리콘 질화막 NI 및 실리콘 산화막 OX1이 순서대로 제거되어, 도전막 CL1이 노출된다. 그 후, 드라이 에칭이 행해진다.

[0111] 도 20에 도시된 바와 같이, 상기의 드라이 에칭은, 예를 들어 CDE에 의해 행해진다. 이 드라이 에칭에 의해, 제1 트랜지스터 영역 FTR에 있어서, 노출된 도전막 CL1이 선택적으로 제거되어, 실리콘 산화막 OXA가 노출된다.

[0112] 상기의 드라이 에칭 시에, 노출된 실리콘 산화막 OXA의 상층의 일부도 오버에칭되어 제거된다. 이 CDE의 오버에칭을 조정함으로써, 실리콘 산화막 OXA의 잔막의 두께가, 예를 들어 75Å으로 조정된다. 그 후, 레지스트 패턴 PR12가 산에 의해 박리 제거된다.

[0113] 도 21에 도시된 바와 같이, 포토레지스트 PR13이 반도체 기판 SB의 표면 상의 전체에 도포된 후, 선택적으로 노광·현상된다. 이에 의해 메모리 영역 MCR, 제1 트랜지스터 영역 FTR 및 제3 트랜지스터 영역 TTR의 각각을 덮는 레지스트 패턴 PR13이 형성된다.

[0114] 레지스트 패턴 PR13을 마스크로 하여, 드라이 에칭이 행해진다. 드라이 에칭에 의해 제2 트랜지스터 영역 STR에 있어서, 실리콘 산화막 OX2, 실리콘 질화막 NI 및 실리콘 산화막 OX1이 순서대로 제거된다. 그 후, 드라이 에칭에 의해 도전막 CL1이 제거된다. 그 후, 웨트 에칭에 의해 실리콘 산화막 OXA가 제거된다. 이에 의해 제2 트랜지스터 영역 STR에 있어서, 반도체 기판 SB의 표면이 노출된다. 그 후, 레지스트 패턴 PR13이 산에 의해 박리 제거된다.

[0115] 도 22에 도시된 바와 같이, 반도체 기판 SB의 표면이 열산화된다. 이에 의해 제2 트랜지스터 영역 STR에 있어서, 반도체 기판 SB의 표면에, 열산화막으로 이루어지는 실리콘 산화막 OX가 예를 들어 27Å의 두께로 형성된다.

[0116] 그 후, 메모리 영역 MCR 및 각 트랜지스터 영역 FTR, STR, TTR의 각각에 있어서, 도전막 CL2가 성막된다. 도전막 CL2는, 예를 들어 도핑된 폴리실리콘으로 이루어진다.

[0117] 도 23에 도시된 바와 같이, 도전막 CL2가 사진 제판 기술 및 에칭 기술에 의해 패터닝된다. 이에 의해 메모리 영역 MCR에 있어서는, 도전막 CL2로부터 컨트롤 게이트 전극 CG가 형성된다. 제1 트랜지스터 영역 FTR에 있어서는, 도전막 CL2로부터 게이트 전극 GE1이 형성된다. 제2 트랜지스터 영역 STR에 있어서는, 도전막 CL2로부터 게이트 전극 GE2가 형성된다. 제3 트랜지스터 영역 TTR에 있어서는, 도전막 CL2로부터 게이트 전극 GE3이 형성된다.

[0118] 또한 메모리 영역 MCR에 있어서는, 실리콘 산화막 OX2, 실리콘 질화막 NI, 실리콘 산화막 OX1, 도전막 CL1 및 실리콘 산화막 OXA가 선택적으로 제거된다. 이에 의해 실리콘 산화막 OX2, 실리콘 질화막 NI 및 실리콘 산화막 OX1로부터 절연막 IL이 형성된다. 또한 도전막 CL1로부터 플로팅 게이트 전극 FG가 형성된다.

[0119] 또한 메모리 영역 MCR에 있어서는, 실리콘 산화막 OXA로부터 터널 산화막 TI가 구성된다. 제1 트랜지스터 영역 FTR에 있어서는, 실리콘 산화막 OXA로부터 게이트 산화막 GI1이 구성된다. 제2 트랜지스터 영역 STR에 있어서는, 실리콘 산화막 OX로부터 게이트 산화막 GI2가 구성된다. 제3 트랜지스터 영역 TTR에 있어서는, 실리콘 산화막 H03으로부터 게이트 산화막 GI3이 구성된다.

[0120] 그 후, 소스 영역 및 드레인 영역을 구성하는 불순물 영역 IR, IR1, IR2, IR3 등이 형성됨으로써, 도 14에 도시하는 본 실시 형태의 반도체 장치가 제조된다.

[0121] <효과>

[0122] 다음으로, 본 실시 형태의 효과에 대하여 설명한다.

[0123] 본 실시 형태에 있어서는 도 16에 도시된 바와 같이, 제1 트랜지스터 영역 FTR에 있어서, 반도체 기판 SB의 표면에 실리콘 산화막 OXA가 형성되고, 실리콘 산화막 OXA 상에 절연막 OX1, NI, OX2(제1 피에칭막)가 형성된다.

그 후, 도 19 및 도 20에 도시된 바와 같이, 제1 트랜지스터 영역 FTR에 있어서, 절연막 OX1, NI, OX2와 실리콘 산화막 OXA의 상층의 일부가 에칭에 의해 제거된다. 이에 의해 실리콘 산화막 OXA로부터 제1 트랜지스터 FT의 게이트 산화막 GI1이 형성된다.

[0124] 이와 같이 실리콘 산화막 OXA의 상층의 일부를 에칭 제거함으로써 게이트 산화막 GI1의 두께가 조정된다. 이에 의해, 제2 트랜지스터 ST 및 제3 트랜지스터 TT의 각 게이트 산화막 GI2, GI3과는 별도로 게이트 산화막 GI1의 막 두께 조정이 가능하게 된다. 이 때문에 제2 트랜지스터 ST 및 제3 트랜지스터 TT의 각 게이트 산화막 GI2, GI3의 형성에 큰 영향을 주지 않고, 게이트 산화막 GI1을 형성하는 것이 가능하게 된다.

[0125] 또한 본 실시 형태에 의하면 도 19 및 도 20에 도시된 바와 같이, 절연막 OX1, NI, OX2의 제거와 실리콘 산화막 OXA의 상층의 일부의 제거의 각각은 드라이 에칭에 의해 행해진다. 이에 의해 당해 드라이 에칭에 의한 실리콘 산화막 OXA의 잔막의 두께 제어가 용이하게 된다.

[0126] 또한 본 실시 형태에 의하면, 상기 이외에, 실시 형태 1과 마찬가지의 효과도 얻어진다.

[0127] (실시 형태 3)

[0128] <반도체 장치의 구성>

[0129] 실시 형태 3에 있어서의 반도체 장치의 구성에 대하여 도 24 및 도 25를 이용하여 설명한다.

[0130] 도 24 및 도 25에 도시된 바와 같이, 본 실시 형태에 있어서의 반도체 장치의 구성은, 불휘발성 반도체 메모리 MC의 구성에 있어서 실시 형태 1의 구성과 다르다. 본 실시 형태에 있어서는, 불휘발성 반도체 메모리 MC는, 예를 들어 소거 게이트 전극 EG와 선택 게이트 전극 WG를 갖는 스플릿 게이트형의 플래시 메모리이다.

[0131] 불휘발성 반도체 메모리 MC는, 소스 영역 SR과, 드레인 영역 DR과, 커플링 산화막 CI와, 플로팅 게이트 전극 FG와, 절연막 IL과, 컨트롤 게이트 전극 CG와, 절연막 HM을 갖고 있다. 불휘발성 반도체 메모리 MC는, 터널 산화막 TI와, 소거 게이트 전극 EG와, 게이트 산화막 GI와, 선택 게이트 전극 WG를 더 갖고 있다.

[0132] 소스 영역 SR과 드레인 영역 DR은, 반도체 기판 SB의 표면에 서로 거리를 두고 배치되어 있다. 반도체 기판 SB는, 예를 들어 단결정 실리콘으로 이루어져 있다. 소스 영역 SR 및 드레인 영역 DR의 각각은, 예를 들어 n형의 불순물을 반도체 기판 SB의 표면에 도입함으로써 구성되어 있다.

[0133] 드레인 영역 DR은, 고농도 영역 HI와, 저농도 영역 LI를 갖고 있고, LDD 구조를 갖고 있어도 된다. 고농도 영역 HI는, 저농도 영역 LI보다도 높은 n형 불순물 농도를 갖고 있다.

[0134] 소스 영역 SR과 드레인 영역 DR의 사이에 끼인 반도체 기판 SB의 표면 상에 커플링 산화막 CI를 개재하여 플로팅 게이트 전극 FG가 배치되어 있다. 커플링 산화막 CI는, 예를 들어 실리콘으로 이루어지는 반도체 기판 SB의 표면을 열산화함으로써 형성된 실리콘 산화막이다. 커플링 산화막 CI는, 예를 들어 100Å의 두께를 갖고 있다.

[0135] 플로팅 게이트 전극 FG는, 예를 들어 도핑된 폴리실리콘으로 이루어져 있다. 플로팅 게이트 전극 FG는, 예를 들어 280Å의 두께를 갖고 있다. 플로팅 게이트 전극 FG 상에는, 절연막 IL을 개재하여 컨트롤 게이트 전극 CG가 배치되어 있다. 컨트롤 게이트 전극 CG의 상에는, 제조 프로세스에 있어서 하드마스크로서 기능하는 절연막 HM이 배치되어 있다.

[0136] 플로팅 게이트 전극 FG의 소스 영역 SR측의 측벽은, 컨트롤 게이트 전극 CG의 소스 영역 SR측의 측벽보다도 소스 영역 SR측으로 돌출되어 있다. 플로팅 게이트 전극 FG 및 컨트롤 게이트 전극 CG의 각 드레인 영역 DR측의 측벽과, 컨트롤 게이트 전극 CG의 소스 영역 SR측의 측벽은, 사이드월 절연막 SW1에 의해 덮여 있다.

[0137] 소거 게이트 전극 EG는, 반도체 기판 SB의 표면 상에 터널 산화막 TI를 개재하여 배치되어 있다. 소거 게이트 전극 EG는, 플로팅 게이트 전극 FG의 소스 영역 SR측의 측면 및 상면과 터널 산화막 TI를 개재하여 대향하고 있다. 소거 게이트 전극 EG는, 컨트롤 게이트 전극 CG의 소스 영역 SR측의 측면과 사이드월 절연막 SW 및 터널 산화막 TI를 개재하여 대향하고 있다.

[0138] 선택 게이트 전극 WG는, 반도체 기판 SB의 표면 상에 게이트 산화막 GI를 개재하여 배치되어 있다. 선택 게이트 전극 WG는, 플로팅 게이트 전극 FG 및 컨트롤 게이트 전극 CG의 각각의 드레인 영역 DR측의 측면과 사이드월 절연막 SW1을 개재하여 대향하고 있다. 선택 게이트 전극 WG의 드레인 영역 DR측의 측면은, 사이드월 절연막 SW2에 의해 덮여 있다.

[0139] 또한 본 실시 형태에 있어서의 상기 이외의 구성은 실시 형태 1의 구성과 거의 동일하기 때문에, 동일한 요소에

대해서는 동일한 부호를 붙이고, 그 설명을 반복하지 않는다.

[0140] <불휘발성 반도체 메모리 MC의 동작>

[0141] 다음으로, 도 24에 도시하는 불휘발성 반도체 메모리 MC의 동작에 대하여 설명한다.

[0142] 도 24에 도시된 바와 같이, 데이터의 기입 시에는, 소스 영역 SR, 컨트롤 게이트 전극 CG, 선택 게이트 전극 WG 및 드레인 영역 DR의 각각에 소정의 전압이 인가된다. 이에 의해 드레인 영역 DR로부터 플로팅 게이트 전극 FG에 전자가 주입된다. 이에 의해 데이터의 기입이 행해진다.

[0143] 데이터의 소거 시에는, 소거 게이트 전극 EG가 고전위로 된다. 이에 의해 플로팅 게이트 전극 FG에 축적된 전자가, 터널 산화막 TI를 통하여 소거 게이트 전극 EG로 인출된다. 이에 의해 데이터의 소거가 행해진다.

[0144] 데이터의 판독 시에는, 컨트롤 게이트 전극 CG, 선택 게이트 전극 WG 및 드레인 영역 DR의 각각에 소정의 전압이 인가된다. 이에 의해, 드레인 영역 DR과 소스 영역 SR의 사이에 전류(판독 전류)가 흐르는지 여부에 따라 데이터의 판독이 행해진다.

[0145] <반도체 장치의 제조 방법>

[0146] 다음으로, 본 실시 형태에 있어서의 반도체 장치의 제조 방법에 대하여 도 26 내지 도 36을 이용하여 설명한다.

[0147] 도 26에 도시된 바와 같이, 본 실시 형태에서는, 실시 형태 1과 마찬가지로, 반도체 기판 SB가 준비되고, 반도체 기판 SB에 STI 및 웰이 형성된다. 그 후, 반도체 기판 SB의 표면이 열산화된다. 이에 의해 메모리 영역 MCR 및 각 트랜지스터 영역 FTR, STR, TTR의 각각에 있어서, 반도체 기판 SB의 표면에, 열산화막으로 이루어지는 실리콘 산화막 CO가 예를 들어 100Å의 두께로 형성된다. 실리콘 산화막 CO는, 불휘발성 반도체 메모리 MC에 있어서의 커플링 산화막 CI를 형성하기 위한 산화막(커플링 산화막 형성용 산화막)이다.

[0148] 메모리 영역 MCR 및 각 트랜지스터 영역 FTR, STR, TTR의 각각에 있어서, 실리콘 산화막 CO의 표면 상에, 도전막 CL1이 성막된다. 도전막 CL1은, 불휘발성 반도체 메모리 MC에 있어서의 플로팅 게이트 전극 FG를 형성하기 위한 도전막(플로팅 게이트 전극 형성용 도전막)이다. 도전막 CL1은, 예를 들어 280Å의 두께로 형성된다. 도전막 CL1은, 예를 들어 도핑된 폴리실리콘으로 이루어진다.

[0149] 그 후, 포토레지스트 PR21이 반도체 기판 SB의 표면 상의 전체에 도포된 후, 선택적으로 노광·현상된다. 이에 의해 메모리 영역 MCR 및 제1 트랜지스터 영역 FTR의 각각을 덮는 레지스트 패턴 PR21이 형성된다.

[0150] 레지스트 패턴 PR21을 마스크로 하여, 드라이 에칭이 행해진다. 드라이 에칭에 의해 제2 트랜지스터 영역 STR 및 제3 트랜지스터 영역 TTR에 있어서 도전막 CL1이 제거되어, 실리콘 산화막 CO의 표면이 노출된다. 그 후, 레지스트 패턴 PR21이 산에 의해 박리 제거된다.

[0151] 도 27에 도시된 바와 같이, 포토레지스트 PR22가 반도체 기판 SB의 표면 상의 전체에 도포된 후, 선택적으로 노광·현상된다. 이에 의해 메모리 영역 MCR, 제2 트랜지스터 영역 STR 및 제3 트랜지스터 영역 TTR의 각각을 덮는 레지스트 패턴 PR22가 형성된다.

[0152] 레지스트 패턴 PR22를 마스크로 하여, 제1 트랜지스터 영역 FTR에 있어서, 도전막 CL1 및 실리콘 산화막 CO너머로 불순물이 반도체 기판 SB에 주입된다. 이에 의해 반도체 기판 SB에 웰 영역이 형성된다. 그 후, 레지스트 패턴 PR22가 산에 의해 박리 제거된다.

[0153] 그 후, 도면에는 도시되어 있지 않지만, 메모리 영역 MCR에 있어서 도전막 CL1이 선택적으로 제거됨으로써, 도전막 CL1로부터 플로팅 게이트 전극 FG가 형성된다. 또한 플로팅 게이트 전극 FG의 바로 아래에 위치하는 실리콘 산화막 CO로부터 커플링 산화막 CI가 구성된다. 또한 이온 주입 등에 의해, 반도체 기판 SB의 표면에 소스 영역 SR(도 24)이 형성된다.

[0154] 도 28에 도시된 바와 같이, 제2 트랜지스터 영역 STR 및 제3 트랜지스터 영역 TTR에 있어서 노출된 실리콘 산화막 CO가 에칭에 의해 제거된다. 이에 의해 제2 트랜지스터 영역 STR 및 제3 트랜지스터 영역 TTR에 있어서, 반도체 기판 SB의 표면이 노출된다.

[0155] 도 29에 도시된 바와 같이, 반도체 기판 SB의 표면 상의 전체에, RTO에 의해 열산화가 행해진다. 이에 의해 메모리 영역 MCR과 각 트랜지스터 영역 FTR, STR, TTR의 각각에, 열산화에 의한 실리콘 산화막이 형성된다. 또한 반도체 기판 SB의 표면 상의 전체에, HTO에 의해 실리콘 산화막이 퇴적된다. 이상에 의해 메모리 영역 MCR과 각 트랜지스터 영역 FTR, STR, TTR의 각각에, RTO에 의한 실리콘 산화막과 HTO에 의한 실리콘 산화막의 적층 구

조로 이루어지는 실리콘 산화막 H01이 형성된다. 실리콘 산화막 H01은, 예를 들어 48Å의 두께로 형성된다.

[0156] 도 30에 도시된 바와 같이, 포토레지스트 PR23이 반도체 기판 SB의 표면 상의 전체에 도포된 후, 선택적으로 노광·현상된다. 이에 의해 각 트랜지스터 영역 FTR, STR, TTR의 각각을 덮는 레지스트 패턴 PR23이 형성된다.

[0157] 레지스트 패턴 PR23을 마스크로 하여, 웨트 에칭이 행해진다. 이 웨트 에칭에 의해, 메모리 영역 MCR에 있어서 실리콘 산화막 H01이 선택적으로 제거되어, 플로팅 게이트 전극 FG가 노출된다. 그 후, 레지스트 패턴 PR23이 산에 의해 박리 제거된다.

[0158] 도 31에 도시된 바와 같이, 반도체 기판 SB의 표면 상의 전체에, HTO에 의해 실리콘 산화막 H02가 퇴적된다. 실리콘 산화막 H02는, 예를 들어 139Å의 두께로 형성된다.

[0159] 도 32에 도시된 바와 같이, 포토레지스트 PR24가 반도체 기판 SB의 표면 상의 전체에 도포된 후, 선택적으로 노광·현상된다. 이에 의해 메모리 영역 MCR, 제2 트랜지스터 영역 STR 및 제3 트랜지스터 영역 TTR의 각각을 덮는 레지스트 패턴 PR24가 형성된다.

[0160] 레지스트 패턴 PR24를 마스크로 하여, 웨트 에칭이 행해진다. 이 웨트 에칭에 의해, 제1 트랜지스터 영역 FTR에 있어서 실리콘 산화막 H02, H01이 선택적으로 제거되어, 도전막 CL1이 노출된다. 그 후, 드라이 에칭이 행해진다.

[0161] 이 드라이 에칭은, 예를 들어 CDE에 의해 행해진다. 이 드라이 에칭에 의해, 노출된 도전막 CL1이 선택적으로 제거되어, 실리콘 산화막 CO가 노출된다.

[0162] 도 33에 도시된 바와 같이, 상기의 드라이 에칭 시에, 노출된 실리콘 산화막 CO의 상층의 일부도 오버에칭되어 제거된다. 이 CDE의 오버에칭을 조정함으로써, 실리콘 산화막 CO의 잔막의 두께가, 예를 들어 75Å으로 조정된다. 그 후, 레지스트 패턴 PR24가 산에 의해 박리 제거된다.

[0163] 도 34에 도시된 바와 같이, 포토레지스트 PR25가 반도체 기판 SB의 표면 상의 전체에 도포된 후, 선택적으로 노광·현상된다. 이에 의해 메모리 영역 MCR, 제1 트랜지스터 영역 FTR 및 제3 트랜지스터 영역 TTR의 각각을 덮는 레지스트 패턴 PR25가 형성된다.

[0164] 레지스트 패턴 PR25를 마스크로 하여, 웨트 에칭이 행해진다. 이 웨트 에칭에 의해, 제2 트랜지스터 영역 STR에 있어서 실리콘 산화막 H02, H01이 선택적으로 제거되어, 반도체 기판 SB의 표면이 노출된다. 그 후, 레지스트 패턴 PR25가 산에 의해 박리 제거된다.

[0165] 도 35에 도시된 바와 같이, 반도체 기판 SB의 표면이 열산화된다. 이에 의해 제2 트랜지스터 영역 STR에 있어서, 반도체 기판 SB의 표면에, 열산화막으로 이루어지는 실리콘 산화막 OX가 예를 들어 27Å의 두께로 형성된다.

[0166] 그 후, 메모리 영역 MCR 및 각 트랜지스터 영역 FTR, STR, TTR의 각각에 있어서, 도전막 CL2가 성막된다. 도전막 CL2는, 예를 들어 도핑된 폴리실리콘으로 이루어진다.

[0167] 도 36에 도시된 바와 같이, 도전막 CL2가 사진 제판 기술 및 에칭 기술에 의해 패터닝된다. 이에 의해 메모리 영역 MCR에 있어서는, 도전막 CL2로부터 소거 게이트 전극 EG가 형성된다. 제1 트랜지스터 영역 FTR에 있어서는, 도전막 CL2로부터 게이트 전극 GE1이 형성된다. 제2 트랜지스터 영역 STR에 있어서는, 도전막 CL2로부터 게이트 전극 GE2가 형성된다. 제3 트랜지스터 영역 TTR에 있어서는, 도전막 CL2로부터 게이트 전극 GE3이 형성된다.

[0168] 또한 메모리 영역 MCR에 있어서는, 실리콘 산화막 H02로부터 터널 산화막 TI가 구성된다. 제1 트랜지스터 영역 FTR에 있어서는, 실리콘 산화막 CO로부터 게이트 산화막 GI1이 구성된다. 제2 트랜지스터 영역 STR에 있어서는, 실리콘 산화막 OX로부터 게이트 산화막 GI2가 구성된다. 제3 트랜지스터 영역 TTR에 있어서는, 실리콘 산화막 H01, H02로부터 실리콘 산화막 GI3a, GI3b로 이루어지는 게이트 산화막 GI3이 구성된다.

[0169] 그 후, 도면에는 도시되어 있지 않지만, 메모리 영역 MCR에 있어서는, 도전막 CL2의 잔막으로부터 선택 게이트 전극 WG가 형성된다. 또한 메모리 영역 MCR에 있어서는 드레인 영역 DR이 형성되고, 각 트랜지스터 영역 FTR, STR, TTR에 있어서는 소스 영역 및 드레인 영역을 구성하는 불순물 영역 IR1, IR2, IR3이 형성됨으로써, 도 24에 도시하는 본 실시 형태의 반도체 장치가 제조된다.

[0170] <효과>

- [0171] 다음으로, 본 실시 형태의 효과에 대하여 설명한다.
- [0172] 본 실시 형태에 있어서는 도 26에 도시된 바와 같이, 제1 트랜지스터 영역 FTR에 있어서, 반도체 기판 SB의 표면에 실리콘 산화막 CO가 형성되고, 실리콘 산화막 CO 상에 도 31에 도시된 바와 같이 실리콘 산화막 H01, H02(제1 피에칭막)가 형성된다. 그 후, 도 32 및 도 33에 도시된 바와 같이, 실리콘 산화막 H01, H02와 실리콘 산화막 CO의 상층의 일부가 에칭에 의해 제거된다. 이에 의해 실리콘 산화막 CO로부터 제1 트랜지스터 FT의 게이트 산화막 GI1이 형성된다.
- [0173] 이와 같이 실리콘 산화막 CO의 상층의 일부를 에칭 제거함으로써 게이트 산화막 GI1의 두께가 조정된다. 이에 의해, 제2 트랜지스터 ST 및 제3 트랜지스터 TT의 각 게이트 산화막 GI2, GI3과는 별도로 게이트 산화막 GI1의 막 두께 조정이 가능하게 된다. 이 때문에 제2 트랜지스터 ST 및 제3 트랜지스터 TT의 각 게이트 산화막 GI2, GI3의 형성에 큰 영향을 주지 않고, 게이트 산화막 GI1을 형성하는 것이 가능하게 된다.
- [0174] 또한 본 실시 형태에 의하면, 상기 이외에, 실시 형태 1과 마찬가지의 효과도 얻어진다.
- [0175] <변형예 1>
- [0176] 실시 형태 3에 있어서는, 제1 트랜지스터 FT의 게이트 산화막 GI1은, 도전막 CL1의 에칭에 있어서의 오버에칭만으로 막 두께 제어되었지만, 오버에칭과 웨트 에칭의 조합에 의해 막 두께 제어되어도 된다.
- [0177] 본 변형예의 제조 방법은, 도 26 내지 도 32에 도시하는 실시 형태 3의 공정과 마찬가지의 공정을 거친다. 단본 변형예의 제조 방법에서는, 도 32에 도시하는 도전막 CL1의 CDE에 의한 에칭 공정에 있어서, 실리콘 산화막 CO의 잔막의 안정화를 위해, 실리콘 산화막에 대한 선택비가 가능한 한 높게 설정된다. 이에 의해 도전막 CL1을 에칭 제거할 때의 실리콘 산화막 CO의 오버에칭에 의한 막 감소량이 감소한다.
- [0178] 도 37에 도시된 바와 같이, 상기에 의해 CDE에 의한 에칭 후의 실리콘 산화막 CO의 잔막의 두께가, 예를 들어 90Å으로 된다.
- [0179] 도 38에 도시된 바와 같이, 그 후, 레지스트 패턴 PR24를 마스크로 하여, 웨트 에칭이 행해진다. 이 웨트 에칭에 의해, 제1 트랜지스터 영역 FTR에 있어서 실리콘 산화막 CO가 선택적으로 제거된다. 이에 의해 실리콘 산화막 CO의 최종적인 두께가, 예를 들어 50Å으로 조정된다.
- [0180] 그 후, 본 변형예의 제조 방법은, 도 34 내지 도 36에 도시하는 실시 형태 3과 마찬가지의 공정을 거침으로써, 도 24에 도시하는 반도체 장치와 마찬가지의 구성을 갖는 반도체 장치가 제조된다.
- [0181] 본 변형예에 의하면, 상기와 같이 제1 트랜지스터 FT의 게이트 산화막 GI1(CO)이 최종적인 두께가 50Å으로 조정된다. 이 때문에 구동 전압이 3.3V인 트랜지스터 대신에 구동 전압이 2.5V인 트랜지스터를 제1 트랜지스터 FT로서 사용할 수 있다.
- [0182] <변형예 2>
- [0183] 또한 실시 형태 3에 있어서는, 제1 트랜지스터 FT의 게이트 산화막 GI1은, 드라이 에칭에 의해 막 두께 제어되었지만, 웨트 에칭에 의해 막 두께 제어되어도 된다.
- [0184] 본 변형예의 제조 방법은, 도 26 내지 도 32에 도시하는 실시 형태 3의 공정과 마찬가지의 공정을 거친다. 단본 변형예의 제조 방법에서는, 도 32에 도시하는 도전막 CL1의 CDE에 의한 에칭 공정에 있어서, 도전막 CL1의 에칭 도중에 CDE가 정지된다.
- [0185] 도 39에 도시된 바와 같이, 상기 CDE에 의한 에칭에 의해, 제1 트랜지스터 영역 FTR에 있어서, 도전막 CL1의 하부를 남기도록, 도전막 CL1의 상부만이 제거된다. 이에 의해, 도전막 CL1의 하부가 실리콘 산화막 CO 상에 얇게 잔존한다. 그 후, 레지스트 패턴 PR24가 산에 의해 박리 제거되고, 그 후에 웨트 에칭이 행해진다.
- [0186] 웨트 에칭은, 고온 DAPM(Dilute Ammonia hydrogen Peroxide Mixture)을 사용하여 행해진다. 고온 DAPM은, 실리콘 산화막 H02의 깎임량을 최소로 하기 위하여, 실리콘 산화막 H02와의 선택비가 높은 조건으로 된다. 고온 DAPM은, 예를 들어 $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 10 : 400$ 으로 되고, 65°C의 온도로 된다.
- [0187] 이 웨트 에칭에 의해, 제1 트랜지스터 영역 FTR에 있어서, 도전막 CL1의 잔막(하부)과 실리콘 산화막 CO의 상층의 일부가 제거된다.
- [0188] 도 40에 도시된 바와 같이, 상기의 웨트 에칭에 의해, 실리콘 산화막 CO의 두께가, 예를 들어 75Å으로 조정된

다.

[0189] 그 후, 본 변형예의 제조 방법은, 도 34 내지 도 36에 도시하는 실시 형태 3과 마찬가지의 공정을 거침으로써, 도 24에 도시하는 반도체 장치와 마찬가지의 구성을 갖는 반도체 장치가 제조된다.

[0190] 본 변형예에 의하면, 상기와 같이 웨트 에칭에 의해 실리콘 산화막 CO의 두께가 조정되기 때문에, 에칭에 의한 대미지가 적은 양질의 게이트 산화막 GI1을 얻을 수 있다.

[0191] 또한 상기에 있어서는 불순물 영역 IR, IR1, IR2, IR3, IRa, IRb가 n형의 불순물 영역인 경우에 대하여 설명했지만, p형의 불순물 영역이어도 된다. 또한 불휘발성 반도체 메모리 MC의 구성은 상기에 한정되지 않고, 전원을 공급하지 않아도 기억을 유지할 수 있는 메모리이면 된다.

[0192] 이상, 본 발명자에 의해 이루어진 발명을 실시 형태에 기초하여 구체적으로 설명했지만, 본 발명은 상기 실시 형태에 한정되는 것은 아니며, 그 요지를 일탈하지 않는 범위에서 여러 가지 변경 가능한 것은 말할 필요도 없다.

부호의 설명

CG: 컨트롤 게이트 전극

CI: 커플링 산화막

CL, CL1, CL2: 도전막

CO, GI3a, HO1, HO2, HO3, OX, OX1, OX2, OXA, TI1: 실리콘 산화막

DR: 드레인 영역

EG: 소거 게이트 전극

FT: 제1 트랜지스터

FTR: 제1 트랜지스터 영역

GE1, GE2, GE3: 게이트 전극

GI, GI1, GI2, GI3: 게이트 산화막

GI3a, GI3b, TI1, TI2, OX1, OX2: 실리콘 산화막

HI, HI1, HI2, HI3: 고농도 영역

HM, IL: 절연막

IR, IR1, IR2, IR3, IRa, IRb: 불순물 영역

LI, LI1, LI2, LI3: 저농도 영역

MC: 불휘발성 반도체 메모리

MCR: 메모리 영역

NI: 실리콘 질화막

PR1, PR2, PR3, PR4, PR11, PR12, PR13, PR21, PR22, PR23, PR24, PR25: 레지스트 패턴

SB: 반도체 기판

SR: 소스 영역

ST: 제2 트랜지스터

STR: 제2 트랜지스터 영역

SW, SW1, SW2: 사이드월 절연막

TI: 터널 산화막

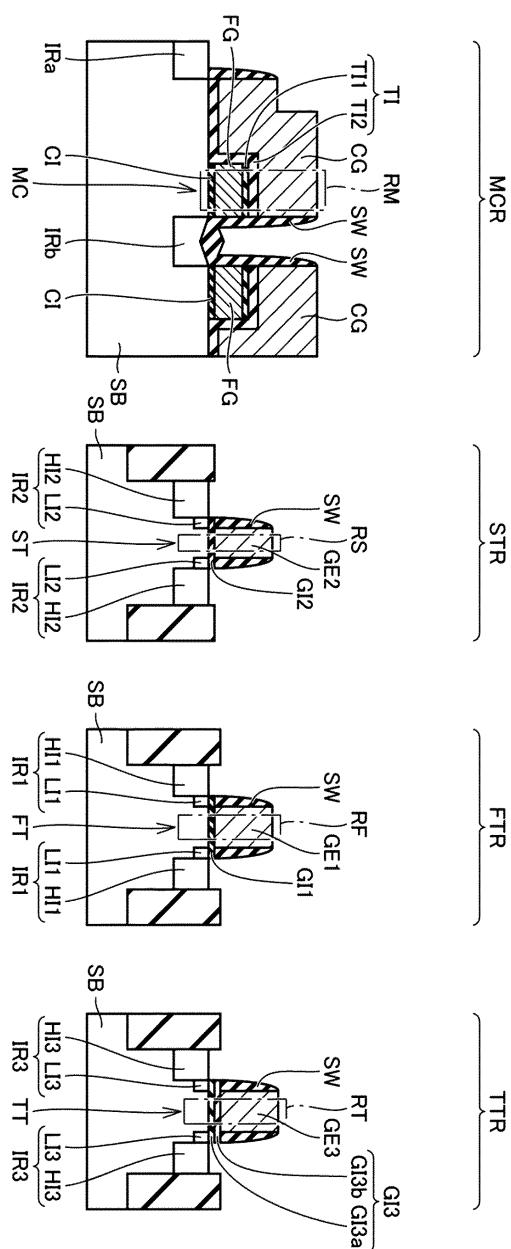
TT: 제3 트랜지스터

TTR: 제3 트랜지스터 영역

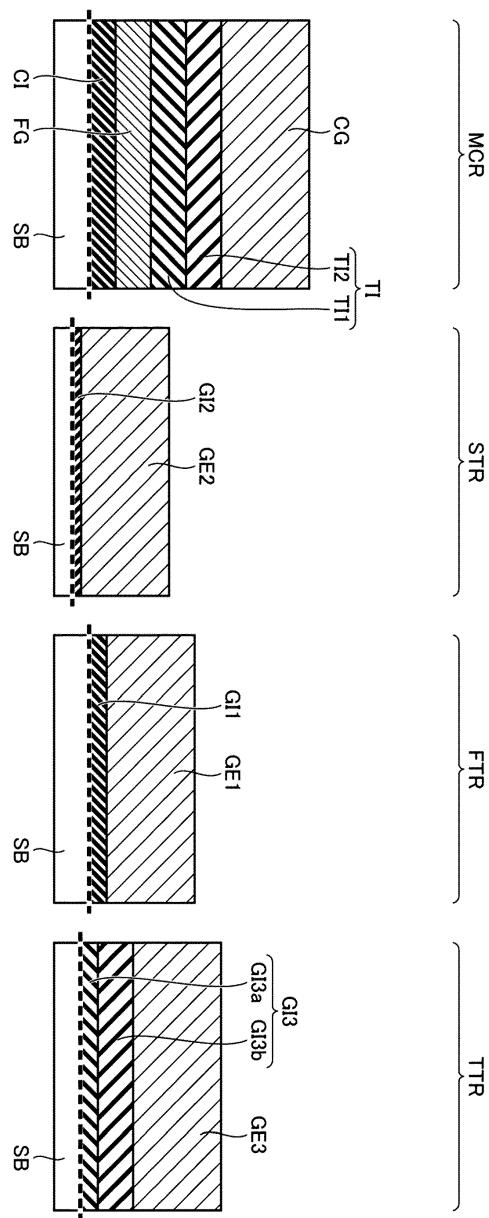
WG: 선택 게이트 전극

도면

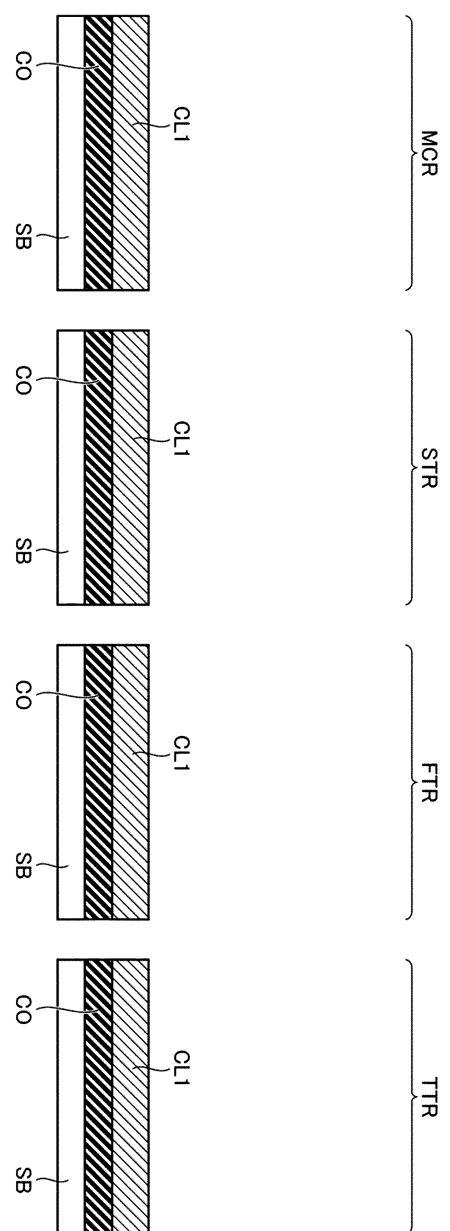
도면1



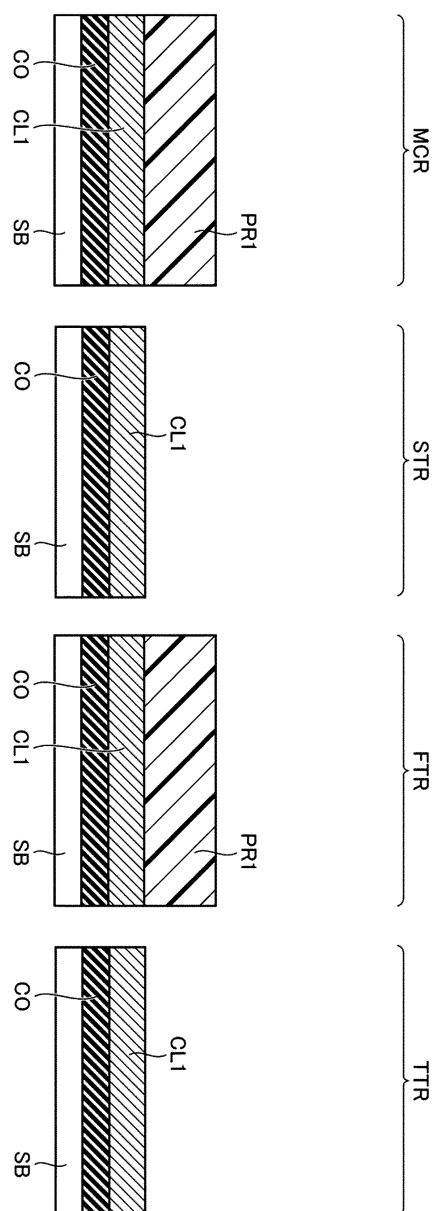
도면2



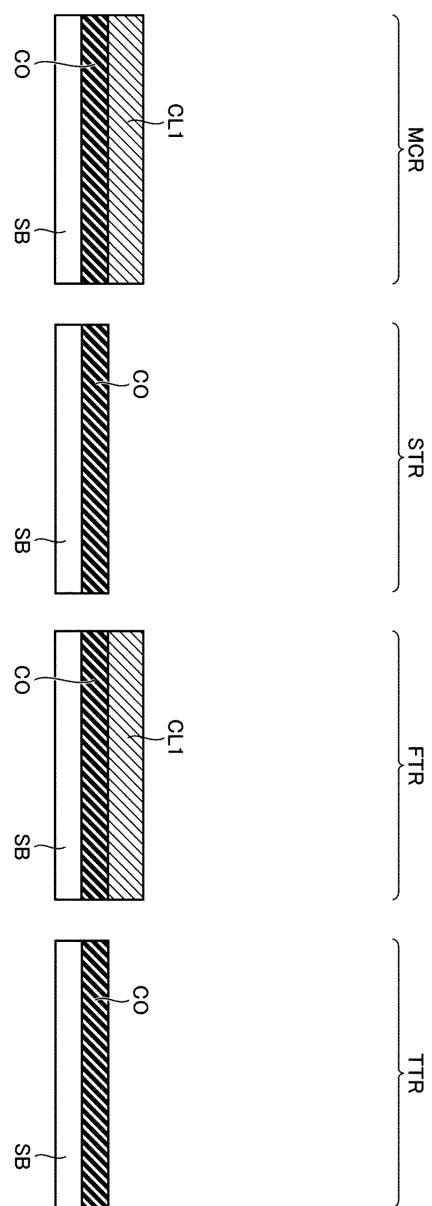
도면3



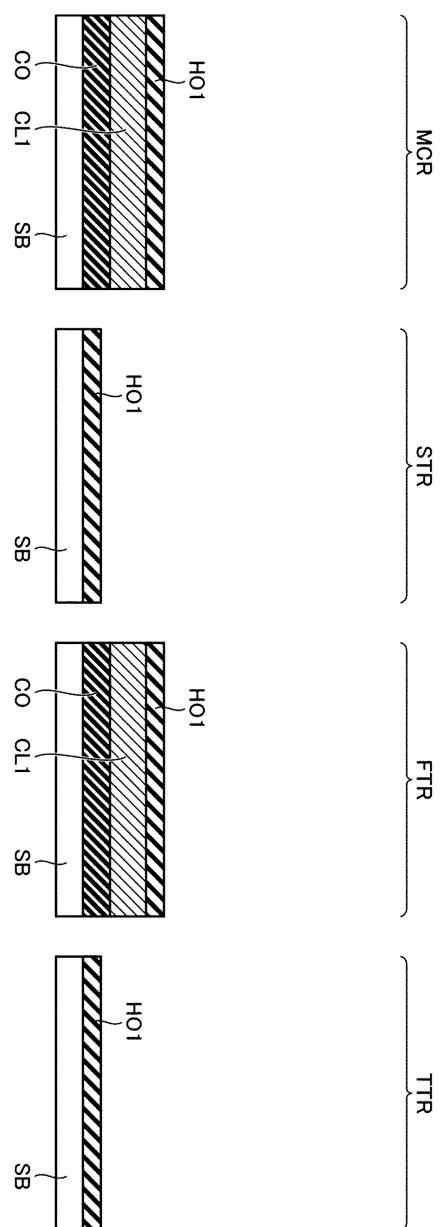
도면4



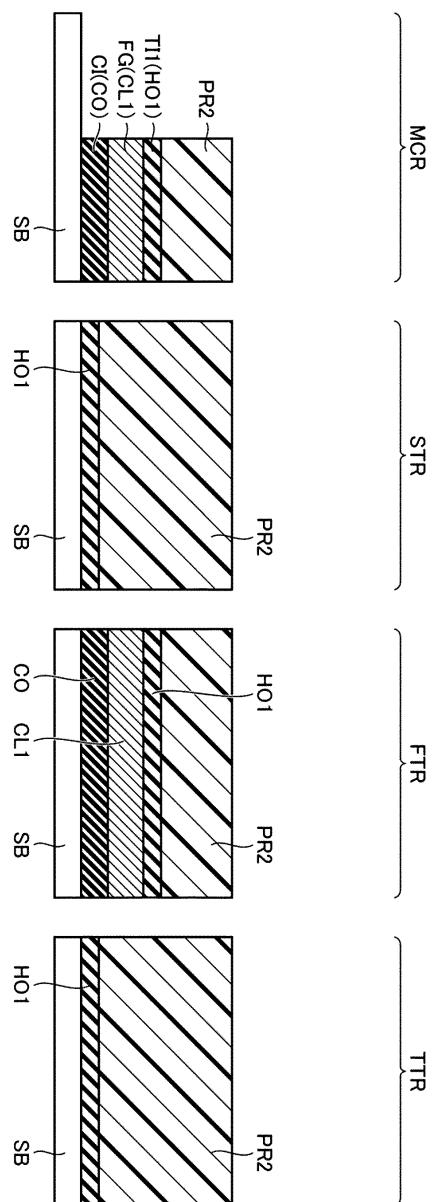
도면5



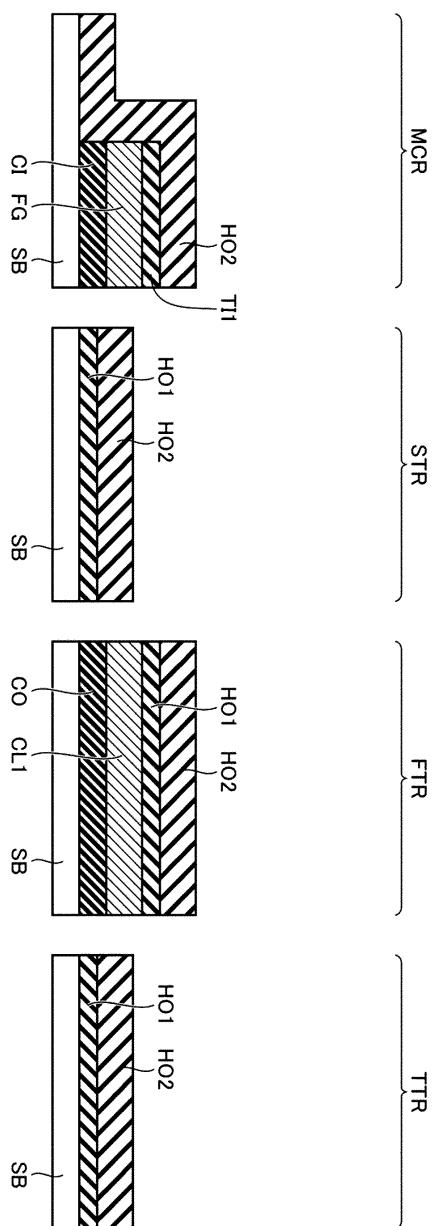
도면6



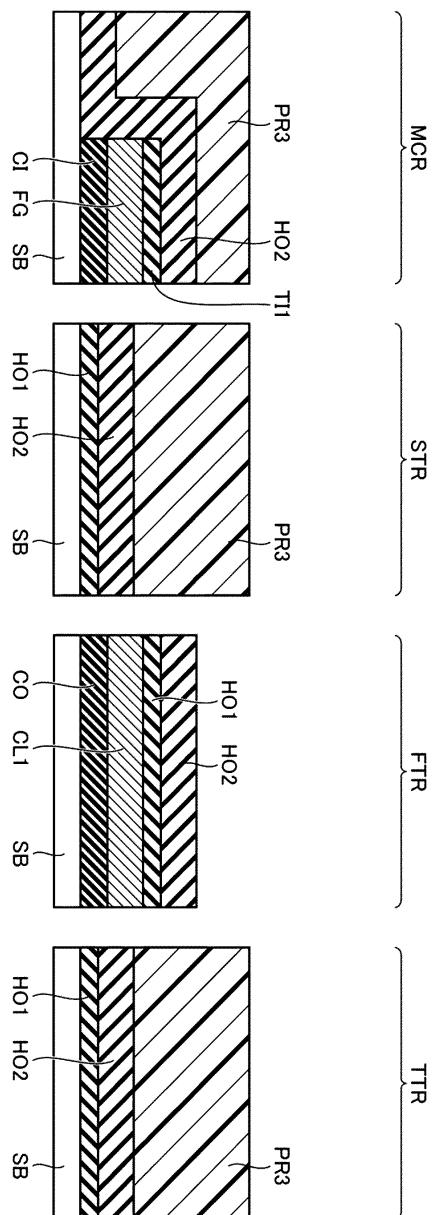
도면7



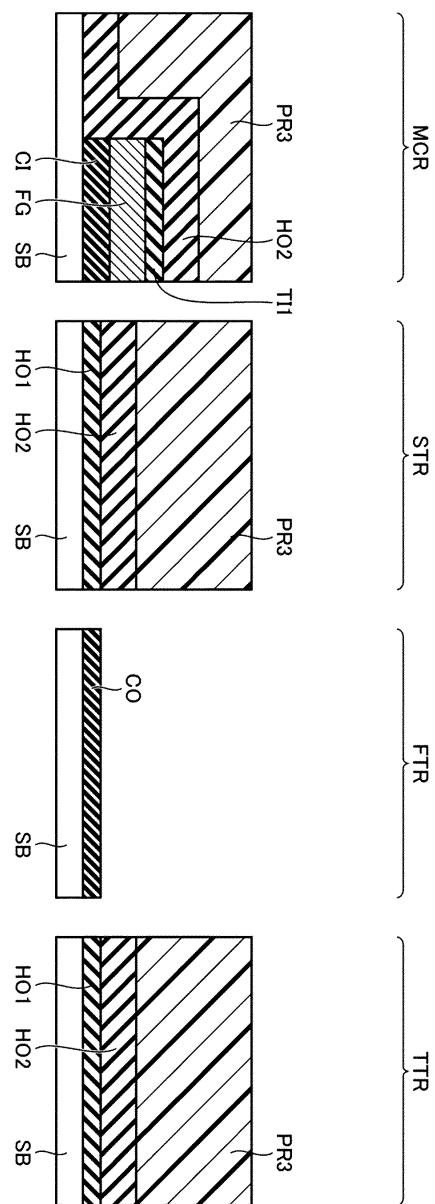
도면8



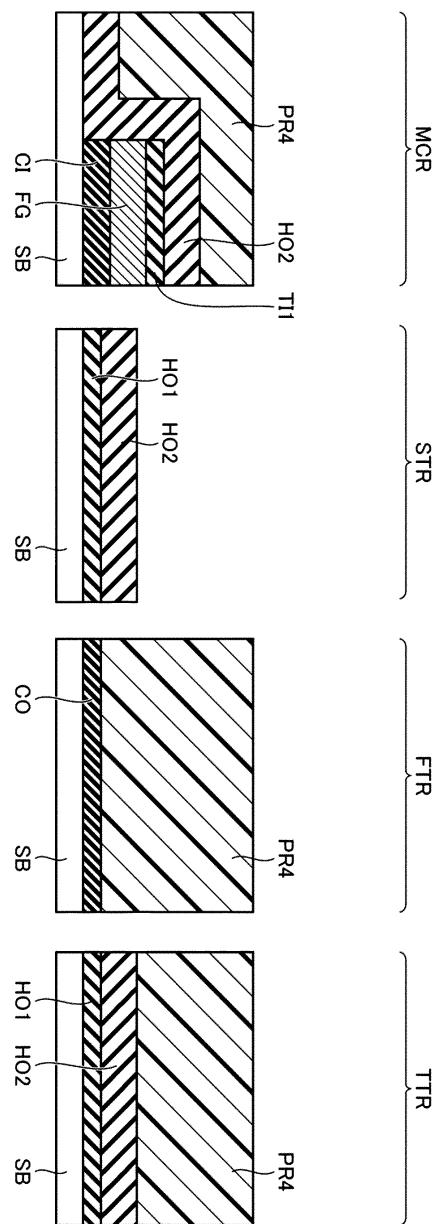
도면9



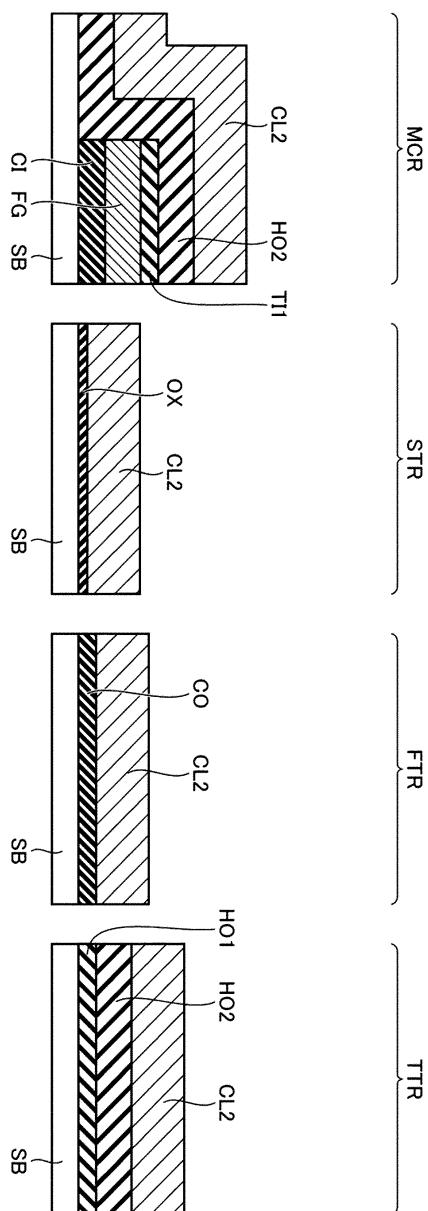
도면10



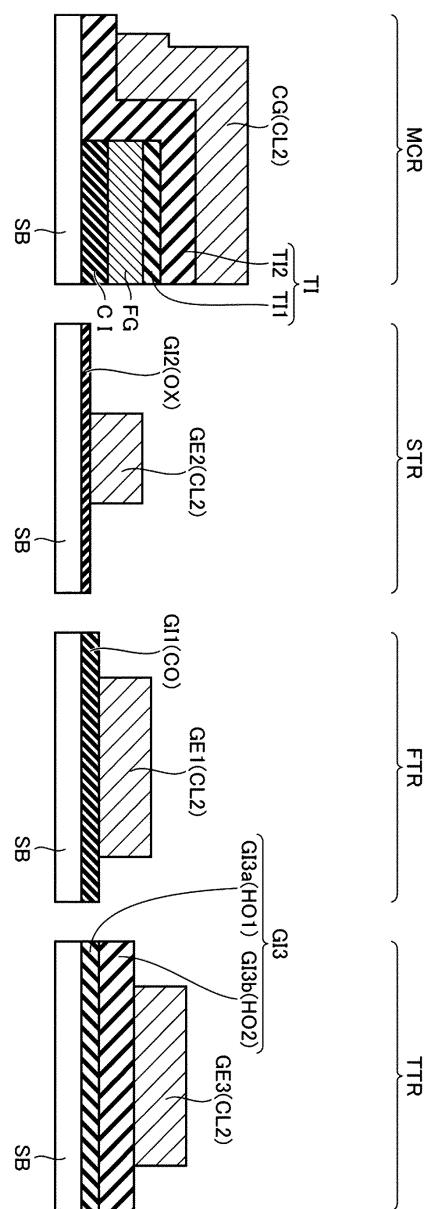
도면11



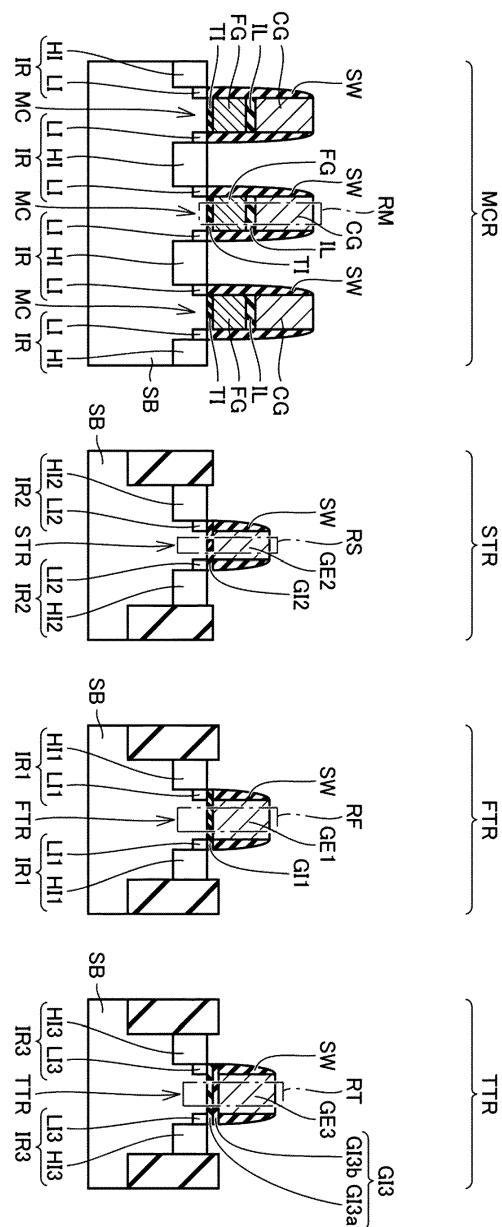
도면12



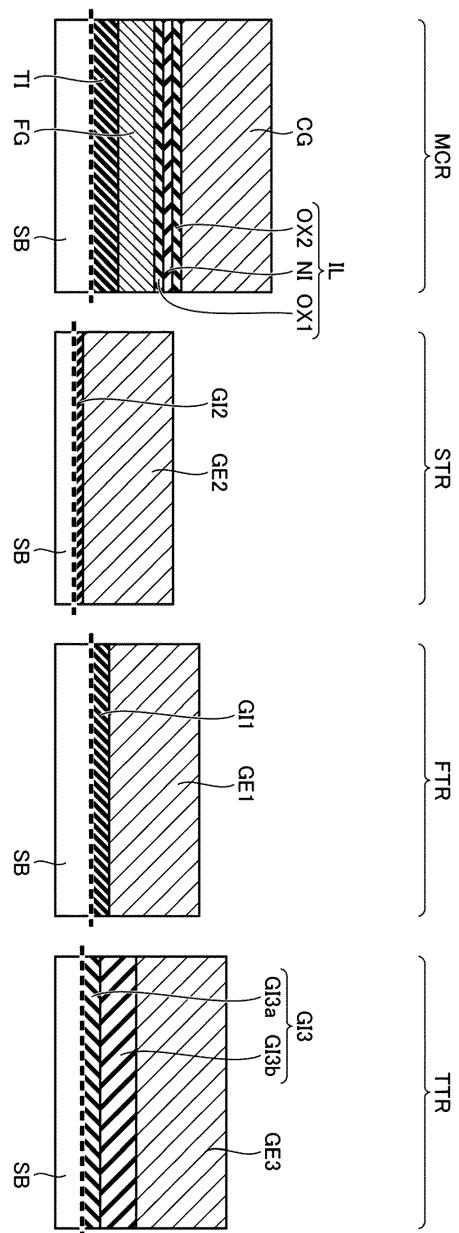
도면13



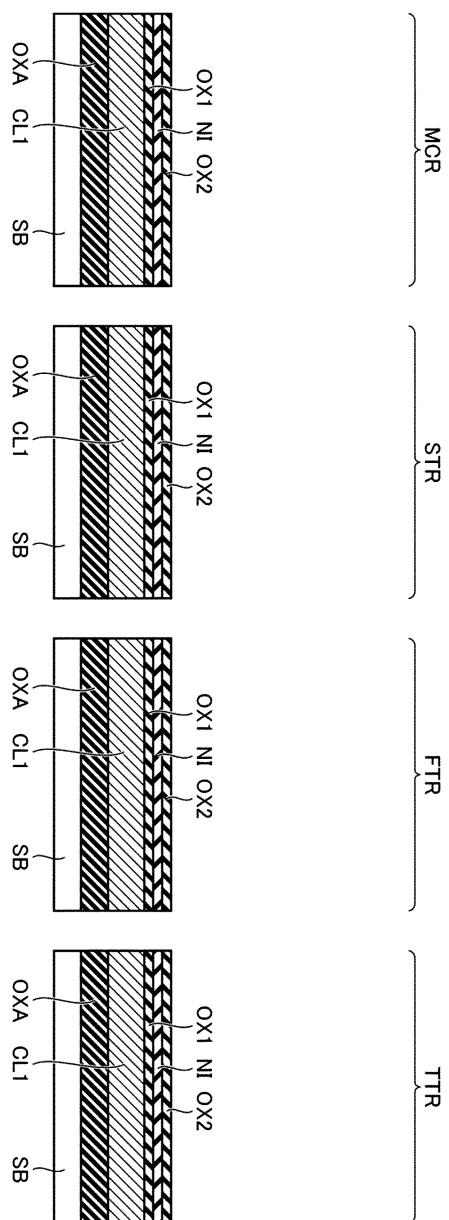
도면14



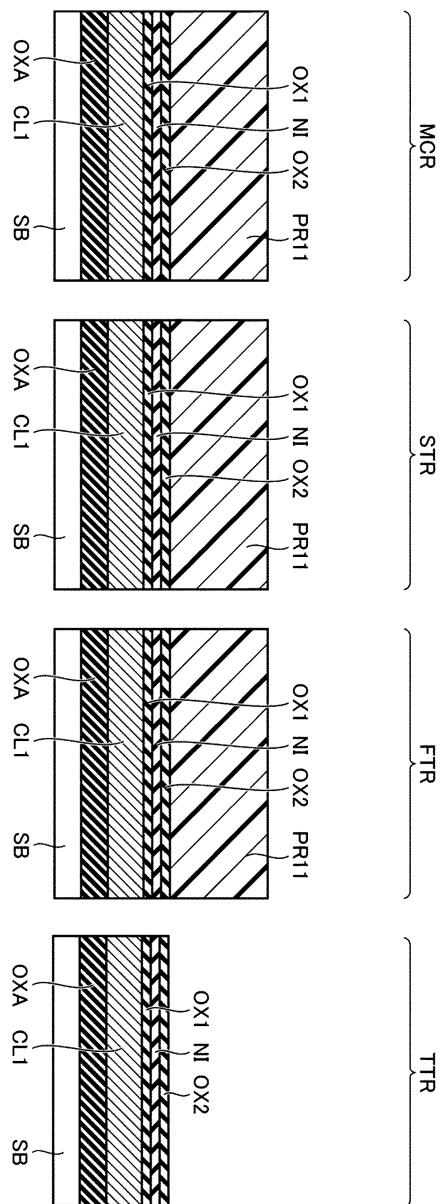
도면15



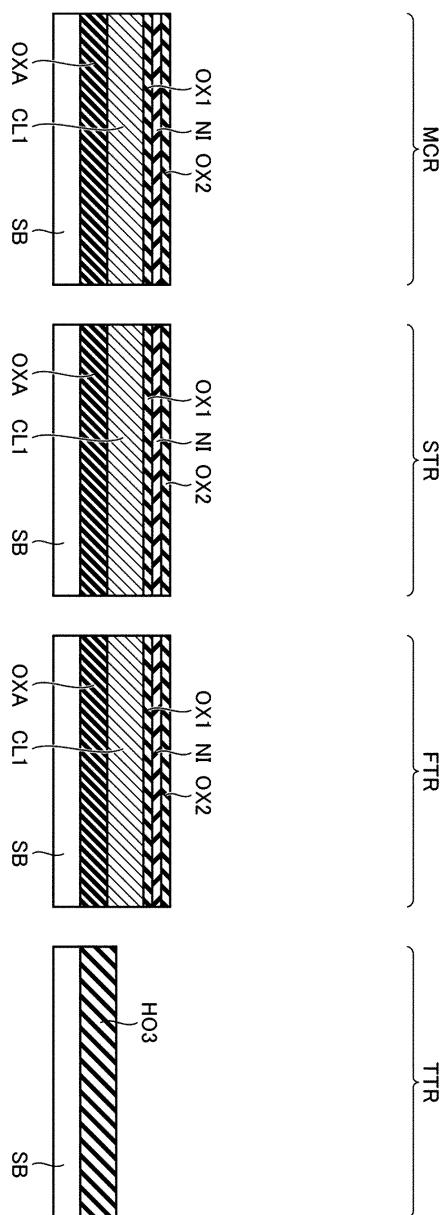
도면16



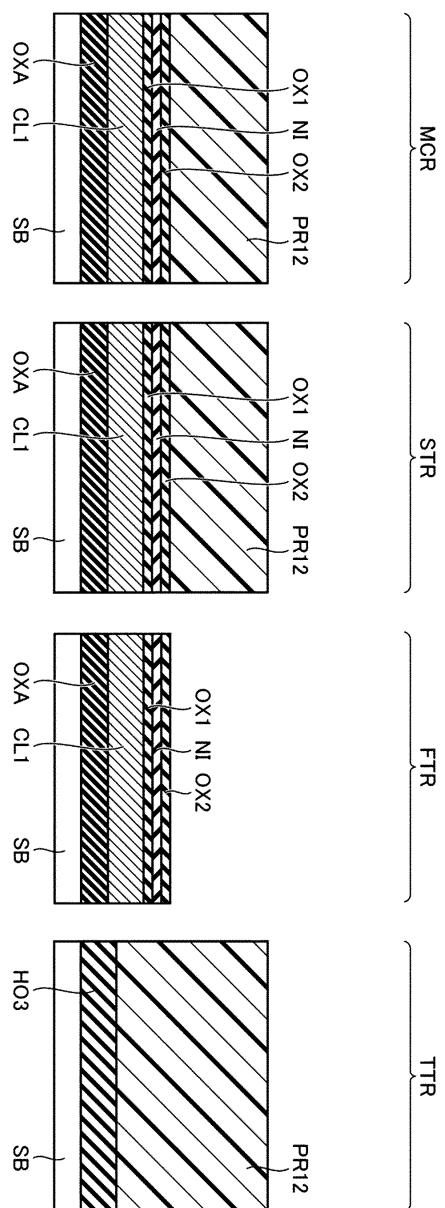
도면17



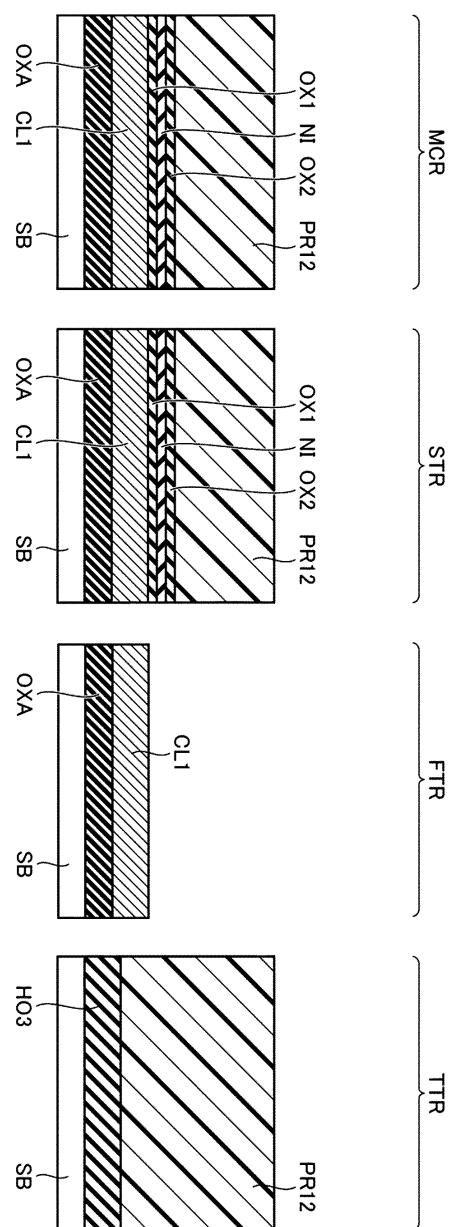
도면18



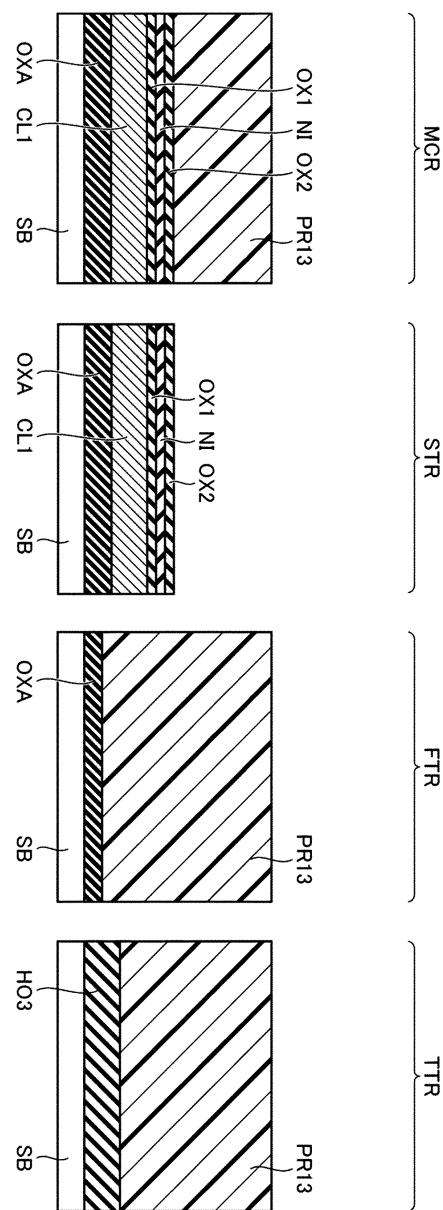
도면19



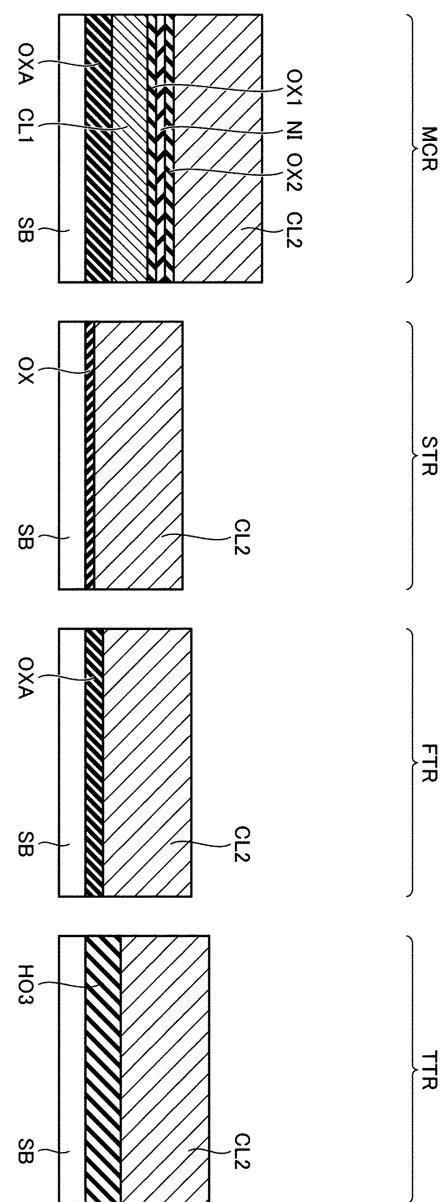
도면20



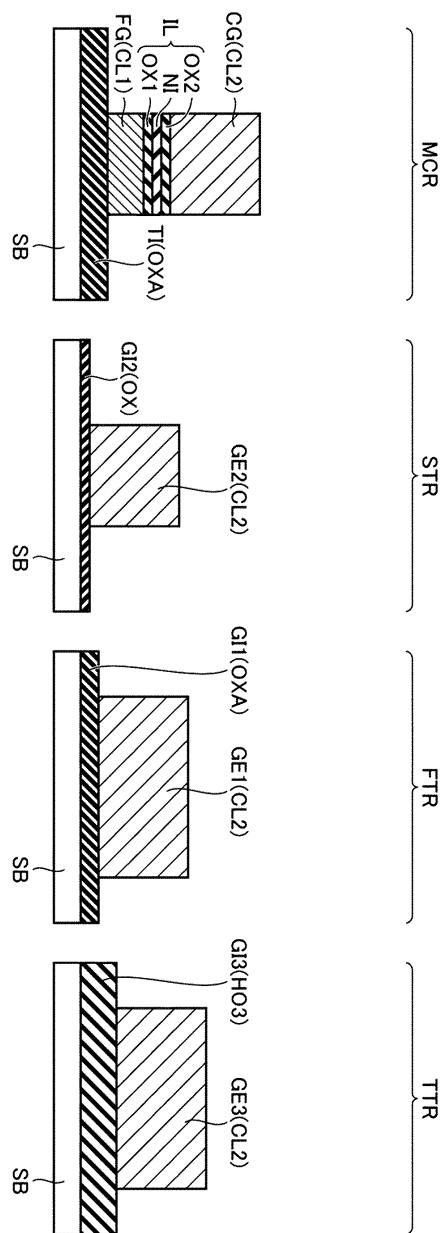
도면21



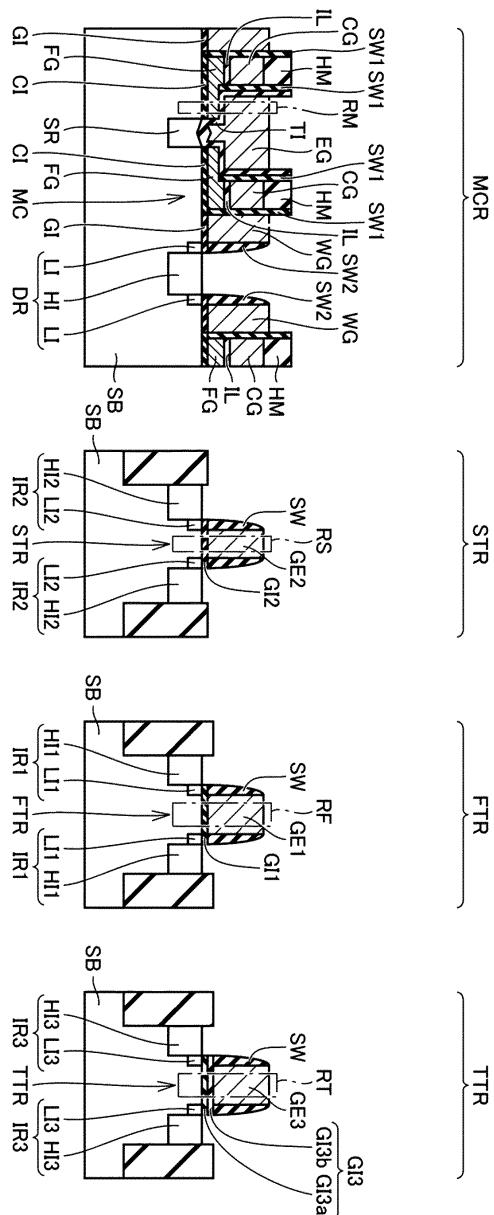
도면22



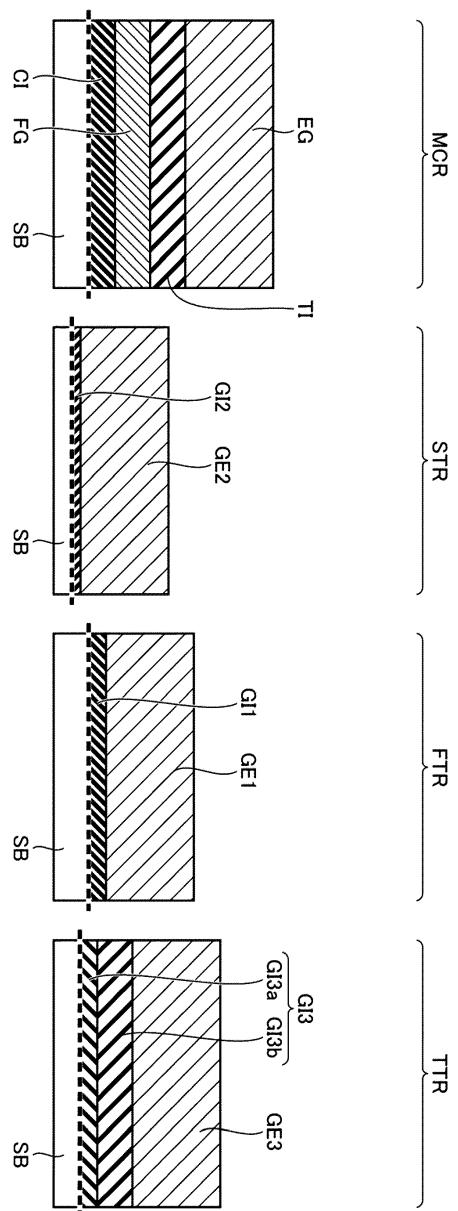
도면23



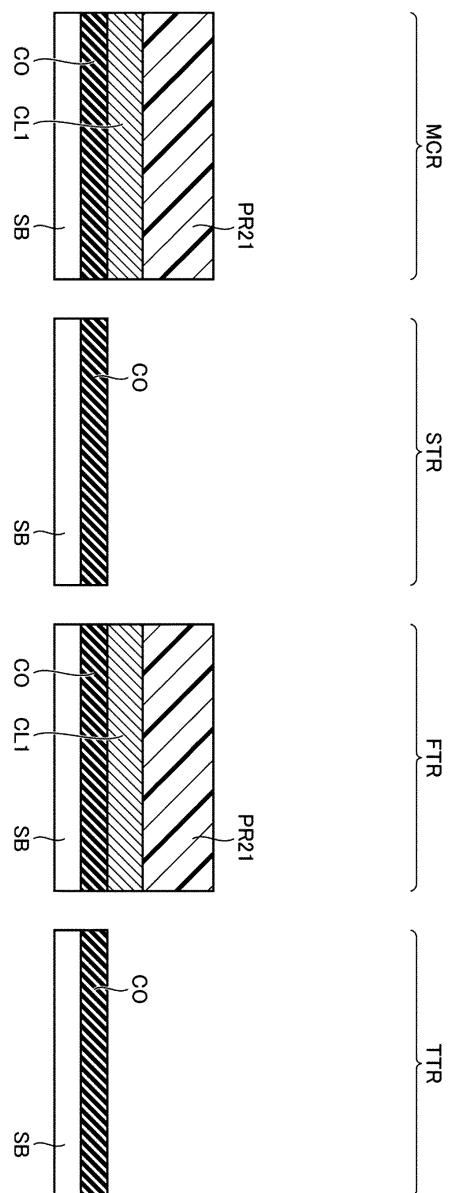
도면24



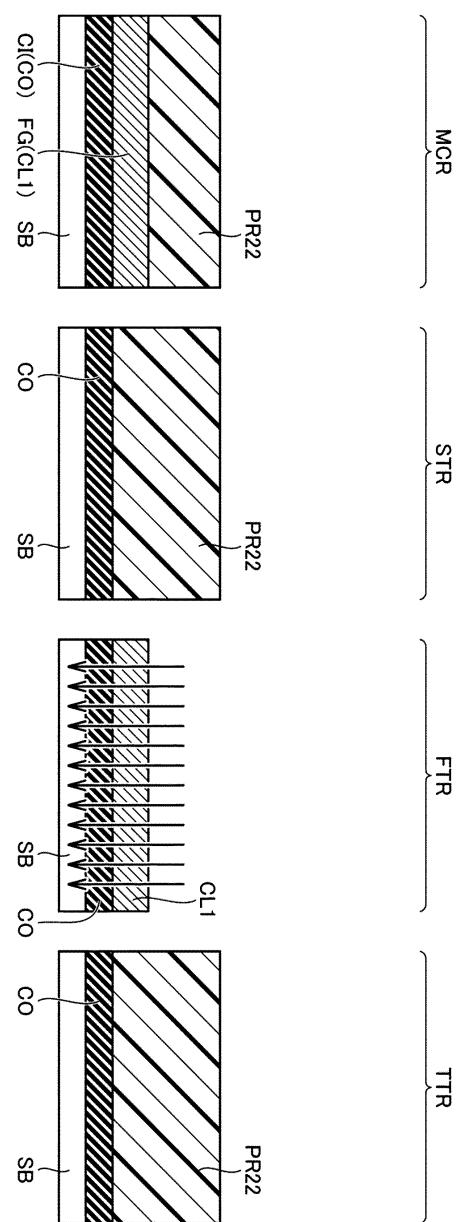
도면25



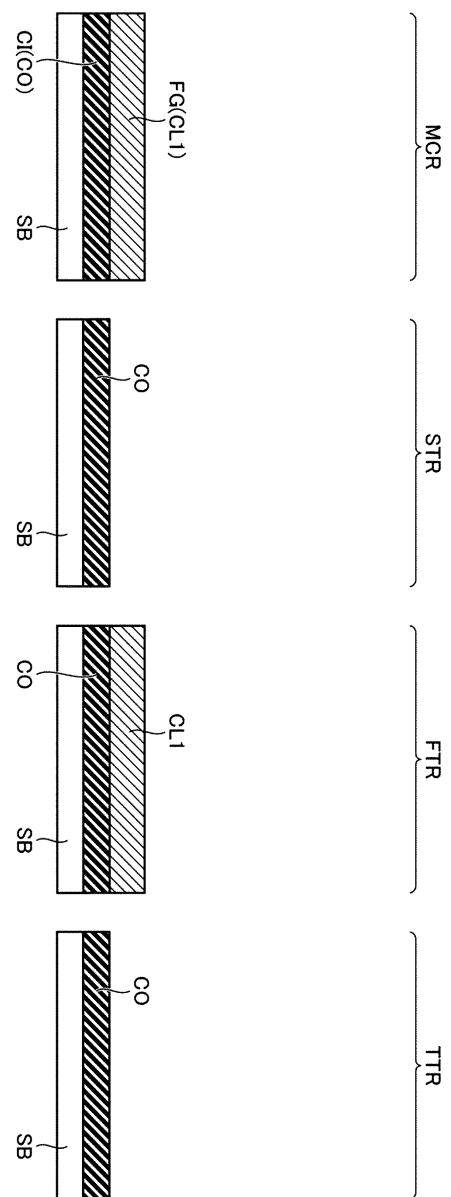
도면26



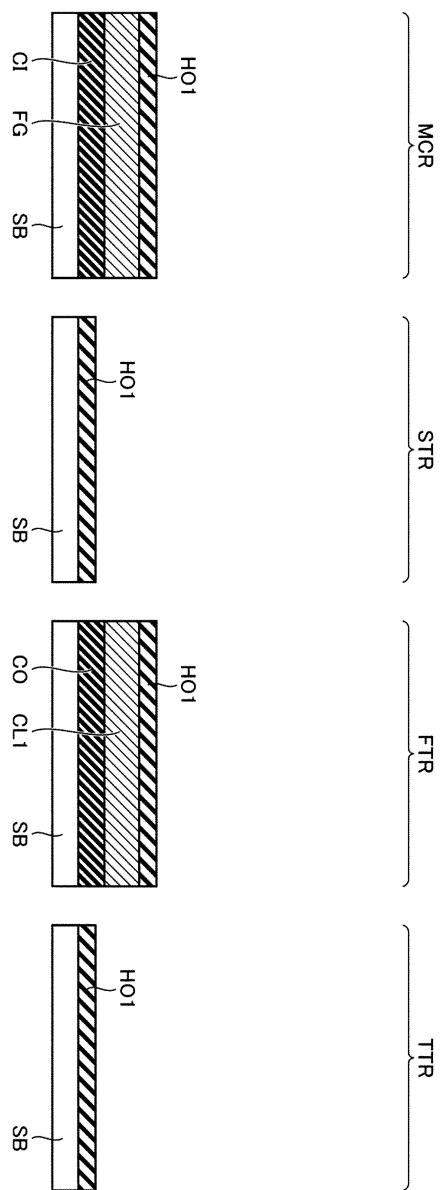
도면27



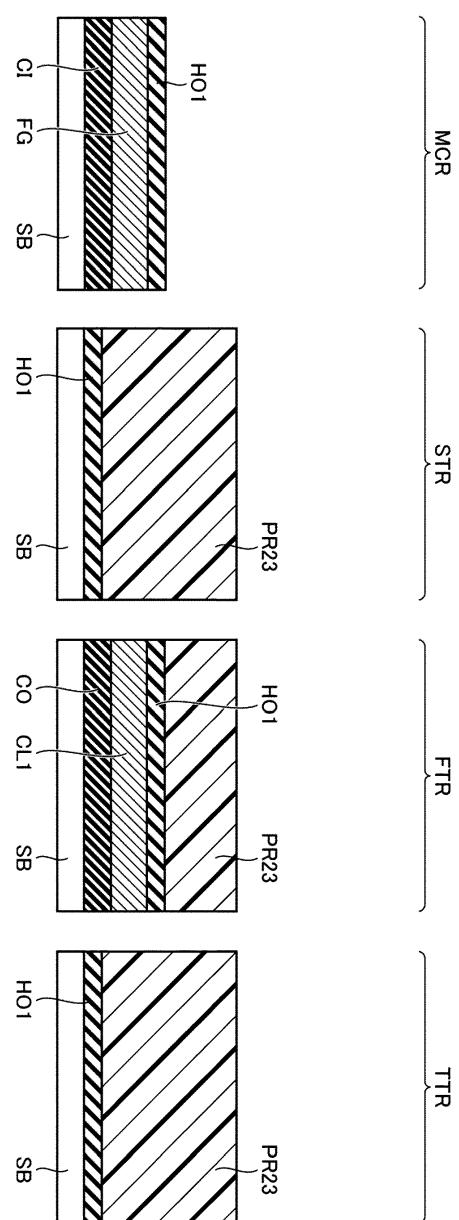
도면28



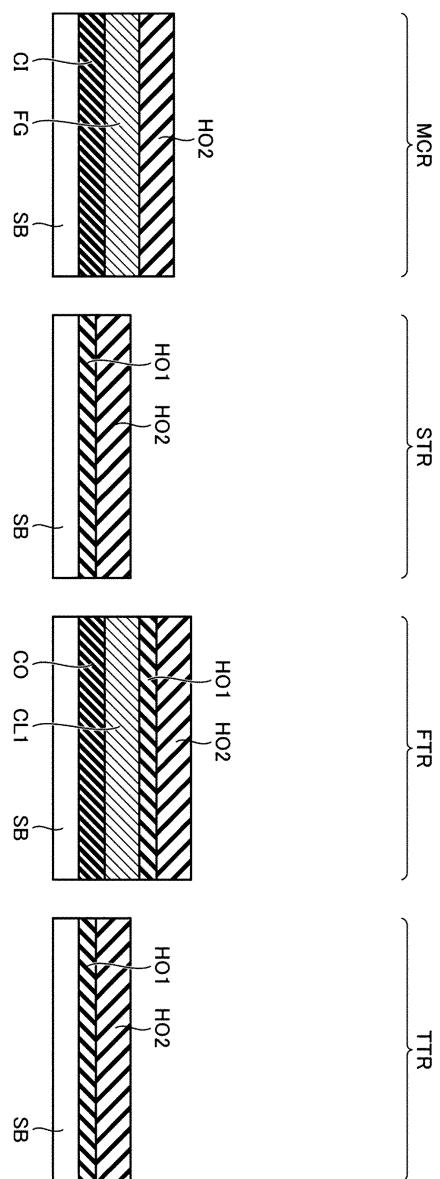
도면29



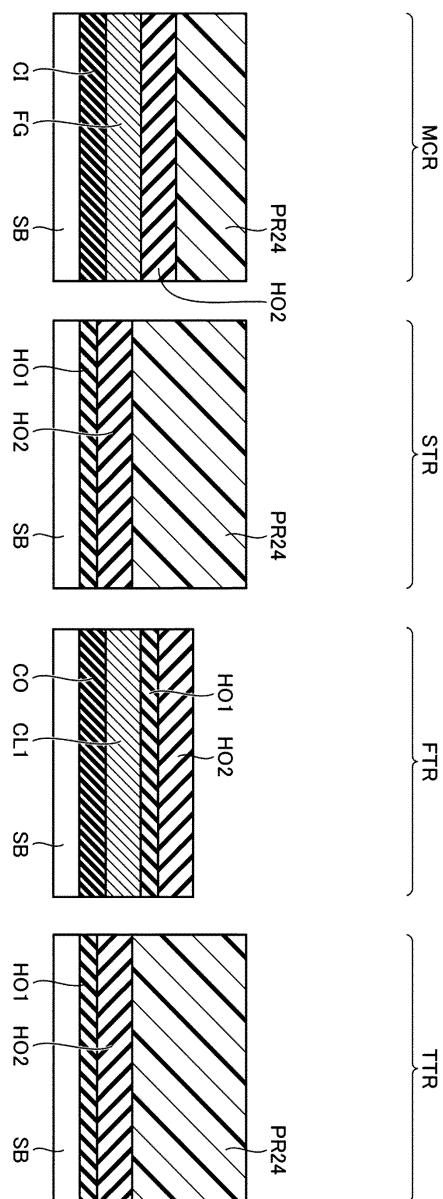
도면30



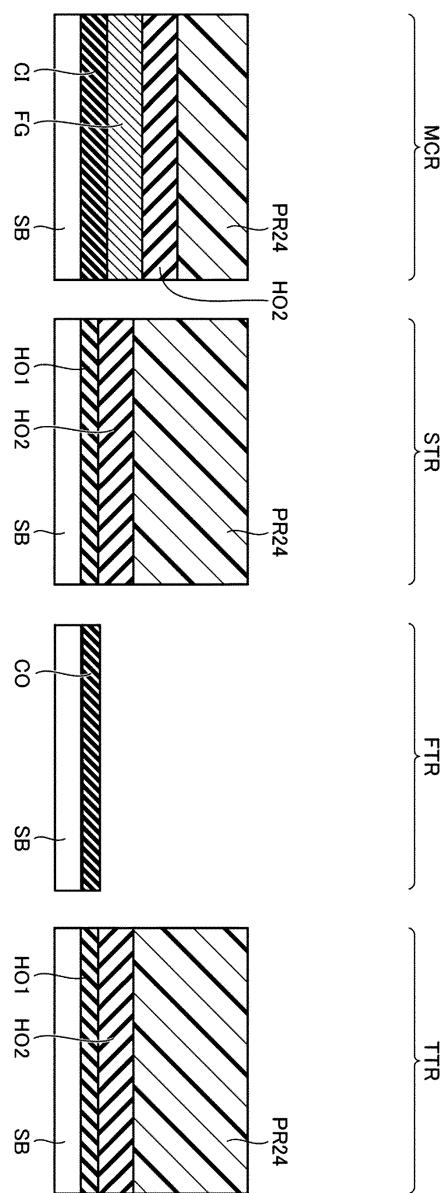
도면31



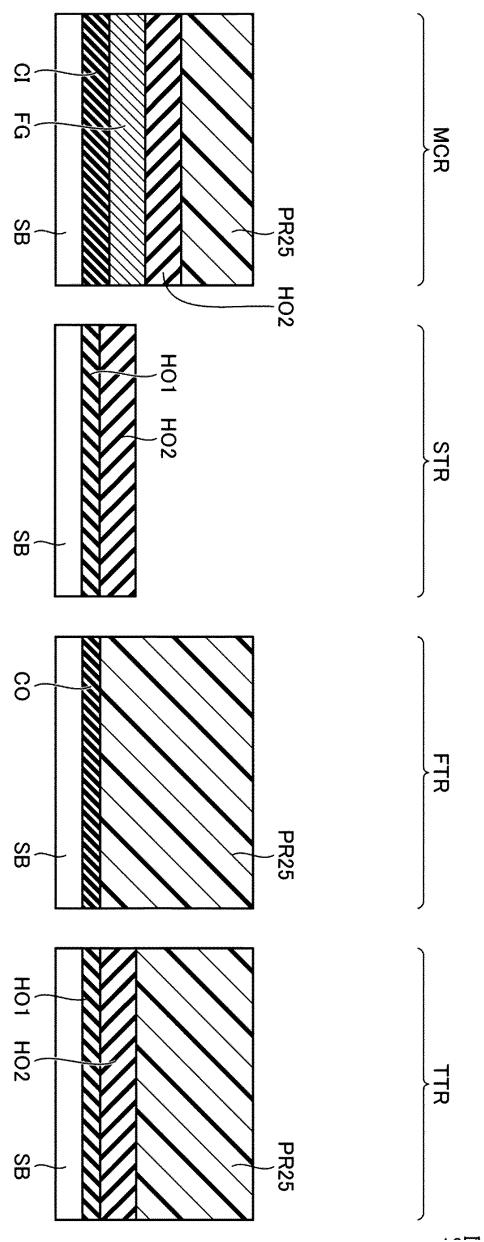
도면32



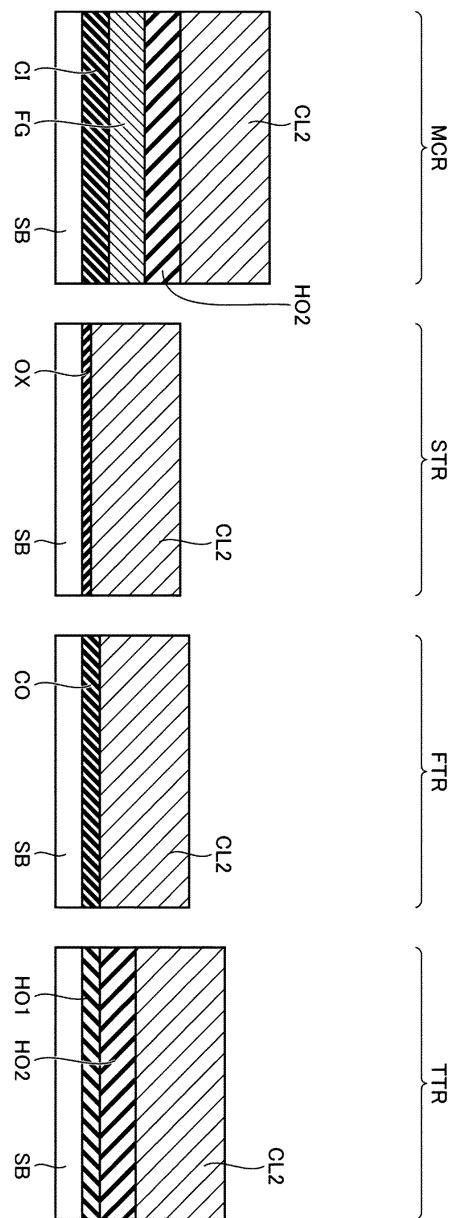
도면33



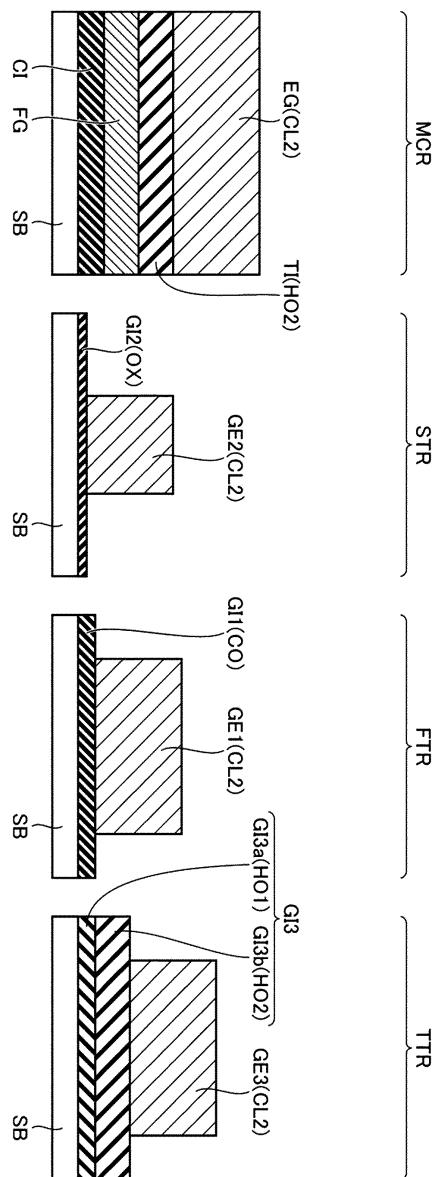
도면34



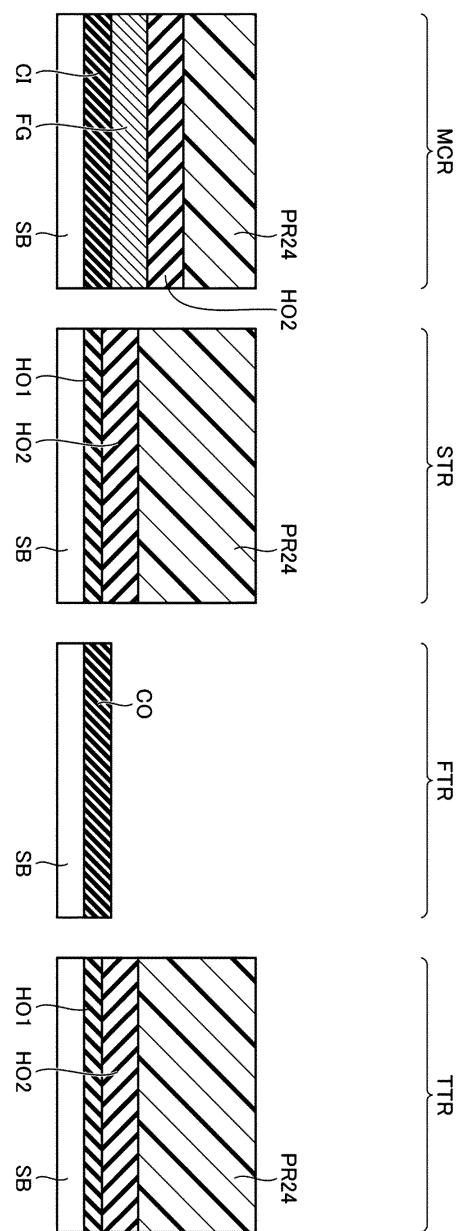
도면35



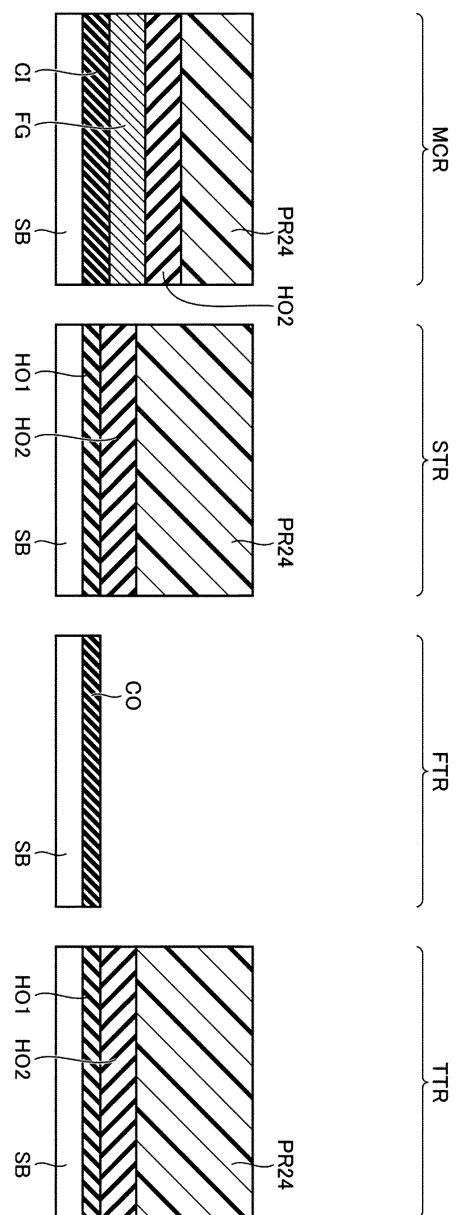
도면36



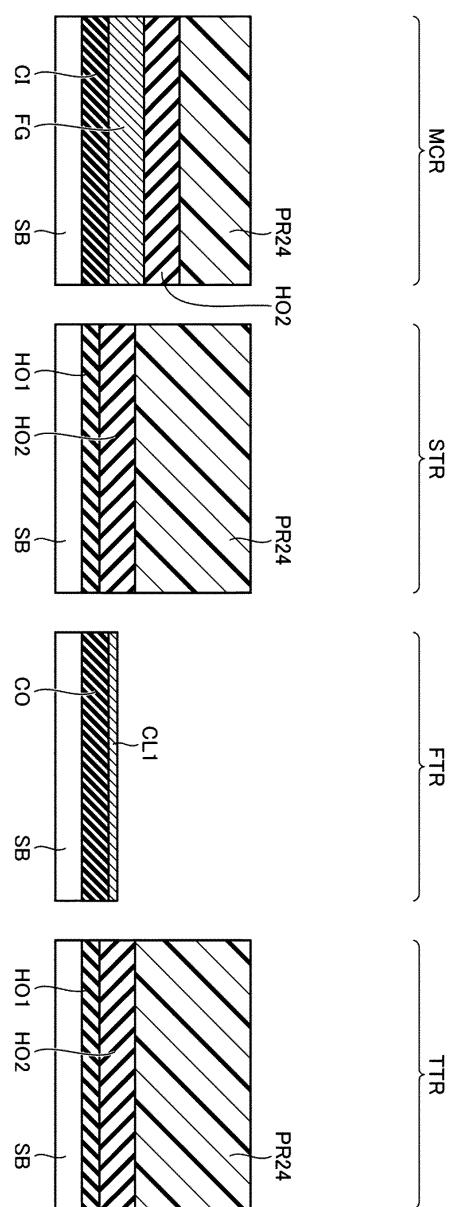
도면37



도면38



도면39



도면40

