

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成31年1月31日(2019.1.31)

【公開番号】特開2018-182346(P2018-182346A)

【公開日】平成30年11月15日(2018.11.15)

【年通号数】公開・登録公報2018-044

【出願番号】特願2018-149518(P2018-149518)

【国際特許分類】

H 0 1 L 21/3205 (2006.01)

H 0 1 L 21/768 (2006.01)

H 0 1 L 23/522 (2006.01)

H 0 1 L 23/532 (2006.01)

H 0 1 L 27/146 (2006.01)

H 0 1 L 23/12 (2006.01)

【F I】

H 0 1 L 21/88 J

H 0 1 L 21/88 R

H 0 1 L 21/88 Z

H 0 1 L 27/146 D

H 0 1 L 27/146 A

H 0 1 L 23/12 L

【手続補正書】

【提出日】平成30年12月14日(2018.12.14)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 半導体層を含む第 1 素子部と第 1 配線パターンを含む第 1 配線部を有する第 1 部品と、第 2 半導体層を含む第 2 素子部と第 2 配線パターンを含む第 2 配線部を有する第 2 部品と、を、前記第 1 素子部と前記第 2 素子部との間に前記第 1 配線部と前記第 2 配線部とが位置するように接合する接合工程と、

前記第 1 配線パターンと前記第 2 配線パターンとが電氣的に接続されるように、前記第 1 配線パターンおよび前記第 2 配線パターンに接する導電部材を、前記接合工程の後に、形成する形成工程と、を備え、

前記接合工程において、前記第 1 配線パターンは、第 1 導電層と、前記第 1 導電層とは異なる材料からなり、前記第 1 導電層と前記第 1 半導体層との間に配され、且つ、前記第 1 導電層に接する第 2 導電層と、を有し、

前記形成工程は、

前記第 1 配線パターンを部分的に除去し、且つ、前記第 2 配線パターンを露出する貫通孔を形成する第 1 段階と、

前記貫通孔に露出した前記第 1 配線パターンの側面及び前記第 2 配線パターンに接するように、チタン、チタン化合物、タンタル及びタンタル化合物のいずれかを少なくとも含む第 1 層を形成した後に、前記貫通孔の内部において、前記第 1 層に接する、銅、アルミニウム、又はタングステンを設ける第 2 段階と、を備えることを特徴とする半導体デバイスの製造方法。

【請求項 2】

前記第 1 半導体層には、光電変換素子が設けられていることを特徴とする請求項 1 に記載の半導体デバイスの製造方法。

【請求項 3】

前記貫通孔は、前記第 1 配線パターンと前記第 1 半導体層との間に位置する第 1 絶縁体層と、前記第 1 配線パターンと前記第 2 配線パターンとの間に位置する第 2 絶縁体層と、を貫通して形成され、

前記貫通孔の前記第 1 絶縁体層を貫通する部分の幅が、前記貫通孔の前記第 2 絶縁体層を貫通する部分の幅よりも大きいことを特徴とする請求項 1 または 2 に記載の半導体デバイスの製造方法。

【請求項 4】

前記接合工程において、前記第 1 配線パターンは板状であり、

前記形成工程において、前記第 1 配線パターンに貫通孔を形成することを特徴とする請求項 1 から 3 のいずれか 1 項に記載の半導体デバイスの製造方法。

【請求項 5】

前記第 2 配線パターンは、チタン、窒化チタン、タンタル及び窒化タンタルのいずれかを少なくとも含む第 3 導電層と、前記第 3 導電層に接し、前記第 3 導電層とは異なる材料からなり、前記第 3 導電層と前記第 2 半導体層との間に配される第 4 導電層と、を有し、

前記第 2 段階において、前記第 1 層は、前記第 4 導電層に接するように形成されることを特徴とする請求項 1 から 4 のいずれか 1 項に記載の半導体デバイスの製造方法。

【請求項 6】

前記第 2 段階において、前記貫通孔の内部に、銅、アルミニウム、又はタングステンを埋め込むことを特徴とする請求項 1 から 5 のいずれか 1 項に記載の半導体デバイスの製造方法。

【請求項 7】

前記第 1 導電層と前記第 2 導電層とを通る断面において、前記貫通孔に露出した前記第 1 配線パターンの一方の前記側面から他方の前記側面までの幅が、第 1 の幅の部分と、前記第 1 の幅よりも狭く、前記第 1 の幅の部分よりも前記第 2 配線パターンの近くに位置する第 2 の幅の部分と、を含むように、前記形成工程において前記貫通孔を形成することを特徴とする請求項 1 から 6 のいずれか 1 項に記載の半導体デバイスの製造方法。

【請求項 8】

前記第 1 段階において、前記貫通孔の幅が、前記第 1 導電層を露出する部分よりも前記第 2 導電層を露出する部分が広くなるように、前記貫通孔が形成されることを特徴とする請求項 1 から 6 のいずれか 1 項に記載の半導体デバイスの製造方法。

【請求項 9】

前記貫通孔に露出した前記第 1 配線パターンの前記側面は曲面を含み、

前記第 1 層と前記曲面とが接していることを特徴とする請求項 7 又は 8 に記載の半導体デバイスの製造方法。

【請求項 10】

前記第 1 導電層は、銅又はアルミニウムを少なくとも含み、

前記第 2 導電層は、タンタル、窒化タンタル、チタンおよび窒化チタンのいずれかを少なくとも含むことを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の半導体デバイスの製造方法。

【請求項 11】

前記第 4 導電層は、銅又はアルミニウムを少なくとも含むことを特徴とする請求項 5 に記載の半導体デバイスの製造方法。

【請求項 12】

前記形成工程の後に、前記第 1 素子部に対して前記第 1 配線部側とは反対側にマイクロレンズアレイを含む光学部材を配することを特徴とする請求項 1 から 11 のいずれか 1 項に記載の半導体デバイスの製造方法。

【請求項 1 3】

前記第 2 配線部は、第 3 配線パターンを含み、
前記第 2 配線パターンと前記第 3 配線パターンとの間には絶縁材料が配されており、
前記接合工程の後に、前記第 3 配線パターンと接続するボンディングワイヤが配される
ことを特徴とする請求項 1 から 1 2 のいずれか 1 項に記載の半導体デバイスの製造方法。

【請求項 1 4】

第 1 半導体層と、
第 2 半導体層と、
前記第 1 半導体層と前記第 2 半導体層との間に配され、第 1 配線パターンを含む第 1 配線部と、
前記第 1 配線部と前記第 2 半導体層との間に配され、第 2 配線パターンを含む第 2 配線部と、
前記第 1 配線パターンと前記第 2 配線パターンとを電氣的に接続する導電部材と、を備える半導体デバイスであって、
前記第 1 配線パターンは、第 1 導電層と、前記第 1 導電層とは異なる材料からなり、前記第 1 導電層と前記第 1 半導体層との間に配され、且つ、前記第 1 導電層に接する第 2 導電層と、を有し、
前記導電部材は、
前記第 1 配線パターンの第 1 部分の第 1 側面と当該第 1 側面に向かい合う前記第 1 配線パターンの第 2 部分の第 2 側面との間に位置し、
チタン、チタン化合物、タンタル及びタンタル化合物のいずれかを少なくとも含む第 1 層と、前記第 1 層に接する、銅、アルミニウム及びタングステンのいずれかを含み、
前記第 1 層は、前記第 1 配線パターンの前記第 1 側面と前記第 2 側面と前記第 2 配線パターンとに接しており、
前記導電部材は、前記第 1 側面と前記第 2 側面との間において、第 1 領域と、前記第 1 領域よりも前記第 2 配線パターンの近くに位置し、且つ、前記第 1 領域よりも幅の狭い第 2 領域と、を備えることを特徴とする半導体デバイス。

【請求項 1 5】

前記第 1 側面及び前記第 2 側面の少なくとも一方は、曲面を含み、
前記曲面と前記第 1 層とが接することを特徴とする請求項 1 4 に記載の半導体デバイス
。

【請求項 1 6】

前記第 2 配線パターンは、チタン、窒化チタン、タンタル及び窒化タンタルのいずれかを少なくとも含む第 3 導電層と、前記第 3 導電層に接し、前記第 3 導電層とは異なる材料からなり、前記第 3 導電層と前記第 2 半導体層との間に配される第 4 導電層と、を有し、
前記第 1 層は、前記第 4 導電層に接触する請求項 1 4 又は 1 5 に記載の半導体デバイス
。

【請求項 1 7】

前記導電部材は、前記第 1 配線パターンを貫通して設けられていることを特徴とする請求項 1 4 乃至 1 6 のいずれか 1 項に記載の半導体デバイス。

【請求項 1 8】

前記第 1 領域の幅は、前記第 1 配線パターンの前記第 2 導電層を貫通する部分における幅であり、
前記第 2 領域の幅は、前記第 1 導電層を貫通する部分における幅であることを特徴とする請求項 1 7 に記載の半導体デバイス。

【請求項 1 9】

前記第 1 側面及び前記第 2 側面は、複数の平面を組み合わせて構成されていることを特徴とする請求項 1 8 に記載の半導体デバイス。

【請求項 2 0】

前記第 1 段階において、前記第 1 配線パターンの側面が複数の平面を組み合わせて構成

された面となるように前記第 1 配線パターンの前記第 1 導電層及び前記第 2 導電層を除去することを特徴とする請求項 1 乃至 1 3 のいずれか 1 項に記載の半導体デバイスの製造方法。

【請求項 2 1】

請求項 1 4 乃至 1 9 のいずれか 1 項に記載の半導体デバイスと、
前記半導体デバイスを収容するパッケージと、
前記パッケージが実装された回路基板と、を備え、
前記半導体デバイスに光を導くための光学系を含む半導体装置。

【請求項 2 2】

請求項 1 4 乃至 1 9 のいずれか 1 項に記載の半導体デバイスを備える半導体装置と、前記半導体装置に接続された周辺装置と、を備える電子機器であって、
前記周辺装置は、演算装置、記憶装置、記録装置、通信装置あるいは表示装置であることを特徴とする電子機器。