(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 10 月 5 日(05.10.2017)

WIPO | PCT

(10) 国際公開番号
WO 2017/168485 A1

(51) 国際特許分類:
H03M 1/38 (2006.01) *H03M 1/74* (2006.01)

(21) 国際出願番号: PCT/JP2016/059807

(22) 国際出願日: 2016 年 3 月 28 日(28.03.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: オリンパス株式会社(OLYMPUS CORPORATION) [JP/JP]; 〒1510072 東京都渋谷区幡ヶ谷２丁目４３番２号 Tokyo (JP).

(72) 発明者: 原田　靖也(HARADA Yasunari); 〒1510072 東京都渋谷区幡ヶ谷２丁目４３番２号　オリンパス株式会社内 Tokyo (JP). 平出　修三(HIRAIDE Shuzo); 〒1510072 東京都渋谷区幡ヶ谷２丁目４３番２号　オリンパス株式会社内 Tokyo (JP). 大澤　雅人(OSAWA Masato); 〒1510072 東京都渋谷区幡ヶ谷２丁目４３番２号　オリンパス株式会社内 Tokyo (JP). 加藤　秀樹(KATO Hideki); 〒1510072 東京都渋谷区幡ヶ谷２丁目４３番２号　オリンパス株式会社内 Tokyo (JP).

(74) 代理人: 棚井　澄雄，外(TANAI Sumio et al.); 〒1006620 東京都千代田区丸の内一丁目９番２号 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

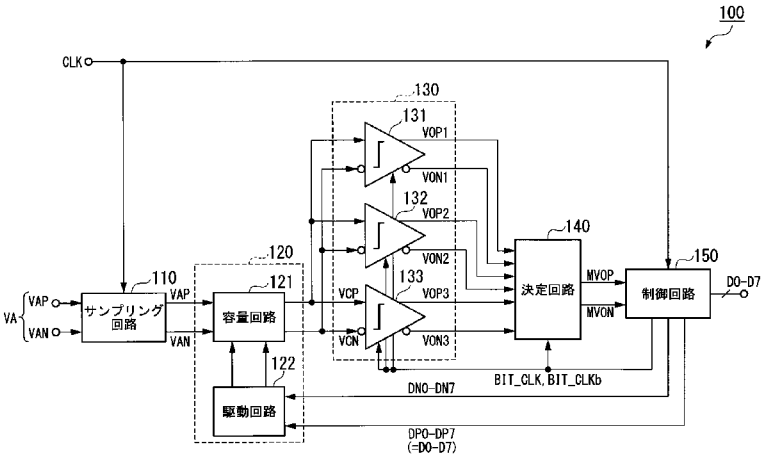
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

(54) **Title**: SUCCESSIVE APPROXIMATION A/D CONVERSION CIRCUIT

(54) 発明の名称 : 逐次比較型Ａ／Ｄ変換回路



110 Sampling circuit
121 Capacitive circuit
122 Driving circuit
140 Determination circuit
150 Control circuit

(57) **Abstract**: A successive approximation A/D conversion circuit includes: a first capacitive circuit, a second capacitive circuit, a plurality of comparison circuits, a determination circuit, and a control circuit. The plurality of comparison circuits compare electric potentials of a first output node and a second output node, and output first digital signals. For the plurality of first digital signals output from the plurality of comparison circuits, the determination circuit counts the number of at least one of a first state and a second state and generates, on the basis of the counted number, a second digital signal indicating a comparison result. The control circuit generates a third digital signal on the basis of the second digital signal and controls the first capacitive circuit or the second capacitive circuit on the basis of the second digital signal.

(57) 要約: 逐次比較型Ａ／Ｄ変換回路は、第１の容量回路と、第２の容量回路と、複数の比較回路と、決定回路と、制御回路とを有する。複数の比較回路は、第１の出力ノードおよび第２の出力ノードの電位を比較し、かつ第１のデジタル信号を出力する。前記決定回路は、前記複数の前記比較回路から出力された複数の前記第１のデジタル信号に対して、第１の状態および第２の状態の少なくとも１つの数をカウントし、かつカウントされた前記数に基づいて、比較結果を示す第２のデジタル信号を生成する。前記制御回路は、前記第２のデジタル信号に基づいて、第３のデジタル信号を生成し、かつ前記第２のデジタル信号に基づいて前記第１の容量回路または前記第２の容量回路を制御する。

WO 2017/168485 A1

明　細　書

発明の名称 ： 逐次比較型Ａ／Ｄ変換回路

技術分野

[0001] 本発明は、逐次比較型Ａ／Ｄ変換回路に関する。

背景技術

[0002] 高速、高精度、および低消費電力化を実現するＡ／Ｄ変換回路がある。例えば、非特許文献１に開示された差動入力非同期方式の逐次比較型Ａ／Ｄ変換回路が知られている。このような逐次比較型Ａ／Ｄ変換回路において、差動信号として入力されたアナログ信号は、サンプルホールド回路で保持される。サンプルホールド回路で保持されたアナログ信号に容量回路を介して基準信号が反映されることにより、比較電圧信号が生成される。逐次比較論理回路が、この比較電圧信号に基づいて、２分探索アルゴリズムに従って、上記の差動信号に対応するデジタル信号のＭＳＢからＬＳＢまでの各ビットの値を決定する。決定された各ビットの値は、上記の基準信号にフィードバックされる。各ビットの値は、０または１である。

[0003] 逐次比較型Ａ／Ｄ変換回路の大部分は、オペアンプ等のアナログ回路を使用することなく、デジタル回路で構成することができる。このため、微細ＣＭＯＳ（Ｃｏｍｐｌｅｍｅｎｔａｒｙ Ｍｅｔａｌ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）プロセスを用いることにより、逐次比較型Ａ／Ｄ変換回路の高速、高精度、および低消費電力化を比較的容易に実現することができる。このような観点から、逐次比較型Ａ／Ｄ変換回路は、携帯機器向けのイメージセンサおよびシステムＬＳＩ（Ｌａｒｇｅ Ｓｃａｌｅ Ｉｎｔｅｇｒａｔｉｏｎ）等に広く用いられている。

先行技術文献

非特許文献

[0004] 非特許文献1：“Ａ ２６ μＷ ８ ｂｉｔ １０ ＭＳ／ｓ Ａｓｙｎｃｈｒｏｎｏｕｓ ＳＡＲ ＡＤＣ ｆｏｒ Ｌｏｗ Ｅｎｅｒｇｙ Ｒａｄ

ｉｏｓ”，ＩＥＥＥ ＪＯＵＲＮＡＬ ＯＦ ＳＯＬＩＤ－ＳＴＡＴＥ ＣＩＲＣＵＩＴＳ，Ｖｏｌ４６，Ｎｏ７，ＪＵＬＹ ２０１１，ｐｐ１５８５－１５９５

発明の概要

発明が解決しようとする課題

[0005] 差動入力非同期方式の逐次比較型Ａ／Ｄ変換回路において、サンプルホールド回路に保持されたアナログ信号の大きさが比較回路によって比較される。比較すべき２つのアナログ信号が互いに漸近し、かつそれらのアナログ信号が各種ノイズの影響を受けた場合、比較回路は誤った比較電圧信号を生成する。その結果、逐次比較型Ａ／Ｄ変換回路は、ミッシングコードを発生する。例えば、アナログ信号が受けるノイズは、電源電圧の変動、アナログ信号に重畳する外来ノイズ、比較回路の熱雑音、およびサンプルホールド回路のＫＴＣノイズである。特に上位ビットのミッシングコードが発生しやすい。

[0006] 本発明は、Ａ／Ｄ変換精度が向上する逐次比較型Ａ／Ｄ変換回路を提供することを目的とする。

課題を解決するための手段

[0007] 本発明の第１の態様によれば、逐次比較型Ａ／Ｄ変換回路は、第１の容量回路と、第２の容量回路と、複数の比較回路と、決定回路と、制御回路とを有する。前記第１の容量回路は、容量値が重み付けされた複数の第１の容量を有する。第１のアナログ信号が前記第１の容量回路に入力される。前記第２の容量回路は、容量値が重み付けされた複数の第２の容量を有する。第２のアナログ信号が前記第２の容量回路に入力される。前記第１のアナログ信号および前記第２のアナログ信号は差動信号を構成する。前記複数の前記比較回路は、前記第１の容量回路の第１の出力ノードおよび前記第２の容量回路の第２の出力ノードに接続される。前記複数の前記比較回路は、前記第１の出力ノードおよび前記第２の出力ノードの電位を比較し、かつ第１のデジタル信号を出力する。前記第１のデジタル信号は、第１の状態および第２の

状態のいずれか１つを示す。前記第１の状態において前記第１の出力ノードの電位は前記第２の出力ノードの電位よりも大きい。前記第２の状態において前記第１の出力ノードの電位は前記第２の出力ノードの電位よりも小さい。前記決定回路は、前記複数の前記比較回路から出力された複数の前記第１のデジタル信号に対して、前記第１の状態および前記第２の状態の少なくとも１つの数をカウントし、かつカウントされた前記数に基づいて、比較結果を示す第２のデジタル信号を生成する。前記制御回路は、前記第２のデジタル信号に基づいて、前記第１のアナログ信号および前記第２のアナログ信号に対応する第３のデジタル信号を生成し、かつ前記第２のデジタル信号に基づいて前記第１の容量回路または前記第２の容量回路を制御する。

[0008] 本発明の第２の態様によれば、第１の態様において、前記複数の前記比較回路は、３以上の奇数個の前記比較回路であってもよい。

[0009] 本発明の第３の態様によれば、第１の態様において、前記決定回路は、前記複数の前記比較回路から出力された複数の前記第１のデジタル信号に対して、前記第１の状態の第１の数および前記第２の状態の第２の数をカウントしてもよい。前記決定回路は、前記第１の数および前記第２の数の差の絶対値が１以下である場合、前記複数の前記比較回路を停止させるための制御信号を前記制御回路に出力してもよい。前記制御回路は、前記制御信号に基づいて前記複数の前記比較回路を停止させてもよい。

発明の効果

[0010] 上記の各態様によれば、Ａ／Ｄ変換精度が向上する。

図面の簡単な説明

[0011] [図1]本発明の第１の実施形態のＡ／Ｄ変換回路の構成を示すブロック図である。

[図2]本発明の第１の実施形態のサンプリング回路および容量ＤＡＣ回路の構成を示す回路図である。

[図3]本発明の第１の実施形態の比較回路の構成を示す回路図である。

[図4]本発明の第１の実施形態のＡ／Ｄ変換回路の動作を示すタイミングチャ

ートである。

[図5]本発明の第１の実施形態のＡ／Ｄ変換回路の動作を示すタイミングチャートである。

[図6]本発明の第３の実施形態のＡ／Ｄ変換回路の構成を示すブロック図である。

[図7]本発明の第３の実施形態のＡ／Ｄ変換回路の動作を示すタイミングチャートである。

[図8]本発明の第３の実施形態のＡ／Ｄ変換回路の動作を示すタイミングチャートである。

発明を実施するための形態

[0012] 図面を参照し、本発明の実施形態を説明する。

[0013] （第１の実施形態）

図１は、本発明の第１の実施形態のＡ／Ｄ変換回路１００の構成を示している。Ａ／Ｄ変換回路１００は、逐次比較型Ａ／Ｄ変換回路である。図１に示すように、Ａ／Ｄ変換回路１００は、サンプリング回路１１０と、容量ＤＡＣ回路１２０と、並列比較回路１３０と、決定回路１４０と、制御回路１５０とを有する。

[0014] サンプリング回路１１０は、差動信号ＶＡを構成する１対のアナログ信号ＶＡＰおよびアナログ信号ＶＡＮのトラックおよびホールドを行う。さらに、サンプリング回路１１０は、アナログ信号ＶＡＰおよびアナログ信号ＶＡＮを容量ＤＡＣ回路１２０にサンプリングすることにより、アナログ信号ＶＡＰおよびアナログ信号ＶＡＮをＡ／Ｄ変換回路１００に取り込む。サンプリング回路１１０の動作は、クロック信号ＣＬＫに基づいて制御される。

[0015] 容量ＤＡＣ回路１２０は、サンプリング回路１１０によってサンプリングされたアナログ信号ＶＡＰおよびアナログ信号ＶＡＮを保持する。容量ＤＡＣ回路１２０は、制御回路１５０によって生成されるデジタル信号に基づく基準信号を生成する。容量ＤＡＣ回路１２０は、サンプリング回路１１０によってサンプリングされたアナログ信号ＶＡＰおよびアナログ信号ＶＡＮの

各々から基準信号を減算する。これによって、容量ＤＡＣ回路１２０は、差動信号ＶＡと８ビットのデジタル信号との間の累積残差を取得する。容量ＤＡＣ回路１２０は、アナログ信号ＶＡＰおよびアナログ信号ＶＡＮの各々から基準信号を減算した減算結果を、アナログ信号ＶＣＰおよびアナログ信号ＶＣＮとして、並列比較回路１３０に出力する。アナログ信号ＶＣＰおよびアナログ信号ＶＣＮは、累積残差が反映された信号である。

[0016] 並列比較回路１３０は、複数の比較回路を有する。第１の実施形態のＡ／Ｄ変換回路１００において、複数の比較回路は、３以上の奇数個の比較回路である。図１に示す並列比較回路１３０は、３個の比較回路１３１，１３２，１３３を有する。第３の実施形態に示すように、並列比較回路１３０が有する比較回路の数は、偶数であってもよい。比較回路１３１，１３２，１３３は、容量ＤＡＣ回路１２０および決定回路１４０に接続されている。

[0017] 比較回路１３１，１３２，１３３は、第１の入力端子（非反転入力端子）と、第２の入力端子（反転入力端子）と、第１の出力端子（非反転出力端子）と、第２の出力端子（反転出力端子）とを有する。比較回路１３１，１３２，１３３の第１の入力端子および第２の入力端子は、容量ＤＡＣ回路１２０に接続されている。容量ＤＡＣ回路１２０から出力されたアナログ信号ＶＣＰおよびアナログ信号ＶＣＮが比較回路１３１，１３２，１３３に入力される。アナログ信号ＶＣＰが比較回路１３１，１３２，１３３の第１の入力端子に入力され、かつアナログ信号ＶＣＮが比較回路１３１，１３２，１３３の第２の入力端子に入力される。比較回路１３１，１３２，１３３は、アナログ信号ＶＣＰの電位とアナログ信号ＶＣＮの電位とを比較する。比較回路１３１，１３２，１３３は、比較結果に基づくデジタル信号ＶＯＰ１，ＶＯＰ２，ＶＯＰ３を第１の出力端子から出力し、かつ比較結果に基づくデジタル信号ＶＯＮ１，ＶＯＮ２，ＶＯＮ３を第２の出力端子から出力する。

[0018] 具体的には、アナログ信号ＶＣＰの信号レベルがアナログ信号ＶＣＮの信号レベルよりも高い場合、比較回路１３１，１３２，１３３は、デジタル信号ＶＯＰ１，ＶＯＰ２，ＶＯＰ３としてハイレベル（“Ｈ”）の信号を出力

し、かつデジタル信号ＶＯＮ１，ＶＯＮ２，ＶＯＮ３としてローレベル（“Ｌ”）の信号を出力する。アナログ信号ＶＣＰの信号レベルがアナログ信号ＶＣＮの信号レベルよりも低い場合、比較回路１３１，１３２，１３３は、デジタル信号ＶＯＰ１，ＶＯＰ２，ＶＯＰ３としてローレベルの信号を出力し、かつデジタル信号ＶＯＮ１，ＶＯＮ２，ＶＯＮ３としてハイレベルの信号を出力する。比較回路１３１，１３２，１３３の動作は、制御回路１５０によって生成される内部クロック信号ＢＩＴ＿ＣＬＫおよび反転内部クロック信号ＢＩＴ＿ＣＬＫｂに基づいて制御される。

[0019] １個の比較回路から出力される１組のデジタル信号は、その比較回路の比較結果を示す。比較回路１３１から出力される１組のデジタル信号は、デジタル信号ＶＯＰ１およびデジタル信号ＶＯＮ１である。比較回路１３２から出力される１組のデジタル信号は、デジタル信号ＶＯＰ２およびデジタル信号ＶＯＮ２である。比較回路１３３から出力される１組のデジタル信号は、デジタル信号ＶＯＰ３およびデジタル信号ＶＯＮ３である。１組のデジタル信号は、２つの状態のいずれか１つを示す。２つの状態は、第１の状態および第２の状態である。第１の状態において、アナログ信号ＶＣＰの信号レベルはアナログ信号ＶＣＮの信号レベルよりも高い。第２の状態において、アナログ信号ＶＣＰの信号レベルはアナログ信号ＶＣＮの信号レベルよりも低い。

[0020] 決定回路１４０は、６個の入力端子と、第１の出力端子と、第２の出力端子とを有する。決定回路１４０の各入力端子は、比較回路１３１，１３２，１３３の第１の出力端子および第２の出力端子のいずれか１つに接続されている。比較回路１３１，１３２，１３３から出力された各デジタル信号は、決定回路１４０の各入力端子に入力される。決定回路１４０の第１の出力端子および第２の出力端子は、制御回路１５０に接続されている。決定回路１４０は、比較回路１３１，１３２，１３３から出力されたデジタル信号ＶＯＰ１，ＶＯＰ２，ＶＯＰ３およびデジタル信号ＶＯＮ１，ＶＯＮ２，ＶＯＮ３に対して、第１の状態および第２の状態の少なくとも１つの数をカウント

する。決定回路１４０は、カウントされた数に基づいて、比較結果を示すデジタル信号ＭＶＯＰおよびデジタル信号ＭＶＯＮを生成する。決定回路１４０は、デジタル信号ＭＶＯＰを第１の出力端子から出力し、かつデジタル信号ＭＶＯＮを第２の出力端子から出力する。

[0021] 具体的には、決定回路１４０は、３個の比較回路１３１，１３２，１３３から出力される３組のデジタル信号の第１の状態の第１の数および第２の状態の第２の数をカウントする。決定回路１４０は、第１の数および第２の数のうち、より大きい数に対応する状態を示すデジタル信号ＭＶＯＰおよびデジタル信号ＭＶＯＮを生成する。例えば、第１の数が第２の数よりも大きい場合、決定回路１４０は、第１の状態を示すデジタル信号ＭＶＯＰおよびデジタル信号ＭＶＯＮを生成する。第２の数が第１の数よりも大きい場合、決定回路１４０は、第２の状態を示すデジタル信号ＭＶＯＰおよびデジタル信号ＭＶＯＮを生成する。つまり、決定回路１４０は、多数決回路として機能する。決定回路１４０の動作は、制御回路１５０によって生成される内部クロック信号ＢＩＴ＿ＣＬＫおよび反転内部クロック信号ＢＩＴ＿ＣＬＫｂに基づいて制御される。

[0022] 制御回路１５０は、第１の入力端子と、第２の入力端子と、出力端子とを有する。制御回路１５０の第１の入力端子は、決定回路１４０の第１の出力端子に接続されている。制御回路１５０の第２の入力端子は、決定回路１４０の第２の出力端子に接続されている。デジタル信号ＭＶＯＰが制御回路１５０の第１の入力端子に入力され、かつデジタル信号ＭＶＯＮが制御回路１５０の第２の入力端子に入力される。制御回路１５０は、決定回路１４０からのデジタル信号ＭＶＯＰおよびデジタル信号ＭＶＯＮに基づくＡ／Ｄ変換結果のデジタル信号Ｄ０～Ｄ７を生成する。制御回路１５０は、デジタル信号Ｄ０～Ｄ７を出力端子から出力する。デジタル信号Ｄ０～Ｄ７は、Ａ／Ｄ変換結果としてＡ／Ｄ変換回路１００の後段の回路に出力される。Ａ／Ｄ変換回路１００は、８ビット出力のＡ／Ｄ変換回路であるが、この例に限らない。Ａ／Ｄ変換回路１００の出力ビット数は、任意に設定され得る。

[0023] 制御回路１５０は、ＳＡＲ（Ｓｕｃｃｅｓｓｉｖｅ Ａｐｐｒｏｘｉｍａｔｉｏｎ Ｒｅｇｉｓｔｅｒ）ロジック回路として機能する。制御回路１５０は、２分探索アルゴリズムに従って、比較結果を示すデジタル信号ＭＶＯＰおよびデジタル信号ＭＶＯＮに対応するデジタル信号ＤＰ０～ＤＰ７およびデジタル信号ＤＮ０～ＤＮ７の各ビットの値を逐次判定する。制御回路１５０は、デジタル信号ＭＶＯＰおよびデジタル信号ＭＶＯＮに対応するデジタル信号ＤＰ０～ＤＰ７およびデジタル信号ＤＮ０～ＤＮ７を容量ＤＡＣ回路１２０に供給する。制御回路１５０は、デジタル信号ＤＰ０～ＤＰ７を、Ａ／Ｄ変換の結果を表すデジタル信号Ｄ０～Ｄ７として出力する。制御回路１５０は、並列比較回路１３０および決定回路１４０を制御するための内部クロック信号ＢＩＴ＿ＣＬＫおよび反転内部クロック信号ＢＩＴ＿ＣＬＫｂを生成する。制御回路１５０は、生成された内部クロック信号ＢＩＴ＿ＣＬＫおよび反転内部クロック信号ＢＩＴ＿ＣＬＫｂを並列比較回路１３０および決定回路１４０に供給する。制御回路１５０の動作は、クロック信号ＣＬＫに基づいて制御される。制御回路１５０は、クロック信号ＣＬＫがハイレベルである期間において、内部クロック信号ＢＩＴ＿ＣＬＫおよび反転内部クロック信号ＢＩＴ＿ＣＬＫｂを生成する。

[0024] 容量ＤＡＣ回路１２０は、容量回路１２１と、駆動回路１２２とを有する。容量回路１２１は、複数の容量間の電荷再配分を利用することにより、アナログ信号ＶＡＰおよびアナログ信号ＶＡＮから基準信号を減算する。その結果、容量回路１２１は、累積残差を示すアナログ信号ＶＣＰおよびアナログ信号ＶＣＮを得る。駆動回路１２２は、制御回路１５０から入力されるデジタル信号ＤＰ０～ＤＰ７およびデジタル信号ＤＮ０～ＤＮ７に基づいて基準信号を発生することにより容量回路１２１を駆動する。

[0025] Ａ／Ｄ変換回路１００は、デジタル信号Ｄ０～Ｄ７の最上位ビット（Ｄ７）から最下位ビット（Ｄ０）に向かって、１ビットずつ順にＡ／Ｄ変換結果を得る。このＡ／Ｄ変換において、比較回路１３１，１３２，１３３は、容量ＤＡＣ回路１２０の容量回路１２１によって上記の減算が行われる都度、

累積残差が反映されたアナログ信号ＶＣＰの電圧とアナログ信号ＶＣＮの電圧とを比較する。

[0026] 図２は、サンプリング回路１１０および容量ＤＡＣ回路１２０の構成を示している。サンプリング回路１１０は、スイッチ１１０Ｐおよびスイッチ１１０Ｎを有する。各スイッチは、第１の端子と第２の端子とを有する。各スイッチの状態は、オンとオフとの間で切り替わる。

[0027] スイッチ１１０Ｐの第１の端子Ｅ１Ｐは、アナログ信号ＶＡＰが入力される非反転入力端子ＩＮＰに接続されている。スイッチ１１０Ｐの第２の端子Ｅ２Ｐは、容量ＤＡＣ回路１２０のノードＮＰに接続されている。スイッチ１１０Ｐがオンであるとき、スイッチ１１０Ｐの第１の端子Ｅ１Ｐと第２の端子Ｅ２Ｐとが接続される。このとき、アナログ信号ＶＡＰが容量ＤＡＣ回路１２０のノードＮＰに入力される。スイッチ１１０Ｐがオフであるとき、スイッチ１１０Ｐの第１の端子Ｅ１Ｐと第２の端子Ｅ２Ｐとの間が高インピーダンス状態になる。スイッチ１１０Ｐは、アナログ信号ＶＡＰをサンプリングする。スイッチ１１０Ｐがオンからオフに切り替わったとき、後述する容量部１２１Ｐにアナログ信号ＶＡＰが保持される。スイッチ１１０Ｐのオンとオフとは、クロック信号ＣＬＫに基づいて切り替わる。

[0028] スイッチ１１０Ｎの第１の端子Ｅ１Ｎは、アナログ信号ＶＡＮが入力される反転入力端子ＩＮＮに接続されている。スイッチ１１０Ｎの第２の端子Ｅ２Ｎは、容量ＤＡＣ回路１２０のノードＮＮに接続されている。スイッチ１１０Ｎがオンであるとき、スイッチ１１０Ｎの第１の端子Ｅ１Ｎと第２の端子Ｅ２Ｎとが接続される。このとき、アナログ信号ＶＡＮが容量ＤＡＣ回路１２０のノードＮＮに入力される。スイッチ１１０Ｎがオフであるとき、スイッチ１１０Ｎの第１の端子Ｅ１Ｎと第２の端子Ｅ２Ｎとの間が高インピーダンス状態になる。スイッチ１１０Ｎは、アナログ信号ＶＡＮをサンプリングする。スイッチ１１０Ｎがオンからオフに切り替わったとき、後述する容量部１２１Ｎにアナログ信号ＶＡＮが保持される。スイッチ１１０Ｎのオンとオフとは、クロック信号ＣＬＫに基づいて切り替わる。

[0029] 容量ＤＡＣ回路１２０を構成する容量回路１２１は、容量部１２１Ｐ（第１の容量回路）と、容量部１２１Ｎ（第２の容量回路）とを有する。容量部１２１Ｐは、減衰容量ＣＨＰと、バイナリ容量Ｃ０Ｐ～Ｃ７Ｐ（第１の容量）とを有する。各容量は、第１の端子と第２の端子とを有する。減衰容量ＣＨＰの第１の端子は、ノードＮＰに接続されている。減衰容量ＣＨＰの第２の端子は、グランドＧＮＤに接続されている。バイナリ容量Ｃ０Ｐ～Ｃ７Ｐの第１の端子は、ノードＮＰに接続されている。バイナリ容量Ｃ０Ｐ～Ｃ７Ｐの第２の端子は、駆動回路１２２を構成する駆動部１２２Ｐに接続されている。減衰容量ＣＨＰおよびバイナリ容量Ｃ０Ｐ～Ｃ７Ｐは、サンプリング回路１１０のスイッチ１１０Ｐによってサンプリングされたアナログ信号ＶＡＰを保持する。

[0030] バイナリ容量Ｃ０Ｐ～Ｃ７Ｐは、制御回路１５０によって生成されるデジタル信号ＤＰ０～ＤＰ７に対応して配置されている。バイナリ容量Ｃ０Ｐ～Ｃ７Ｐの各々の容量値は異なる。例えば、デジタル信号ＤＰ（ｎ＋１）に対応するバイナリ容量Ｃ（ｎ＋１）Ｐの容量値は、デジタル信号ＤＰｎに対応するバイナリ容量ＣｎＰの容量値の２倍である。ｎは、０から６までの整数である。バイナリ容量Ｃ０Ｐ～Ｃ７Ｐの各々の容量値は、デジタル信号ＤＰ０～ＤＰ７の各ビットに応じた２進数で重み付けされている。

[0031] 容量部１２１Ｎは、減衰容量ＣＨＮと、バイナリ容量Ｃ０Ｎ～Ｃ７Ｎ（第２の容量）とを有する。各容量は、第１の端子と第２の端子とを有する。減衰容量ＣＨＮの第１の端子は、ノードＮＮに接続されている。減衰容量ＣＨＮの第２の端子は、グランドＧＮＤに接続されている。バイナリ容量Ｃ０Ｎ～Ｃ７Ｎの第１の端子は、ノードＮＮに接続されている。バイナリ容量Ｃ０Ｎ～Ｃ７Ｎの第２の端子は、駆動回路１２２を構成する駆動部１２２Ｎに接続されている。減衰容量ＣＨＮおよびバイナリ容量Ｃ０Ｎ～Ｃ７Ｎは、サンプリング回路１１０のスイッチ１１０Ｎによってサンプリングされたアナログ信号ＶＡＮを保持する。

[0032] バイナリ容量Ｃ０Ｎ～Ｃ７Ｎは、制御回路１５０によって生成されるデジ

タル信号ＤＮ０～ＤＮ７に対応して配置されている。バイナリ容量Ｃ０Ｎ～Ｃ７Ｎの各々の容量値は異なる。バイナリ容量Ｃ０Ｐ～Ｃ７Ｐと同様に、バイナリ容量Ｃ０Ｎ～Ｃ７Ｎの各々の容量値は、デジタル信号ＤＮ０～ＤＮ７の各ビットに応じた２進数で重み付けされている。

[0033] 容量ＤＡＣ回路１２０を構成する駆動回路１２２は、駆動部１２２Ｐと、駆動部１２２Ｎとを有する。駆動部１２２Ｐは、インバータＱ０Ｐ～Ｑ７Ｐを有する。インバータＱ０Ｐ～Ｑ７Ｐには、図示していない第１の電源電圧ＶＤＤ１が供給されている。このため、インバータＱ０Ｐ～Ｑ７Ｐの各々から出力される基準信号Ｄ０Ｐ～Ｄ７Ｐの振幅は第１の電源電圧ＶＤＤ１に等しい。インバータＱ０Ｐ～Ｑ７Ｐは、制御回路１５０によって生成されるデジタル信号ＤＰ０～ＤＰ７に対応して配置されている。インバータＱ０Ｐ～Ｑ７Ｐは、入力端子と出力端子とを有する。デジタル信号ＤＰ０～ＤＰ７の各ビットが制御回路１５０からインバータＱ０Ｐ～Ｑ７Ｐの入力端子に入力される。インバータＱ０Ｐ～Ｑ７Ｐの出力端子は、バイナリ容量Ｃ０Ｐ～Ｃ７Ｐの第２の端子に接続されている。

[0034] インバータＱ０Ｐ～Ｑ７Ｐは、制御回路１５０から出力されたデジタル信号ＤＰ０～ＤＰ７を反転することにより基準信号Ｄ０Ｐ～Ｄ７Ｐを生成する。容量部１２１Ｐが有する複数のバイナリ容量Ｃ０Ｐ～Ｃ７Ｐは、減衰容量ＣＨＰに保持されているアナログ信号ＶＡＰに基づく電荷から、基準信号Ｄ０Ｐ～Ｄ７Ｐに基づく電荷を電荷再配分により引き抜く。これによって、バイナリ容量Ｃ０Ｐ～Ｃ７Ｐは、アナログ信号ＶＡＰから基準信号Ｄ０Ｐ～Ｄ７Ｐを減算する。容量部１２１Ｐは、減算結果であるアナログ信号ＶＣＰをノードＮＰに出力する。

[0035] 駆動部１２２Ｎは、インバータＱ０Ｎ～Ｑ７Ｎを有する。インバータＱ０Ｎ～Ｑ７Ｎには、図示していない第１の電源電圧ＶＤＤ１が供給されている。このため、インバータＱ０Ｎ～Ｑ７Ｎの各々から出力される基準信号Ｄ０Ｎ～Ｄ７Ｎの振幅は第１の電源電圧ＶＤＤ１に等しい。インバータＱ０Ｎ～Ｑ７Ｎは、制御回路１５０によって生成されるデジタル信号ＤＮ０～ＤＮ７

に対応して配置されている。インバータＱ０Ｎ～Ｑ７Ｎは、入力端子と出力端子とを有する。デジタル信号ＤＮ０～ＤＮ７の各ビットが制御回路１５０からインバータＱ０Ｎ～Ｑ７Ｎの入力端子に入力される。インバータＱ０Ｎ～Ｑ７Ｎの出力端子は、バイナリ容量Ｃ０Ｎ～Ｃ７Ｎの第２の端子に接続されている。

[0036] インバータＱ０Ｎ～Ｑ７Ｎは、制御回路１５０から出力されたデジタル信号ＤＮ０～ＤＮ７を反転することにより基準信号Ｄ０Ｎ～Ｄ７Ｎを生成する。容量部１２１Ｎが有する複数のバイナリ容量Ｃ０Ｎ～Ｃ７Ｎは、減衰容量ＣＨＮに保持されているアナログ信号ＶＡＮに基づく電荷から、基準信号Ｄ０Ｎ～Ｄ７Ｎに基づく電荷を電荷再配分により引き抜く。これによって、バイナリ容量Ｃ０Ｎ～Ｃ７Ｎは、アナログ信号ＶＡＮから基準信号Ｄ０Ｎ～Ｄ７Ｎを減算する。容量部１２１Ｎは、減算結果であるアナログ信号ＶＣＮをノードＮＮに出力する。

[0037] ノードＮＰは、スイッチ１１０Ｐの第２の端子Ｅ２Ｐと、減衰容量ＣＨＰの第１の端子と、バイナリ容量Ｃ０Ｐ～Ｃ７Ｐの第１の端子とに接続されている。ノードＮＰは、これらに電気的に接続された信号線上の任意の位置である。ノードＮＰは、容量部１２１Ｐの第１の入力ノードおよび第１の出力ノードを構成する。ノードＮＰの電圧は、アナログ信号ＶＣＰとして出力される。ノードＮＮは、スイッチ１１０Ｎの第２の端子Ｅ２Ｎと、減衰容量ＣＨＮの第１の端子と、バイナリ容量Ｃ０Ｎ～Ｃ７Ｎの第１の端子とに接続されている。ノードＮＮは、これらに電気的に接続された信号線上の任意の位置である。ノードＮＮは、容量部１２１Ｎの第２の入力ノードおよび第２の出力ノードを構成する。ノードＮＮの電圧は、アナログ信号ＶＣＮとして出力される。

[0038] 図３は、並列比較回路１３０を構成する比較回路１３１の構成を示している。比較回路１３１，１３２，１３３は、同一の構成を有するので、代表として比較回路１３１の構成を説明する。図３に示すように、比較回路１３１は、差動増幅回路１１とラッチ回路１２とを有する。

[0039] 差動増幅回路１１は、トランジスタＭ１と、トランジスタＭ２と、トランジスタＭ３と、トランジスタＭ４と、トランジスタＭ５とを有する。トランジスタＭ１と、トランジスタＭ２と、トランジスタＭ５とは、Ｎチャネル型の電界効果トランジスタである。トランジスタＭ３と、トランジスタＭ４とは、Ｐチャネル型の電界効果トランジスタである。差動増幅回路１１の増幅機能を得ることができるという条件で、差動増幅回路１１を構成する各トランジスタの種類は任意に選択され得る。

[0040] トランジスタＭ１のゲート端子は、第１の入力端子に接続されている。トランジスタＭ２のゲート端子は、第２の入力端子に接続されている。第１の入力端子と第２の入力端子とは、差動信号であるアナログ信号ＶＡＰとアナログ信号ＶＡＮとが入力される差動入力端子である。アナログ信号ＶＣＰが容量ＤＡＣ回路１２０から第１の入力端子を介してトランジスタＭ１のゲート端子に入力される。アナログ信号ＶＣＮが容量ＤＡＣ回路１２０から第２の入力端子を介してトランジスタＭ２のゲート端子に入力される。

[0041] トランジスタＭ３のソース端子は、第２の電源電圧ＶＤＤ２を出力する電源に接続されている。トランジスタＭ３のドレイン端子は、トランジスタＭ１のドレイン端子に接続されている。トランジスタＭ４のソース端子は、第２の電源電圧ＶＤＤ２を出力する電源に接続されている。トランジスタＭ４のドレイン端子は、トランジスタＭ２のドレイン端子に接続されている。トランジスタＭ４のゲート端子は、トランジスタＭ３のゲート端子に接続されている。内部クロック信号ＢＩＴ＿ＣＬＫがトランジスタＭ３のゲート端子およびトランジスタＭ４のゲート端子に入力される。並列比較回路１３０の入力電圧範囲の制約により、第２の電源電圧ＶＤＤ２は、容量ＤＡＣ回路１２０が有する駆動部１２２Ｐおよび駆動部１２２Ｎに供給される第１の電源電圧ＶＤＤ１以上の電圧に設定されてもよい。

[0042] トランジスタＭ５のソース端子は、グランドＧＮＤに接続されている。グランドＧＮＤは、最低電圧を与える。トランジスタＭ５のドレイン端子は、トランジスタＭ１のソース端子およびトランジスタＭ２のソース端子に接続

されている。内部クロック信号ＢＩＴ＿ＣＬＫがトランジスタＭ５のゲート端子に入力される。

[0043] ラッチ回路１２は、トランジスタＭ７と、トランジスタＭ８と、トランジスタＭ９と、トランジスタＭ１０と、トランジスタＭ１１と、トランジスタＭ１２と、トランジスタＭ１３と、トランジスタＭ１４とを有する。トランジスタＭ１１と、トランジスタＭ１２と、トランジスタＭ１３と、トランジスタＭ１４とは、Ｎチャネル型の電界効果トランジスタである。トランジスタＭ７と、トランジスタＭ８と、トランジスタＭ９と、トランジスタＭ１０とは、Ｐチャネル型の電界効果トランジスタである。ラッチ回路１２のラッチ機能を得ることができるという条件で、ラッチ回路１２を構成する各トランジスタの種類は任意に選択され得る。

[0044] トランジスタＭ７のゲート端子は、トランジスタＭ２のドレイン端子に接続されている。差動増幅回路１１から出力されたアナログ信号ＡＰがトランジスタＭ７のゲート端子に入力される。トランジスタＭ８のゲート端子は、トランジスタＭ１のドレイン端子に接続されている。差動増幅回路１１から出力されたアナログ信号ＡＮがトランジスタＭ８のゲート端子に入力される。

[0045] トランジスタＭ９のソース端子は、第２の電源電圧ＶＤＤ２を出力する電源に接続されている。トランジスタＭ９のドレイン端子は、トランジスタＭ７のソース端子に接続されている。トランジスタＭ１０のソース端子は、第２の電源電圧ＶＤＤ２を出力する電源に接続されている。トランジスタＭ１０のドレイン端子は、トランジスタＭ８のソース端子に接続されている。

[0046] トランジスタＭ１１のソース端子は、グランドＧＮＤに接続されている。トランジスタＭ１１のドレイン端子は、トランジスタＭ７のドレイン端子に接続されている。トランジスタＭ１１のゲート端子は、トランジスタＭ９のゲート端子およびトランジスタＭ８のドレイン端子に接続されている。トランジスタＭ１２のソース端子は、グランドＧＮＤに接続されている。トランジスタＭ１２のドレイン端子は、トランジスタＭ８のドレイン端子に接続さ

れている。トランジスタＭ１２のゲート端子は、トランジスタＭ１０のゲート端子およびトランジスタＭ７のドレイン端子に接続されている。

[0047] トランジスタＭ１３のソース端子は、グランドＧＮＤに接続されている。トランジスタＭ１３のドレイン端子は、トランジスタＭ１１のドレイン端子に接続されている。反転内部クロック信号ＢＩＴ＿ＣＬＫｂがトランジスタＭ１３のゲート端子に入力される。トランジスタＭ１４のソース端子は、グランドＧＮＤに接続されている。トランジスタＭ１４のドレイン端子は、トランジスタＭ１２のドレイン端子に接続されている。反転内部クロック信号ＢＩＴ＿ＣＬＫｂがトランジスタＭ１４のゲート端子に入力される。

[0048] トランジスタＭ１４のドレイン端子は、第１の出力端子に接続されている。トランジスタＭ１３のドレイン端子は、第２の出力端子に接続されている。デジタル信号ＶＯＰ１が第１の出力端子から出力され、かつデジタル信号ＶＯＮ１が第２の出力端子から出力される。

[0049] 比較回路１３１，１３２，１３３の基本動作について説明する。先ず、内部クロック信号ＢＩＴ＿ＣＬＫがローレベルである場合の動作について説明する。内部クロック信号ＢＩＴ＿ＣＬＫがローレベルであるとき、反転内部クロック信号ＢＩＴ＿ＣＬＫｂはハイレベルである。このため、差動増幅回路１１のトランジスタＭ５はオフになり、かつトランジスタＭ３およびトランジスタＭ４はオンになる。ラッチ回路１２のトランジスタＭ１３およびトランジスタＭ１４はオンになる。

[0050] この場合、アナログ信号ＡＮおよびアナログ信号ＡＰの電位は、第２の電源電圧ＶＤＤ２に引き上げられる。アナログ信号ＡＮおよびアナログ信号ＡＰはトランジスタＭ７およびトランジスタＭ８のゲート端子に入力されるため、トランジスタＭ７およびトランジスタＭ８はオフになる。一方、トランジスタＭ１３およびトランジスタＭ１４はオンになる。デジタル信号ＶＯＰ１およびデジタル信号ＶＯＮ１の電位は、トランジスタＭ１３およびトランジスタＭ１４を介してグランドＧＮＤに引き下げられる。

[0051] アナログ信号ＶＣＰがアナログ信号ＶＣＮよりも大きい状態（ＶＣＰ＞Ｖ

ＣＮ）で、内部クロック信号ＢＩＴ＿ＣＬＫがローレベルからハイレベルに切り替わった場合の動作について説明する。

[0052] 内部クロック信号ＢＩＴ＿ＣＬＫがローレベルからハイレベルに切り替わることにより、差動増幅回路１１において、トランジスタＭ５はオンになる。このため、トランジスタＭ５にドレイン電流が流れる。トランジスタＭ３およびトランジスタＭ４はオフになる。トランジスタＭ１は、トランジスタＭ１のドレイン端子のノードＮＡＮに結合されている寄生容量から電荷を引き抜く。トランジスタＭ２は、トランジスタＭ２のドレイン端子のノードＮＡＰに結合されている寄生容量から電荷を引き抜く。

[0053] トランジスタＭ１およびトランジスタＭ２が上記の寄生容量から電荷を引き抜く過程で、アナログ信号ＶＣＰとアナログ信号ＶＣＮとの電位の違いにより、寄生容量から電荷が引き抜かれる速度に違いが生じる。アナログ信号ＶＣＰがアナログ信号ＶＣＮよりも大きいため（ＶＣＰ＞ＶＣＮ）、トランジスタＭ１に流れる電流は、トランジスタＭ２に流れる電流よりも大きい。その結果、アナログ信号ＡＮの電位は、アナログ信号ＡＰの電位よりも高速に低下する。

[0054] 内部クロック信号ＢＩＴ＿ＣＬＫがローレベルからハイレベルに変化し、かつ反転内部クロック信号ＢＩＴ＿ＣＬＫｂがハイレベルからローレベルに変化する。これによって、ラッチ回路１２において、デジタル信号ＶＯＰ１，ＶＯＰ２，ＶＯＰ３およびデジタル信号ＶＯＮ１，ＶＯＮ２，ＶＯＮ３の電位は、第２の電源電圧ＶＤＤ２に向かって上昇する。アナログ信号ＡＰの電位よりもアナログ信号ＡＮの電位の方が高速に低下するため、トランジスタＭ７よりもトランジスタＭ８の方が早くオンになる。このため、デジタル信号ＶＯＰ１，ＶＯＰ２，ＶＯＰ３の電位の上昇速度は、デジタル信号ＶＯＮ１，ＶＯＮ２，ＶＯＮ３の電位の上昇速度よりも大きくなる。その結果、デジタル信号ＶＯＰ１，ＶＯＰ２，ＶＯＰ３の電位は、第２の電源電圧ＶＤＤ２に向かって引き上げられる。

[0055] トランジスタＭ７，Ｍ９，Ｍ１１によって形成されるインバータと、トラ

ンジスタＭ８，Ｍ１０，Ｍ１２によって形成されるインバータとがクロスカップル接続されている。この場合、デジタル信号ＶＯＰ１，ＶＯＰ２，ＶＯＰ３がゲート端子に印加されるトランジスタＭ９はオフになる。このため、デジタル信号ＶＯＮ１，ＶＯＮ２，ＶＯＮ３は、グランドＧＮＤに向かって引き下げられる。したがって、アナログ信号ＶＣＰとアナログ信号ＶＣＮとの間の大きさの関係に応じた論理レベルを有するデジタル信号ＶＯＰ１，ＶＯＰ２，ＶＯＰ３およびデジタル信号ＶＯＮ１，ＶＯＮ２，ＶＯＮ３が比較回路１３１，１３２，１３３から出力される。

[0056] 具体的には、アナログ信号ＶＣＰがアナログ信号ＶＣＮよりも大きい場合（ＶＣＰ＞ＶＣＮ）、デジタル信号ＶＯＰ１，ＶＯＰ２，ＶＯＰ３の電位は、第２の電源電圧ＶＤＤ２の電位になり、かつデジタル信号ＶＯＮ１，ＶＯＮ２，ＶＯＮ３の電位は、グランドＧＮＤの電位になる。アナログ信号ＶＣＮがアナログ信号ＶＣＰよりも大きい場合（ＶＣＮ＞ＶＣＰ）、デジタル信号ＶＯＮ１，ＶＯＮ２，ＶＯＮ３の電位は、第２の電源電圧ＶＤＤ２の電位になり、かつデジタル信号ＶＯＰ１，ＶＯＰ２，ＶＯＰ３の電位は、グランドＧＮＤの電位になる。このように、比較回路１３１，１３２，１３３は、アナログ信号ＶＣＰとアナログ信号ＶＣＮとの間の大きさの関係を示す２値のデジタル信号ＶＯＰ１，ＶＯＰ２，ＶＯＰ３およびデジタル信号ＶＯＮ１，ＶＯＮ２，ＶＯＮ３を出力する。

[0057] 比較回路１３１，１３２，１３３はダイナミック型の比較器である。ダイナミック型の比較回路１３１，１３２，１３３において、動作電流として、ＣＭＯＳロジックと同様に、状態変化による貫通電流のみが流れる。つまり、ダイナミック型の比較回路１３１，１３２，１３３において、内部クロック信号ＢＩＴ＿ＣＬＫおよび反転内部クロック信号ＢＩＴ＿ＣＬＫｂの信号レベルがハイレベルからローレベルまたはローレベルからハイレベルに遷移するときのみに過渡的に電流が流れ、かつ定常電流（アイドリング電流）が発生しない。このため、ダイナミック型の比較回路１３１，１３２，１３３は、低消費電力化に適している。

[0058] 図４を用いて、Ａ／Ｄ変換回路１００の動作（Ａ／Ｄ変換）について説明する。図４は、Ａ／Ｄ変換回路１００の動作に関する信号を示している。図４において、クロック信号ＣＬＫと、内部クロック信号ＢＩＴ＿ＣＬＫとが示されている。図４において、アナログ信号ＶＡＰと、アナログ信号ＶＡＮと、アナログ信号ＶＣＰと、アナログ信号ＶＣＮとが示されている。図４において、デジタル信号ＶＯＰ１，ＶＯＰ２，ＶＯＰ３と、デジタル信号ＶＯＮ１，ＶＯＮ２，ＶＯＮ３と、デジタル信号ＭＶＯＰと、デジタル信号ＭＶＯＮとが示されている。図４において、基準信号Ｄ０Ｐ～Ｄ０Ｐと、基準信号Ｄ０Ｎ～Ｄ７Ｎとが示されている。図４において、横軸は時間を示し、かつ縦軸は信号レベルを示している。

[0059] クロック信号ＣＬＫがローレベルである場合、サンプリング回路１１０は、差動信号ＶＡとして入力されるアナログ信号ＶＡＰとアナログ信号ＶＡＮとを容量ＤＡＣ回路１２０にトラックおよびサンプリングする。クロック信号ＣＬＫがローレベルからハイレベルに変化するタイミングで、サンプリング回路１１０は、アナログ信号ＶＡＰとアナログ信号ＶＡＮとをホールドする。

[0060] 以下では、クロック信号ＣＬＫがローレベルである期間をサンプリング期間と称し、かつクロック信号ＣＬＫがハイレベルである期間をホールド期間と称す。サンプリング期間およびホールド期間は、交互に現れる。図４に示す時刻ｔ０から時刻ｔ１０の期間はホールド期間であり、かつ時刻ｔ１０から時刻ｔ１１の期間はサンプリング期間である。時刻ｔ０の前の期間はサンプリング期間であり、かつ時刻ｔ１１の後はホールド期間である。

[0061] Ａ／Ｄ変換回路１００は、サンプリング期間においてサンプリング回路１１０によってサンプリングされたアナログ信号ＶＡＰおよびアナログ信号ＶＡＮのＡ／Ｄ変換をホールド期間において実施する。概略的には、Ａ／Ｄ変換回路１００は、ホールド期間において制御回路１５０から入力された内部クロック信号ＢＩＴ＿ＣＬＫおよび反転内部クロック信号ＢＩＴ＿ＣＬＫｂのタイミングに合わせて、デジタル信号Ｄ０～Ｄ７の最上位ビット（Ｄ７）

から最下位ビット（Ｄ０）に向かって、デジタル信号Ｄ０～Ｄ７の各ビットの値を逐次決定する。これによって、Ａ／Ｄ変換回路１００は、サンプリング回路１１０によってホールドされたアナログ信号ＶＡＰおよびアナログ信号ＶＡＮのＡ／Ｄ変換を実施し、かつデジタル信号Ｄ０～Ｄ７を生成する。

[0062] Ａ／Ｄ変換回路１００によるＡ／Ｄ変換について詳細に説明する。図４に示す時刻ｔ０よりも前のサンプリング期間において、クロック信号ＣＬＫはローレベルである。このとき、サンプリング回路１１０のスイッチ１１０Ｐおよびスイッチ１１０Ｎはオンである。このため、アナログ信号ＶＡＰおよびアナログ信号ＶＡＮは、サンプリング回路１１０によりサンプリング（トラック）され、かつ容量ＤＡＣ回路１２０に出力される。サンプリング回路１１０から出力されたアナログ信号ＶＡＰおよびアナログ信号ＶＡＮの電位に対応する電荷が容量ＤＡＣ回路１２０の減衰容量ＣＨＰおよびバイナリ容量Ｃ０Ｐ～Ｃ７Ｐにサンプリングされる。

[0063] サンプリング期間が開始されたとき、制御回路１５０から出力されるデジタル信号ＤＰ０～ＤＰ７およびデジタル信号ＤＮ０～ＤＮ７の各ビットは“０”に設定（初期化）されている。このため、駆動部１２２Ｐから出力される基準信号Ｄ０Ｐ～Ｄ７Ｐおよび駆動部１２２Ｎから出力される基準信号Ｄ０Ｎ～Ｄ７Ｎはハイレベルである。時刻ｔ０において、クロック信号ＣＬＫがローレベルからハイレベルに変化することにより、ホールド期間が開始される。これによって、サンプリング回路１１０のスイッチ１１０Ｐおよびスイッチ１１０Ｎがオフになる。このため、クロック信号ＣＬＫがローレベルからハイレベルに変化する直前のアナログ信号ＶＡＰが、容量回路１２１の減衰容量ＣＨＰおよびバイナリ容量Ｃ０Ｐ～Ｃ７Ｐにホールドされる。クロック信号ＣＬＫがローレベルからハイレベルに変化する直前のアナログ信号ＶＡＮが、容量回路１２１の減衰容量ＣＨＮおよびバイナリ容量Ｃ０Ｎ～Ｃ７Ｎにホールドされる。上記のようにホールドされたアナログ信号ＶＡＰおよびアナログ信号ＶＡＮは、アナログ信号ＶＣＰおよびアナログ信号ＶＣＮとして、容量ＤＡＣ回路１２０から並列比較回路１３０に出力される。

[0064] 並列比較回路１３０は、制御回路１５０による制御に従って、容量ＤＡＣ回路１２０から出力されたアナログ信号ＶＣＰとアナログ信号ＶＣＮとを逐次比較する。時刻ｔ０の後、内部クロック信号ＢＩＴ＿ＣＬＫの最初のサイクルに相当する時刻ｔ１から時刻ｔ２までの期間Ｔ１における動作について説明する。

[0065] 時刻ｔ０において、アナログ信号ＶＡＰおよびアナログ信号ＶＡＮが容量回路１２１にホールドされ、かつアナログ信号ＶＣＰおよびアナログ信号ＶＣＮが容量ＤＡＣ回路１２０から出力される。この状態で、時刻ｔ１において内部クロック信号ＢＩＴ＿ＣＬＫがローレベルからハイレベルになる。これによって、比較回路１３１，１３２，１３３のラッチ回路１２がアクティブになり、かつ比較回路１３１，１３２，１３３はアナログ信号ＶＣＰとアナログ信号ＶＣＮとの比較を開始する。

[0066] 図４に示す例において、時刻ｔ１におけるアナログ信号ＶＣＰの信号レベルはアナログ信号ＶＣＮの信号レベルよりも大きい（ＶＣＰ＞ＶＣＮ）。このため、比較回路１３１，１３２，１３３は、比較結果として、ハイレベルのデジタル信号ＶＯＰ１，ＶＯＰ２，ＶＯＰ３およびローレベルのデジタル信号ＶＯＮ１，ＶＯＮ２，ＶＯＮ３を出力する。決定回路１４０は、比較回路１３１，１３２，１３３の比較結果に基づいて、ハイレベルのデジタル信号ＭＶＯＰとローレベルのデジタル信号ＭＶＯＮとを出力する。制御回路１５０は、デジタル信号ＭＶＯＰおよびデジタル信号ＭＶＯＮに基づいて、ハイレベルのデジタル信号ＤＰ７とローレベルのデジタル信号ＤＮ７とを出力する。これによって、Ａ／Ｄ変換結果であるデジタル信号Ｄ０～Ｄ７のうち、最上位ビット（Ｄ７）の値が決定される。デジタル信号ＤＰ７がデジタル信号Ｄ７として出力される。

[0067] デジタル信号ＤＰ７がローレベルからハイレベルになることにより、デジタル信号ＤＰ７が入力される駆動部１２２Ｐのインバータ Ｑ７Ｐからの基準信号Ｄ７Ｐはハイレベルからローレベルに変化する。このため、インバータ Ｑ７Ｐからの基準信号Ｄ７Ｐが印加されるバイナリ容量Ｃ７Ｐの第１の端子

と第２の端子との間の電圧が変化する。バイナリ容量Ｃ７Ｐの端子間の電圧の変化量に応じて、バイナリ容量Ｃ７Ｐに蓄積されている電荷が引き抜かれることにより、電荷再配分が行われる。電荷再配分により、ノードＮＰの電位は、バイナリ容量Ｃ７Ｐから引き抜かれた電荷に対応した電位に低下する。このため、ノードＮＰの電位によって与えられるアナログ信号ＶＣＰの信号レベルが低下する。

[0068] デジタル信号ＤＮ７はローレベルに保たれているため、デジタル信号ＤＮ７が入力される駆動部１２２Ｎのインバータ Ｑ７Ｎからの基準信号Ｄ７Ｎは、ハイレベルに保たれる。このため、インバータＱ７Ｎからの基準信号Ｄ７Ｎが印加されるバイナリ容量Ｃ７Ｎの電荷は移動しない。つまり、ノードＮＮの電位は変化しない。このため、ノードＮＮの電位によって与えられるアナログ信号ＶＣＮの信号レベルは変化しない。

[0069] 時刻ｔ１ａにおいて、内部クロック信号ＢＩＴ＿ＣＬＫがローレベルになり、かつ反転内部クロック信号ＢＩＴ＿ＣＬＫｂがハイレベルになる。これによって、比較回路１３１，１３２，１３３のラッチ回路１２はインアクティブになる。この場合、比較回路１３１，１３２，１３３のラッチ回路１２は、ローレベルのデジタル信号ＶＯＰ１，ＶＯＰ２，ＶＯＰ３およびデジタル信号ＶＯＮ１，ＶＯＮ２，ＶＯＮ３を出力する。

[0070] 内部クロック信号ＢＩＴ＿ＣＬＫの２番目のサイクルに相当する時刻ｔ２からｔ３までの期間Ｔ２における動作について説明する。

[0071] 上記のように、アナログ信号ＶＡＰおよびアナログ信号ＶＡＮが容量ＤＡＣ回路１２０にホールドされ、かつアナログ信号ＶＣＰおよびアナログ信号ＶＣＮが容量ＤＡＣ回路１２０から出力される。この状態で、時刻ｔ２において内部クロック信号ＢＩＴ＿ＣＬＫがローレベルからハイレベルになり、かつ反転内部クロック信号ＢＩＴ＿ＣＬＫｂがハイレベルからローレベルになる。これによって、比較回路１３１，１３２，１３３のラッチ回路１２がアクティブになり、かつ比較回路１３１，１３２，１３３はアナログ信号ＶＣＰとアナログ信号ＶＣＮとの比較を開始する。

[0072] 図４に示す例において、時刻ｔ２におけるアナログ信号ＶＣＰの信号レベルはアナログ信号ＶＣＮの信号レベルよりも小さい（ＶＣＰ＜ＶＣＮ）。このため、比較回路１３１，１３２，１３３は、比較結果として、ローレベルのデジタル信号ＶＯＰ１，ＶＯＰ２，ＶＯＰ３およびハイレベルのデジタル信号ＶＯＮ１，ＶＯＮ２，ＶＯＮ３を出力する。決定回路１４０は、比較回路１３１，１３２，１３３の比較結果に基づいて、ローレベルのデジタル信号ＭＶＯＰとハイレベルのデジタル信号ＭＶＯＮとを出力する。制御回路１５０は、デジタル信号ＭＶＯＰおよびデジタル信号ＭＶＯＮに基づいて、ローレベルのデジタル信号ＤＰ６とハイレベルのデジタル信号ＤＮ６とを出力する。これによって、Ａ／Ｄ変換であるデジタル信号Ｄ０～Ｄ７のうち、最上位から２番目のビット（Ｄ６）の値が決定される。デジタル信号ＤＰ６はデジタル信号Ｄ６として出力される。

[0073] デジタル信号ＤＮ６がローレベルからハイレベルになることにより、デジタル信号ＤＮ６が入力される駆動部１２２Ｎのインバータ Ｑ６Ｎからの基準信号ＤＮ６はハイレベルからローレベルに変化する。このため、インバータＱ６Ｎからの基準信号ＤＮ６が印加されるバイナリ容量Ｃ６Ｎの第１の端子と第２の端子との間の電圧が変化する。バイナリ容量Ｃ６Ｎの端子間の電圧の変化量に応じて、バイナリ容量Ｃ６Ｎに蓄積されている電荷が引き抜かれることにより、電荷再配分が行われる。電荷再配分により、ノードＮＮの電位は、バイナリ容量Ｃ６Ｎから引き抜かれた電荷に対応した電位に低下する。このため、ノードＮＮの電位によって与えられるアナログ信号ＶＣＮの信号レベルが低下する。

[0074] デジタル信号ＤＰ６はローレベルに保たれているため、デジタル信号ＤＰ６が入力される駆動部１２２Ｐのインバータ Ｑ６Ｐからの基準信号ＤＰ６は、ハイレベルに保たれる。このため、インバータＱ６Ｐからの基準信号ＤＰ６Ｐが印加されるバイナリ容量Ｃ６Ｐの電荷は移動しない。つまり、ノードＮＰの電位は変化しない。このため、ノードＮＰの電位によって与えられるアナログ信号ＶＣＰの信号レベルは変化しない。

[0075] 時刻ｔ２ａにおいて、内部クロック信号ＢＩＴ＿ＣＬＫがローレベルになり、かつ反転内部クロック信号ＢＩＴ＿ＣＬＫｂがハイレベルになる。これによって、比較回路１３１，１３２，１３３のラッチ回路１２はインアクティブになる。この場合、比較回路１３１，１３２，１３３のラッチ回路１２は、ローレベルのデジタル信号ＶＯＰ１，ＶＯＰ２，ＶＯＰ３およびデジタル信号ＶＯＮ１，ＶＯＮ２，ＶＯＮ３を出力する。

[0076] 時刻ｔ３の後の期間Ｔ３から期間Ｔ８において、上記の期間Ｔ１または期間Ｔ２における動作と同様の動作が行われる。つまり、期間Ｔ３から期間Ｔ８において、逐次比較が実施される。これによって、デジタル信号Ｄ０～Ｄ７の３番目のビット（Ｄ５）から最下位ビット（Ｄ０）の各値が決定される。その結果、Ａ／Ｄ変換により全てのビットの値が決定されたデジタル信号Ｄ０～Ｄ７が得られる。

[0077] 期間Ｔ８において、最下位ビット（Ｄ０）が決定される。期間Ｔ９において、制御回路１５０は、Ａ／Ｄ変換により最終的に得られたデジタル信号Ｄ０～Ｄ７を出力端子から出力する。

[0078] 期間Ｔ９が終了する時刻ｔ１０において、クロック信号ＣＬＫがハイレベルからローレベルに変化することにより、ホールド期間が終了し、かつサンプリング期間が開始される。これによって、サンプリング回路１１０のスイッチ１１０Ｐおよびスイッチ１１０Ｎがオンになる。このため、アナログ信号ＶＡＰおよびアナログ信号ＶＡＮは、サンプリング回路１１０によりサンプリング（トラック）され、かつ容量ＤＡＣ回路１２０に出力される。サンプリング回路１１０から出力されたアナログ信号ＶＡＰおよびアナログ信号ＶＡＮの電位に対応する電荷が容量ＤＡＣ回路１２０の減衰容量ＣＨＰ，ＣＨＮおよびバイナリ容量Ｃ０Ｐ～Ｃ７Ｐ，Ｃ０Ｎ～Ｃ７Ｎにサンプリングされる。

[0079] サンプリング期間が開始されたとき、制御回路１５０から出力されるデジタル信号ＤＰ０～ＤＰ７およびデジタル信号ＤＮ０～ＤＮ７の各ビットは“０”に設定（初期化）されている。このため、駆動部１２２Ｐから出力され

る基準信号ＤＯＰ～Ｄ７Ｐおよび駆動部１２２Ｎから出力される基準信号ＤＯＮ～Ｄ７Ｎはハイレベルである。その後、時刻ｔ１１において、クロック信号ＣＬＫがローレベルからハイレベルに変化することにより、サンプリング期間が終了し、かつホールド期間が開始される。

[0080] 図５を用いて、決定回路１４０の動作について詳細に説明する。図５は、Ａ／Ｄ変換回路１００の動作に関する信号を示している。図５において、期間Ｔ５における信号以外の信号は、図４に示す信号と同一である。

[0081] 比較回路１３１，１３２，１３３は、ランダム性のノイズの影響を受ける。例えば、このノイズは、第２の電源電圧ＶＤＤ２の変動、アナログ信号に重畳する外来ノイズ、比較回路１３１，１３２，１３３の熱雑音、およびサンプリング回路１１０のＫＴＣノイズである。ノイズの発生源が同一であっても、ノイズが比較回路１３１，１３２，１３３に伝播する過程で寄生素子の影響によりノイズ量が異なる。寄生素子は、配線抵抗および配線容量等である。上記のノイズが発生しない場合、比較回路１３１，１３２，１３３の各々が生成するデジタル信号は一貫性を有する。つまり、デジタル信号ＶＯＰ１，ＶＯＰ２，ＶＯＰ３の全ての論理レベルが一致し、かつデジタル信号ＶＯＮ１，ＶＯＮ２，ＶＯＮ３の全ての論理レベルが一致する。特に、アナログ信号ＶＣＰおよびアナログ信号ＶＣＮの値が略同一であり、かつ上記のノイズが発生する場合、比較回路１３１，１３２，１３３の各々が生成するデジタル信号の一貫性が失われる。

[0082] 図５に示す期間Ｔ５において、比較回路１３１，１３２，１３３の各々が生成するデジタル信号の一貫性が失われている。期間Ｔ５において、比較回路１３１からのデジタル信号ＶＯＰ１および比較回路１３２からのデジタル信号ＶＯＰ２はハイレベルになるが、比較回路１３３からのデジタル信号ＶＯＰ３はローレベルである。比較回路１３１からのデジタル信号ＶＯＮ１および比較回路１３２からのデジタル信号ＶＯＮ２はローレベルであるが、比較回路１３３からのデジタル信号ＶＯＮ３はハイレベルになる。このため、比較回路１３１および比較回路１３２の比較結果と、比較回路１３３の比較

結果とが異なる。

[0083] 決定回路１４０は、比較回路１３１，１３２，１３３から出力されたデジタル信号ＶＯＰ１，ＶＯＰ２，ＶＯＰ３およびデジタル信号ＶＯＮ１，ＶＯＮ２，ＶＯＮ３の多数決により、比較結果を判断する。決定回路１４０は、比較回路１３１，１３２，１３３から出力されたデジタル信号ＶＯＰ１，ＶＯＰ２，ＶＯＰ３に対して、第１の数をカウントする。決定回路１４０は、比較回路１３１，１３２，１３３から出力されたデジタル信号ＶＯＮ１，ＶＯＮ２，ＶＯＮ３に対して、第２の数をカウントする。第１の数および第２の数は、ハイレベルの信号の数である。期間Ｔ５において、デジタル信号ＶＯＰ１およびデジタル信号ＶＯＰ１がハイレベルになるので、第１の数は２である。期間Ｔ５において、デジタル信号ＶＯＮ３のみがハイレベルになるので、第２の数は１である。

[0084] 決定回路１４０は、第１の数および第２の数に基づいて、第１の数および第２の数のいずれか１つに対応する比較結果を選択し、かつ選択された比較結果に対応するデジタル信号ＭＶＯＰおよびデジタル信号ＭＶＯＮを生成する。決定回路１４０は、より大きい数に対応するデジタル信号に基づく比較結果を選択する。第１の数が第２の数よりも大きい場合、決定回路１４０は、第１の数がカウントされたデジタル信号に基づく比較結果を選択する。第２の数が第１の数よりも大きい場合、決定回路１４０は、第２の数がカウントされたデジタル信号に基づく比較結果を選択する。期間Ｔ５において、第１の数すなわち２は第２の数すなわち１よりも大きい。このため、決定回路１４０は、第１の数がカウントされたデジタル信号ＶＯＰ１およびデジタル信号ＶＯＰ２に基づく比較結果を選択する。デジタル信号ＶＯＰ１およびデジタル信号ＶＯＰ２はハイレベルであり、かつデジタル信号ＶＯＮ１およびデジタル信号ＶＯＮ２はローレベルである。このため、決定回路１４０は、ハイレベルのデジタル信号ＭＶＯＰおよびローレベルのデジタル信号ＭＶＯＮを生成する。

[0085] 上記の内容は、以下の内容と等価である。１組のデジタル信号を構成する

２つのデジタル信号のいずれか１つのみがハイレベルになることにより、１組のデジタル信号は、第１の状態および第２の状態のいずれか１つを示すことができる。第１の状態において、アナログ信号ＶＣＰの信号レベルはアナログ信号ＶＣＮの信号レベルよりも高い。第２の状態において、アナログ信号ＶＣＰの信号レベルはアナログ信号ＶＣＮの信号レベルよりも低い。上記の第１の数は、第１の状態の数を示す。上記の第２の数は、第２の状態の数を示す。決定回路１４０は、第１の数および第２の数に基づいて、第１の状態および第２の状態のいずれか１つを選択し、かつ選択された状態に対応するデジタル信号ＭＶＯＰおよびデジタル信号ＭＶＯＮを生成する。決定回路１４０は、より大きい数に対応する状態を選択する。第１の数が第２の数よりも大きい場合、決定回路１４０は、第１の状態を選択する。第２の数が第１の数よりも大きい場合、決定回路１４０は、第２の状態を選択する。期間Ｔ５において、第１の数すなわち２は第２の数すなわち１よりも大きい。このため、決定回路１４０は、第１の数に対応する第１の状態を選択する。決定回路１４０は、第１の状態に対応するハイレベルのデジタル信号ＭＶＯＰおよびローレベルのデジタル信号ＭＶＯＮを生成する。

[0086] 並列比較回路１３０を構成する比較回路が１個である場合と比較して、Ａ／Ｄ変換回路１００は、アナログ信号ＶＣＰおよびアナログ信号ＶＣＮの大きさの関係をより精度良く判断することができる。

[0087] 期間Ｔ１から期間Ｔ４および期間Ｔ６から期間Ｔ８の各々において、デジタル信号ＶＯＰ１，ＶＯＰ２，ＶＯＰ３の全ての論理レベルが一致し、かつデジタル信号ＶＯＮ１，ＶＯＮ２，ＶＯＮ３の全ての論理レベルが一致する。これらの期間において、第１の数および第２の数の一方が３であり、第１の数および第２の数の他方が０である。これらの期間において、決定回路１４０は、上記の処理と同様の処理により、デジタル信号ＭＶＯＰおよびデジタル信号ＭＶＯＮを生成する。

[0088] 決定回路１４０は、第１の数および第２の数のいずれか１つのみをカウントしてもよい。例えば、決定回路１４０は、第１の数のみをカウントする。

決定回路１４０は、第１の数が２以上であるか否かを判断する。第１の数が２以上である場合、決定回路１４０は、第１の数がカウントされたデジタル信号に基づく比較結果を選択する。第１の数が２よりも小さい場合、決定回路１４０は、第２の数がカウントされたデジタル信号に基づく比較結果を選択する。例えば、期間Ｔ５において、第１の数は２である。このため、決定回路１４０は、第１の数がカウントされたデジタル信号ＶＯＰ１およびデジタル信号ＶＯＰ２に基づく比較結果を選択する。同様に、決定回路１４０は、第２の数のみをカウントしてもよい。

[0089] 上記のように、Ａ／Ｄ変換回路１００（逐次比較型Ａ／Ｄ変換回路）は、少なくとも、容量部１２１Ｐ（第１の容量回路）と、容量部１２１Ｎ（第２の容量回路）と、複数の比較回路１３１，１３２，１３３と、決定回路１４０と、制御回路１５０とを有する。容量部１２１Ｐは、容量値が重み付けされた複数のバイナリ容量ＣＯＰ～Ｃ７Ｐ（第１の容量）を有する。アナログ信号ＶＡＰ（第１のアナログ信号）が容量部１２１Ｐに入力される。容量部１２１Ｎは、容量値が重み付けされた複数のバイナリ容量ＣＯＮ～Ｃ７Ｎ（第２の容量）を有する。アナログ信号ＶＡＮ（第２のアナログ信号）が容量部１２１Ｎに入力される。アナログ信号ＶＡＰおよびアナログ信号ＶＡＮは差動信号ＶＡを構成する。複数の比較回路１３１，１３２，１３３は、容量部１２１Ｐのノードｎｐ（第１の出力ノード）および容量部１２１Ｎのノードｎｎ（第２の出力ノード）に接続される。複数の比較回路１３１，１３２，１３３は、ノードｎｐおよびノードｎｎの電位を比較し、かつデジタル信号ＶＯＰ１，ＶＯＰ２，ＶＯＰ３，ＶＯＮ１，ＶＯＮ２，ＶＯＮ３（第１のデジタル信号）を出力する。デジタル信号ＶＯＰ１，ＶＯＰ２，ＶＯＰ３，ＶＯＮ１，ＶＯＮ２，ＶＯＮ３は、第１の状態および第２の状態のいずれか１つを示す。第１の状態においてノードｎｐの電位はノードｎｎの電位よりも大きい。第２の状態においてノードｎｐの電位はノードｎｎの電位よりも小さい。決定回路１４０は、複数の比較回路１３１，１３２，１３３から出力された複数のデジタル信号ＶＯＰ１，ＶＯＰ２，ＶＯＰ３，ＶＯＮ１，Ｖ

ＯＮ２，ＶＯＮ３に対して、第１の状態および第２の状態の少なくとも１つの数をカウントする。決定回路１４０は、カウントされた数に基づいて、比較結果を示すデジタル信号ＭＶＯＰ，ＭＶＯＮ（第２のデジタル信号）を生成する。制御回路１５０は、デジタル信号ＭＶＯＰ，ＭＶＯＮに基づいて、アナログ信号ＶＡＰおよびアナログ信号ＶＡＮに対応するデジタル信号Ｄ０～Ｄ７（第３のデジタル信号）を生成する。制御回路１５０は、デジタル信号ＭＶＯＰ，ＭＶＯＮに基づいて容量部１２１Ｐまたは容量部１２１Ｎを制御する。

[0090] 本発明の各態様のＡ／Ｄ変換回路は、駆動回路１２２に対応する構成を有していなくてもよい。本発明の各態様のＡ／Ｄ変換回路は、減衰容量ＣＨＰおよび減衰容量ＣＨＮに対応する容量を有していなくてもよい。

[0091] 第１の実施形態のＡ／Ｄ変換回路１００において、決定回路１４０は、第１の状態および第２の状態の少なくとも１つの数をカウントし、かつカウントされた数に基づいて、比較結果を示すデジタル信号ＭＶＯＰ，ＭＶＯＮを生成する。これによって、比較回路１３１，１３２，１３３の比較結果に総合的に基づくデジタル信号ＭＶＯＰ，ＭＶＯＮが生成される。このため、Ａ／Ｄ変換精度が向上する。

[0092] （第２の実施形態）

第１の実施形態のＡ／Ｄ変換回路１００を用いて、第２の実施形態を説明する。決定回路１４０は、複数の比較回路１３１，１３２，１３３から出力された複数のデジタル信号ＶＯＰ１，ＶＯＰ２，ＶＯＰ３，ＶＯＮ１，ＶＯＮ２，ＶＯＮ３に対して、第１の状態の第１の数および第２の状態の第２の数をカウントする。決定回路１４０は、第１の数および第２の数の差の絶対値が１以下である場合、複数の比較回路１３１，１３２，１３３を停止させるための制御信号を制御回路１５０に出力する。制御回路１５０は、制御信号に基づいて複数の比較回路１３１，１３２，１３３を停止させる。

[0093] 図５を用いて、Ａ／Ｄ変換回路１００の動作について詳細に説明する。期間Ｔ１から期間Ｔ４における動作は、第１の実施形態における動作と同一で

ある。

[0094] 期間Ｔ５において、決定回路１４０は、比較回路１３１，１３２，１３３から出力されたデジタル信号ＶＯＰ１，ＶＯＰ２，ＶＯＰ３に対して、第１の数をカウントする。決定回路１４０は、比較回路１３１，１３２，１３３から出力されたデジタル信号ＶＯＮ１，ＶＯＮ２，ＶＯＮ３に対して、第２の数をカウントする。第１の数および第２の数は、ハイレベルの信号の数である。期間Ｔ５において、デジタル信号ＶＯＰ１およびデジタル信号ＶＯＰ２がハイレベルになるので、第１の数は２である。期間Ｔ５において、デジタル信号ＶＯＮ３のみがハイレベルになるので、第２の数は１である。

[0095] 決定回路１４０は、第１の数と第２の数とを比較する。第１の数が第２の数よりも大きいため、決定回路１４０は、第１の数がカウントされたデジタル信号ＶＯＰ１およびデジタル信号ＶＯＰ２に基づく比較結果を選択する。デジタル信号ＶＯＰ１およびデジタル信号ＶＯＰ２はハイレベルであり、かつデジタル信号ＶＯＮ１およびデジタル信号ＶＯＮ２はローレベルである。このため、決定回路１４０は、ハイレベルのデジタル信号ＭＶＯＰおよびローレベルのデジタル信号ＭＶＯＮを生成する。期間Ｔ５における上記の動作は、第１の実施形態における動作と同一である。

[0096] 決定回路１４０は、第１の数および第２の数の差の絶対値を算出する。決定回路１４０は、算出された差の絶対値が１であるか否かを判断する。第１の数が２かつ第２の数が１であるため、第１の数および第２の数の差の絶対値は１である。算出された差の絶対値が１である場合、決定回路１４０は、制御信号を制御回路１５０に出力する。期間Ｔ５が終了したとき、制御回路１５０は、決定回路１４０からの制御信号に基づいて複数の比較回路１３１，１３２，１３３を停止させる。期間Ｔ５が終了したとき、制御回路１５０はさらに、決定回路１４０を停止させる。決定回路１４０から出力されるデジタル信号ＭＶＯＰおよびデジタル信号ＭＶＯＮは、期間Ｔ５における各信号のレベルと反対のレベルに固定される。つまり、デジタル信号ＭＶＯＰはローレベルに固定され、かつデジタル信号ＭＶＯＮはハイレベルに固定され

る。期間Ｔ６から期間Ｔ８において、決定回路１４０は、固定されたデジタル信号ＭＶＯＰおよびデジタル信号ＭＶＯＮに基づいて、デジタル信号Ｄ２～Ｄ０を生成し、かつデジタル信号ＭＶＯＰおよびデジタル信号ＭＶＯＮに基づいて容量部１２１Ｎを制御する。

[0097] 第１の数および第２の数の差の絶対値が１であるとき、ノイズの影響により、比較回路１３１，１３２，１３３の各々が生成するデジタル信号の一貫性が失われている。このため、決定回路１４０は、アナログ信号ＶＣＰおよびアナログ信号ＶＣＮが互いに漸近していると判断することができる。ホールド期間においてアナログ信号ＶＣＰおよびアナログ信号ＶＣＮが漸近した後、そのホールド期間においてアナログ信号ＶＣＰおよびアナログ信号ＶＣＮが再度漸近することはない。アナログ信号ＶＣＰおよびアナログ信号ＶＣＮが漸近した後の比較結果は、動作原理上、既知である。このため、制御回路１５０は、期間Ｔ６から期間Ｔ８において、比較回路１３１，１３２，１３３を停止させる。期間Ｔ１から期間Ｔ４において、第１の数および第２の数の差の絶対値は３であるため、決定回路１４０は上記の制御信号を生成しない。

[0098] 第２の実施形態のＡ／Ｄ変換回路１００において、第１の数および第２の数の差の絶対値が１である場合、制御回路１５０は、複数の比較回路１３１，１３２，１３３を停止させる。これによって、Ａ／Ｄ変換回路１００の消費電力が低減する。

[0099] （第３の実施形態）

図６は、本発明の第３の実施形態のＡ／Ｄ変換回路２００の構成を示している。Ａ／Ｄ変換回路２００は、逐次比較型Ａ／Ｄ変換回路である。図６に示す構成について、図１に示す構成と異なる点を説明する。

[0100] Ａ／Ｄ変換回路２００において、図１に示すＡ／Ｄ変換回路１００における並列比較回路１３０が並列比較回路１３０ａに変更される。並列比較回路１３０ａは、複数の比較回路を有する。第３の実施形態のＡ／Ｄ変換回路２００において、複数の比較回路は、２以上の偶数個の比較回路である。図６

に示す並列比較回路１３０ａは、４個の比較回路１３１，１３２，１３３，１３４を有する。比較回路１３１，１３２，１３３，１３４は、容量ＤＡＣ回路１２０および決定回路１４０に接続されている。比較回路１３４の構成は、比較回路１３１，１３２，１３３の構成と同一である。比較回路１３４は、比較結果を示すデジタル信号ＶＯＰ４およびデジタル信号ＶＯＮ４を出力する。

[0101] 決定回路１４０は、４個の比較回路１３１，１３２，１３３，１３４から出力される４組のデジタル信号の第１の状態の第１の数および第２の状態の第２の数をカウントする。前述したように、比較回路１３１，１３２，１３３，１３４は、ランダムなノイズの影響を受ける。各比較回路におけるノイズの発生確率は、略等しい。各比較回路におけるノイズの発生タイミングは、ランダムである。このため、デジタル信号ＶＯＰ１，ＶＯＰ２，ＶＯＰ３，ＶＯＰ４およびデジタル信号ＶＯＮ１，ＶＯＮ２，ＶＯＮ３，ＶＯＮ４がハイレベルに変化するタイミングは、ノイズの発生タイミングに基づく。

[0102] 決定回路１４０は、デジタル信号Ｄ０～Ｄ７の各ビットに対応する期間において、比較回路１３１，１３２，１３３，１３４からの各デジタル信号がハイレベルに変化するタイミングを検出し、かつそのタイミングで第１の数または第２の数を増加させる。決定回路１４０は、第１の数および第２の数のうち、より早く２以上になった数に対応する状態を示すデジタル信号ＭＶＯＰおよびデジタル信号ＭＶＯＮを生成する。例えば、第１の数が第２の数よりも早く２以上になった場合、決定回路１４０は、第１の状態を示すデジタル信号ＭＶＯＰおよびデジタル信号ＭＶＯＮを生成する。第２の数が第１の数よりも早く２以上になった場合、決定回路１４０は、第２の状態を示すデジタル信号ＭＶＯＰおよびデジタル信号ＭＶＯＮを生成する。この動作において、決定回路１４０は、多数決回路として機能する。比較回路１３１，１３２，１３３，１３４において、判定結果の確定に要する時間は、ノイズ量に比例する。判定結果の確定に要する時間がより短い比較回路において、ノイズ量がより少ない。つまり、デジタル信号の変化がより早い比較回路の

比較結果の信頼性がより高い。このため、決定回路１４０は、第１の数および第２の数のうち、より早く２以上になった数に対応する状態を示すデジタル信号ＭＶＯＰおよびデジタル信号ＭＶＯＮを生成する。

[0103] 上記以外の点については、図６に示す構成は、図１に示す構成と同様である。

[0104] 図７および図８を用いて、Ａ／Ｄ変換回路２００の動作（Ａ／Ｄ変換）について説明する。図７は、Ａ／Ｄ変換回路２００の動作に関する信号を示している。図７において、図４に示す信号に対して、デジタル信号ＶＯＰ４およびデジタル信号ＶＯＮ４が追加されている。

[0105] 図８は、期間Ｔ４から期間Ｔ６におけるＡ／Ｄ変換回路２００の動作に関する信号を示している。図８において、クロック信号ＣＬＫと、内部クロック信号ＢＩＴ＿ＣＬＫとが示されている。図８において、アナログ信号ＶＣＰと、アナログ信号ＶＣＮとが示されている。図８において、デジタル信号ＶＯＰ１，ＶＯＰ２，ＶＯＰ３，ＶＯＰ４と、デジタル信号ＶＯＮ１，ＶＯＮ２，ＶＯＮ３，ＶＯＮ４と、デジタル信号ＭＶＯＰと、デジタル信号ＭＶＯＮとが示されている。図８において、横軸は時間を示し、かつ縦軸は信号レベルを示している。

[0106] 期間Ｔ５において、決定回路１４０は、比較回路１３１，１３２，１３３，１３４から出力されたデジタル信号ＶＯＰ１，ＶＯＰ２，ＶＯＰ３，ＶＯＰ４に対して、第１の数をカウントする。決定回路１４０は、比較回路１３１，１３２，１３３，１３４から出力されたデジタル信号ＶＯＮ１，ＶＯＮ２，ＶＯＮ３，ＶＯＮ４に対して、第２の数をカウントする。第１の数および第２の数は、ハイレベルの信号の数である。

[0107] 期間Ｔ５において、デジタル信号ＶＯＰ１が最も早くハイレベルになる。このとき、第１の数は１であり、かつ第２の数は０である。その後、デジタル信号ＶＯＮ３がハイレベルになる。このとき、第１の数および第２の数は１である。その後、デジタル信号ＶＯＰ２がハイレベルになる。このとき、第１の数は２であり、かつ第２の数は１である。第１の数が２以上であるた

め、決定回路１４０は、ハイレベルのデジタル信号ＭＶＯＰおよびローレベルのデジタル信号ＭＶＯＮを生成する。その後、デジタル信号ＶＯＮ４がハイレベルになる。最も遅くハイレベルになるデジタル信号ＶＯＮ４は、デジタル信号ＭＶＯＰおよびデジタル信号ＭＶＯＮの生成に使用されない。

[0108] 期間Ｔ１から期間Ｔ４および期間Ｔ６から期間Ｔ８において、決定回路１４０は、上記の動作と同様の動作を行う。これらの期間において、比較回路１３１，１３２，１３３，１３４がノイズの影響を受けない場合、デジタル信号ＶＯＰ１，ＶＯＰ２，ＶＯＰ３，ＶＯＰ４が略同時にハイレベルになる、またはデジタル信号ＶＯＮ１，ＶＯＮ２，ＶＯＮ３，ＶＯＮ４が略同時にハイレベルになる。

[0109] 並列比較回路１３０ａがｎ個の比較回路を有する場合、決定回路１４０は、第１の数および第２の数のうち、より早くｎ／２以上になった数に対応する状態を示すデジタル信号ＭＶＯＰおよびデジタル信号ＭＶＯＮを生成する。ｎは、２以上の偶数である。

[0110] 第２の実施形態と同様に、決定回路１４０は、第１の数および第２の数の差の絶対値が１以下である場合、複数の比較回路１３１，１３２，１３３，１３４を停止させるための制御信号を制御回路１５０に出力してもよい。比較回路の数が偶数である第３の実施形態において、第１の数および第２の数の差が０である場合、アナログ信号ＶＣＰおよびアナログ信号ＶＣＮが漸近する。第１の数および第２の数の差が０である場合、決定回路１４０は、複数の比較回路１３１，１３２，１３３，１３４を停止させるための制御信号を制御回路１５０に出力する。

[0111] 上記のように、決定回路１４０は、第１の数および第２の数のうち、より早く２以上になった数に対応する状態を示すデジタル信号ＭＶＯＰおよびデジタル信号ＭＶＯＮを生成する。これによって、比較回路１３１，１３２，１３３，１３４の比較結果に総合的に基づくデジタル信号ＭＶＯＰ，ＭＶＯＮが生成される。このため、Ａ／Ｄ変換精度が向上する。

[0112] 以上、本発明の好ましい実施形態を説明したが、本発明はこれら実施形態

およびその変形例に限定されることはない。本発明の趣旨を逸脱しない範囲で、構成の付加、省略、置換、およびその他の変更が可能である。また、本発明は前述した説明によって限定されることはなく、添付のクレームの範囲によってのみ限定される。

産業上の利用可能性

[0113] 本発明の各実施形態によれば、Ａ／Ｄ変換精度が向上する。

符号の説明

[0114] １１　差動増幅回路

１２　ラッチ回路

１００，２００　Ａ／Ｄ変換回路

１１０　サンプリング回路

１１０Ｐ，１１０Ｎ　スイッチ

１２０　容量ＤＡＣ回路

１２１　容量回路

１２１Ｐ，１２１Ｎ　容量部

１２２　駆動回路

１２２Ｐ，１２２Ｎ　駆動部

１３０，１３０ａ　並列比較回路

１３１，１３２，１３３，１３４　比較回路

１４０　決定回路

１５０　制御回路

請求の範囲

[請求項1] 容量値が重み付けされた複数の第１の容量を有し、かつ第１のアナログ信号が入力される第１の容量回路と、

容量値が重み付けされた複数の第２の容量を有し、かつ第２のアナログ信号が入力され、前記第１のアナログ信号および前記第２のアナログ信号は差動信号を構成する第２の容量回路と、

前記第１の容量回路の第１の出力ノードおよび前記第２の容量回路の第２の出力ノードに接続され、かつ前記第１の出力ノードおよび前記第２の出力ノードの電位を比較し、かつ第１のデジタル信号を出力し、前記第１のデジタル信号は、第１の状態および第２の状態のいずれか１つを示し、前記第１の状態において前記第１の出力ノードの電位は前記第２の出力ノードの電位よりも大きく、前記第２の状態において前記第１の出力ノードの電位は前記第２の出力ノードの電位よりも小さい複数の比較回路と、

前記複数の前記比較回路から出力された複数の前記第１のデジタル信号に対して、前記第１の状態および前記第２の状態の少なくとも１つの数をカウントし、かつカウントされた前記数に基づいて、比較結果を示す第２のデジタル信号を生成する決定回路と、

前記第２のデジタル信号に基づいて、前記第１のアナログ信号および前記第２のアナログ信号に対応する第３のデジタル信号を生成し、かつ前記第２のデジタル信号に基づいて前記第１の容量回路または前記第２の容量回路を制御する制御回路と、

を有する逐次比較型Ａ／Ｄ変換回路。

[請求項2] 前記複数の前記比較回路は、３以上の奇数個の前記比較回路である請求項１に記載の逐次比較型Ａ／Ｄ変換回路。

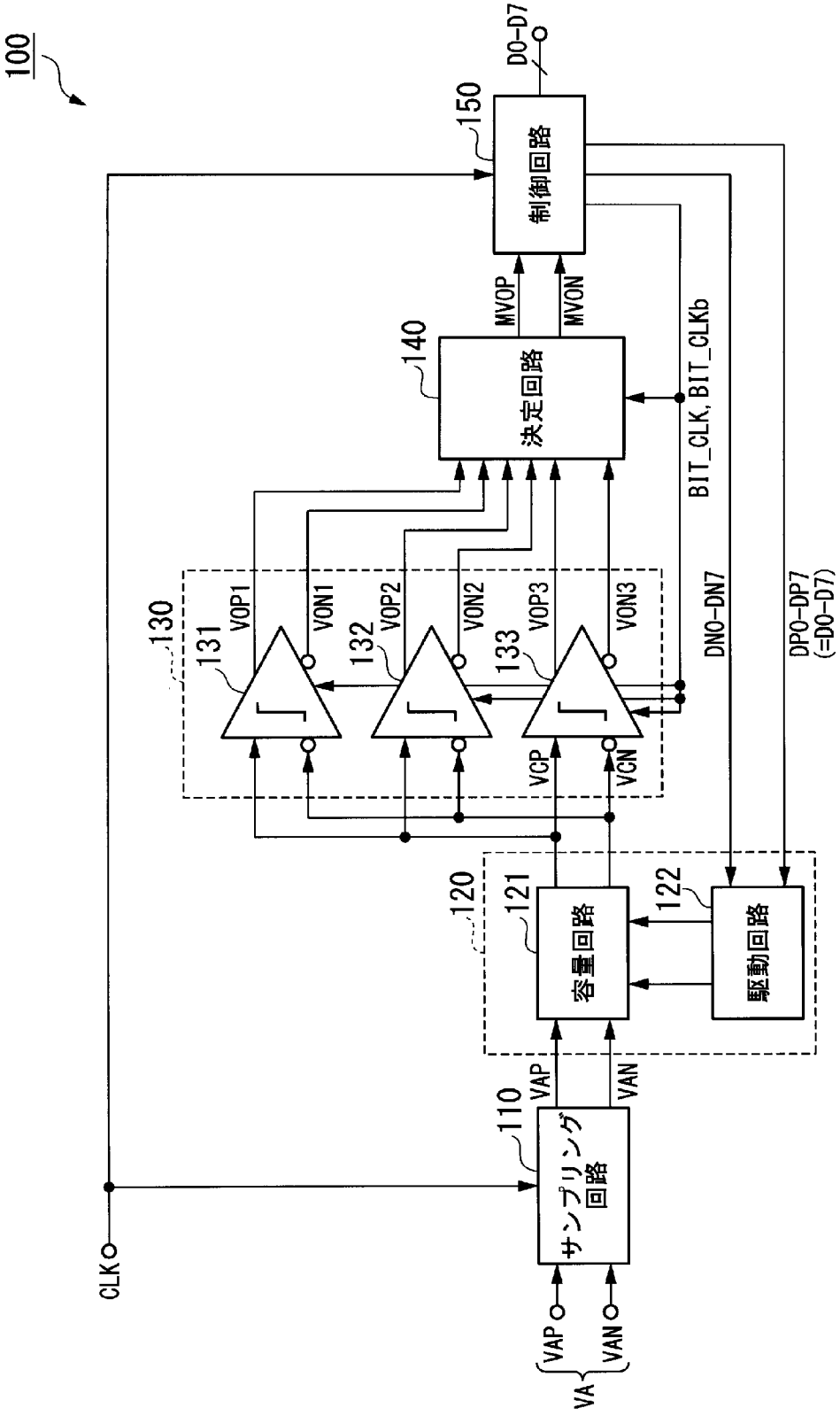
[請求項3] 前記決定回路は、前記複数の前記比較回路から出力された複数の前記第１のデジタル信号に対して、前記第１の状態の第１の数および前記第２の状態の第２の数をカウントし、

前記決定回路は、前記第１の数および前記第２の数の差の絶対値が１以下である場合、前記複数の前記比較回路を停止させるための制御信号を前記制御回路に出力し、

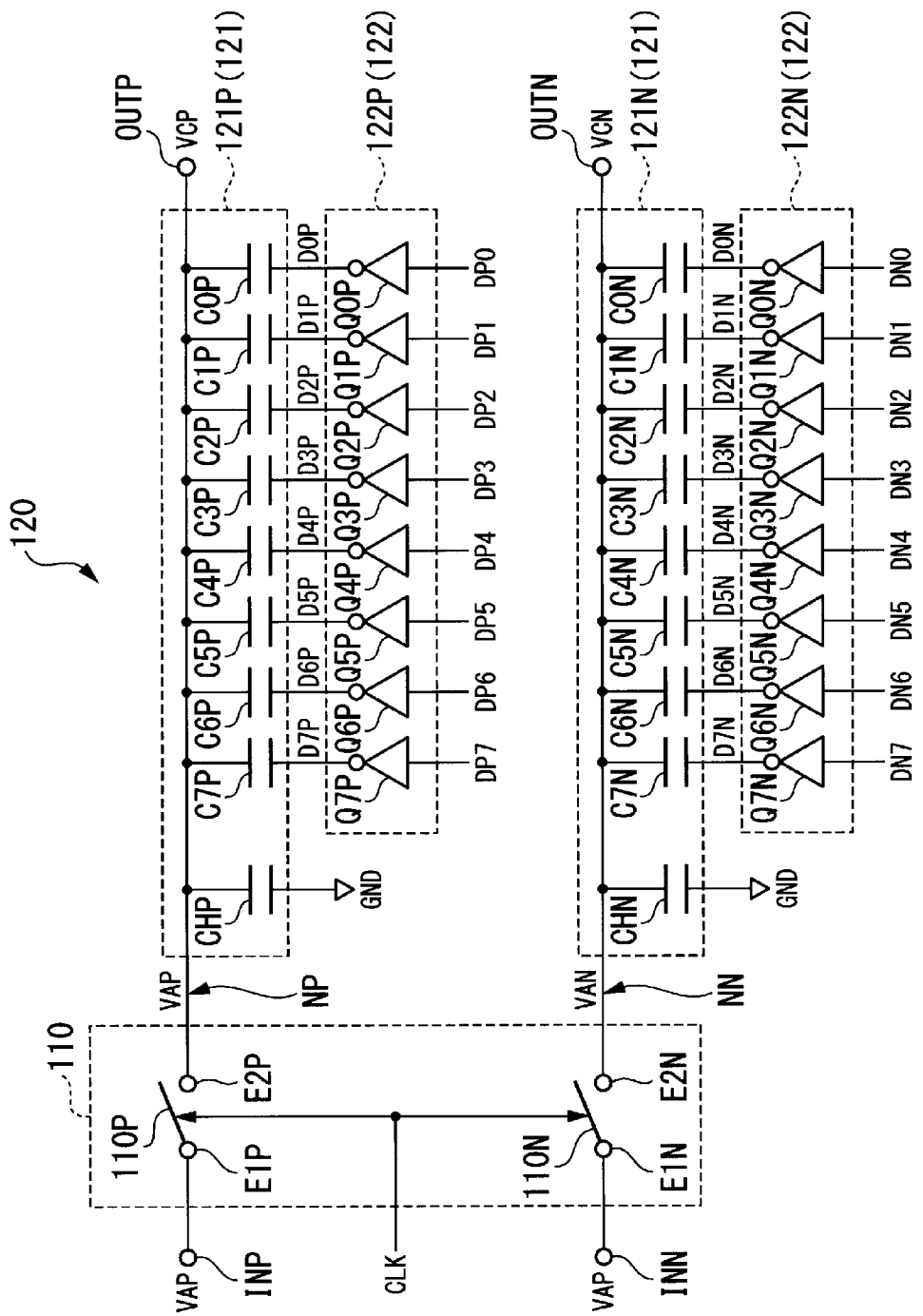
前記制御回路は、前記制御信号に基づいて前記複数の前記比較回路を停止させる

請求項１に記載の逐次比較型Ａ／Ｄ変換回路。

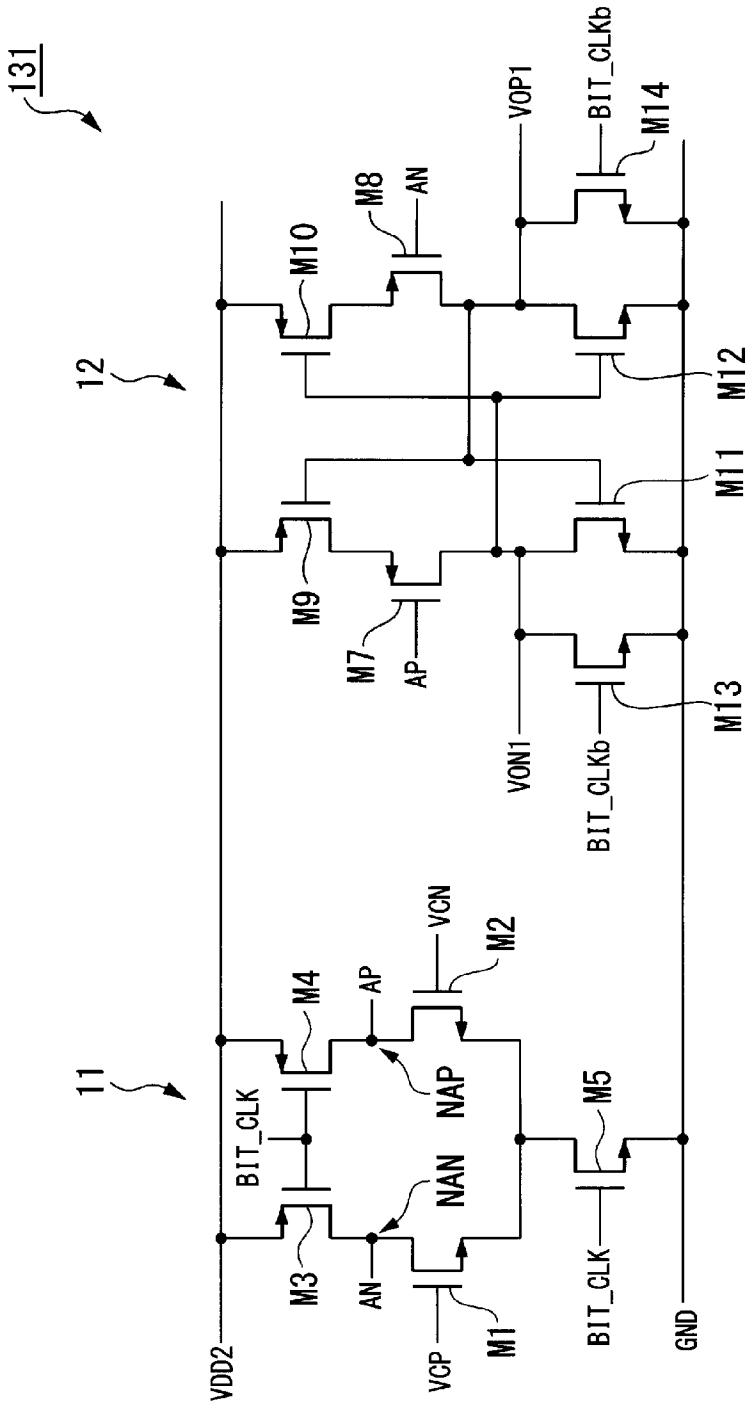
[図1]


100
D0-D7
150
制御回路
MVOP
MVON
140
決定回路
BIT_CLK, BIT_CLKb
DN0-DN7
DP0-DP7
(=D0-D7)
130
131
132
133
VOP1
VON1
VOP2
VON2
VOP3
VON3
VCP
VCN
120
121
容量回路
122
駆動回路
VAP
VAN
110
サンプリング
回路
CLK
VAP
VAN
VA

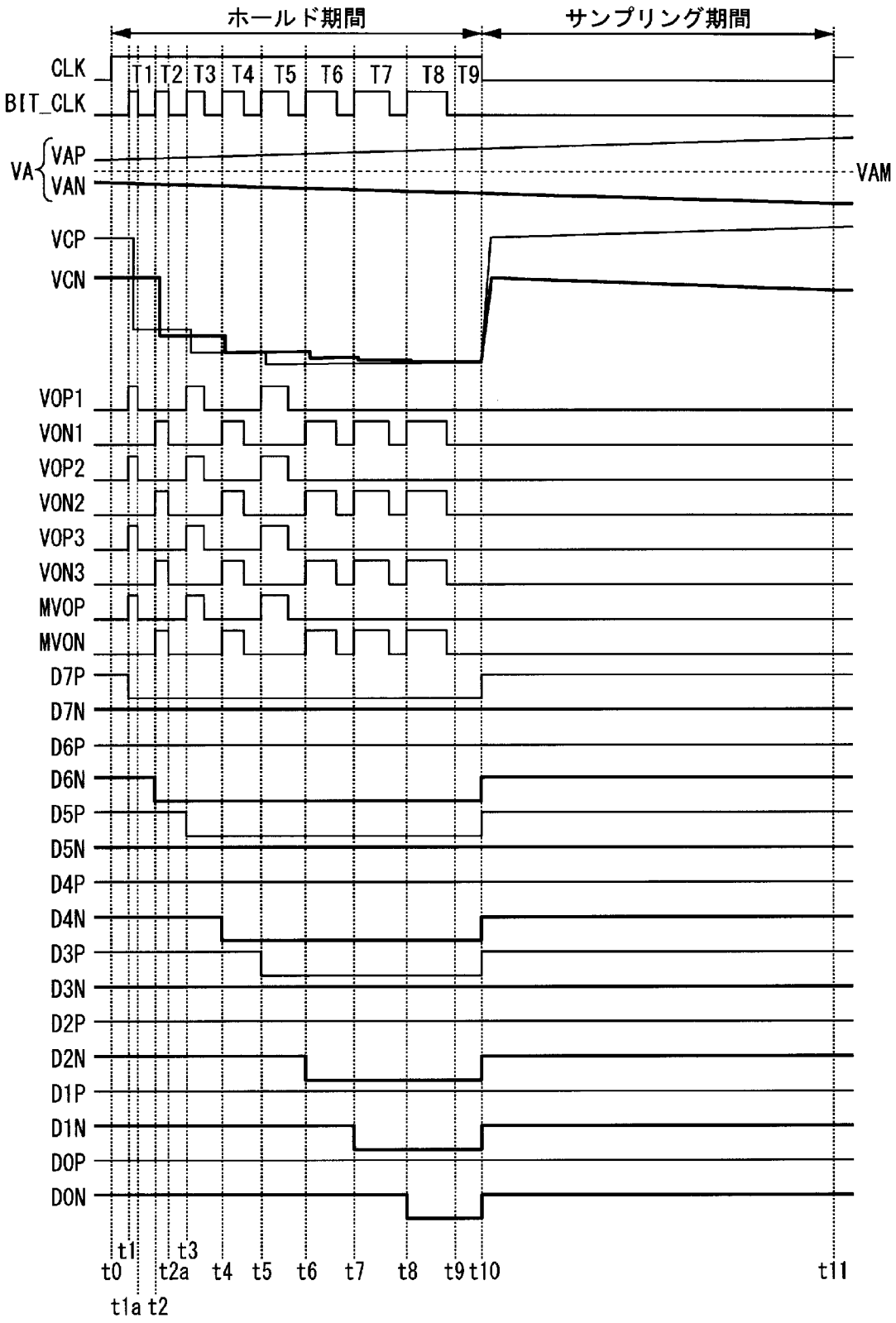
[図2]


120
OUTP
VCP
121P(121)
122P(122)
OUTN
VCN
121N(122)
122N(122)
C7P C6P C5P C4P C3P C2P C1P C0P CHP
D7P D6P D5P D4P D3P D2P D1P D0P
Q7P Q6P Q5P Q4P Q3P Q2P Q1P Q0P
DP7 DP6 DP5 DP4 DP3 DP2 DP1 DP0
C7N C6N C5N C4N C3N C2N C1N C0N CHN
D7N D6N D5N D4N D3N D2N D1N D0N
Q7N Q6N Q5N Q4N Q3N Q2N Q1N Q0N
DN7 DN6 DN5 DN4 DN3 DN2 DN1 DN0
GND
VAP
NP
VAN
NN
110
110P
110N
E2P
E1P
E2N
E1N
VAP
INP
CLK
VAP
INN

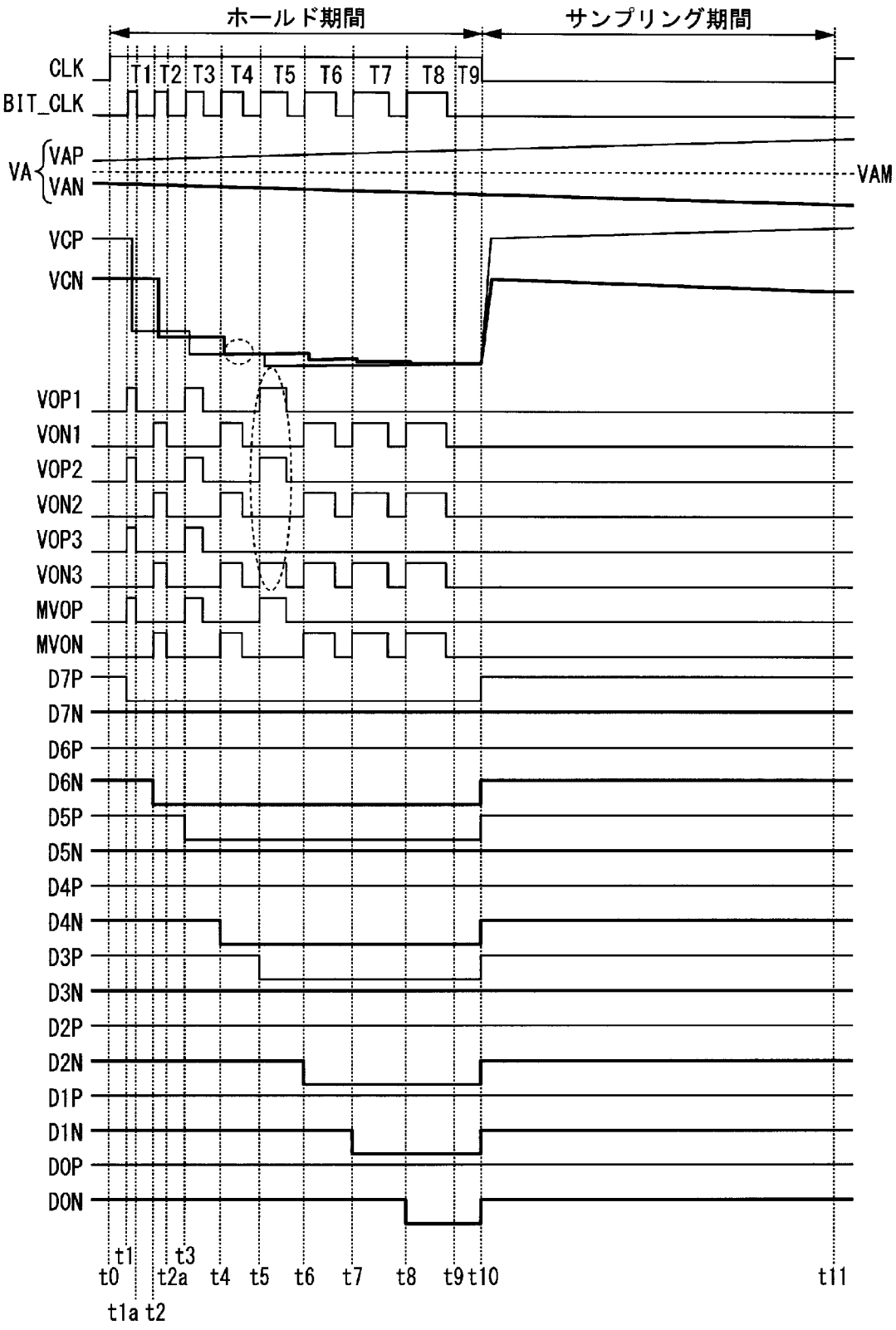
[図3]


131
12
11
M10
M8
AN
VOP1
BIT_CLKb
M14
M12
M11
M9
M7
AP
VON1
BIT_CLKb
M13
VCN
M2
M4
AP
NAP
BIT_CLK
NAN
M5
M3
AN
VCP
M1
BIT_CLK
VDD2
GND

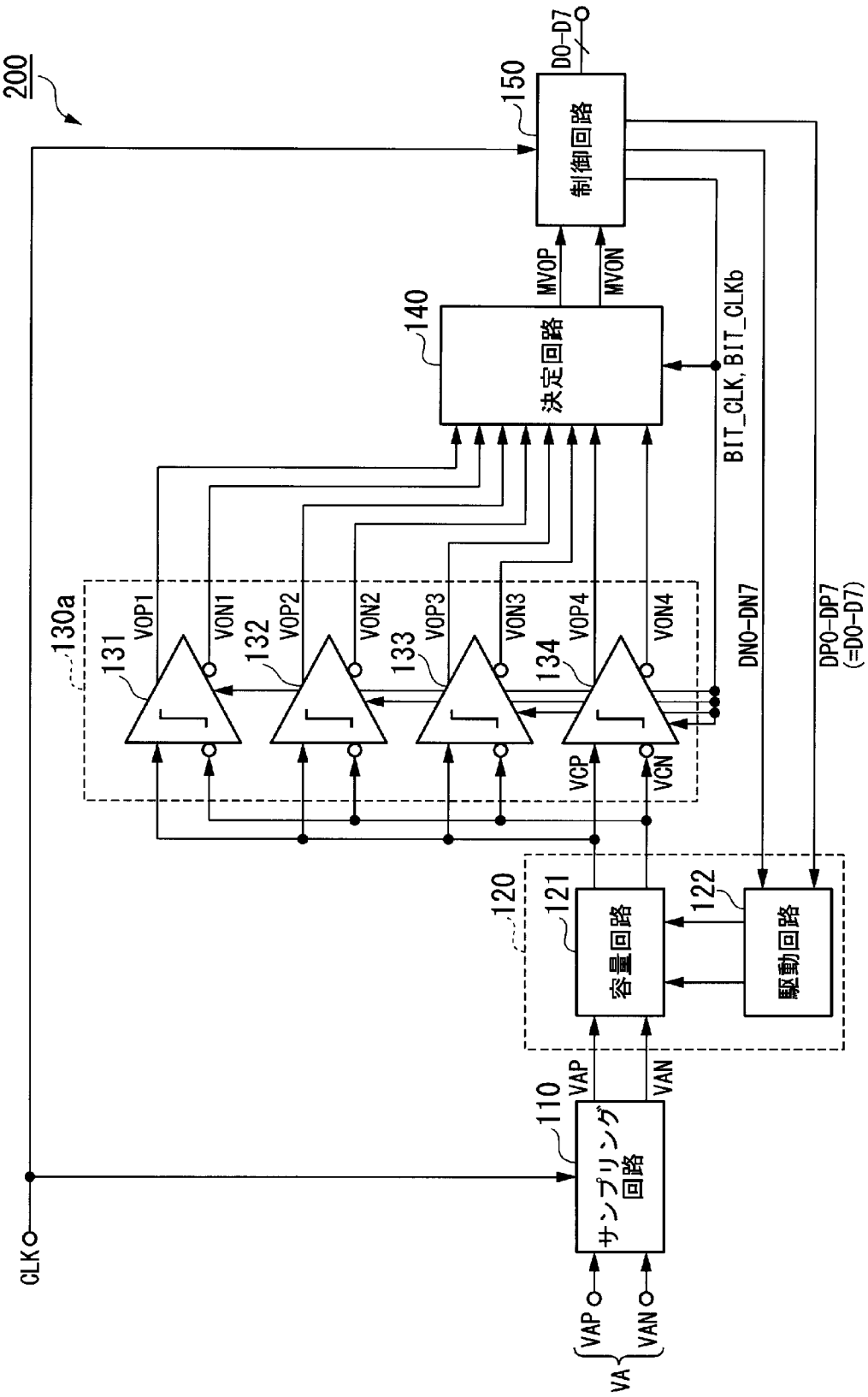
[図4]


ホールド期間
サンプリング期間
CLK
T1 T2 T3 T4 T5 T6 T7 T8 T9
BIT_CLK
VA
VAP
VAN
VAM
VCP
VCN
VOP1
VON1
VOP2
VON2
VOP3
VON3
MVOP
MVON
D7P
D7N
D6P
D6N
D5P
D5N
D4P
D4N
D3P
D3N
D2P
D2N
D1P
D1N
D0P
D0N
t0 t1 t1a t2 t2a t3 t4 t5 t6 t7 t8 t9 t10 t11

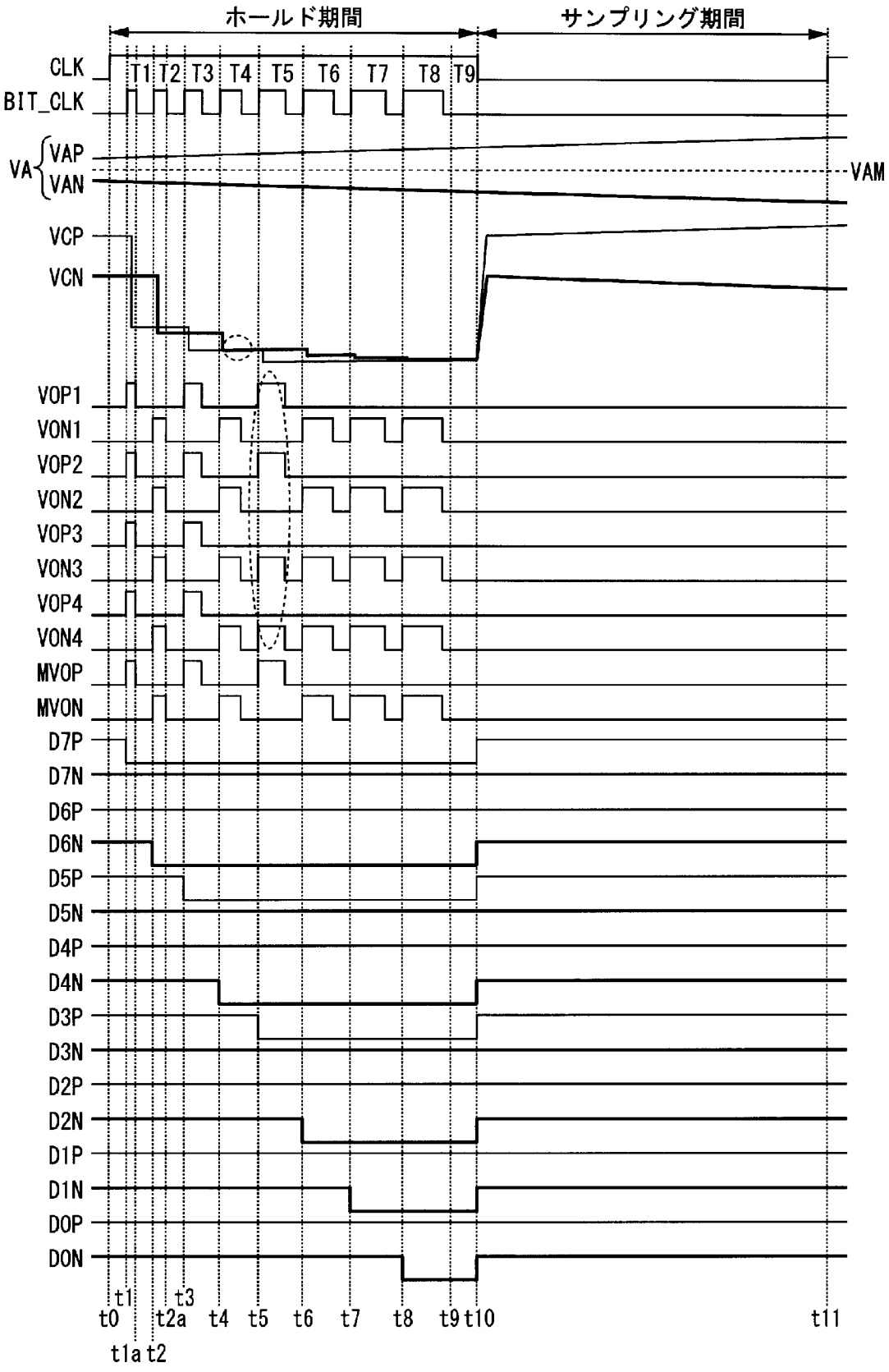
[図5]


ホールド期間
サンプリング期間
CLK
T1
T2
T3
T4
T5
T6
T7
T8
T9
BIT_CLK
VA
VAP
VAN
VAM
VCP
VCN
VOP1
VON1
VOP2
VON2
VOP3
VON3
MVOP
MVON
D7P
D7N
D6P
D6N
D5P
D5N
D4P
D4N
D3P
D3N
D2P
D2N
D1P
D1N
D0P
D0N
t0
t1
t1a
t2
t2a
t3
t4
t5
t6
t7
t8
t9
t10
t11

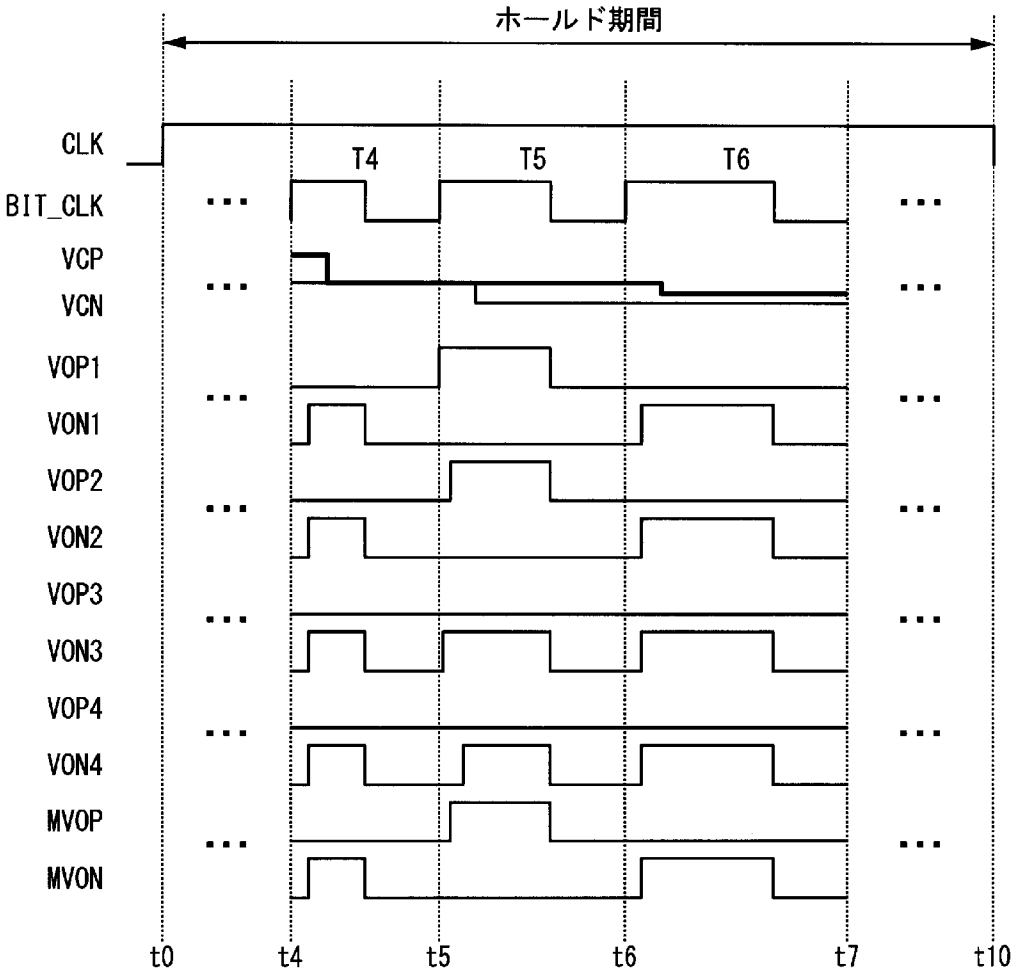
[図6]


200
150
制御回路
D0-D7
MVOP
MVON
140
決定回路
BIT_CLK, BIT_CLKb
130a
131
132
133
134
VOP1
VON1
VOP2
VON2
VOP3
VON3
VOP4
VON4
VCP
VCN
DN0-DN7
DP0-DP7
(=D0-D7)
120
121
容量回路
122
駆動回路
110
サンプリング
回路
VAP
VAN
CLK
VA

[図7]


ホールド期間
サンプリング期間
CLK
T1 T2 T3 T4 T5 T6 T7 T8 T9
BIT_CLK
VA
VAP
VAN
VAM
VCP
VCN
VOP1
VON1
VOP2
VON2
VOP3
VON3
VOP4
VON4
MVOP
MVON
D7P
D7N
D6P
D6N
D5P
D5N
D4P
D4N
D3P
D3N
D2P
D2N
D1P
D1N
D0P
D0N
t0
t1
t1a
t2
t2a
t3
t4
t5
t6
t7
t8
t9
t10
t11

[図8]


ホールド期間
CLK
BIT_CLK
VCP
VCN
VOP1
VON1
VOP2
VON2
VOP3
VON3
VOP4
VON4
MVOP
MVON
T4
T5
T6
t0
t4
t5
t6
t7
t10

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/059807

A. CLASSIFICATION OF SUBJECT MATTER
H03M1/38(2006.01)i, *H03M1/74*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03M1/00-1/88

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2016
Kokai Jitsuyo Shinan Koho 1971-2016 Toroku Jitsuyo Shinan Koho 1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2015-233226 A (Fujitsu Ltd.), 24 December 2015 (24.12.2015), paragraphs [0017] to [0041], [0057] to [0064]; fig. 1 to 2, 6 (Family: none)	1-2 3
Y	JP 2015-211391 A (Asahi Kasei EMD Corp.), 24 November 2015 (24.11.2015), paragraphs [0004] to [0006]; fig. 8 to 9 (Family: none)	1-2

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
19 May 2016 (19.05.16)	31 May 2016 (31.05.16)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (January 2015)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/059807

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 6-177765 A (Texas Instruments Inc.), 24 June 1994 (24.06.1994), paragraphs [0008] to [0011]; fig. 6, 10 & US 5248974 A column 3, line 46 to column 5, line 2; fig. 6, 10 & EP 520829 A2 column 4, line 21 to column 6, line 5; fig. 6, 10	1-2
A	JP 2014-107674 A (Toshiba Corp.), 09 June 2014 (09.06.2014), front page; paragraph [0025]; fig. 7 & US 2014/0145868 A1 front page; paragraph [0041]; fig. 7	3

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１６／０５９８０７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H03M1/38(2006.01)i, H03M1/74(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H03M1/00-1/88

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１６年
日本国実用新案登録公報	１９９６－２０１６年
日本国登録実用新案公報	１９９４－２０１６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y A	JP 2015-233226 A (富士通株式会社) 2015.12.24, 段落 17-41, 57-64, 図 1-2, 6 (ファミリーなし)	1-2 3
Y	JP 2015-211391 A (旭化成エレクトロニクス株式会社) 2015.11.24, 段落 4-6, 図 8-9 (ファミリーなし)	1-2

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１９．０５．２０１６	３１．０５．２０１６

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｗ　５８８８
白井　亮
電話番号　０３－３５８１－１１０１　内線　３５７６

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 6-177765 A (テキサス　インスツルメンツ　インコーポレイテツド) 1994.06.24, 段落 8-11, 図 6,10 & US 5248974 A, 第 3 欄第 46 行-第 5 欄第 2 行, FIG.6,10 & EP 520829 A2, 第 4 欄第 21 行-第 6 欄第 5 行, FIG.6,10	1-2
A	JP 2014-107674 A (株式会社東芝) 2014.06.09, フロントページ, 段落 25, 図 7 & US 2014/0145868 A1, フロントページ, 段落 41, FIG.7	3