

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-293933
(P2007-293933A)

(43) 公開日 平成19年11月8日(2007.11.8)

(51) Int. Cl.

G11C 11/407 (2006.01)

F I

G11C 11/34 354D

テーマコード(参考)

5MO24

審査請求 未請求 請求項の数 9 O L (全 25 頁)

(21) 出願番号 特願2006-117314 (P2006-117314)
(22) 出願日 平成18年4月21日(2006.4.21)

(71) 出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(74) 代理人 100113859
弁理士 板垣 孝夫
(74) 代理人 100068087
弁理士 森本 義弘
(74) 代理人 100096437
弁理士 笹原 敏司
(74) 代理人 100100000
弁理士 原田 洋平
(72) 発明者 山田 直毅
大阪府門真市大字門真1006番地 松下
電器産業株式会社内

最終頁に続く

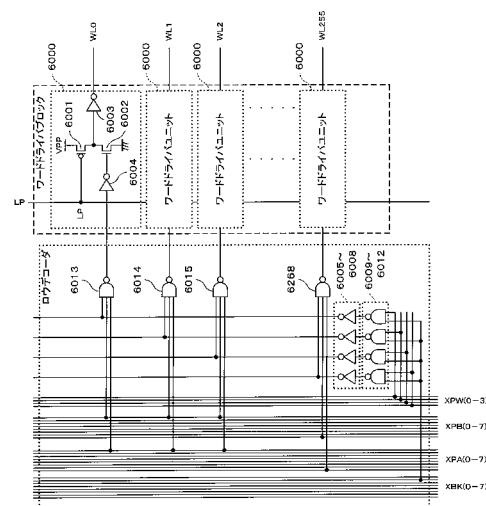
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】ワードドライバの回路構成を小面積で実現することができ、低電源電圧においても、ワードドライバの出力を高速にレベル遷移させることができるとともに、消費電力をさらに低減することができる半導体記憶装置を提供する。

【解決手段】ロウデコーダからの出力が低電圧であっても、Pチャネルトランジスタ6001やNチャネルトランジスタ6002のサイズを変えることなく、Pチャネルトランジスタ6001に接続されたワードドライバPチャネル制御信号LPの電圧を変更することでワードドライバレベル遷移が可能となることにより、N/Pのトランジスタサイズ比が小さい状態を維持する。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

複数のビット線と複数のワード線の交点に配置された複数のメモリセルからなるメモリセルアレイと、

前記複数のワード線をオンオフ駆動するワードドライバブロックと、

前記ワードドライバブロックによりオン駆動するワード線を指定するためのロウデコード信号を生成するロウデコーダとを有し、

前記ロウデコーダからのロウデコード信号で指定されたワード線を前記ワードドライバブロックによりオン駆動して、前記指定されたワード線に対応するメモリセルをアクティブ状態にする半導体記憶装置において、

10

前記ワードドライバブロックは、

前記ワード線ごとに、

前記ビット線の電圧よりも高い電圧をもつ第 1 の電源とグラウンドレベルとの間に、PチャネルトランジスタとNチャネルトランジスタを直列接続し、

前記Pチャネルトランジスタのゲートに前記ワードドライバブロックの動作状態を制御するワードドライバPチャネル制御信号を入力し、

前記Nチャネルトランジスタのゲートに前記ロウデコーダからのロウデコード信号を入力し、

前記Pチャネルトランジスタと前記Nチャネルトランジスタとの接続点を当該ワード線に接続した

20

ことを特徴とする半導体記憶装置。

【請求項 2】

請求項 1 に記載の半導体記憶装置において、

前記Pチャネルトランジスタと前記Nチャネルトランジスタとの接続点を、インバータを介して当該ワード線に接続した

ことを特徴とする半導体記憶装置。

【請求項 3】

請求項 1 に記載の半導体記憶装置において、

前記Pチャネルトランジスタのゲートへの前記ワードドライバPチャネル制御信号を前記ワードドライバブロックに供給するためのワードドライバPチャネル制御電源を発生する手段を設け、

30

前記ワードドライバPチャネル制御信号として、前記ワードドライバPチャネル制御電源を基に前記第 1 の電源よりも低い電圧を、前記ワードドライバブロックに供給するよう構成した

ことを特徴とする半導体記憶装置。

【請求項 4】

請求項 3 に記載の半導体記憶装置において、

前記ワードドライバPチャネル制御電源を発生する手段は、

前記ワードドライバPチャネル制御信号が、

前記指定されたワード線のオンからオフへの切り替え時に前記ワードドライバPチャネル制御電源の電圧になり、

40

前記指定されたワード線のオフからオンへの切り替え時に前記ワードドライバPチャネル制御電源よりも低い電圧になるように、

前記ワードドライバPチャネル制御信号の電圧を切り替えるよう構成した

ことを特徴とする半導体記憶装置。

【請求項 5】

請求項 4 に記載の半導体記憶装置において、

前記ワードドライバPチャネル制御電源を発生する手段は、

ブロック選択信号に応じて選択されたワードドライバブロックの前記ワードドライバPチャネル制御信号のみが、

50

前記指定されたワード線のオンからオフへの切り替え時に前記ワードドライバPチャンネル制御電源の電圧になり、
前記指定されたワード線のオフからオンへの切り替え時に前記ワードドライバPチャンネル制御電源よりも低い電圧になるように、
前記ワードドライバPチャンネル制御信号の電圧を切り替え、
前記ブロック選択信号から非選択のワードドライバブロックの前記ワードドライバPチャンネル制御信号は、常に前記ワードドライバPチャンネル制御電源の電圧となるように構成した
ことを特徴とする半導体記憶装置。

【請求項6】

請求項3または請求項4または請求項5に記載の半導体記憶装置において、
前記ワードドライバPチャンネル制御電源を発生する手段は、
前記ワードドライバPチャンネル制御電源の電圧が、
前記第1の電源の電圧と前記Pチャンネルトランジスタのしきい電圧の絶対値の差よりも低い電圧となるように構成した
ことを特徴とする半導体記憶装置。

10

【請求項7】

請求項6に記載の半導体記憶装置において、
前記ワードドライバPチャンネル制御電源を発生する手段は、
前記ワードドライバPチャンネル制御電源の電圧が調整可能なように構成した
ことを特徴とする半導体記憶装置。

20

【請求項8】

請求項4から請求項7のいずれかに記載の半導体記憶装置において、
前記ワードドライバPチャンネル制御電源を発生する手段は、
前記ワードドライバPチャンネル制御信号が、
スタンバイ時に前記ワードドライバPチャンネル制御電源の電圧となり、
前記指定されたワード線のオフからオンへの切り替え時に前記ワードドライバPチャンネル制御電源よりも低い電圧になり、その後、前記指定されたワード線のオンからオフへの切り替え時まで前記ワードドライバPチャンネル制御電源の電圧になるように、
前記ワードドライバPチャンネル制御信号の電圧を切り替えるよう構成した
ことを特徴とする半導体記憶装置。

30

【請求項9】

請求項4から請求項8のいずれかに記載の半導体記憶装置において、
前記ワードドライバPチャンネル制御電源を発生する手段は、
前記ワードドライバPチャンネル制御電源よりも低い電圧はグラウンドレベルとした
ことを特徴とする半導体記憶装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、複数のメモリセルからなるメモリセルアレイが設けられ、このメモリセルアレイがワード線選択回路およびワード線駆動回路により選択駆動されてデータを記憶する半導体記憶装置に関するものである。

40

【背景技術】**【0002】**

従来から、半導体記憶装置として、複数のメモリセルからなるメモリセルアレイが設けられ、このメモリセルアレイにデータを記憶するダイナミックランダムアクセスメモリ（以下、DRAMと略す）が広く用いられている。

【0003】

このようなDRAMでは、メモリセルアレイに複数のワード線が接続され、これらの各ワード線には、それぞれ、ワード線選択回路を構成する複数のメモリ選択トランジスタと

50

、ワード線駆動回路を構成するワードドライバの1つが接続されている。

【0004】

上記のDRAMにおいて、あるワードドライバが選択されると、ワード線電圧は通常ビット線を駆動する電圧もしくは制御回路を駆動する電圧より高い電圧VPPが使用される。このワードドライバの機能としては、ワードドライバの出力が高速にハイレベルやローレベルに遷移することが望まれ、さらにワードドライバの回路構成を小面積かつ低消費電力に構成されることが望ましい。

【0005】

以上のような従来の半導体記憶装置(DRAM)(例えば、特許文献1を参照)について、図面を用いて以下に説明する。

図15は従来の半導体記憶装置におけるワードドライバブロックおよびロウデコーダの回路構成図である。ここで説明するワードドライバブロックおよびロウデコーダは、図15に示すように、第1~4のワードドライバユニット1501~1504、AND素子1505、インバータ1506から構成される。

【0006】

この構成において、前記第1~4のワードドライバユニット1501~1504には、それぞれワード線プリデコード信号XPW0~3が入力される。前記第1のワードドライバユニット1501には複数のワード線WL(4n)(n=0~63)が接続される。前記第2のワードドライバユニット1502には複数のワード線WL(4n+1)(n=0~63)が接続される。前記第3のワードドライバユニット1503には複数のワード線WL(4n+2)(n=0~63)が接続される。前記第4のワードドライバユニット1504には複数のワード線WL(4n+3)(n=0~63)が接続される。

【0007】

前記ロウデコーダには、前記AND素子1505およびその出力に接続される前記インバータ1506から構成されるロウデコーダユニットが、64個配置される。前記AND素子1505の入力にはロウプリデコード信号XPAから1本、ロウプリデコード信号XPBから1本ずつ接続される。重複せずに前記ロウプリデコード信号XPAと前記ロウプリデコード信号XPBのペアを作ると64個となる。

【0008】

また、前記AND素子1505の出力にはロウデコード信号ADn(n=0~63)を接続し、前記インバータ1506の出力にはロウデコード信号/ADn(n=0~63)を接続する。この前記ロウデコード信号ADn、/ADnは、それぞれ前記第1~4のワードドライバユニット1501~1504に入力される。

【0009】

図16は従来の半導体記憶装置におけるワードドライバのレイアウト図である。前記ワードドライバユニット1501には前記ワード線WL(4n)(n=0~63)を駆動する64個のワードドライバ1601が構成される。同様に前記ワードドライバユニット1502~1504には、それぞれ前記ワード線WL(4n+1)、WL(4n+2)、WL(4n+3)(n=0~63)を駆動する64個のワードドライバ1601が構成される。このようにして、計256個の前記ワードドライバ1601は、同一の前記ワード線プリデコード信号XPW0~3に接続される前記ワードドライバ1601と隣り合わないように配置される。

【0010】

図17は従来の半導体記憶装置におけるワードドライバの回路構成図である。ここで説明するワードドライバは、図17に示すように、レベルシフタ1701、第1段目ドライバ1702、第2段目ドライバ1703から構成される。

【0011】

前記レベルシフタ1701の入力は前記ワード線プリデコード信号XPWm(m=0~3)であり、出力は前記第1段目ドライバ1702に入力される。前記第1段目ドライバ1702の出力であるワード線セレクト信号WD、/WDは、前記第2段目ドライバ17

10

20

30

40

50

03に入力される。前記第2段目ドライバ1703の出力は前記ワード線WL_n($n = 0 \sim 255$)に接続される。

【0012】

以上のように構成された従来の半導体記憶装置について、その動作を以下に説明する。

前記ワード線プリデコード信号XPW_mがハイレベルになると、前記レベルシフタ1701および前記第1段目ドライバ1702を通して、前記ワード線セレクト信号WD、/WDは、それぞれ前記DRAMの第1の電源であるVPP、グランドレベルとなる。また前記ロウプリデコード信号XPAと前記ロウプリデコード信号XPBがともにハイレベルになるデコーダに接続された前記ロウデコード信号AD_n、/AD_nは、それぞれハイレベル、ローレベルとなる。

10

【0013】

前記ワード線セレクト信号WD、/WDがそれぞれ前記DRAMの第1の電源であるVPP、グランドレベルとなり、かつ前記ロウデコード信号AD_n、/AD_nがそれぞれハイレベル、ローレベルとなる前記第2段目ドライバ1703は、同時には1個しか存在しない。この前記第2段目ドライバ1703に接続された選択ワード線WL_nの電位が、前記DRAMの第1の電源であるVPPとなる。残りの非選択ワード線WL_nの電位はグランドレベルである。

【特許文献1】特開2001-344969号公報

【発明の開示】

【発明が解決しようとする課題】

20

【0014】

しかしながら、上記のような従来の構成を用いるとき、レベルシフタ1701は、前記DRAMの第2の電源であるVDDの電位が低くなると動作できなくなる。これは、前記DRAMの第2の電源であるVDDの電位が低くなると、レベルシフタ中のNチャンネルトランジスタのゲートにかかる電圧が低くなり、Nチャンネルトランジスタの能力が落ちるためである。

【0015】

また、前述のゲート電圧が低いことを補うために、NチャンネルトランジスタとPチャンネルトランジスタとのトランジスタサイズ比(N/Pのサイズ比)を大きくすれば、低電圧下でもレベルシフトが可能である。しかし、N/Pのサイズ比を大きくすると、NチャンネルトランジスタがオフしPチャンネルトランジスタがオンするときの動作速度が遅くなる。これは、Pチャンネルトランジスタへの負荷が大きくなるためである。

30

【0016】

以上により、従来の半導体記憶装置のレベルシフタでは、高速動作と低電源電圧動作を共立するのは困難である。

本発明は、上記従来の問題点を解決するもので、ワードドライバの回路構成を小面積で実現することができ、低電源電圧においても、ワードドライバの出力を高速にレベル遷移させることができるとともに、消費電力をさらに低減することができる半導体記憶装置を提供する。

【課題を解決するための手段】

40

【0017】

上記の課題を解決するために、本発明の請求項1に記載の半導体記憶装置は、複数のビット線と複数のワード線の交点に配置された複数のメモリセルからなるメモリセルアレイと、前記複数のワード線をオンオフ駆動するワードドライバブロックと、前記ワードドライバブロックによりオン駆動するワード線を指定するためのロウデコード信号を生成するロウデコーダとを有し、前記ロウデコーダからのロウデコード信号で指定されたワード線を前記ワードドライバブロックによりオン駆動して、前記指定されたワード線に対応するメモリセルをアクティブ状態にする半導体記憶装置において、前記ワードドライバブロックは、前記ワード線ごとに、前記ビット線の電圧よりも高い電圧をもつ第1の電源とグランドレベルとの間に、PチャンネルトランジスタとNチャンネルトランジスタを直列接続し、

50

前記 P チャンネルトランジスタのゲートに前記ワードドライバブロックの動作状態を制御するワードドライバ P チャンネル制御信号を入力し、前記 N チャンネルトランジスタのゲートに前記ロウデコーダからのロウデコード信号を入力し、前記 P チャンネルトランジスタと前記 N チャンネルトランジスタとの接続点を当該ワード線に接続したことを特徴とする。

【0018】

このワードドライバによって、ロウデコーダからの出力が低電圧であっても、ワードドライバの P チャンネルトランジスタおよび N チャンネルトランジスタのサイズを変えずに、P チャンネルトランジスタのワードドライバ P チャンネル制御信号の電圧を変更することでワードドライバのレベル遷移が可能となることにより、N チャンネルトランジスタと P チャンネルトランジスタとのトランジスタサイズ比が小さい状態を維持することができる。

10

【0019】

また、本発明の請求項 2 に記載の半導体記憶装置は、請求項 1 に記載の半導体記憶装置において、前記 P チャンネルトランジスタと前記 N チャンネルトランジスタとの接続点を、インバータを介して当該ワード線に接続したことを特徴とする。

【0020】

このようにすると、挿入したインバータが最終段のドライバとなるので、P チャンネルトランジスタおよび N チャンネルトランジスタのサイズを小さくすることが可能となる。サイズが小さくなることは、面積縮小だけでなく、ワードドライバ P チャンネル制御電源にかかる負荷が軽減される。

【0021】

このインバータの数が偶数ならば、P チャンネルトランジスタを用いたメモリセルに使用できる。インバータの数が奇数であれば、N チャンネルトランジスタを用いたメモリセルに使用できる。

20

【0022】

また、本発明の請求項 3 に記載の半導体記憶装置は、請求項 1 に記載の半導体記憶装置において、前記 P チャンネルトランジスタのゲートへの前記ワードドライバ P チャンネル制御信号を前記ワードドライバブロックに供給するためのワードドライバ P チャンネル制御電源を発生する手段を設け、前記ワードドライバ P チャンネル制御信号として、前記ワードドライバ P チャンネル制御電源を基に前記第 1 の電源よりも低い電圧を、前記ワードドライバブロックに供給するよう構成したことを特徴とする。

30

【0023】

このようにすると、非選択ワード線がフローティングにならない。

また、本発明の請求項 4 に記載の半導体記憶装置は、請求項 3 に記載の半導体記憶装置において、前記ワードドライバ P チャンネル制御電源を発生する手段は、前記ワードドライバ P チャンネル制御信号が、前記指定されたワード線のオンからオフへの切り替え時に前記ワードドライバ P チャンネル制御電源の電圧になり、前記指定されたワード線のオフからオンへの切り替え時に前記ワードドライバ P チャンネル制御電源よりも低い電圧になるように、前記ワードドライバ P チャンネル制御信号の電圧を切り替えるよう構成したことを特徴とする。

【0024】

このようにすると、ワード線の立ち上がり時にはワードドライバ内の P チャンネルトランジスタの能力が上がり、より高速にワード線が立ち上がる。

40

また、本発明の請求項 5 に記載の半導体記憶装置は、請求項 4 に記載の半導体記憶装置において、前記ワードドライバ P チャンネル制御電源を発生する手段は、ブロック選択信号に応じて選択されたワードドライバブロックの前記ワードドライバ P チャンネル制御信号のみが、前記指定されたワード線のオンからオフへの切り替え時に前記ワードドライバ P チャンネル制御電源の電圧になり、前記指定されたワード線のオフからオンへの切り替え時に前記ワードドライバ P チャンネル制御電源よりも低い電圧になるように、前記ワードドライバ P チャンネル制御信号の電圧を切り替え、前記ブロック選択信号から非選択のワードドライバブロックの前記ワードドライバ P チャンネル制御信号は、常に前記ワードドライバ P チ

50

ヤネル制御電源の電圧となるように構成したことを特徴とする。

【0025】

このようにすると、ワードドライバPチャンネル制御電源にかかる負荷を減らすことができる。

また、本発明の請求項6に記載の半導体記憶装置は、請求項3または請求項4または請求項5に記載の半導体記憶装置において、前記ワードドライバPチャンネル制御電源を発生する手段は、前記ワードドライバPチャンネル制御電源の電圧が、前記第1の電源の電圧と前記Pチャンネルトランジスタのしきい電圧の絶対値の差よりも低い電圧となるように構成したことを特徴とする。

【0026】

このようにすると、選択ワード線と隣り合う非選択ワード線へのカップリングの影響が低減される。

また、本発明の請求項7に記載の半導体記憶装置は、請求項6に記載の半導体記憶装置において、前記ワードドライバPチャンネル制御電源を発生する手段は、前記ワードドライバPチャンネル制御電源の電圧が調整可能なように構成したことを特徴とする。

【0027】

このようにすると、ワードドライバPチャンネル制御電源電圧を精度よく最適値にできる。

また、本発明の請求項8に記載の半導体記憶装置は、請求項4から請求項7のいずれかに記載の半導体記憶装置において、前記ワードドライバPチャンネル制御電源を発生する手段は、前記ワードドライバPチャンネル制御信号が、スタンバイ時に前記ワードドライバPチャンネル制御電源の電圧となり、前記指定されたワード線のオフからオンへの切り替え時に前記ワードドライバPチャンネル制御電源よりも低い電圧になり、その後、前記指定されたワード線のオンからオフへの切り替え時まで前記ワードドライバPチャンネル制御電源の電圧になるように、前記ワードドライバPチャンネル制御信号の電圧を切り替えるよう構成したことを特徴とする。

【0028】

このようにすることで、ワードドライバを貫通する電流量を低減することができる。

また、本発明の請求項9に記載の半導体記憶装置は、請求項4から請求項8のいずれかに記載の半導体記憶装置において、前記ワードドライバPチャンネル制御電源を発生する手段は、前記ワードドライバPチャンネル制御電源よりも低い電圧はグラウンドレベルとしたことを特徴とする。

【0029】

このようにすることで、新たな回路をなしにワードドライバPチャンネル制御電源よりも低い電圧を生成できる。

【発明の効果】

【0030】

以上のように本発明によれば、ロウデコーダからの出力が低電圧であっても、ワードドライバのPチャンネルトランジスタおよびNチャンネルトランジスタのサイズを変えることなく、PチャンネルトランジスタのワードドライバPチャンネル制御信号の電圧を変更することでワードドライバのレベル遷移が可能となることにより、NチャンネルトランジスタとPチャンネルトランジスタとのトランジスタサイズ比が小さい状態を維持することができる。

【0031】

そのため、ワードドライバの回路構成を小面積で実現することができ、低電源電圧においても、ワードドライバの出力を高速にレベル遷移させることができるとともに、消費電力をさらに低減することができる。

【0032】

以上の結果、高速動作と低電源電圧動作を共立させることができるという効果が得られる。

また、従来のワードドライバでは、ロウデコーダのレイアウト面積を低減するために、

10

20

30

40

50

ロウデコード信号を2系統の信号線に分けており、回路構成が複雑になっていたが、本発明によれば、ワードドライバの回路変更に伴い、ロウデコーダはアドレス信号に応じてワードドライバを正しく選択できる範囲であれば、設計の自由度を向上することができる。

【発明を実施するための最良の形態】

【0033】

以下、本発明の実施の形態を示す半導体記憶装置について、図面を参照しながら具体的に説明する。

(実施の形態1)

本発明の実施の形態1の半導体記憶装置を説明する。

【0034】

図1は本実施の形態1の半導体記憶装置を搭載した半導体集積回路チップの構成図である。ここでは、半導体記憶装置として、図1に示すダイナミックランダムアクセスメモリ(以下、DRAMと略記する)を例に挙げて説明する。

【0035】

図1に示すように、半導体集積回路には、DRAMの他に論理回路(ロジック)およびアナログ回路が同一チップ上に配置される。また、チップ上には、例えば周辺部に複数のパッドが配置されており、前記DRAM、論理回路およびアナログ回路と電気的に接続される。前記複数のパッドには、前記DRAMに対して、第1の電源であるVPPおよび第2の電源であるVDDを接続するためのパッドが含まれる。ここでは、前記第1の電源VPPは前記第2の電源VDDよりも高い電圧を前記DRAMに供給する。

【0036】

一方、前記DRAMのデータ入力DInおよびデータ出力DOnは、前記論理回路に接続される。また、前記DRAMの制御信号であるロウアドレスストロープ信号/RAS、カラムアドレスストロープ信号/CAS、前記DRAMのアドレス信号であるロウアドレス信号Xad、カラムアドレス信号Yadが、前記論理回路に接続される。

【0037】

図2は同実施の形態1の半導体記憶装置であるDRAMのブロック構成図である。図2において、前記DRAMは、メモリセルアレイ、ワードドライバブロック、ロウデコーダ、センスアンプブロック、カラムデコーダ、センスアンプドライバ、ロウコントローラ、カラムコントローラおよびアドレスラッチからなる。

【0038】

前記メモリセルアレイは、複数のビット線対、複数のワード線、それらの交点に配置されたメモリセルからなる。前記複数のワード線はワードドライバブロックに接続される。また前記複数のビット線対は前記センスアンプブロックに接続される。

【0039】

前記ワードドライバブロックは前記ロウデコーダに接続される。前記ロウデコーダは前記ロウコントローラに接続される。前記ロウコントローラは前記センスアンプドライバおよび前記ロウアドレスストロープ信号/RASに接続される。前記センスアンプドライバは前記センスアンプブロックに接続される。

【0040】

前記センスアンプブロックは前記カラムデコーダに接続される。前記カラムデコーダは前記データ入力DInおよびデータ出力DOnが接続される。また前記カラムデコーダには前記カラムコントローラが接続される。前記カラムコントローラには前記ロウアドレスストロープ信号/RAS、カラムアドレスストロープ信号/CAS、前記アドレスラッチが接続される。

【0041】

図3は同実施の形態1におけるロウアドレスラッチの回路構成図である。図3において、前記ロウアドレスラッチはDフリップフロップ301~308から構成される。入力される前記ロウアドレス信号Xadnは、本実施の形態においては8ビットの構成をなし、各ビットのXad0~7は、それぞれ前記Dフリップフロップ301~308の各D端子

10

20

30

40

50

に接続される。

【0042】

前記Dフリップフロップ301～308の出力端子Qはロウアドレスラッチ信号AX0～7に接続される。前記Dフリップフロップ301～308の各CK端子は前記ロウアドレスストロブ信号/RASに接続される。

【0043】

図4は同実施の形態1におけるロウコントローラの回路構成図である。ワード線起動信号IRAS、ロウアドレスラッチ信号AX0～7、第1～3のインバータ400～402、第4～5のインバータ422～423、第6～8のインバータ411～413、第9～11のインバータ432～434、第1～8のAND素子403～410、第9～16のAND素子424～431、第17～24のAND素子414～421、第25～32のAND素子435～442から構成される。

10

【0044】

前記第1～3のインバータ400～402の入力にはそれぞれ前記ロウアドレスラッチ信号のうちAX2～4が入力される。前記第4～5のインバータ422～423の入力にはそれぞれ前記ロウアドレスラッチ信号のうちAX0～1が入力される。前記第6～8のインバータ411～413の入力にはそれぞれ前記ロウアドレスラッチ信号のうちAX5～7が入力される。前記第9～11のインバータ432～434の入力にはそれぞれ前記ロウアドレスラッチ信号のうちAX8～10が入力される。

【0045】

前記第1のAND素子403には第1～3のインバータ400～402の出力が入力され、前記第1のAND素子403の出力はロウプリデコード信号XPA0である。前記第2のAND素子404には前記ロウアドレスラッチ信号AX2、第2～3のインバータ401～402の出力が入力され、前記第2のAND素子404の出力はロウプリデコード信号XPA1である。前記第3のAND素子405には前記ロウアドレスラッチ信号AX3、第1、3のインバータ400、402の出力が入力され、前記第3のAND素子405の出力はロウプリデコード信号XPA2である。前記第4のAND素子406には前記ロウアドレスラッチ信号AX2、AX3、第3のインバータ402の出力が入力され、前記第4のAND素子406の出力はロウプリデコード信号XPA3である。前記第5のAND素子407には前記ロウアドレスラッチ信号AX4、第1～2のインバータ400～401の出力が入力され、前記第5のAND素子407の出力はロウプリデコード信号XPA4である。前記第6のAND素子408には前記ロウアドレスラッチ信号AX2、AX4、第2のインバータ401の出力が入力され、前記第6のAND素子408の出力はロウプリデコード信号XPA5である。前記第7のAND素子409には前記ロウアドレスラッチ信号AX3、AX4、第1のインバータ400の出力が入力され、前記第7のAND素子409の出力はロウプリデコード信号XPA6である。前記第8のAND素子410には前記ロウアドレスラッチ信号AX2～4が入力され、前記第8のAND素子410の出力はロウプリデコード信号XPA7である。

20

30

【0046】

前記第17のAND素子414には第6～8のインバータ411～413の出力が入力され、前記第17のAND素子414の出力はロウプリデコード信号XPB0である。前記第18のAND素子415には前記ロウアドレスラッチ信号AX5、第7～8のインバータ412～413の出力が入力され、前記第18のAND素子415の出力はロウプリデコード信号XPB1である。前記第19のAND素子416には前記ロウアドレスラッチ信号AX6、第6、8のインバータ411、413の出力が入力され、前記第19のAND素子416の出力はロウプリデコード信号XPB2である。前記第20のAND素子417には前記ロウアドレスラッチ信号AX5、AX6、第8のインバータ413の出力が入力され、前記第20のAND素子417の出力はロウプリデコード信号XPB3である。前記第21のAND素子418には前記ロウアドレスラッチ信号AX7、第6～7のインバータ411～412の出力が入力され、前記第21のAND素子418の出力はロウ

40

50

ウブリデコード信号 X P B 4 である。前記第 2 2 の A N D 素子 4 1 9 には前記ロウアドレスラッチ信号 A X 5、A X 7、第 7 のインバータ 4 1 2 の出力が入力され、前記第 2 2 の A N D 素子 4 1 9 の出力はロウブリデコード信号 X P B 5 である。前記第 2 3 の A N D 素子 4 2 0 には前記ロウアドレスラッチ信号 A X 6、A X 7、第 6 のインバータ 4 1 1 の出力が入力され、前記第 2 3 の A N D 素子 4 2 0 の出力はロウブリデコード信号 X P B 6 である。前記第 2 4 の A N D 素子 4 2 1 には前記ロウアドレスラッチ信号 A X 5 ~ 7 が入力され、前記第 2 4 の A N D 素子 4 2 1 の出力はロウブリデコード信号 X P B 7 である。

【 0 0 4 7 】

前記第 9 の A N D 素子 4 2 4 には第 4 ~ 5 のインバータ 4 2 2 ~ 4 2 3 の出力が入力され、前記第 9 の A N D 素子 4 2 4 の出力とワード線起動信号 I R A S は前記第 1 3 の A N D 素子 4 2 8 に入力される。前記第 1 3 の A N D 素子 4 2 8 の出力はワード線プリデコード信号 X P W 0 である。前記第 1 0 の A N D 素子 4 2 5 には前記ロウアドレスラッチ信号 A X 0、第 5 のインバータ 4 2 3 の出力が入力され、前記第 1 0 の A N D 素子 4 2 5 の出力とワード線起動信号 I R A S は前記第 1 4 の A N D 素子 4 2 9 に入力される。前記第 1 4 の A N D 素子 4 2 9 の出力はワード線プリデコード信号 X P W 1 である。前記第 1 1 の A N D 素子 4 2 6 には前記ロウアドレスラッチ信号 A X 1、第 4 のインバータ 4 2 2 の出力が入力され、前記第 1 1 の A N D 素子 4 2 6 の出力とワード線起動信号 I R A S は前記第 1 5 の A N D 素子 4 3 0 に入力される。前記第 1 5 の A N D 素子 4 3 0 の出力はワード線プリデコード信号 X P W 2 である。前記第 1 2 の A N D 素子 4 2 7 には前記ロウアドレスラッチ信号 A X 0、A X 1 が入力され、前記第 1 2 の A N D 素子 4 2 7 の出力とワード線起動信号 I R A S は前記第 1 6 の A N D 素子 4 3 1 に入力される。前記第 1 6 の A N D 素子 4 3 1 の出力はワード線プリデコード信号 X P W 3 である。

【 0 0 4 8 】

前記第 2 5 の A N D 素子 4 3 5 には第 9 ~ 1 1 のインバータ 4 3 2 ~ 4 3 4 の出力が入力され、前記第 2 5 の A N D 素子 4 3 5 の出力はブロック選択信号 X B K 0 である。前記第 2 6 の A N D 素子 4 3 6 には前記ロウアドレスラッチ信号 A X 8、第 1 0 ~ 1 1 のインバータ 4 3 3 ~ 4 3 4 の出力が入力され、前記第 2 6 の A N D 素子 4 3 6 の出力はブロック選択信号 X B K 1 である。前記第 2 7 の A N D 素子 4 3 7 には前記ロウアドレスラッチ信号 A X 9、第 9、1 1 のインバータ 4 3 2、4 3 4 の出力が入力され、前記第 2 7 の A N D 素子 4 3 7 の出力はブロック選択信号 X B K 2 である。前記第 2 8 の A N D 素子 4 3 8 には前記ロウアドレスラッチ信号 A X 8、A X 9、第 1 1 のインバータ 4 3 4 の出力が入力され、前記第 2 8 の A N D 素子 4 3 8 の出力はロウブロック選択信号 X B K 3 である。前記第 2 9 の A N D 素子 4 3 9 には前記ロウアドレスラッチ信号 A X 1 0、第 9 ~ 1 0 のインバータ 4 3 2 ~ 4 3 3 の出力が入力され、前記第 2 9 の A N D 素子 4 3 9 の出力はブロック選択信号 X B K 4 である。前記第 3 0 の A N D 素子 4 4 0 には前記ロウアドレスラッチ信号 A X 8、A X 1 0、第 1 0 のインバータ 4 3 3 の出力が入力され、前記第 3 0 の A N D 素子 4 4 0 の出力はブロック選択信号 X B K 5 である。前記第 3 1 の A N D 素子 4 4 1 には前記ロウアドレスラッチ信号 A X 9、A X 1 0、第 9 のインバータ 4 3 2 の出力が入力され、前記第 3 1 の A N D 素子 4 4 1 の出力はブロック選択信号 X B K 6 である。前記第 3 2 の A N D 素子 4 4 2 には前記ロウアドレスラッチ信号 A X 8 ~ 1 0 が入力され、前記第 3 2 の A N D 素子 4 4 2 の出力はブロック選択信号 X B K 7 である。

【 0 0 4 9 】

図 5 は同実施の形態 1 におけるメモリセルアレイとセンスアンプブロックの回路構成図である。図 5 において、前記メモリセルアレイは複数のワード線 W L n (本実施の形態では $n = 0 \sim 255$) と交差する複数のビット線対 B L n および / B L n (本実施の形態では $n = 0 \sim 1023$) の交点に配置される複数のメモリセル 5 0 1 から構成される。

【 0 0 5 0 】

前記メモリセル 5 0 1 は N チャネルトランジスタ 5 0 2 とキャパシタ 5 0 3 から構成される。前記 N チャネルトランジスタ 5 0 2 のゲートには前記ワード線 W L n、ソースには前記ビット線 B L n、ドレインには前記キャパシタ 5 0 3 が接続される。前記キャパシタ

の他方のノードには前記 D R A M の第 2 の電源である V D D の 1 / 2 の電圧が供給される。

【 0 0 5 1 】

前記センスアンプブロックは複数のセンスアンプ 5 0 4、複数のプリチャージ回路 5 0 9、複数のデータ転送ドライバ 5 1 3 から構成される。

前記センスアンプ 5 0 4 は N チャネルトランジスタ 5 0 5、5 0 6 および P チャネルトランジスタ 5 0 7、5 0 8 から構成される。前記 N チャネルトランジスタ 5 0 5 のゲートには前記ビット線 / B L n、ソースにはセンスアンプグランド S A N、ドレインには前記ビット線 B L n が接続される。前記 N チャネルトランジスタ 5 0 6 のゲートには前記ビット線 B L n、ソースにはセンスアンプグランド S A N、ドレインには前記ビット線 / B L n が接続される。前記 P チャネルトランジスタ 5 0 7 のゲートには前記ビット線 / B L n、ソースにはセンスアンプ電源 S A P、ドレインには前記ビット線 B L n が接続される。前記 P チャネルトランジスタ 5 0 8 のゲートには前記ビット線 B L n、ソースにはセンスアンプ電源 S A P、ドレインには前記ビット線 / B L n が接続される。

【 0 0 5 2 】

前記プリチャージ回路 5 0 9 は N チャネルトランジスタ 5 1 0 ~ 5 1 2 で構成される。前記 N チャネルトランジスタ 5 1 0 のゲートにはビット線プリチャージ信号 E Q、ソースには前記ビット線 B L n、ドレインにはビット線プリチャージ電源 V B P が接続される。前記 N チャネルトランジスタ 5 1 1 のゲートにはビット線プリチャージ信号 E Q、ソースには前記ビット線 / B L n、ドレインにはビット線プリチャージ電源 V B P が接続される。前記 N チャネルトランジスタ 5 1 2 のゲートにはビット線プリチャージ信号 E Q、ソースには前記ビット線 / B L n、ドレインには前記ビット線 B L n が接続される。

【 0 0 5 3 】

前記データ転送ドライバ 5 1 3 は前記ビット線対 B L n、/ B L n ごとにある N チャネルトランジスタ 5 1 4 ~ 5 1 5、インバータ 5 1 6、N A N D 素子 5 1 7 から構成される。前記 N チャネルトランジスタ 5 1 4 のゲートには前記インバータ 5 1 6 の出力、ソースには前記ビット線 B L n、ドレインには前記グローバルデータ線 G D L n が接続される。前記 N チャネルトランジスタ 5 1 5 のゲートには前記インバータ 5 1 6 の出力、ソースには前記ビット線 / B L n、ドレインには前記グローバルデータ線 / G D L n が接続される。前記 N A N D 素子 5 1 7 の入力には前記ブロック選択信号 X B K m (m = 0 ~ 7) とデータ転送タイミング信号 C S L が接続される。前記 N A N D 素子 5 1 7 の出力には前記インバータ 5 1 6 の入力に接続される。

【 0 0 5 4 】

図 6 は同実施の形態 1 におけるワードドライバブロックとロウデコーダの回路構成図である。前記ワードドライバブロックはワード線 1 本ごとにワードドライバユニット 6 0 0 0 が接続されている。前記ワードドライバユニット 6 0 0 0 は P チャネルトランジスタ 6 0 0 1、N チャネルトランジスタ 6 0 0 2、インバータ 6 0 0 3 ~ 6 0 0 4 から構成される。

【 0 0 5 5 】

前記 P チャネルトランジスタ 6 0 0 1 のゲートにはワードドライバ P チャネル制御信号 L P、ソースには前記 D R A M の第 1 の電源である V P P が接続され、ドレインには前記インバータ 6 0 0 3 の入力に接続される。前記 N チャネルトランジスタ 6 0 0 2 のゲートには前記インバータ 6 0 0 4 の出力、ソースにはグランド (接地電位) が接続され、ドレインには前記インバータ 6 0 0 3 の入力に接続される。前記インバータ 6 0 0 3 出力は前記ワード線 W L n に接続される。

【 0 0 5 6 】

前記ロウデコーダはインバータ 6 0 0 5 ~ 6 0 0 8、N A N D 素子 6 0 0 9 ~ 6 0 1 2、3 N A N D 素子 6 0 1 3 ~ 6 2 6 8 から構成されている。

前記 N A N D 素子 6 0 0 9 の入力は、それぞれ前記ワード線プリデコード信号 X P W 0 とブロック選択信号 X B K m に接続され、出力は前記インバータ 6 0 0 5 の入力部に接続

10

20

30

40

50

される。前記NAND素子6010の入力は、それぞれ前記ワード線プリデコード信号XPW1とブロック選択信号XBKmが接続され、出力は前記インバータ6006の入力部に接続される。前記NAND素子6011の入力は、それぞれ前記ワード線プリデコード信号XPW2とブロック選択信号XBKmが接続され、出力は前記インバータ6007の入力部に接続される。前記NAND素子6012の入力は、それぞれ前記ワード線プリデコード信号XPW3とブロック選択信号XBKmが接続され、出力は前記インバータ6008の入力部に接続される。

【0057】

前記3NAND素子6013～6268の入力は、前記ロウプリデコード信号XPA0～7の中で1つ、前記ロウプリデコード信号XPB0～7の中で1つ、前記インバータ6005～6009の出力の中で1つが接続される。前記3NAND素子6013～6268の出力は、それぞれ前記ワードドライバユニット6000のインバータ6004の入力に接続される。前記3NAND素子6013～6268の出力のハイレベルは、全て前記DRAMの第2の電源であるVDDで構成されており、ワードドライバに入力されるまでは論理回路と同様の電源で構成することが可能である。

10

【0058】

図7は同実施の形態1におけるLP発生回路の回路構成図である。ここで説明するLP発生回路は、図7に示すように、Pチャネルトランジスタ701、703、704、705、抵抗ブロック702、Nチャネルトランジスタ706、707、708、709から構成され、ワードドライバPチャネル制御信号LPを発生するものである。

20

【0059】

前記Pチャネルトランジスタ701のゲートとドレインにはノードRD、ソースには前記DRAMの第1の電源であるVPPが接続される。前記Pチャネルトランジスタ703のゲートにはノードLPR、ドレインにはノードLPL、ソースには前記DRAMの第1の電源であるVPPが接続される。前記Pチャネルトランジスタ704のゲートとドレインには前記ノードLPR、ソースには前記DRAMの第1の電源であるVPPが接続される。前記Pチャネルトランジスタ705のゲートには前記ノードLPL、ソースには前記DRAMの第1の電源であるVPP、ドレインには前記ワードドライバPチャネル制御電源VLPが接続される。

【0060】

前記Nチャネルトランジスタ706のゲートには前記ノードLPI、ドレインには前記ノードLPL、ソースにはノードLPDが接続される。前記Nチャネルトランジスタ707のゲートには前記ワードドライバPチャネル制御電源VLP、ドレインには前記ノードLPR、ソースには前記ノードLPDが接続される。前記Nチャネルトランジスタ708のゲートには前記ノードLPI、ドレインには前記ノードLPD、ソースにはグラウンドレベル(VSS)が接続される。前記Nチャネルトランジスタ709のゲートには前記ノードLPI、ドレインには前記ワードドライバPチャネル制御電源VLP、ソースにはグラウンドレベル(VSS)が接続される。

30

【0061】

前記抵抗ブロック702には前記ノードLPIとグラウンドレベルと前記ノードRDが接続される。

40

本実施の形態1においては、前記ワードドライバPチャネル制御信号LPは、前記ワードドライバPチャネル制御電源VLPに接続される。

【0062】

図8は同実施の形態1における抵抗ブロックの回路構成図である。ここで説明する抵抗ブロックは、図8に示すように、抵抗801～802からなっており、抵抗801の一端子は前記ノードRDに、もう一方の端子は前記ノードLPIに接続され、抵抗802の一端子は前記ノードLPIに、もう一方の端子はグラウンドレベルに接続される。

【0063】

以上のように構成された本実施の形態1の半導体記憶装置について、その動作を以下に

50

説明する。

図 9 は同実施の形態 1 の半導体記憶装置における動作を示すタイミングチャートである。

【 0 0 6 4 】

図 9 に示すように、まず前記ロウアドレスストロブ信号 / R A S の立ち下がりエッジにおいて、前記ロウアドレス信号 X a d が、前記 D フリップフロップ 3 0 1 ~ 3 0 8 にラッチされ、前記ロウアドレスラッチ信号 A X 0 ~ 1 0 に所定のロウアドレスが出力される。

【 0 0 6 5 】

次に前記ロウアドレスラッチ信号 A X 0 ~ 1 0 を受けて、前記ロウコントローラにより前記ロウプリデコード信号 X P A、X P B、前記ブロック選択信号 X B K が出力される。 10

前記ロウプリデコード信号 X P A 0 ~ 7 のうち前記ロウアドレスラッチ信号 A X 2 ~ 4 で決まる 1 本のみがハイレベルに、残り 7 本がローレベルになる。同様に前記ロウプリデコード信号 X P B 0 ~ 7 のうち前記ロウアドレスラッチ信号 A X 5 ~ 7 で決まる 1 本のみがハイレベルに、残り 7 本がローレベルになる。同様に前記ブロック選択信号 X B K 0 ~ 7 のうち前記ロウアドレスラッチ信号 A X 8 ~ 1 0 で決まる 1 本のみがハイレベルに、残り 7 本がローレベルになる。

【 0 0 6 6 】

また前記ロウアドレスストロブ信号 / R A S の立ち下がりエッジを受けて、前記センスアンプドライバ内からビット線プリチャージ信号 E Q がローレベルにされる。このとき 20
プリチャージ回路 5 0 9 は非活性となる。また前記ロウアドレスストロブ信号 / R A S の立ち下がりエッジを受けて、前記ワード線起動信号 I R A S がハイレベルになる。前記ワード線起動信号 I R A S がハイレベルになると前記ワード線選択プリデコード信号 X P W 0 ~ 3 のうち前記ロウアドレスラッチ信号 A X 0 ~ 1 で決まる 1 本のみがハイレベルに、残り 3 本がローレベルになる。

【 0 0 6 7 】

前記ロウプリデコード信号 X P B 0 ~ 7 のうちハイレベルのブロックのみ前記センスアンプブロックが活性となる。メモリセルアレイに関しては入力信号の前記ロウプリデコード信号 X P A、X P B、前記ワード線選択プリデコード信号 X P W が全てハイレベルの前記 N A N D 素子 6 0 1 3 ~ 6 2 6 8 の出力のみがローレベルになる。 30

【 0 0 6 8 】

前記ワードドライバユニット 6 0 0 0 にローレベルが入力されると、前記第 2 のインバータ 6 0 0 4 を通して前記 N チャネルトランジスタ 6 0 0 2 のゲートはハイレベル（前記第 2 の電源 V D D の電圧）となる。これにより前記 N チャネルトランジスタ 6 0 0 2 はオンして、前記 P チャネルトランジスタ 6 0 0 1 の能力を上回り、前記第 1 のインバータ 6 0 0 3 の入力ハイレベルとなる。その結果、前記第 1 のインバータ 6 0 0 3 の出力であるワード線はハイレベル（前記第 1 の電源 V P P の電圧）となる。

【 0 0 6 9 】

このようにハイレベルとなるワード線は 1 本のみで、その他のワード線は全てグラウンドレベルのローレベルである。またワードドライバ P チャネル制御信号 L P はワード線選択時に N チャネルトランジスタ 6 0 0 2 の能力が P チャネルトランジスタ 6 0 0 1 の能力を上回るような電圧でなければならない。活性化したワード線に接続されたメモリセル 5 0 1 の N チャネルトランジスタ 5 0 2 がオンし、キャパシタ 5 0 3 の電位が、本メモリセル 5 0 1 に接続されるビット線 B L n または / B L n に読み出される。 40

【 0 0 7 0 】

その後、前記センスアンプ電源 S A P が前記第 2 の電源 V D D の電圧となり、前記センスアンプグランド S A N がグラウンドレベルになる。これを受けて、全センスアンプ 5 0 4 が活性化される。活性化された前記センスアンプ 5 0 4 は、接続された前記ビット線 B L n、/ B L n の読み出し電位に基づいて、接続された前記ビット線 B L n、/ B L n を前記第 2 の電源 V D D の電位、もしくはグラウンドレベルにチャージする。 50

【0071】

その後、カラムコントローラからのデータ転送タイミング信号CSLがハイレベルとなり、選択されたブロックの前記データ転送ドライバ513の前記Nチャンネルトランジスタ514、515がオンとなり、前記ビット線BLnは前記グローバルデータ線GDLnに、前記ビット線/BLnは前記グローバルデータ線/GDLnに接続される。

【0072】

一方、図9に示すように、まず前記ロウアドレスストロブ信号/RASの立ち下がりを受けて前記ワード線起動信号IRASがローレベルになる。それを受けて、前記ワード線選択プリデコード信号XPWが全てローレベルになり、ロウデコーダを通して前記ワードドライバユニットの入力はハイレベルとなる。

10

【0073】

その後、前記第2のインバータ6004を通して前記Nチャンネルトランジスタのゲートにはローレベルとなり、前記Nチャンネルトランジスタ6002はオフする。前記Nチャンネルトランジスタ6002は常にオフなので、前記第1のインバータ6003の入力はハイレベル(前記第1の電源VPPの電圧)となり、前記第1のインバータ6003の出力はローレベルとなる。その結果、前記ワード線WLnは全てグラウンドレベルのローレベルとなる。

【0074】

前記ロウアドレスストロブ信号/RASの立ち下がりを受けて、前記センスアンプ電源SAPと前記センスアンプグランドSANが前記ビット線プリチャージ電源VBPの電位となる。

20

【0075】

その後、前記センスアンプドライバ内からビット線プリチャージ信号EQがハイレベルにされ、プリチャージ回路509は活性となる。前記ビット線BLn、/BLnは全てプリチャージされ、前記ビット線プリチャージ電源VBPの電位となる。

【0076】

以上のような回路構成を用いることによって、ロウデコーダからの出力が低電圧であっても、Pチャンネルトランジスタ6001やNチャンネルトランジスタ6002のサイズを変えなく、Pチャンネルトランジスタ6001に接続されたワードドライバPチャンネル制御信号LPの電圧を変更することでレベルシフトが可能となる。さらにPチャンネルトランジスタ6001やNチャンネルトランジスタ6002のサイズを大きくすれば、高速動作ができる。

30

【0077】

なお、前記インバータ6003、6004はなくても、直列に複数個接続されてもよい。選択されたワード線に対応する前記Nチャンネルトランジスタ6002のゲート電圧がハイレベルになるように前記インバータ6003を接続すると、前記Pチャンネルトランジスタ6001と前記Nチャンネルトランジスタ6002を貫通する電流を抑えることができる。前記インバータ6004をつけると、最終ドライバがインバータ6004となるので、前記Pチャンネルトランジスタ6001や前記Nチャンネルトランジスタ6002のサイズを小さくできるという効果が得られる。

40

【0078】

また、本実施の形態のように、メモリセル内のトランジスタがNチャンネルトランジスタの場合、インバータ6003、6004は合計で偶数個接続する。メモリセル内のトランジスタがPチャンネルトランジスタの場合、インバータ6003、6004は合計で奇数個接続する。

【0079】

なお、前記ワードドライバPチャンネル制御電源VLPは、前記第1の電源VPPよりも低い電圧にすると、非選択ワード線がフローティングにならないという効果が得られる。さらに、前記ワードドライバPチャンネル制御電源VLPは、前記第2の電源電圧と前記Pチャンネルトランジスタ6001のしきい電圧の絶対値との差よりも低い電圧にすると、隣

50

り合うワード線とのカップリングの影響を低減できる。

【0080】

なお、ロウデコーダは、ロウアドレス信号を入力として、ロウアドレスに対応した信号を出力できるものであれば、記載の限りではない。

(実施の形態2)

本発明の実施の形態2の半導体記憶装置を説明する。

【0081】

図10は本実施の形態2の半導体記憶装置におけるLP発生回路の回路構成図である。ここで説明するLP発生回路において、実施の形態1のLP発生回路と異なる点は、図10に示すように、図7に示すLP発生回路の出力にLP制御ドライバ1000が接続されている点であり、LP制御ドライバ1000はPチャンネルトランジスタ1001とNチャンネルトランジスタ1002とで構成される。

【0082】

前記Pチャンネルトランジスタ1001のゲートにはワードドライバPチャンネル制御タイミング信号TLP、ソースには前記ワードドライバPチャンネル制御電源VLP、ドレインには前記ワードドライバPチャンネル制御信号LPが接続される。

【0083】

前記Nチャンネルトランジスタ1002のゲートには前記ワードドライバPチャンネル制御タイミング信号TLP、ドレインには前記ワードドライバPチャンネル制御信号LP、ソースにはグラウンドレベルが接続される。

【0084】

なお、上記構成のLP発生回路以外の他の回路については、実施の形態1と同様であるとして同一符号を付し、その説明は省略する。

以上のように構成された実施の形態2の半導体記憶装置について、その動作を以下に説明する。図7に示す実施の形態1のLP発生回路から出力される前記ワードドライバPチャンネル制御電源VLPは、その動作に応じて電位が遷移するが、本実施の形態2のLP発生回路において、実施の形態1のLP発生回路と異なる動作は、前記ワードドライバPチャンネル制御電源VLPの電位の遷移に関する動作のみであり、ここでは、VLPの電位の遷移に関する動作のみを説明し、その他の動作は実施の形態1と同様であるので省略する。

【0085】

図11は同実施の形態2の半導体記憶装置における動作を示すタイミングチャートである。

前記ワードドライバPチャンネル制御タイミング信号TLPは、通常はローレベルであるが、前記ワード線WL_nの立ち下がりと同時にハイレベルになる。これを受けてNチャンネルトランジスタ1002がオンし前記ワードドライバPチャンネル制御信号LPの電位は低く(ローレベルに)なるので、Pチャンネルトランジスタ1001の能力が上がり、より高速に前記ワード線WL_nが立ち下がることことができる。

【0086】

前記ワード線WL_nが立ち下がってから次の読み出しもしくは書き込み動作が始まるまで、前記ワードドライバPチャンネル制御タイミング信号TLPはローレベルになる。それを受けてNチャンネルトランジスタ1002がオフしPチャンネルトランジスタ1001がオンして前記ワードドライバPチャンネル制御信号LPは再び前記ワードドライバPチャンネル制御電源VLPの電位となる。

【0087】

なお、前記ワードドライバPチャンネル制御タイミング信号TLPは、前記ワード線WL_nの立ち下がり時にハイレベルであれば、同時である必要はないが、前記ワード線WL_nの立ち下がり時と同時にすると、ワードドライバユニット内を貫通する電流量を最小限にする効果が得られる。また、前記ワードドライバPチャンネル制御電源VLPを、前記第1の電源VPPよりも低い電圧にすると、非選択ワード線がフローティングにならないとい

10

20

30

40

50

う効果が得られる。また、前記Nチャンネルトランジスタ1002のソースの接続先はグラウンドレベルに限らず、前記ワードドライバPチャンネル制御電源VLPよりも低い電圧であればよいが、グラウンドレベルにすると、新たな電源回路を生成する必要がなく、さらに高速にワード線が立ち下がるという効果が得られる。

(実施の形態3)

本発明の実施の形態3の半導体記憶装置を説明する。

【0088】

図12は本実施の形態3の半導体記憶装置におけるワードドライバブロックとロウデコーダとLP制御ドライバの回路構成図である。前記ワードドライバブロックはワード線1本ごとにワードドライバユニット16000が接続されている。前記ワードドライバユニット16000はPチャンネルトランジスタ16001、Nチャンネルトランジスタ16002、インバータ16003~16004から構成される。前記ロウデコーダはインバータ16005~16008、NAND素子16009~16012、3NAND素子16013~16268から構成される。

10

【0089】

前記Pチャンネルトランジスタ16001を除く前記Nチャンネルトランジスタ16002、前記インバータ16003~16004、前記インバータ6005~6008、前記NAND素子16009~16012、前記3NAND素子16013~16268は、それぞれ図6の前記Nチャンネルトランジスタ6002、前記インバータ6003~6004、前記インバータ6005~6008、前記NAND素子6009~6012、前記3NAND素子6013~6268と同様に接続される。前記Pチャンネルトランジスタ16001のゲートには前記LP制御ドライバからの前記ワードドライバPチャンネル制御信号LP、ソースには前記DRAMの第1の電源であるVPP、ドレインには前記インバータ16003の入力が接続される。

20

【0090】

前記LP制御ドライバはNAND素子16269、インバータ16270、Nチャンネルトランジスタ16271、Pチャンネルトランジスタ16272から構成される。前記NAND素子16269の入力はブロック選択信号XBKmとワードドライバPチャンネル制御タイミング信号TLPが接続される。前記NAND素子16269の出力は前記インバータ16270の入口に接続される。前記Nチャンネルトランジスタ16271のゲートには前記インバータ16270の出力、ドレインには前記ワードドライバPチャンネル制御信号LP、ソースにはグラウンドレベルが接続される。前記Pチャンネルトランジスタ16272のゲートには前記インバータ16270の出力、ドレインには前記ワードドライバPチャンネル制御信号LP、ソースにはワードドライバPチャンネル制御電源VLPが接続される。

30

【0091】

図12に示したワードドライバブロックとロウデコーダとLP制御ドライバ以外の他の回路については、実施の形態1と同様として同一符号を有し、その説明を省略する。

以上のように構成された実施の形態3の半導体記憶装置について、その動作を以下に説明する。

【0092】

本実施の形態3において、実施の形態1と異なる点は、前記ワードドライバPチャンネル制御信号LPの電位が選択されたブロックのみ遷移するという点である。その他は実施の形態1と同様であり説明を省略する。タイミングチャートは図11と同様である。

40

【0093】

ワードドライバPチャンネル制御タイミング信号TLPは、実施の形態2と同様に、通常はローレベルであるが、前記ワード線WLnの立ち下がりと同時にハイレベルになる。これを受けて選択されたブロックの前記LP制御ドライバのみが活性化する。

【0094】

前記LP制御ドライバが活性化すると、前記Pチャンネルトランジスタ16001のゲートの電圧がワードドライバPチャンネル制御信号LPの電位からグラウンドレベルへと遷移す

50

る。これを受けて、より高速に前記ワード線WL_nを立ち下げることができる。

【0095】

前記ワード線WL_nが立ち下がってから次の読み出しもしくは書き込み動作が始まるまで、前記ワードドライバPチャンネル制御タイミング信号TLPはローレベルになる。これを受けて前記Pチャンネルトランジスタ16001のゲートの電圧がワードドライバPチャンネル制御信号LPに再充電される。

【0096】

ブロックごとに前記ワードドライバPチャンネル制御信号LPを制御することによって、前記ワードドライバPチャンネル制御電源VLPにかかる負荷を小さくできるという効果が得られる。

10

【0097】

なお、前記ワードドライバPチャンネル制御タイミング信号TLPは、前記ワード線WL_nの立ち下がり時にハイレベルであれば、同時である必要はない。前記ワード線WL_nの立ち下がり時と同時にすると、ワードドライバ内を貫通する電流量を最小限にする効果が得られる。また、前記ワードドライバPチャンネル制御電源VLPを、前記第1の電源VPPよりも低い電圧にすると、非選択ワード線がフローティングにならないという効果が得られる。また、前記Nチャンネルトランジスタ16271のソースの接続先は、グラウンドレベルに限らず、前記ワードドライバPチャンネル制御電源VLPよりも低い電圧であればよいが、グラウンドレベルにすると、新たな電源回路を生成する必要がなく、さらに高速にワード線が立ち下がるという効果が得られる。

20

(実施の形態4)

本発明の実施の形態4の半導体記憶装置を説明する。なお、実施の形態1と異なる点は、抵抗ブロックの回路構成図と半導体集積回路チップの構成図のみであり、他の同様の構成を有するものについては同一符号を付し、その説明を省略する。

【0098】

図13は本実施の形態4の半導体記憶装置における抵抗ブロックの回路構成図である。ここで説明する抵抗ブロック702は、図13に示すように、複数の抵抗調整ユニット1301から構成されており、前記ノードRDと前記ノードLPIの間に前記抵抗調整ユニット1301が複数個直列に接続される。また前記ノードLPIとグラウンドレベルの間にも前記抵抗調整ユニット1301が複数個直列に接続される。前記抵抗調整ユニット1301は、抵抗1302とスイッチ1303から構成されており、それぞれが並列に接続される。

30

【0099】

図14は同実施の形態4の半導体記憶装置を搭載した半導体集積回路チップのブロック構成図である。ここで説明する半導体集積回路チップは、前記ワードドライバPチャンネル制御電源VLPを調整するために、図14に示すように、前記ワードドライバPチャンネル制御電源VLPはチップ上のパッドに接続される。

【0100】

この前記ワードドライバPチャンネル制御電源VLP用のパッドから電圧をモニターして、前記ワードドライバPチャンネル制御電源VLPが最適な電圧となるように調整する。

40

これらによって、同実施の形態4において、前記ワードドライバPチャンネル制御電源VLPの精度をあげて、最適な値に設定することができる効果が得られる。

【0101】

なお、実施の形態2や3において、同様の構成を用いると、同様の効果が得られる。

【産業上の利用可能性】

【0102】

本発明の半導体記憶装置は、ワードドライバの回路構成を小面積で実現することができる、低電源電圧においても、ワードドライバの出力を高速にレベル遷移させることができるとともに、消費電力をさらに低減することができるもので、DRAM等のワードドライバを備えた半導体記憶装置に有用である。

50

【図面の簡単な説明】

【0103】

【図1】本発明の実施の形態1の半導体記憶装置を搭載した半導体チップの構成図

【図2】同実施の形態1の半導体記憶装置の構成を示すブロック図

【図3】同実施の形態1の半導体記憶装置を構成するアドレスラッチの回路図

【図4】同実施の形態1の半導体記憶装置を構成するロウコントローラの回路図

【図5】同実施の形態1の半導体記憶装置を構成するメモリセルアレイとセンスアンプブロックの回路図

【図6】同実施の形態1の半導体記憶装置を構成するワードドライバブロックとロウデコーダの回路図

10

【図7】同実施の形態1の半導体記憶装置を構成するLP発生回路の回路図

【図8】同実施の形態1の半導体記憶装置を構成するLP発生回路における抵抗ブロックの回路図

【図9】同実施の形態1の半導体記憶装置の動作を示すタイミングチャート

【図10】本発明の実施の形態2の半導体記憶装置を構成するLP発生回路の回路図

【図11】同実施の形態2の半導体記憶装置の動作を示すタイミングチャート

【図12】本発明の実施の形態3の半導体記憶装置を構成するワードドライバブロックとロウデコーダの回路図

【図13】本発明の実施の形態4の半導体記憶装置を構成するLP発生回路における抵抗ブロックの回路図

20

【図14】同実施の形態4の半導体記憶装置を搭載した半導体チップの構成図

【図15】従来の半導体記憶装置を構成するワードドライバブロックおよびロウデコーダの回路図

【図16】同従来例の半導体記憶装置を構成するワードドライバのレイアウト図

【図17】同従来例の半導体記憶装置を構成するワードドライバの回路図

【符号の説明】

【0104】

/RAS ロウアドレスストローク信号

/CAS カラムアドレスストローク信号

Xad ロウアドレス信号

Yad カラムアドレス信号

DI データ入力

DO データ出力

VPP 第1の電源

VDD 第2の電源

AX0~7 ロウアドレスラッチ信号

301~308 Dフリップフロップ

400~402 インバータ

411~413 インバータ

422~423 インバータ

432~434 インバータ

403~410 AND素子

414~421 AND素子

424~431 AND素子

435~442 AND素子

XPA0~7 ロウプリデコード信号

XPB0~7 ロウプリデコード信号

XPW0~7 ワード線選択プリデコード信号

XBK0~7 ブロック選択信号

IRAS ワード線起動信号

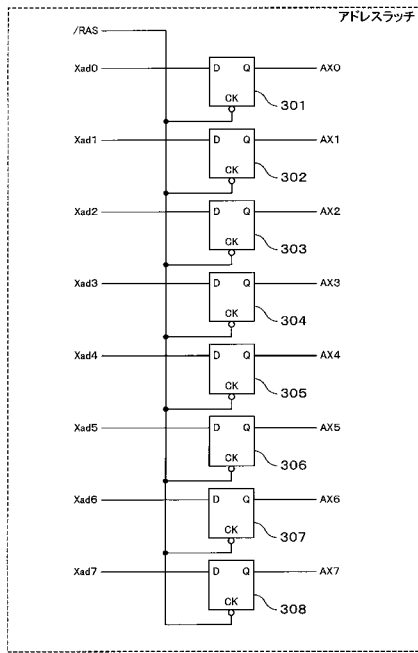
30

40

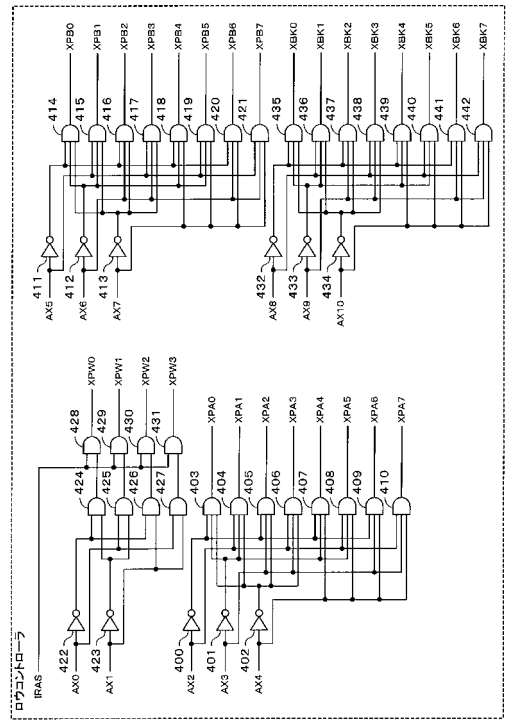
50

5 0 1	メモリセル	
5 0 3	キャパシタ	
5 0 4	センスアンプ	
5 0 9	プリチャージ回路	
5 1 3	データ転送ドライバ	
5 1 6	インバータ	
5 1 7	NAND素子	
5 0 2	Nチャンネルトランジスタ	
5 0 5、5 0 6	Nチャンネルトランジスタ	
5 1 0 ~ 5 1 2	Nチャンネルトランジスタ	10
5 1 4、5 1 5	Nチャンネルトランジスタ	
5 0 7、5 0 8	Pチャンネルトランジスタ	
G D L n、/ G D L n	グローバルデータ線	
B L n、/ B L n	ビット線	
W L n	ワード線	
E Q	ビット線プリチャージ信号	
S A P	センスアンプ電源	
S A N	センスアンプグランド	
C S L	データ転送タイミング信号	
6 0 0 0	ワードドライバユニット	20
6 0 0 1	Pチャンネルトランジスタ	
6 0 0 2	Nチャンネルトランジスタ	
6 0 0 3	インバータ	
6 0 0 4	インバータ	
6 0 0 5 ~ 6 0 0 8	インバータ	
6 0 0 9 ~ 6 0 1 2	NAND素子	
6 0 1 3 ~ 6 0 1 5、6 2 6 8	NAND素子	
L P	ワードドライバPチャンネル制御信号	
7 0 1	Pチャンネルトランジスタ	
7 0 2	抵抗ブロック	30
7 0 3 ~ 7 0 5	Pチャンネルトランジスタ	
7 0 6 ~ 7 0 9	Nチャンネルトランジスタ	
V L P	ワードドライバPチャンネル制御電源	
8 0 1、8 0 2	抵抗	
1 0 0 0	L P制御ドライバ	
1 0 0 1	Pチャンネルトランジスタ	
1 0 0 2	Nチャンネルトランジスタ	
1 6 0 0 0	ワードドライバユニット	
1 6 0 0 1	Pチャンネルトランジスタ	
1 6 0 0 2	Nチャンネルトランジスタ	40
1 6 0 0 3	インバータ	
1 6 0 0 4	インバータ	
1 6 0 0 5 ~ 1 6 0 0 8	インバータ	
1 6 0 0 9 ~ 1 6 0 1 2	NAND素子	
1 6 0 1 3 ~ 1 6 0 1 5、1 6 2 6 8	NAND素子	
1 6 2 6 9	NAND素子	
1 6 2 7 0	インバータ	
1 6 2 7 1	Pチャンネルトランジスタ	
1 6 2 7 2	Nチャンネルトランジスタ	
1 3 0 1	抵抗調整ユニット	50

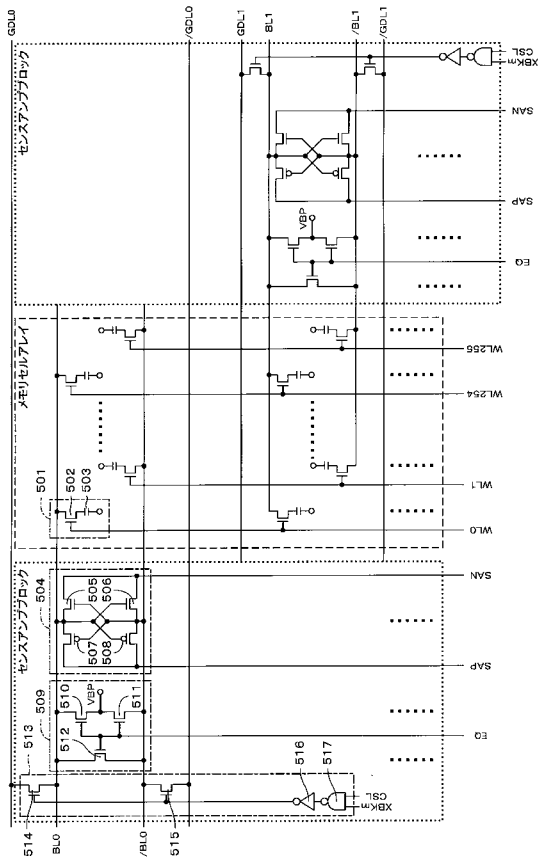
【 図 3 】



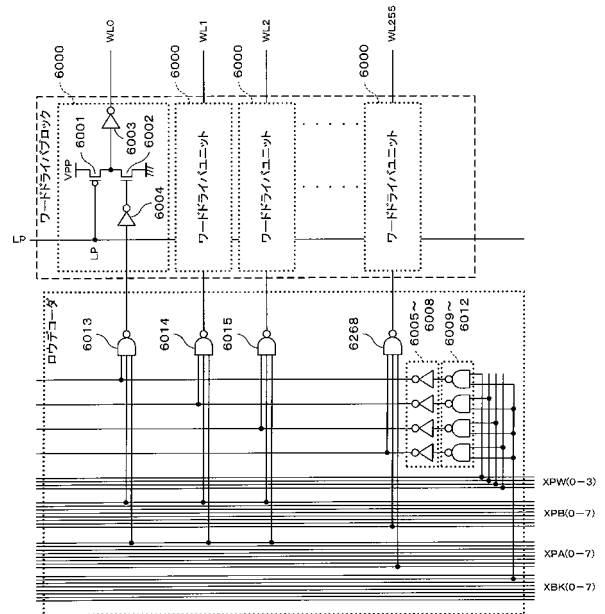
【 図 4 】



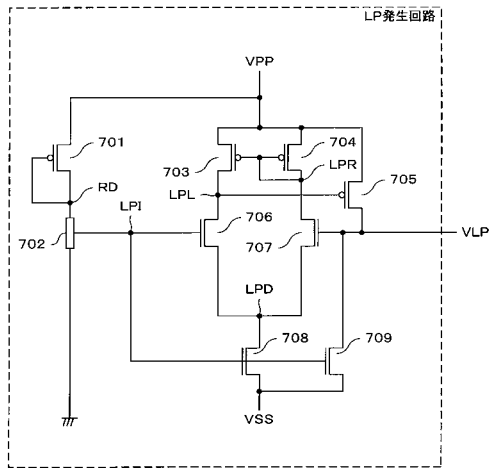
【 図 5 】



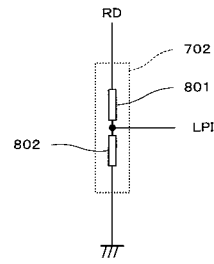
【 図 6 】



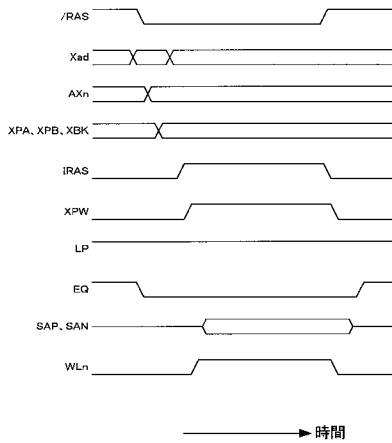
【 図 7 】



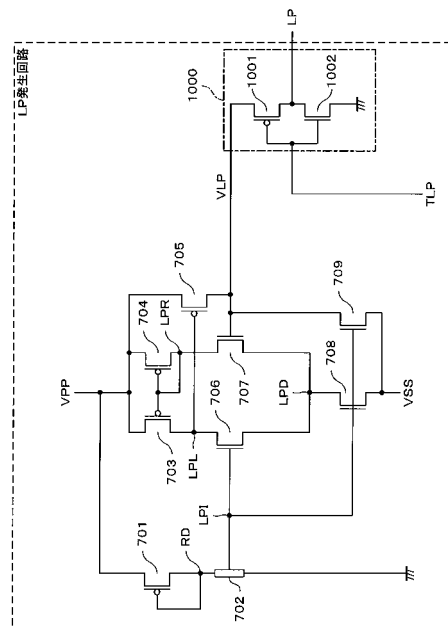
【 図 8 】



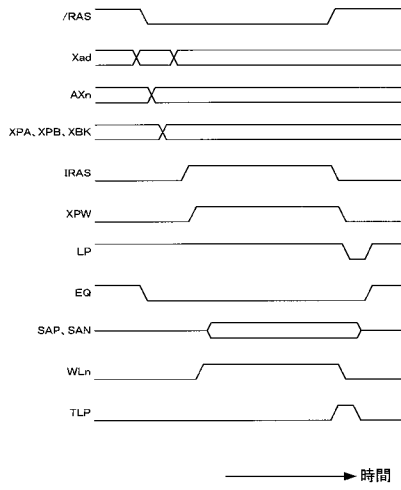
【 図 9 】



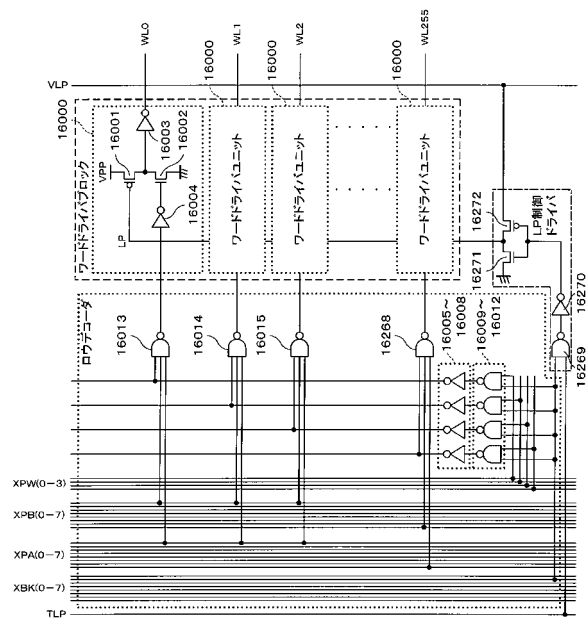
【 図 10 】



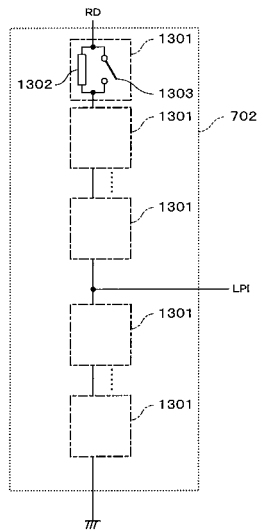
【図 1 1】



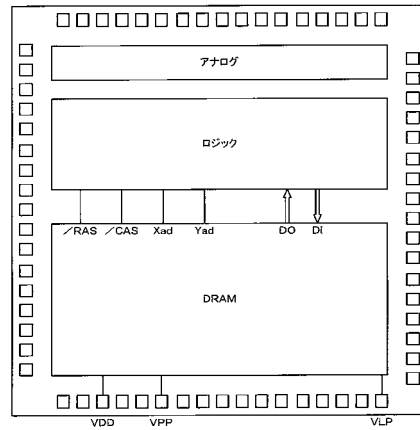
【図 1 2】



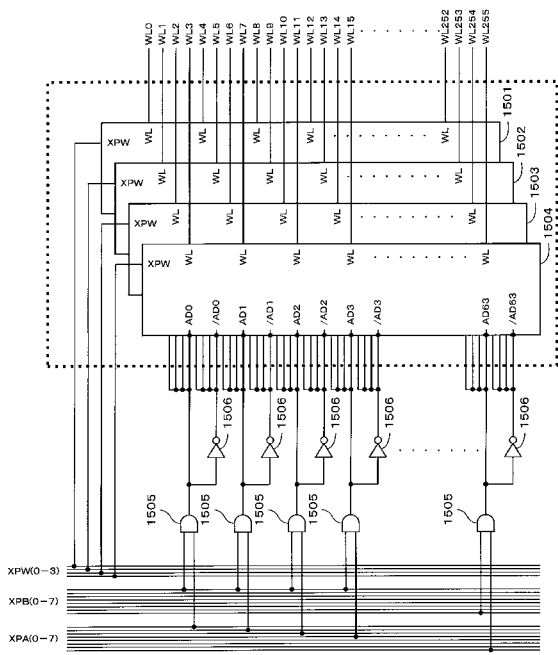
【図 1 3】



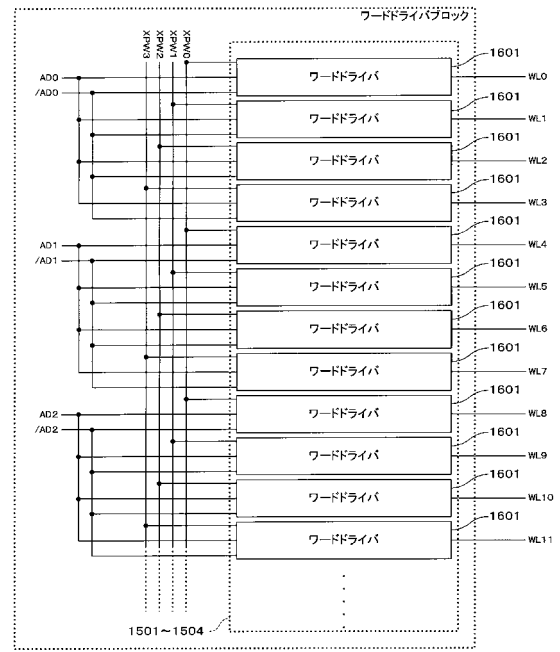
【図 1 4】



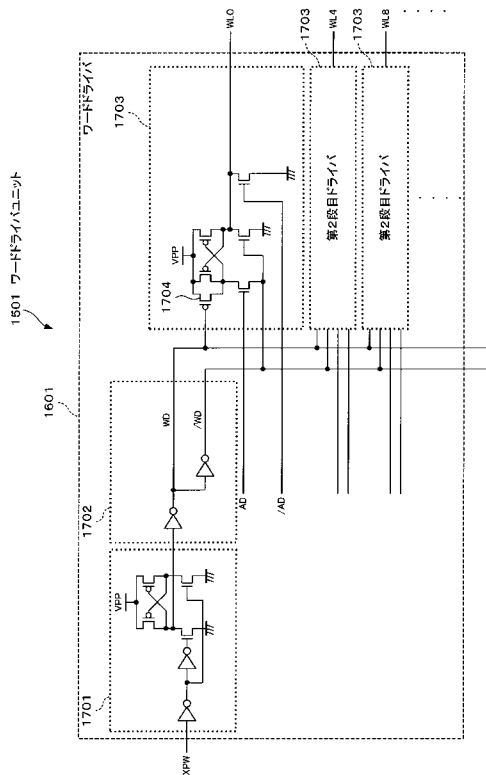
【 図 15 】



【 図 16 】



【 図 17 】



フロントページの続き

(72)発明者 折笠 憲一

大阪府門真市大字門真1006番地 松下電器産業株式会社内

Fターム(参考) 5M024 AA02 BB08 BB35 BB36 CC26 FF03 PP01 PP02 PP03 PP07