

ČESKOSLOVENSKÁ  
SOCIALISTICKÁ  
REPUBLIKA  
(19)



ÚŘAD PRO VYNÁLEZY  
A OBJEVY

# POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

**260640**  
(11) (B1)

(51) Int. Cl.<sup>4</sup>  
H 02 J 13/00

(22) Přihlášeno 24 02 87

(21) (PV 1227-87.Q)

(40) Zveřejněno 16 05 88

(45) Vydáno 15 05 89

(75)

Autor vynálezu

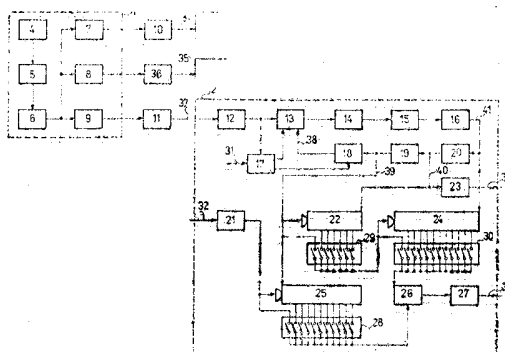
HANŽLÍK JAROSLAV ing. CSc., ČESKÉ BUDĚJOVICE

## (54) Zapojení pro fázově konformní provoz vysílačů hromadného dálkového ovládání

1

Zapojení je určeno pro použití v systémech hromadného dálkového ovládání frekvencí v okolí 200 Hz, používaných pro řízení odběru elektrické energie a jiné služby v energetice i mimo ni. Umožňuje jednoduchým a z hlediska potřebné šířky pásma úsporným způsobem přenést a zpracovat subharmonickou vysílané frekvence. Fázový závěs s dlouhou odezvou na přijímací straně nereaguje na fázové skoky signálu na přenosové cestě a chrání tak silové obvody měničů frekvence, jež jsou součástí vysílačů hromadného dálkového ovládání. Využitím posuvných registrů a klopného obvodu umožňuje fázově konformní provoz vysílačů hromadného dálkového ovládání, přičemž nastavování úhlu vysílané tónové frekvence je číslicové s přesností 5° elektrických a rovněž tak kompenzace zpoždění přenosových cest klíčování, jejíž přesnost je jedna perioda vysílané frekvence.

2



Vynález se týká zapojení pro fázově konformní provoz vysílačů hromadného dálkového ovládání. Hromadné dálkové ovládání vytváří informační kanál z dispečerského centra k jednotlivým odběratelům elektrické energie. Vysílače hromadného dálkového ovládání jsou jeho součástí. Impulsy tónové frekvence jimi vysílané do elektrických sítí jsou vyhodnocovány přijímači, které je možné umístit v libovolném místě sítě.

Fázově konformního provozu vysílačů hromadného dálkového ovládání se využívá zejména v případech, kdy dva nebo více vysílačů pracují v jedné síťové oblasti a nebo má-li být dosaženo minimální úrovně tónové frekvence v nadřazené síti uvedené oblasti napájející. Tento způsob provozu předpokládá splnění několika podmínek, zejména stejné frekvence vysílačů a definovaného okamžiku jejich zaklíčování.

Pro zajištění fázově konformního provozu vysílačů hromadného dálkového ovládání se většinou používá dálkových přenosů pilotní frekvence, nebo její subharmonické ze zdroje, který je umístěn v dispečerském centru k jednotlivým vysílačům, které jsou rovněž dálkově klíčovány. Přitom hraje podstatnou roli časové zpoždění přenosových cest.

Dosud známá zapojení používají kompenzace časového zpoždění přenosových cest na vysílací straně, což je nevýhodné při jeho nastavování v provozu. Pro nastavování úhlu fázorů tónové frekvence se na straně přijímací používá poměrně složitých zapojení, jiná navrhovaná zapojení neumožňují jeho dostatečně jemné nastavení.

Tyto nevýhody podstatně zmírňuje zapojení pro realizaci fázově konformního provozu vysílačů hromadného dálkového ovládání, obsahující vysílací stranu spojenou první přenosovou cestou s první přijímací stranou a druhou přenosovou cestou s druhou přijímací stranou. Jeho podstata je v tom, že výstup krystalového oscilátoru je spojen se vstupem oddělovacího stupně, jehož výstup je spojen se vstupem prvního děliče frekvence, jehož výstup je současně zapojen na vstupy druhého děliče frekvence a čtvrtého děliče frekvence. Výstup druhého děliče frekvence je zapojen na vstup druhé přenosové cesty a výstup čtvrtého děliče frekvence je zapojen na vstup první přenosové cesty. Výstup první přenosové cesty je zapojen na vstup prvního vstupního obvodu první přijímací strany. Stejným způsobem je zapojen výstup druhé přenosové cesty na druhou přijímací stranu, jejíž zapojení je shodné s první přijímací stranou. Výstup prvního vstupního obvodu první přijímací strany je zapojen jednak na první vstup řídicí logiky a jednak na první vstup fázového detektoru. Výstup fázového detektoru je zapojen na vstup filtračního členu, jehož výstup je spojen se vstupem napětím řízeného oscilátoru, jehož výstup je spojen se vstupem pátého děliče frekvence, který má výstup zapojen jednak na první vstup dru-

hého posuvného registru a jednak na vstup osmého děliče frekvence. Výstup osmého děliče frekvence je spojen se vstupem sedmého děliče frekvence, se vstupem prvního výstupního obvodu a dále pak s prvním vstupem prvního posuvného registru. Výstup prvního obvodu je spojen s výstupem šestinásobku vysílané frekvence. Výstup sedmého děliče frekvence je spojen s prvním vstupem šestého děliče frekvence, s druhým vstupem prvního posuvného registru, s prvním vstupem třetího posuvného registru a s první svorkou prvního spínače druhého přepínače, jehož první svorky dalších spínačů jsou jednotlivě spojeny s prvním posuvným registrem a jehož druhé svorky všech spínačů jsou spojeny do uzlu zapojeného na první vstup klopného obvodu. Výstup šestého děliče frekvence je spojen s třetím vstupem fázového detektoru. Druhý vstup řídicí logiky je spojen s napájecím napětím, přičemž její první výstup je spojen s druhým vstupem šestého děliče frekvence a její druhý výstup je spojen s druhým vstupem fázového detektoru. Vstup klíčování je přiveden na vstup druhého vstupního obvodu, jehož výstup je spojen jednak s druhým vstupem třetího posuvného registru a dále pak s první svorkou prvního spínače prvního přepínače, jehož první svorky dalších pínačů jsou jednotlivě spojeny s třetím posuvným registrem a jehož druhé svorky všech spínačů jsou spojeny do uzlu zapojeného na druhý vstup klopného obvodu. Výstup klopného obvodu je spojen se vstupem druhého výstupního obvodu, jehož výstup je spojen s výstupem klíčování.

Výhodou zapojení podle vynálezu je jednoduché a jemné nastavování úhlu fázoru vysílané tónové frekvence číslicově po pěti stupních elektrických při využití vnitřních vhodně volených frekvencí a posouvání klíčování s přesností jedné periody vysílané frekvence.

Příklad zapojení pro realizaci fázově konformního provozu vysílačů hromadného dálkového ovládání podle vynálezu je nakreslen v blokovém schématu na připojeném výkresu.

Výstup krystalového oscilátoru 4 je spojen se vstupem oddělovacího stupně 5, jehož výstup je spojen se vstupem prvního děliče 6 frekvence, jehož výstup je současně zapojen na vstupy druhého děliče 7 frekvence, a čtvrtého děliče 9 frekvence, přičemž výstup druhého děliče 7 frekvence je zapojen na vstup druhé přenosové cesty 10 a výstup čtvrtého děliče 9 frekvence je zapojen na vstup první přenosové cesty 11.

Výstup první přenosové cesty 11 je zapojen na vstup prvního vstupního obvodu 12 první přijímací strany 2. Stejným způsobem je zapojen výstup druhé přenosové cesty 10 na druhou přijímací stranu 3, jejíž zapojení je shodné s první přijímací stranou 2. Výstup prvního vstupního obvodu 12 první přijímací strany 2 je zapojen jednak na první vstup řídicí logiky 17 a jednak na první vstup fázového detektoru 13, jehož výstup je zapojen na vstup filtračního členu 14, který má svůj výstup zapojen na vstup napětím řízeného oscilátoru 15, jehož výstup je spojen se vstupem pátého děliče 16 frekvence, jež má svůj výstup zapojen jednak na první místo druhého posuvného registru 24 a jednak na vstup osmého děliče 20 frekvence. Výstup osmého děliče 20 frekvence je spojen se vstupem sedmého děliče 19 frekvence, se vstupem prvního výstupního obvodu 23 a dále pak s prvním vstupem prvního posuvného registru 22. Výstup prvního výstupního obvodu 23 je spojen s výstupem 34 šestinásobku vysílané frekvence a výstup sedmého děliče 19 frekvence je spojen s prvním vstupem šestého děliče 18 frekvence, s druhým vstupem prvního posuvného registru 22, s prvním vstupem třetího posuvného registru 25 a s první svorkou prvního spínače druhého přepínače 29, jehož první svorky dalších spínačů jsou jednotlivě spojeny s prvním posuvným registrem 22 a jehož druhé svorky všech spínačů jsou spojeny do uzlu zapojeného na druhý vstup druhého posuvného registru 24 a jednak na první svorku prvního spínače třetího přepínače 30, jehož první svorky dalších spínačů jsou jednotlivě spojeny s druhým posuvným registrem 24 a jehož druhé svorky všech spínačů jsou spojeny do uzlu zapojeného na první vstup klopného obvodu 26. Výstup šestého děliče 18 frekvence je spojen s třetím vstupem fázového detektoru 13, druhý vstup řídicí logiky 17 je spojen s napájecím napětím 31, přičemž její první výstup je spojen s druhým vstupem šestého děliče frekvence 18 a její druhý výstup je spojen s druhým vstupem fázového detektoru 13. Vstup 32 klíčování je spojen se vstupem druhého vstupního obvodu 21, jehož výstup je zapojen jednak na druhý vstup třetího posuvného registru 25 a dále pak na první svorku prvního spínače prvního přepínače 28, jehož první svorky dalších spínačů jsou jednotlivě spojeny s třetím posuvným registrem 25 a jehož druhé svorky všech spínačů jsou spojeny do uzlu zapojeného na druhý vstup klopného obvodu 26. Výstup klopného obvodu 26 je spojen se vstupem druhého výstupního obvodu 27, jehož výstup je spojen s výstupem 33 klíčování.

Na výstupu prvního děliče 6 frekvence je vysílaná frekvence, která se zavádí do druhého děliče 7 frekvence a čtvrtého děliče 9 frekvence, na jejichž výstupu je subharmonická vysílaná frekvence, která se přivádí na první přenosovou cestu 11 a dru-

hou přenosovou cestu 10. Dělicí poměry obou děličů frekvence mohou, ale nemusí být stejné a v tomto případě je pak možné používat pro každou přenosovou cestu jiné subharmonické vysílané frekvence. Pokud má být zajištěn fázově konformní provoz více vysílačů hromadného dálkového ovládání, jsou na výstup prvního děliče 6 frekvence připojeny další děliče frekvence a na ně navazující přenosové cesty, tj. např. další dělič 8 frekvence a další přenosová cesta 36. Přenosy subharmonické vysílané frekvence znamenají úsporu šířky pásma přenosových cest. Elektrické zapojení všech přijímacích stran je shodné.

Na první vstupní obvod 12 první přijímací strany 2 je přivedena první subharmonická 27 vysílané frekvence. Fázový detektor 13, filtrační člen 14, napětím řízený oscilátor 15, pátý dělič 16 frekvence, osmý dělič 20 frekvence, sedmý dělič 19 frekvence a šestý dělič 18 frekvence tvoří fázový závěs s pomalou odezvou. V jeho zachyceném stavu je první vnitřní subharmonická 38 vysílané frekvence rovna první subharmonické 37 vysílané frekvence a jejich fázový rozdíl je blízký nule. Potom je na výstupu pátého děliče 16 frekvence sedmdesátýdruhý násobek 41 vysílané frekvence, na výstupu osmého děliče 20 frekvence je šestinásobek 40 vysílané frekvence a na výstupu sedmého děliče 19 frekvence je vysílaná frekvence 39. První posuvný registr 22 fázově posouvá impulsy vysílané frekvence 39 po šedesáti stupních elektrických, druhý posuvný registr 24 je posouvá po pěti stupních elektrických. Celkový fázový posuv je možné volit pomocí druhého přepínače 29 a třetího přepínače 30. Třetí posuvný registr 25 posouvá impulsy klíčování po jedné periodě vysílané frekvence 39. Posunutí je možné nastavit pomocí prvního přepínače 28 a tak kompenzovat časové zpoždění přenosových cest klíčování vysílačů hromadného dálkového ovládání. Uzel druhých kontaktů prvního přepínače 28 a uzel druhých kontaktů třetího přepínače 30 je zaveden do klopného obvodu 26, na jehož výstupu a tím i na výstupu 33 klíčování se objeví klíčovací impuls při koincidenci impulsů fázově posunuté vysílané frekvence 39 a časově posunutého impulsu klíčování. Tím je zaručen správný okamžik zaklíčování vysílače hromadného dálkového ovládání připojeného na výstup 33 klíčování a výstup 34 šestinásobku vysílané frekvence. Řídicí logika 17 slouží ke zkrácení doby zachycení fázového závěsu a je v činnosti při připojení obvodů na napájecí napětí 31 a při obnovení provozu první přenosové cesty 11 po její poruše. Šestý dělič 18 frekvence má tu vlastnost, že na náběžnou hranu impulsu na svém prvním vstupu odpoví vždy náběžnou hranou impulsu na svém výstupu. Řídicí logika 17 pak v uvedených stavech uvolní šestý dělič 18 frekvence a fázový detektor 13 při příchodu

du náběžné hrany první subharmonické 37 vysílané frekvence.

Využití vynálezu se předpokládá v ener-

getice u všech vysílačů hromadného dálkového ovládání s frekvencemi okolo 200 Hz.

#### PŘEDMĚT VYNÁLEZU

1. Zapojení pro fázově konformní provoz vysílačů hromadného dálkového ovládání vyznačující se tím, že výstup krystalového oscilátoru (4) je spojen se vstupem oddělovacího stupně (5), jehož výstup je spojen se vstupem prvního děliče (6) frekvence, jehož výstup je současně zapojen na vstupy druhého děliče (7) frekvence a čtvrtého děliče (9) frekvence, přičemž výstup druhého děliče (7) frekvence je zapojen na vstup druhé přenosové cesty (10) a výstup čtvrtého děliče (9) frekvence je zapojen na vstup první přenosové cesty (11) a dále výstup první přenosové cesty (11) je zapojen na vstup prvního vstupního obvodu (12) první přijímací strany (2), výstup druhé přenosové cesty (10) je zapojen na první vstupní obvod druhé přijímací strany (3), přičemž výstup prvního vstupního obvodu (12) první přijímací strany (2) je zapojen jednak na první vstup řídicí logiky (17) a jednak na první vstup fázového detektoru (13), jehož výstup je zapojen na vstup filtračního členu (14), který má svůj výstup zapojen na vstup napětím řízeného oscilátoru (15), jež má výstup zapojen na vstup pátého děliče (16) frekvence, který má svůj výstup zapojen jednak na první vstup druhého posuvného registru (24) a jednak na vstup osmého děliče (20) frekvence a dále je výstup osmého děliče (20) frekvence spojen se vstupem sedmého děliče (19) frekvence, se vstupem prvního výstupního obvodu (23) a dále pak s prvním vstupem prvního posuvného registru (22), přičemž výstup prvního výstupního obvodu (23) je spojen s výstupem (34) šestinásobku pilotní frekvence a výstup sedmého děliče (19) frekvence je spojen s prvním vstupem šestého děliče (18) frekvence, dále s druhým vstupem prvního posuvného registru (22) a s prvním vstupem třetího posuvného registru (25) a rov-

něž s první svorkou prvního spínače druhého přepínače (29), jehož první svorky dalších spínačů jsou jednotlivě spojeny s prvním posuvným registrem (22) a jehož druhé svorky všech spínačů jsou spojeny do uzlu zapojeného jednak na druhý vstup druhého posuvného registru (24) a jednak na první svorku prvního spínače třetího přepínače (30), jehož první svorky dalších spínačů jsou jednotlivě spojeny s druhým posuvným registrem (24) a jehož druhé svorky všech spínačů jsou spojeny do uzlu zapojeného na první vstup klopného obvodu (26), přičemž výstup šestého děliče (18) frekvence je spojen s třetím vstupem fázového detektoru (13) a druhý vstup řídicí logiky (17) je spojen s napájecím napětím (31) a dále její první výstup je spojen s druhým vstupem šestého děliče (18) frekvence a její druhý výstup je spojen s druhým vstupem fázového detektoru (13), vstup (32) klíčování je spojen se vstupem druhého vstupního obvodu (21), jehož výstup je zapojen jednak na druhý vstup třetího posuvného registru (25) a dále pak na první svorku prvního spínače prvního přepínače (28), jehož první svorky dalších spínačů jsou jednotlivě spojeny s třetím posuvným registrem (25) a jehož druhé svorky všech spínačů jsou spojeny do uzlu zapojeného na druhý vstup klopného obvodu (26), jehož výstup je spojen se vstupem druhého výstupního obvodu (27), který má svůj výstup spojen s výstupem (33) klíčování.

2. Zapojení podle bodu 1 vyznačující se tím, že na výstup prvního děliče (6) frekvence je připojen nejméně jeden další dělič (8) frekvence, na jehož výstup je připojena nejméně jedna další přenosová cesta (36), jejíž výstup je zapojen na nejméně jednu další přijímací stranu (35).

