



Patent dodatkowy  
do patentu nr \_\_\_\_\_

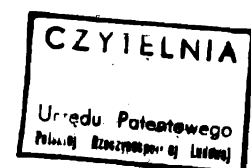
Zgłoszono: 22.08.75 (P. 182905)

Pierwszeństwo: \_\_\_\_\_

Zgłoszenie ogłoszono: 28.02.77

Opis patentowy opublikowano: 17.04.1979

Int. Cl.<sup>2</sup> G06G 7/00  
G01S 7/44



Twórcy wynalazku: Jerzy Pikielny, Henryk Kantecki

Uprawniony z patentu: Przemysłowy Instytut Telekomunikacji,  
Warszawa (Polska)

### Układ cyfrowego przetwornika liniowo-logarytmicznego

1

Przedmiotem wynalazku jest układ cyfrowego przetwornika liniowo-logarytmicznego przeznaczonego do zastosowania w układach obróbki sygnałów, zwłaszcza w układach obróbki sygnałów radiolokacyjnych, w przyrządach i urządzeniach pomiarowych oraz w układach przetworników.

W znanych cyfrowych przetwornikach liniowo-logarytmicznych stosowane są bądź pamięci typu ROM (Read Only Memory) z układami adresowania i układami odczytu, bądź układ decyzyjny z układami mnożenia binarnego i układem składania sygnałów.

Znany z opisu patentowego polskiego Nr 83774 układ cyfrowego przetwornika logarytmicznego, w skład którego wchodzi człon decyzyjny, człon mnożenia binarnego i człon składania sygnałów charakteryzuje się tym, że wyjście członu decyzyjnego jest połączone z wejściem członu składania sygnałów, zaś wyjście członu decyzyjnego połączone jest z wejściem członu mnożenia binarnego, którego wyjście połączone jest z wejściem członu składania sygnałów, a na którego wyjściu otrzymuje się przybliżoną wartość logarytmu lub antylogarytmu z sygnału podanego na wejście członu mnożenia binarnego i na wejście członu decyzyjnego.

Zaletą pierwszego rodzaju przetworników jest stosunkowo duża dokładność aproksymacji, natomiast ich wadą jest skomplikowana budowa i konieczność stosowania rozbudowanych układów za-

2

silania o dużej mocy. Zaletą tych drugich jest stosunkowo prosta realizacja przetwornika, wymagająca małej liczby elementów, lecz wadą ich jest mała dokładność aproksymacji, związana z mnożeniem przez współczynnik o wartościach  $2^n$  gdzie  $n=0, \pm 1, \pm 2...$

Celem wynalazku jest stworzenie cyfrowego przetwornika liniowo-logarytmicznego, zapewniającego dużą dokładność (rzędu 0,08 dB) za pomocą układu o możliwie prostej budowie i małej liczbie elementów.

Istotą cyfrowego przetwornika liniowo-logarytmicznego według wynalazku jest to, że jest on wyposażony oprócz członu mnożenia binarnego w 5 człon mnożenia przez dowolny, lecz z góry określony współczynnik, przy czym wejście sygnałowe tego członu wraz z wejściem sygnałowym członu mnożenia binarnego i wejściem członu decyzyjnego stanowią wejście przetwornika według wynalazku. Wyjścia sterujące członu decyzyjnego są połączone z wejściem sterującym członu mnożenia binarnego i wejściem sterującym członu mnożenia przez dowolny współczynnik. Wyjścia informacyjne członu decyzyjnego są połączone z wejściami 15 informacyjnymi członu składania sygnałów. Natomiast wyjścia członów mnożenia binarnego i mnożenia przez dowolny współczynnik są połączone z wejściami informacyjnymi członu składania sygnałów. Wyjście członu składania sygnałów stanowi 20 25 30 wyjście przetwornika według wynalazku.

Układ cyfrowego przetwornika liniowo-logarytmicznego według wynalazku w stosunku do znanych układów przetworników zawierających człon decyzyjny mnożenia binarnego i składania sygnałów zapewnia korzystne skutki, polegające na zwiększeniu dokładności aproksymacji przy zastosowaniu małej liczby elementów i zachowaniu prostej budowy.

Układ cyfrowego przetwornika liniowo-logarytmicznego według wynalazku jest przedstawiony na załączonym rysunku w postaci schematu blokowego.

W skład układu cyfrowego przetwornika liniowo-logarytmicznego według wynalazku wchodzi człon **UMW**, mnożenia przez dowolny z góry zadany współczynnik, przy czym jego wejście sygnałowe 1 wraz z wejściem sygnałowym 2 członu mnożenia binarnego **UMB** i wejściem 16 członu decyzyjnego **UD** stanowią wejście **WE** przetwornika według wynalazku. Wyjścia informacyjne 7 i 11 członu **UD** są połączone z wejściami informacyjnymi 8 i 12 członu składania sygnałów **USS**. Wyjścia sterujące 6 i 9 członu **UD** są połączone z wejściami sterującymi 10 i 13 członów **UMB** i **UMW**. Wyjście 4 członu **UMW** jest połączone z wejściem informacyjnym 5 członu składania sygnałów **USS**, a wyjście 14 członu **UMB** jest połączone z wejściem informacyjnym 15 członu **USS**, którego wyjście jest jednocześnie wyjściem **WY** przetwornika według wynalazku.

Na wejście **WE** jest podawany sygnał cyfrowy **X** w równoległym kodzie prostym. Na wyjściach informacyjnych 7 i 11 członu **UD** pojawiają się sygnały cyfrowe, przy czym wartości tych sygnałów są odpowiednio równe wartościom funkcji schodkowych  $\beta(X)$  i  $\varepsilon(X)$ . Na wyjściach sterujących 6 i 9 członu **UD** pojawiają się również sygnały cyfrowe, przy czym wartości tych sygnałów są równe odpowiednio wartościom funkcji schodkowych  $\alpha(X)$  i  $\gamma(X)$ . Na wyjściu 4 członu **UMW** pojawia się sygnał cyfrowy w równoległym kodzie prostym, którego wartość jest równa iloczynowi wartości sygnału **X** występującego na wejściu sy-

gnałowym 1 przez współczynnik o dowolnej, lecz z góry zadanej przez funkcję  $f[\alpha(X)]$  wartości. Na wyjściu 14 członu **UMB** pojawia się sygnał cyfrowy w równoległym kodzie prostym, którego wartość jest równa iloczynowi wartości sygnału **X** przez wartość funkcji schodkowej  $\gamma(X)$ . Na wyjściu **WY** członu **USS** i zarazem przetwornika według wynalazku pojawia się w równoległym kodzie prostym sygnał cyfrowy **Y** wyrażony zależnością:

$$Y = f[\alpha(X)] + \beta(X) + X \cdot \gamma(X) + \varepsilon(X)$$

Przez dobór funkcji schodkowych:  $\alpha(X)$ ,  $\beta(X)$ ,  $\gamma(X)$ ,  $\varepsilon(X)$  oraz  $f[\alpha(X)]$  przetwornik o układzie według wynalazku staje się przetwornikiem o liniowo-odcinkowej aproksymacji dowolnej zależności funkcyjnej.

#### Zastrzeżenie patentowe

Układ cyfrowego przetwornika liniowo-logarytmicznego zawierający człon decyzyjny, człon mnożenia binarnego i człon składania sygnałów, znamienny tym, że jest zaopatrzony w człon **(UMW)** mnożenia przez dowolny, z góry zadany współczynnik z tym, że wejście sygnałowe (1) tego członu jest połączone z wejściem **(WE)**, do którego dołączone jest wejście sygnałowe (2) członu mnożenia binarnego **(UMB)** i wejście (16) członu decyzyjnego **(UD)**, natomiast wejście sterujące (3) członu mnożenia **(UMW)** połączone jest z wyjściem sterującym (6) członu decyzyjnego **(UD)**, zaś wyjście (4) jest połączone z wejściem informacyjnym (5) członu składania sygnałów **(USS)**, a wyjście sterujące (9) członu **(UD)** jest połączone z wejściem sterującym (10) członu **(UMB)**, podczas gdy do drugiego wejścia informacyjnego (15) członu **(USS)** jest dołączone wyjście (14) członu mnożenia binarnego **(UMB)**, przy czym wyjścia informacyjne (7) i (11) członu decyzyjnego **(UD)** są połączone z pozostałymi wejściami informacyjnymi (8) i (12) członu składania sygnałów **(USS)**.

