



(21) 申請案號：099135823 (22) 申請日：中華民國 99 (2010) 年 10 月 20 日

(51) Int. Cl. : H01L21/336 (2006.01) H01L21/28 (2006.01)

(30) 優先權：2009/12/09 美國 12/633,947

(71) 申請人：半導體組件工業公司 (美國) SEMICONDUCTOR COMPONENTS INDUSTRIES L.L.C. (US)
美國

(72) 發明人：葛利夫納 高登 M GRIVNA, GORDON M. (US) ; 賽勒斯 詹姆士 SELLERS, JAMES (US) ; 凡卡翠曼 普拉撒 VENKATRAMAN, PRASAD (US)

(74) 代理人：陳長文

申請實體審查：無 申請專利範圍項數：10 項 圖式數：26 共 42 頁

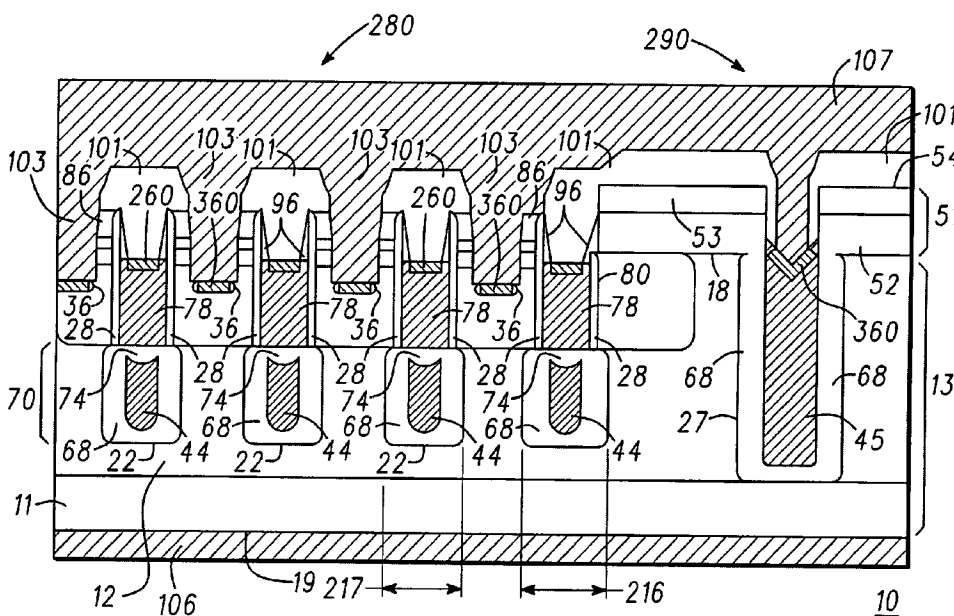
(54) 名稱

形成具有遮蔽電極結構的絕緣閘場效應電晶體裝置的方法

METHOD OF FORMING AN INSULATED GATE FIELD EFFECT TRANSISTOR DEVICE HAVING A SHIELD ELECTRODE STRUCTURE

(57) 摘要

在一個實施方式中，用於形成具有在溝槽區內的絕緣閘電極和絕緣遮蔽電極的電晶體的方法包括形成覆蓋在基板上的一次性電介質堆疊。該方法還包括形成鄰近一次性電介質堆疊的溝槽區。當絕緣閘電極被形成以後，該方法包括移除一次性電介質堆疊以及然後形成鄰近絕緣閘電極的間隔件。該方法還包括利用間隔件來在絕緣閘電極和基板中形成凹槽區，以及然後在第一凹槽區和第二凹槽區中形成增強區。



- 10：IGFET/MOSFET/電晶體
- 11：塊狀半導體基板/塊狀基板
- 12：外延層/漂移區/半導體層
- 13：半導體基板/基板
- 18：主表面
- 19：主表面
- 22：溝槽
- 27：溝槽
- 28：電介質層
- 36：接觸增強區
- 44：遮蔽電極
- 45：場電極接觸區

- 51：電介質堆疊
- 52：電介質層
- 53：電介質層
- 54：電介質堆疊的上表面
- 68：電介質層
- 70：絕緣場電極/絕緣遮蔽電極
- 74：電介質層
- 78：開電極
- 80：絕緣開電極
- 86：間隔件
- 96：間隔件
- 101：ILD 區域
- 103：接觸開口
- 106：接觸層
- 107：接觸結構
- 216：橫向寬度/橫向尺寸
- 217：橫向寬度/橫向尺寸
- 280：有效區
- 290：邊緣區
- 360：增強區

(21)申請案號：099135823

(22)申請日：中華民國 99 (2010) 年 10 月 20 日

(51)Int. Cl. :

H01L21/336 (2006.01)

H01L21/28 (2006.01)

(30)優先權：2009/12/09

美國

12/633,947

(71)申請人：半導體組件工業公司 (美國) SEMICONDUCTOR COMPONENTS INDUSTRIES L.L.C. (US)

美國

(72)發明人：葛利夫納 高登 M GRIVNA, GORDON M. (US) ; 賽勒斯 詹姆士 SELLERS, JAMES (US) ; 凡卡翠曼 普拉撒 VENKATRAMAN, PRASAD (US)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：10 項 圖式數：26 共 42 頁

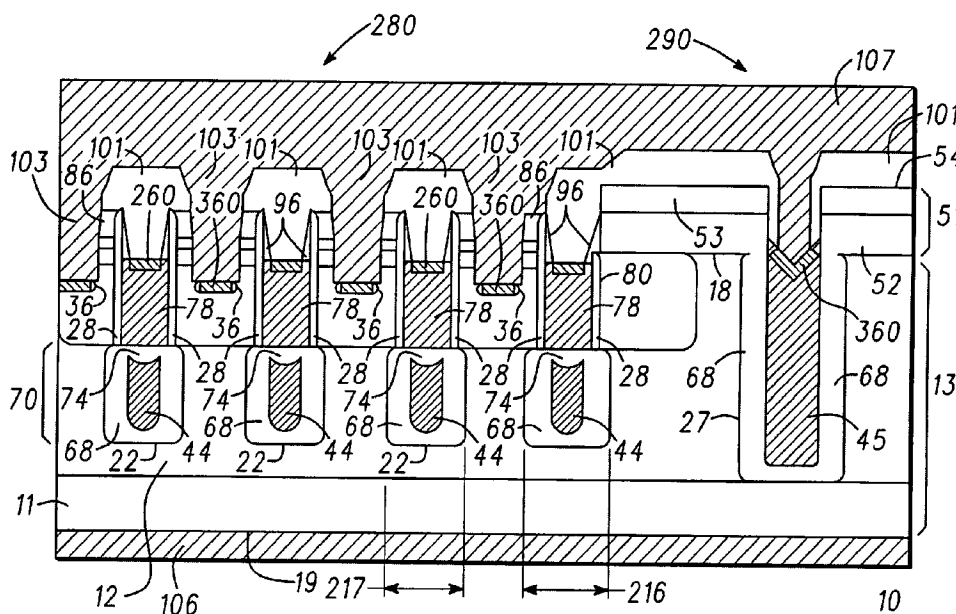
(54)名稱

形成具有遮蔽電極結構的絕緣閘場效應電晶體裝置的方法

METHOD OF FORMING AN INSULATED GATE FIELD EFFECT TRANSISTOR DEVICE HAVING A SHIELD ELECTRODE STRUCTURE

(57)摘要

在一個實施方式中，用於形成具有在溝槽區內的絕緣閘電極和絕緣遮蔽電極的電晶體的方法包括形成覆蓋在基板上的一次性電介質堆疊。該方法還包括形成鄰近一次性電介質堆疊的溝槽區。當絕緣閘電極被形成以後，該方法包括移除一次性電介質堆疊以及然後形成鄰近絕緣閘電極的間隔件。該方法還包括利用間隔件來在絕緣閘電極和基板中形成凹槽區，以及然後在第一凹槽區和第二凹槽區中形成增強區。



10：IGFET/MOSFET/
電晶體

11：塊狀半導體基板/
塊狀基板

12：外延層/漂移區/半
導體層

13：半導體基板/基板

18：主表面

19：主表面

22：溝槽

27：溝槽

28：電介質層

36：接觸增強區

44：遮蔽電極

45：場電極接觸區

六、發明說明：

【發明所屬之技術領域】

本檔通常涉及電子裝置，並且更具體地，涉及形成半導體裝置的方法。

【先前技術】

過去，半導體工業使用不同的裝置結構和方法以形成絕緣閘場效應電晶體(IGFET)裝置。垂直功率IGFET裝置的一個特殊的結構使用形成於裝置的有效區中的溝槽。這些溝槽的一部分被配置為裝置的閘極區。這些電晶體中的一些還具有遮蔽導體或場板，其被連接於源極並且被配置為說明提高阻斷電壓性能並降低裝置的閘極到汲極電容。

為了使場板對裝置性能產生有利的影響，需要非常緊湊的幾何結構。過去利用溝槽場板來形成IGFET裝置的方法依賴於一系列複雜的製程步驟並且使用覆蓋在溝槽閘極區上面的厚氧化層以形成自對準的源極和主體觸點。這些厚氧化層阻礙閘極矽化物結構的使用並且要求使用更厚的外延層、更深的溝槽和更深的蝕刻觸點。所有這些因素降低了裝置的整體製造性。

因此，期望有用於形成裝置結構的可調整的自對準製程，其導致更好的裝置性能、可靠性和更低的成本。

【實施方式】

為了說明的簡單和清楚，圖中的元件不一定按比例繪製，並且不同的圖中的相同元件符號表示相同的元件。此

外，為了說明的簡單，眾所周知的步驟和元件的描述和細節被省略。如本文所使用的載流電極表示裝置的一個元件，該元件乘載通過該裝置如MOS電晶體的源極或汲極、或雙極電晶體的發射極或集電極、或者二極體的陰極或陽極的電流；而控制電極表示裝置的一個元件，該元件控制通過該裝置如MOS電晶體的閘極或雙極電晶體的基極的電流。儘管這些裝置在本文中解釋為某些N溝道或P溝道裝置或者某些N型或P型摻雜區，但是本領域中具有通常知識者將認識到，根據本發明，互補裝置也是可能的。詞「近似地」或「實質上」的使用意味著元件的值具有被預期非常接近規定值或位置或狀態的參數。然而，如本領域中眾所周知的，始終存在阻礙這些值或位置確切地如規定的微小變化。本領域中完全公認，高達約百分之十(10%)(且對於半導體摻雜濃度高達百分之二十(20%))的變化被視為偏離確切地如所述的理想目標的合理變化。為了圖式的清楚，裝置結構的摻雜區被示為通常具有直線邊緣和精確角度的角。然而，本領域中具有通常知識者理解，由於摻雜物的擴散和活化，摻雜區的邊緣通常可能不是直線並且角可能不是精確的角度。

此外，儘管源極通常被顯示在裝置的頂表面或上表面上並且汲極通常被顯示在裝置的底表面或下表面上，但是這些方向是可逆的。此外，汲極觸點和源極觸點可能位於相同的表面或者相對的表面上。

此外，本描述可舉例說明蜂窩設計(其中主體區是多個蜂窩區)或單個主體設計(其中主體區由單個區構成，單個區以細長圖案、通常以蛇形圖案形成或以多個條紋形成)。然而，意圖是本描述可應用於蜂窩實現和單個基本實現。

通常，本描述涉及形成具有溝槽絕緣閘電極部分和溝槽絕緣遮蔽電極部分的IGFET半導體裝置或電晶體的方法。當形成溝槽結構時一次性電介質堆疊被使用，並且當以自對準或局部自對準方式形成一個或多個增強區時間隔件被使用。

在一個實施方式中，該方法給電晶體提供了絕緣遮蔽電極部分，該絕緣遮蔽電極部分係比絕緣閘電極部分更寬，或是與絕緣閘電極部分相比，該絕緣遮蔽電極部分更寬或者具有更大的橫向尺寸。在另一個實施方式中，絕緣遮蔽電極部分和絕緣閘電極部分具有相似的寬度或橫向尺寸。

在沒有高昂的資本投資的情況下，該方法實現了比習知技術結構更淺的溝槽結構、實現了更薄的外延層的使用、實現了閘極矽化物增強區的使用並實現了更小的幾何配置。此外，該方法提供了更容易製造並且具有提高的性能和可靠性的電晶體。

圖1示出了在製造的早期步驟時IGFET、MOSFET或電晶體10的第一個實施方式的局部橫截面圖。電晶體10形成於半導體材料的主體、半導體基板或基板13之上或內部。在一個實施方式中，半導體基板13包括塊狀半導體基板或塊

狀基板11，其具有形成為覆蓋在塊狀基板11的一個表面上或者鄰接塊狀基板11的一個表面的外延層或漂移區12。在一個實施方式中，塊狀基板11包括n型矽基板，其具有從約0.001 Ω -cm至約0.005 Ω -cm範圍內的電阻率。在一個實施方式中，塊狀基板11給電晶體10提供了汲極觸點或載流觸點。半導體基板13包括主表面18和19，其如圖1所示彼此相對。

在一個適合於50 V裝置的實施方式中，半導體層12是具有約 1.0×10^{16} 至 1.0×10^{17} atoms/cm³的摻雜物或摻雜濃度的n型並且具有從約3微米至約5微米的厚度。在另一個實施方式中，半導體層12可具有分級或階梯式摻雜分佈，其中摻雜濃度在接近層12的底部處更重，並且在接近頂部處變得更輕。根據電晶體10的期望汲極到源極擊穿電壓(BV_{DSS})額定值，半導體層12的厚度和摻雜濃度被增加或減小。應理解，其他材料可被用於半導體基板13或其部分(例如，半導體層12的部分及/或塊狀基板11的部分)，包括矽鍺、矽鍺碳、摻碳矽、碳化矽、絕緣體上半導體(SOI)等。此外，在可選的實施方式中，塊狀基板11或其一部分的導電類型被轉換為與半導體層12的導電類型相反以形成例如絕緣閘雙極電晶體(IGBT)實施方式。

圖1進一步示出了形成於半導體基板13的有效部分280中的主體區或p型高壓(PHV)區31。如本文所述，主體區31被歸入單數中，但是應理解，主體區可為多個單獨的區或單元。主體區31具有與半導體層12的導電類型相反的導電類

型。在該實施例中，主體區31為p型電導性。主體區31具有適合於形成反型層的摻雜濃度，該反型層作為電晶體10的導電溝道或導電溝道區來操作。主體區31從主表面18延伸到例如從約0.5微米至約2.0微米的深度。主體區31是在製造的早期階段時形成的，或者可在製造的後期階段形成，例如在溝槽區被形成之後。傳統的光刻、離子植入和退火技術被用於在半導體基板13的選擇或期望區域、部分或區中形成主體區31。

電介質堆疊、一次性電介質堆疊、電介質結構或絕緣堆疊51被形成為覆蓋在主表面18上，並且在所示的實施方式中包括電介質層52和電介質層53，其為不同的材料。具體地，電介質層52和53用給定的化學蝕刻劑以不同的速率蝕刻。也就是說，這些層相對於彼此具有選擇性。在一個實施方式中，電介質層52是氧化膜，並且具有從約0.1微米至約0.3微米的厚度。在一個實施方式中，電介質層52是利用熱氧化(即，濕氧化或蒸汽氧化)技術被形成的。在可選的實施方式中，電介質層52是利用化學汽相沉積(CVD)製程被形成。

在一個實施方式中，電介質層53是氮化物膜，並且具有從約0.1微米至約0.3微米的厚度。電介質層53是利用諸如等離子增強或低壓CVD製程技術的傳統技術被形成的。應理解，電介質堆疊51可包括額外的電介質膜。例如，硬遮罩層如沉積氧化物可被形成為覆蓋在電介質層53上。如圖1所示，電介質堆疊51包括主表面、上表面或第一表面

54。

圖2示出了在製造的隨後步驟時的電晶體10。傳統的光刻步驟和蝕刻步驟被用於形成覆蓋於主表面18上的開口或視窗58和59。開口58和59延伸而通過電介質堆疊51。開口58對應於溝槽結構將在有效區280中的半導體基板13中被形成的位置，而開口59對應於接觸結構將在邊緣區或邊緣區290中被形成的位置。在所示的實施方式中，接觸結構用於產生與絕緣遮蔽電極的接觸。儘管在該實施方式中未被示出，但是用於產生與絕緣閘電極的接觸的接觸結構也可被形成於邊緣區290中。開口58和59曝露主表面18的部分或區段。作為例子，開口58的寬度約為0.25微米至約0.35微米，而開口59的寬度約為0.6微米。

在開口58和59被形成之後，半導體基板13的被曝露區段被蝕刻以形成從主表面18延伸的溝槽22和27。作為例子，溝槽22和27是利用使用化學碳氟化合物(例如， SF_6/O_2)的等離子體蝕刻技術來形成的。此時，在根據第一實施方式的製程中，溝槽22和27被蝕刻到第一深度或初始深度，該深度剛好延伸至主體區31下方。作為例子，該初始深度為約0.8微米至約2.5微米，取決於主體區31的深度。作為例子，電晶體10具有從約0.8微米至約1.2微米的管腳間距尺寸29。

在溝槽22和27被形成之後，犧牲氧化層被形成為覆蓋在溝槽22和27中的半導體基板13的被曝露表面上。該步驟例如被用於清潔被曝露表面。作為例子，約0.08微米的熱氧

化物被形成。隨後，犧牲氧化物被移除。然後，電介質層28被形成為覆蓋在溝槽22和27中的半導體基板13的被曝露側壁和下表面上。在一個實施方式中，電介質層28被配置為閘電介質膜或層，並且是具有從約0.01微米至約0.1微米的厚度的熱氧化物。該步驟的一個特徵是在製程序列的早期時閘電介質層被形成並且電晶體10的閘長被確定，這除了其他益處以外還有利於保護關鍵的電介質半導體材料介面。在可選的實施方式中，上述犧牲氧化層維持在合適的位置處並且在下面所述的製程序列中被使用，以及閘電介質層在隨後的步驟被形成。

圖3示出了在額外的處理之後的電晶體10。多晶半導體層63被形成為覆蓋在電介質層28和電介質層52的側壁上。作為例子，層63包括約0.025微米厚的多晶矽層。然後，非等向性蝕刻被用於從溝槽22和27的下表面移除層63和28的區段。然後，電介質層64被形成為覆蓋在層63、溝槽22和27的下表面以及電介質堆疊51的側壁上。在一個實施方式中，電介質層64包括氮化物層並且具有約0.025微米的厚度。

圖4示出了在進一步的處理之後的電晶體10。電介質層66被形成為覆蓋在半導體基板13上，並且包括例如約0.05微米的沉積氧化物。然後，光阻層67被形成為覆蓋在半導體基板13上並且然後被圖案化以曝露包含溝槽27的邊緣區290。然後，電介質層66從邊緣區290移除，從而曝露溝槽27中的電介質層64以及電介質層53的區段。接下來，光阻

層 67 被移除，並且電介質層 64 從溝槽 27 被移除以形成開口 590 並且曝露半導體基板 13 的區段，如圖 5 所示。該步驟也可在鄰近溝槽 27 的邊緣區 290 中形成電介質層 54 的薄的部分。然後，電介質層 66 被進一步從溝槽 22 移除，如圖 5 所示。

圖 6 示出了在仍然進一步的處理之後的電晶體 10。非等向性乾蝕刻被用於從溝槽 22 的下表面移除電介質層 64 的區段以形成開口 580，同時留下覆蓋在層 63 上的電介質層 64 的其他區段。然後，使用例如利用化學碳氟化合物的乾蝕刻步驟，溝槽 22 和 27 被更深得蝕刻至半導體基板 13 中而通過開口 580 和 590，以形成遮蔽電極溝槽部分 222。然後，電介質層、遮蔽電極絕緣層或場電極絕緣層 68 沿著溝槽 22 的下部部分(即，沿著遮蔽電極溝槽部分 222)並且沿著溝槽 27 的表面被形成，如圖 7 所示。在一個實施方式中，電介質層 68 是約 0.2 微米厚的熱氧化物。並且，在該實施方式中，電介質層 68 比閘電極層 28 更厚。

圖 8 示出了在進一步的處理之後的電晶體 10。導電層被沉積為覆蓋在半導體基板 13 上。在一個實施方式中，導電層是摻雜有 n 型摻雜物的多晶矽，例如，磷是合適的。在可選的實施方式中，導電層是金屬、矽化物或其組合，包括與多晶矽的組合。然後，導電層在電介質堆疊 51 的表面 54 附近被平面化或回蝕。回蝕步驟或化學機械拋光或平面化(CMP)步驟被使用。接下來，光阻層被沉積並且被圖案化以形成覆蓋在包含溝槽 27 的邊緣區 290 上的遮蔽層 71。

然後，溝槽22中的導電層被部分地回蝕和凹入溝槽22的下部部分內，留下覆蓋在溝槽22的下部部分中的電介質層68上的遮蔽電極、導電遮蔽電極或場電極44。利用化學碳氟化合物的乾蝕刻製程適合於該步驟。場電極接觸層或區域45保持在溝槽27中。場電極44和電介質層68與電介質層74(在圖13中示出)一起形成了電晶體10的絕緣場電極或絕緣遮蔽電極70(同樣在圖13中示出)。

現在，參照圖9至圖12，遮蔽電極44的可選實施方式的局部橫截面圖被示出，遮蔽電極44被配置為減小電阻。在圖9中，遮蔽電極44進一步包括金屬或矽化物區444，其實質上在中央位於場電極44中，並且從場電極44的上部部分440延伸。區444包括對隨後的高溫處理有彈性的任何金屬或矽化物材料。為了形成區444，更薄的導電層被形成於溝槽22中，並且金屬或矽化物層被形成為覆蓋在導電層上。然後，這些層被回蝕以形成圖9所示的結構。在圖10中，遮蔽電極44進一步包括位於遮蔽電極44的下部部分441處的金屬或矽化物區445。在該實施方式中，首先區445被形成於溝槽22的下部部分中，並且然後遮蔽電極44被形成為覆蓋在區445上。

在圖11中，遮蔽電極44被形成為圍繞金屬或矽化物區446。除了區446比遮蔽電極44凹進得更深以外，區446與區444類似地被形成，並且額外的材料例如摻雜多晶矽被形成為覆蓋在區446上。在圖12中，遮蔽電極44進一步包括位於遮蔽電極44的上部部分448處的金屬或矽化物區

447。除了該實施方式中的導電層比圖9的實施方式中的導電層更厚以外，區447與區444類似地被形成。區444、445、446和447被配置為減小電阻，這除了其他優點以外還提高了轉換性能。

圖13示出了在額外的處理之後的電晶體10。首先，電介質層或遮蔽電極絕緣層74被形成為覆蓋在遮蔽電極44和導電遮蔽電極接觸區45上。在一個實施方式中，電介質層74為氧化物例如熱氧化物，並且具有約0.1微米的厚度。然後，通過利用例如選擇性蝕刻，電介質層64從溝槽22的側壁部分被移除。

然後，導電層被形成為覆蓋在半導體基板13上並且覆蓋在溝槽22內的絕緣遮蔽電極70上。在一個實施方式中，導電層是多晶矽，並且在本發明的實施方式中，導電層摻雜有n型摻雜物例如磷。在可選的實施方式中，導電層是金屬、矽化物或其組合，包括具有多晶矽的組合。然後，導電層的部分被移除以在溝槽22中形成或提供導電閘材料、電極或層78。在本實施方式中，導電層然後被平面化，以使導電閘電極78的上表面540鄰近電介質堆疊51的上表面54。回蝕步驟或CMP步驟被用於該平面化步驟。導電閘電極78、電介質層28和電介質層74形成了電晶體10的絕緣閘電極80。

圖14示出了在製造的後面步驟時的電晶體10。光阻層(未示出)被形成為覆蓋在半導體基板13上並且被圖案化以留下覆蓋在邊緣區290上的光阻層。接下來，電晶體10對

乾蝕刻步驟被曝露以從有效區280中的電介質層51移除電介質層53和電介質層52。基於氟的化學物質適合於該步驟。電介質層52的剩餘部分520可保留，如圖14所示，或者所有電介質層52被移除。在該步驟之後，閘電極80的部分781保持從主表面18延伸出去、從主表面18向外延伸或在主表面18之上延伸。然後，覆蓋在邊緣區290上的光阻層被移除。

接下來，電介質層52的任何剩餘部分520和覆蓋在遮蔽電極接觸區45上的電介質層74在濕剝除製程中被移除，如圖15所示。然後，遮蔽電介質層83被形成為覆蓋在閘電極78的部分781和溝槽22之間的主表面18的區段上。在一個實施方式中，遮蔽電介質層83是利用熱氧化技術被氧化形成的並且具有約0.05微米的厚度。接下來，n型源極區、導電區或載流區33被形成於主體區31內、被形成於主體區31中或覆蓋在主體區31上，並且從主表面18延伸到例如從約0.1微米至約0.5微米的深度。約 3.0×10^{15} atoms/cm²的磷或砷離子植入劑量和足以允許摻雜物滲入遮蔽電介質層83的植入能量被用於形成源極區33。然後，植入的摻雜物在此時或在隨後的處理時被退火。

圖16示出了在製造的又一步驟時的電晶體10。電介質層被形成為覆蓋在半導體基板13上，並且隨後被非等向性地蝕刻以形成接近或鄰近閘電極78的部分781的間隔件86。該蝕刻步驟也曝露了閘電極78的上表面540以及相鄰溝槽22之間的主表面18的區段180。在一個實施方式中，電介

質層為具有約0.2微米至約0.3微米的厚度的氮化物層。

根據本實施方式，乾蝕刻步驟被用於移除鄰近間隔件86的閘電極78的部分，並且被用於移除與間隔件86自對準的半導體基板13的部分，如圖17所示。該步驟形成了覆蓋在導電閘電極78上的凹槽部分88、半導體基板13內或具體地主體區31內的凹槽部分91以及覆蓋在遮蔽電極接觸區45上的凹槽部分92。凹槽部分91延伸至主體區31內，曝露了源極區33的表面330。凹槽部分88被形成。以使導電閘電極78保持在源極區33與主體區31之間的接合點上。在一個實施方式中，凹槽部分88、91和92使用利用SF₆/O₂化學物質的乾蝕刻製程被形成。可選地，HBr/Cl化學物質被使用。

圖18示出了在額外的處理之後的電晶體10。電介質層或隔板層被形成為覆蓋在半導體基板13上。在一個實施方式中，電介質層為沉積的氧化物並且具有約0.05微米的厚度。然後，電介質層被非等向性地蝕刻以在凹槽部分88、91和92中形成間隔件96。然後，p型摻雜物被離子植入主體區31中以形成與間隔件96自對準的接觸增強區36。在一個實施方式中，硼離子植入或一系列硼離子植入被用於形成接觸增強區36。作為例子，當單次植入被使用時，約 1.0×10^{14} atoms/cm²至約 2.0×10^{15} atoms/cm²的植入劑量被使用。接下來，植入的摻雜物被退火。儘管硼也被植入導電閘電極78和遮蔽電極接觸區45中，但是植入劑量不足以補償已經存在的n型摻雜物，因此p型區未被形成於這些區中。

然後，增強區360在導電閘電極78、遮蔽電極接觸區45和接觸增強區36中形成。增強區360也與間隔件96自對準。在一個實施方式中，增強區360為自對準的矽化物或矽化物區例如鈦矽化物或鈷矽化物，並且是利用傳統的矽化物形成技術被形成的。

根據本實施方式，間隔件96提供了幾個好處。具體地，它們消除或減少了任何可能的矽化物與閘極邊緣的相互作用，並且其次，間隔件96移動增強區36和360以進一步遠離閘極邊緣區，從而減小了電流擁擠問題的任何可能並且使對電晶體10的臨界電壓的有害影響最小化。

圖19示出了在額外的處理之後的電晶體10。層間電介質(ILD)膜被形成為覆蓋在半導體基板13上、被平面化並光刻地圖案化以形成ILD區域101和接觸開口103。在本實施方式中，ILD膜為摻雜有磷或硼和磷的沉積氧化矽，並且具有從約0.4微米至約1.0微米的厚度。較佳地，層間電介質膜被平面化以提供更均勻的表面拓撲，這提高了可製造性。較佳地，ILD膜包括由不同於被用於間隔件86的材料，這允許選擇性蝕刻被用於隨後的接觸蝕刻。在這種情況下，間隔件86有益地允許接觸開口103的局部自對準特徵。

接下來，接觸結構被形成為覆蓋在電晶體10的主表面18和19上，如圖20所示。接觸層106被形成為覆蓋在主表面19上並且是金屬層例如Ti/Ni/Ag、Cr/Ni/Au等。在電晶體10中，接觸層106被配置為汲極觸點或汲極電極。接觸結

構107被形成為覆蓋在主表面18上並且給主體區31中的增強區36/360、源極區33、場電極接觸區45提供電觸點並且直接給遮蔽電極44提供電觸點。在一個實施方式中，接觸結構107包括作為第一接觸層的Ti/TiN阻擋層、覆蓋在Ti/TiN阻擋層上的鎢塞和覆蓋在鎢塞上的鋁合金。在電晶體10中，接觸結構107被配置為源極觸點或源極電極。在最後的步驟中，鈍化層然後被形成為覆蓋在接觸結構107上並且被圖案化以給源極焊線或其他連接結構提供接觸區。儘管未被示出，但是另一個接觸結構被形成為覆蓋在主表面18上以給邊緣區290中的閘電極78提供觸點。根據本實施方式的方法的另一個特徵是它提供了具有橫向寬度或尺寸216的絕緣遮蔽電極70，該橫向寬度或尺寸216大於絕緣閘電極80的橫向寬度或尺寸217。

在一個實施方式中，電晶體10的操作如下進行。假設源極電極(或輸入端子)107和遮蔽電極44正在零伏特的電位 V_S 處操作，閘電極78接收2.5伏特的控制電壓 V_G ，其大於電晶體10的導電臨界值，並且汲極電極(或輸出端子)106在5.0伏特的汲極電位 V_D 處操作。 V_G 和 V_S 的值使主體區31反轉相鄰導電閘電極78以形成溝道，溝道使源極區33電連接於半導體層12。裝置電流 I_{DS} 從汲極電極106流出並且通過半導體層12、溝槽和源極區33按規定路線到達源極電極107。在一個實施方式中， I_{DS} 大約為1.0安培。為了使電晶體10轉換為關閉狀態，小於電晶體10的導電臨界值的控制電壓 V_G 被施加於閘電極78(例如： $V_G < 2.5$ V)。這移除了溝

道並且 I_{DS} 不再流過電晶體10。

遮蔽電極44被配置為控制主體區31與半導體層12之間的空乏層的寬度，這提高了源極到汲極擊穿電壓。並且，遮蔽電極44說明減小電晶體10的閘極到汲極電荷。此外，因為與其他結構相比，存在導電閘電極78與半導體層12的較少的重覆，因此電晶體10的閘極到汲極電容被減小。這些特徵進一步提高了電晶體10的轉換特徵。

圖21示出了電晶體10的可選的實施方式。在該實施方式中，如圖18所示，間隔件96未被使用，並且增強區360進一步沿著與主體區31和源極區33鄰近的凹槽區91的側壁部分被形成。這個可選的實施方式的一個益處是產生與主體區31和源極區33的增強接觸。

圖22至圖26示出了形成具有與電晶體10相似的絕緣遮蔽電極和絕緣閘電極的電晶體100的可選的方法。然而，與電晶體10相反，用於形成電晶體100的該方法在一個步驟中將溝槽22和27蝕刻到它們的目標深度，並且絕緣閘電極和絕緣遮蔽電極具有近似相同的橫向寬度。

圖22示出了在電介質堆疊51被形成為覆蓋在半導體基板13的主表面18上之後的電晶體100。開口58和59被形成，但是在蝕刻溝槽22和27之前，可選的電介質層被形成為覆蓋在半導體基板13上並且被非等向性地蝕刻以形成間隔件109。在一個實施方式中，間隔件109為氮化矽並且具有約0.05微米的厚度。在間隔件109被形成以後，溝槽22和27被形成為從主表面18延伸並且與間隔件109自對準。如上

所述，在該實施方式中，在製造的這個步驟，溝槽22和27被蝕刻至它們的最終目標深度。

接下來，電介質層168被形成為覆蓋在溝槽22和27的表面上，如圖23所示。在一個實施方式中，電介質層168為氧化物例如濕氧化物並且具有約0.1微米的厚度。然後，導電層被形成為覆蓋在半導體基板13上，後面是光阻層，其被圖案化以留下光阻層的覆蓋在邊緣區290上的一部分。然後，導電層的部分從溝槽22被移除，從而留下在溝槽22的下部部分中的遮蔽電極44。在一個實施方式中，遮蔽電極44包括摻雜的多晶矽。在可選方案中，遮蔽電極44包括金屬或矽化物，或者可包括圖9至圖12中所示的和所述的實施方式。在遮蔽電極44被形成以後，光阻層被移除。遮蔽電極接觸區45保持在溝槽27中。

圖24示出了在製造的後面階段時的電晶體100。可選的步驟被用於移除保持覆蓋在溝槽22中的電介質層168的被曝露表面上的任何剩餘的導電材料。對於這個可選的步驟，當導電材料包括多晶矽時，小於約0.1微米的濕氧化物在溝槽22中形成。該氧化物和電介質168的沿著遮蔽電極44上的溝槽22的側壁的那些部分被移除。接下來，溝槽22中的半導體基板13的被曝露表面被清洗，並且電介質層128被形成為覆蓋在溝槽22的被曝露表面上。並且，電介質層129被形成為覆蓋在遮蔽電極44上。電介質層128被配置為電晶體100的閘電介質層。在一個實施方式中，電介質層128為氧化物並且具有約0.01微米至約0.1微米之間的

厚度。儘管電介質層 129 與電介質層 128 同時被形成，當遮蔽電極 44 為多晶矽時，由於與多晶矽的氧化相關聯的較快的生長速率，電介質層 129 通常比電介質層 128 更厚。

圖 25 示出了在額外的處理之後的電晶體 100。導電層被形成為覆蓋在半導體基板 13 上並且被平面化以形成導電的閘電極 78，其包括前述材料。導電的閘電極 78 具有接近電介質堆疊 51 的上表面 54 的上表面 540。光阻/回蝕或 CMP 技術被用於平面化導電層以形成導電的閘電極 78。導電的閘電極 78、電介質層 128 和電介質層 129 形成了絕緣閘電極 80，而遮蔽電極 44、電介質層 168 和 129 形成了絕緣遮蔽電極 70。

接下來，光阻層(未示出)被形成為覆蓋在半導體基板 13 上並且被圖案化以留下光阻層的覆蓋在邊緣區 290 上的部分。然後，有效區 280 中的電介質層 53 和 109 被移除並且然後光阻層被剝除。然後，有效區 280 中的電介質層 52 被移除，如圖 26 所示。在該步驟之後，絕緣閘電極 80 的部分 781 保持從主表面 18 延伸或者在主表面 18 之上延伸。然後，遮蔽電介質層 183 被形成為覆蓋在溝槽 22 之間的半導體基板 13 的被曝露區段上並且覆蓋在導電的閘電極 78 和遮蔽電極接觸層 45 上。在一個實施方式中，遮蔽電介質層 183 為約 0.03 微米至約 0.1 微米厚度的氧化物。接下來，源極區 33 在主體區 31 中形成。此時，根據圖 16 至圖 21 以及相關聯的描述，電晶體 100 的處理繼續。

鑑於上面的所有內容，顯然公開了形成具有絕緣遮蔽電

極區和絕緣閘電極區的電晶體的新穎的方法。連同其他特徵包括的是利用一次性電介質堆疊來形成絕緣閘電極區，移除一次性電介質堆疊並且然後形成鄰近絕緣閘電極區的第一組間隔件。還包括的是利用第一組間隔件來在絕緣閘電極區中形成第一凹槽區並且在半導體基板中形成第二凹槽區，然後在第一凹槽區和第二凹槽區中形成增強區。在又一個實施方式中，該方法包括在第一凹槽區和第二凹槽區中形成第二組間隔件，以及形成與第二組間隔件自對準的增強區。一次性電介質堆疊實現鄰近絕緣閘電極區的第一組間隔件的形成，這提供了與電晶體的自對準接觸區。第一組間隔件還在該製程的後期提供了凹槽部分的形成，這實現了矽化物增強區的使用。

該方法進一步包括在溝槽形成期間使用一次性電介質隔板層，這減小了光刻要求並且實現了在溝槽中多次氧化和濕剝除循環的使用。這改善了製程控制、靈活性和可製造性。

雖然本發明的主題利用具體的較佳實施方式被描述，但是顯然對半導體領域中具有通常知識者來說很多替換和變化是明顯的。更具體地，儘管該方法可直接應用於在其他半導體材料上形成的其他電晶體以及BiCMOS、金屬半導體FET(MESFET)、HFET、IGBT和其他晶體結構，但是本發明的主題是針對矽基板上的特殊N溝道MOS電晶體結構描述的。

【圖式簡單說明】

圖1至圖8示出了在製造的早期階段和製造的後續階段的IGFET裝置的第一實施方式的局部橫截面圖；

圖9至圖12示出了絕緣遮蔽電極的可選實施方式的局部橫截面圖；

圖13至圖20示出了在製造的隨後階段期間圖1至圖8的IGFET裝置的局部橫截面圖；

圖21示出了IGFET裝置的另一個實施方式的局部橫截面圖；及

圖22至圖26示出了在製造的早期階段的IGFET裝置的另一個實施方式的局部橫截面圖。

【主要元件符號說明】

10	IGFET/MOSFET/電晶體
11	塊狀半導體基板/塊狀基板
12	外延層/漂移區/半導體層
13	半導體基板/基板
18	主表面
19	主表面
22	溝槽
27	溝槽
28	電介質層
29	管腳間距尺寸
31	主體區
33	源極區
36	接觸增強區

44	遮蔽電極
45	場電極接觸區
51	電介質堆疊
52	電介質層
53	電介質層
54	電介質堆疊的上表面
58	視窗/開口
59	視窗/開口
63	多晶半導體層
64	電介質層
66	電介質層
67	光阻層
68	電介質層
70	絕緣場電極/絕緣遮蔽電極
71	遮蔽層
74	電介質層
78	閘電極
80	絕緣閘電極
83	遮蔽電介質層
86	間隔件
88	凹槽部分
91	凹槽部分
92	凹槽部分
96	間隔件

100	電晶體
101	ILD區域
103	接觸開口
106	接觸層
107	接觸結構
109	電介質層
128	電介質層
129	電介質層
168	電介質層
180	區段
183	電介質層
216	橫向寬度/橫向尺寸
217	橫向寬度/橫向尺寸
222	遮蔽電極溝槽部分
280	有效區
290	邊緣區
330	源極區的表面
360	增強區
440	場電極的上部部分
441	遮蔽電極的下部部分
444	區
445	金屬/矽化物區/區
446	區
447	區

448	遮蔽電極的上部部分
520	電介質層的剩餘部分
540	閘電極的上表面
580	開口
590	開口
781	閘電極的部分

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：991358>>

※申請日期：99.10.20

※IPC 分類：H01L 21/336 (2006.01)

一、發明名稱：(中文/英文)

H01L 21/28 (2006.01)

形成具有遮蔽電極結構的絕緣閘場效應電晶體裝置的方法

METHOD OF FORMING AN INSULATED GATE FIELD EFFECT
TRANSISTOR DEVICE HAVING A SHIELD ELECTRODE
STRUCTURE

二、中文發明摘要：

在一個實施方式中，用於形成具有在溝槽區內的絕緣閘電極和絕緣遮蔽電極的電晶體的方法包括形成覆蓋在基板上的一次性電介質堆疊。該方法還包括形成鄰近一次性電介質堆疊的溝槽區。當絕緣閘電極被形成以後，該方法包括移除一次性電介質堆疊以及然後形成鄰近絕緣閘電極的間隔件。該方法還包括利用間隔件來在絕緣閘電極和基板中形成凹槽區，以及然後在第一凹槽區和第二凹槽區中形成增強區。

三、英文發明摘要：

In one embodiment, a method for forming a transistor having insulated gate electrodes and insulated shield electrodes within trench regions includes forming disposable dielectric stack overlying a substrate. The method also includes forming the trench regions adjacent to the disposable dielectric stack. After the insulated gate electrodes are formed, the method includes removing the disposable dielectric stack, and then forming spacers adjacent the insulated gate electrodes. The method further includes using the spacers to form recessed regions in the insulated gate electrodes and the substrate, and then forming enhancement regions in the first and second recessed regions.

七、申請專利範圍：

1. 一種形成半導體裝置的方法，包括以下步驟：

提供具有一主表面的一半導體基板；

形成覆蓋在該主表面上的一電介質堆疊，其中該電介質堆疊包括至少兩層不同的材料，並且其中該電介質堆疊具有一第一表面；

在該電介質堆疊中形成第一開口；

在該半導體基板中形成通過該等第一開口到一第一深度的溝槽；

在該溝槽的下部部分中形成絕緣遮蔽電極；

在該絕緣遮蔽電極上方的該等溝槽中形成絕緣閘電極，其中該等絕緣閘電極包括具有鄰近該第一表面的上表面的一導電閘材料；

移除至少部分的該電介質堆疊，從而留下該導電閘材料在該主表面上延伸的部分；

形成鄰近該導電閘材料的該等部分的第一間隔件，其中該主表面的區段被曝露於相鄰的溝槽之間；

移除與該等第一間隔件自對準的該導電閘材料的部分和該半導體基板的部分，其中該移除步驟形成覆蓋在該導電閘材料上的第一凹槽部分和在該半導體基板內的第二凹槽部分；

在該等第一凹槽部分和該等第二凹槽部分中形成第二間隔件；

在與該等第二間隔件自對準的該等第一凹槽部分和該

等第二凹槽部分中形成增強區；

形成覆蓋該等第一凹槽部分的絕緣區；以及

形成通過該等第二凹槽部分耦合到該半導體基板的第一導電層。

2. 如請求項1的方法，其中形成該等絕緣遮蔽電極的該步驟包括以下步驟：

形成覆蓋該等溝槽之表面的一第一電介質層，其中該第一電介質層具有一第一厚度；

形成覆蓋該第一電介質層的一第二電介質層，其中該第一電介質層和該第二電介質層包括不同的材料；

形成沿著該等溝槽的下部部分通過該第一電介質層和該第二電介質層的第二開口；

使該等溝槽形成為通過該第二開口到大於該第一深度的一第二深度以形成遮蔽電極溝槽部分；

形成沿著該等遮蔽電極溝槽部分的表面的一第三電介質層，其中該第三電介質層具有一第二厚度；

形成覆蓋該第三電介質層的遮蔽電極，其中該等遮蔽電極係凹進該等溝槽內；以及

形成覆蓋該等遮蔽電極的一第四電介質層。

3. 如請求項2的方法，其中形成該等遮蔽電極的該步驟包括形成包含多晶矽和一矽化物的該等遮蔽電極。

4. 如請求項1的方法，其中移除至少部分的該電介質堆疊的該步驟包括以下步驟：

移除所有的該電介質堆疊；以及

曝露該主表面上方的導電閘材料。

5. 一種用於形成半導體裝置的方法，包括以下步驟：

提供一半導體基板，其具有一主表面、一對相鄰溝槽，和覆蓋在該對相鄰溝槽之間的該主表面上的一電介質堆疊，其中每個溝槽包括一絕緣閘電極部分，該絕緣閘電極部分包括形成有鄰近該電介質堆疊的一上表面的第一表面的一閘電極層；

移除沿著該主表面上的該絕緣閘電極的側表面的該電介質堆疊；

形成鄰近該等側表面的第一間隔件；

移除鄰近該等第一間隔件的該閘電極層的一部分以形成一第一凹槽部分；

移除該半導體基板的一部分以形成與該第一間隔件自對準的一第二凹槽部分；以及

在該第一凹槽部分和該第二凹槽部分中形成增強區。

6. 如請求項5的方法，其中提供該半導體基板的該步驟進一步包括：給一第一導電類型的一半導體基板提供形成於相鄰的溝槽之間的一第二導電類型的一主體區以及形成於該主體區內的源極區，形成該等增強區的方法包括形成沿著鄰接該等源極區的該第二凹槽部分之側表面的該等增強區。

7. 如請求項5的方法，更包括在形成該等增強區的該步驟之前，在該第一凹槽部分和第二凹槽部分中形成第二間隔件的步驟，並且其中形成該等增強區的該步驟包括形

成與該等第二間隔件自對準的該等增強區。

8. 如請求項5的方法，其中提供該半導體基板的該步驟包括提供一半導體基板，其中每個溝槽包括位於該絕緣閘電極部分之下的一絕緣遮蔽電極部分。

9. 一種用於形成半導體裝置的方法，包括以下步驟：

提供一半導體基板，其具有一主表面、一對相鄰的溝槽，和覆蓋該對相鄰的溝槽之間的該主表面的一電介質堆疊，其中每個溝槽包括包含一閘電極層的一絕緣閘電極部分和位於該絕緣閘電極部分下的一絕緣遮蔽電極部分；

移除沿著該主表面上方的該絕緣閘電極的側表面的該電介質堆疊；

形成鄰近該等側表面的第一間隔件；

移除鄰近該等第一間隔件的該閘電極層的一部分以形成一第一凹槽部分；

移除該半導體基板的一部分以形成與該等第一間隔件自對準的一第二凹槽部分；

在該第一凹槽部分和該第二凹槽部分中形成第二間隔件；以及

在與該等第二間隔件自對準的該第一凹槽部分和該第二凹槽部分中形成增強區。

10. 如請求項9的方法，其中提供該半導體基板的該步驟包括提供該半導體基板，其中至少一絕緣遮蔽電極部分具有比至少一個絕緣閘電極部分的一橫向尺寸更寬的一橫向尺寸。

八、圖式：

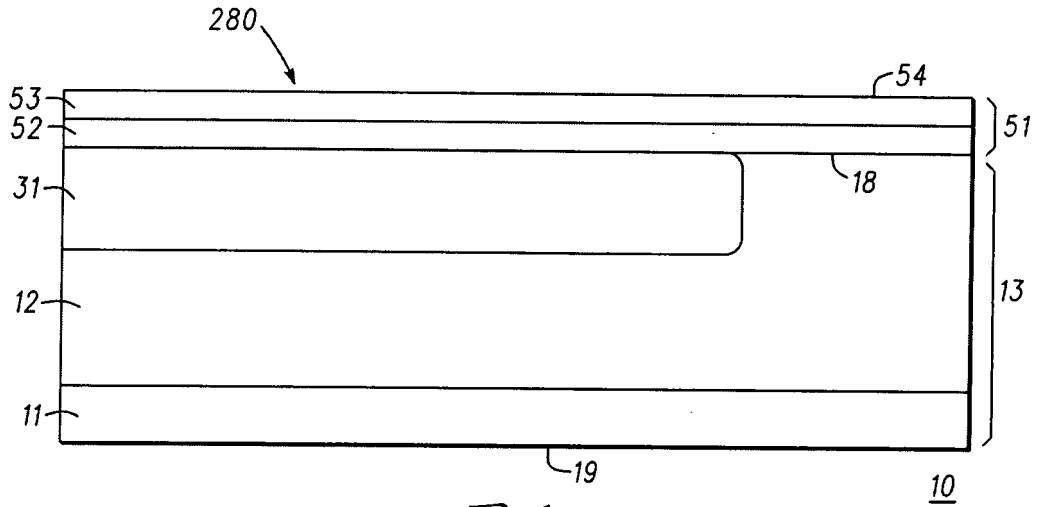


圖 1

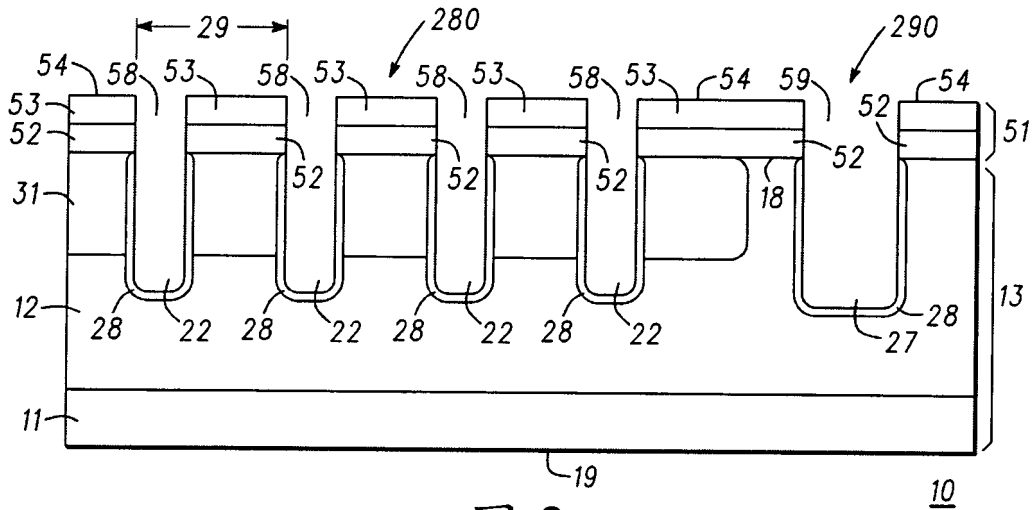


圖 2

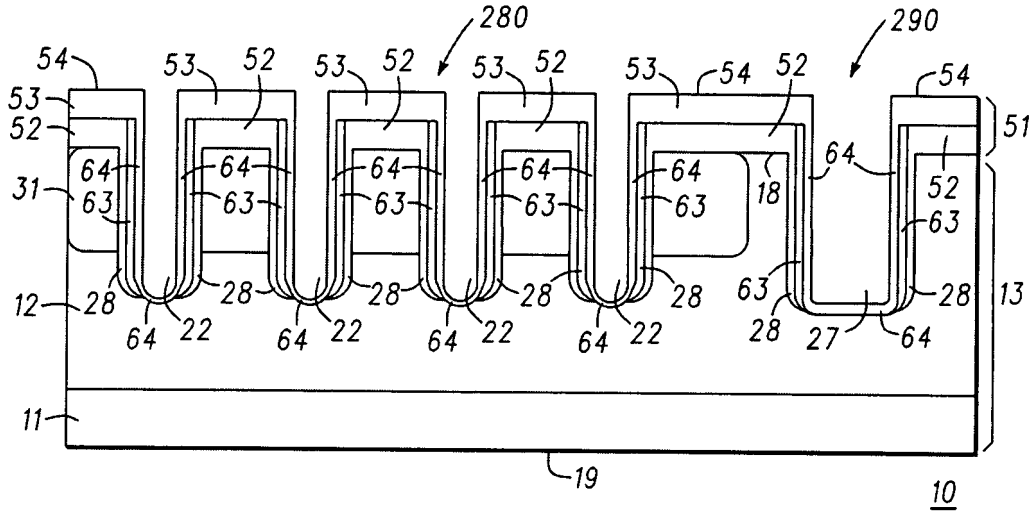


圖 3

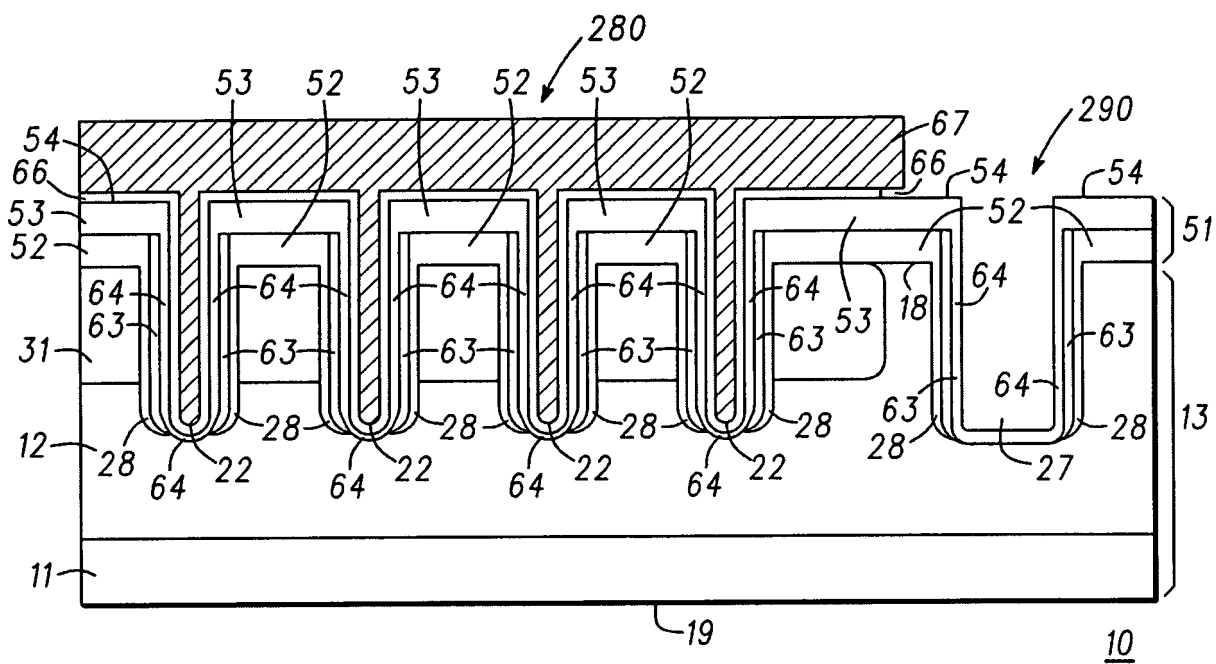


圖 4

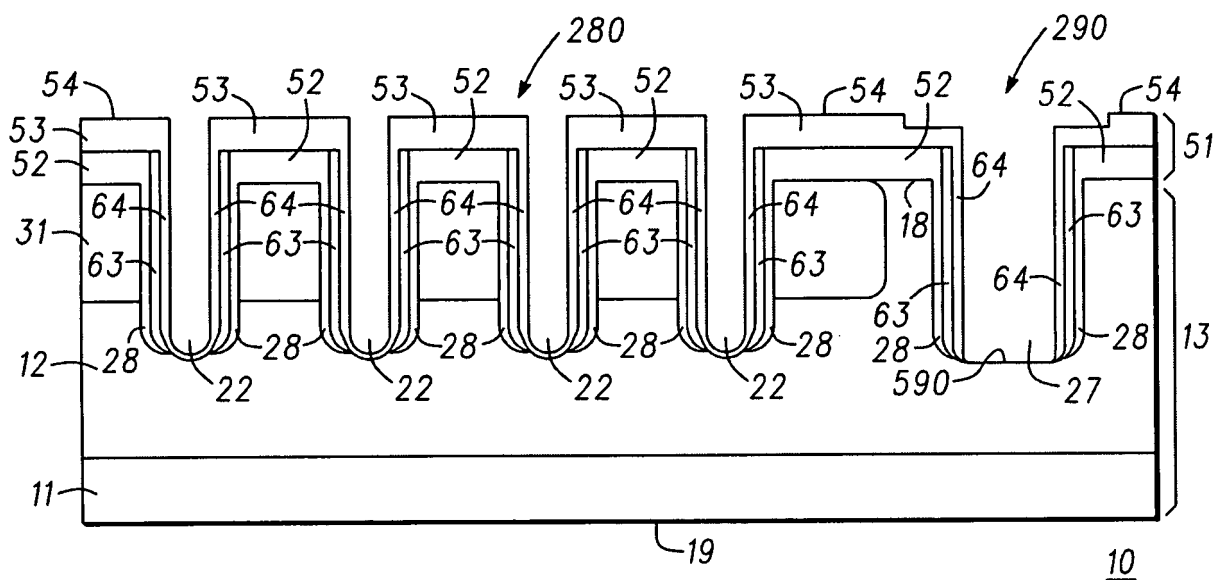


圖 5

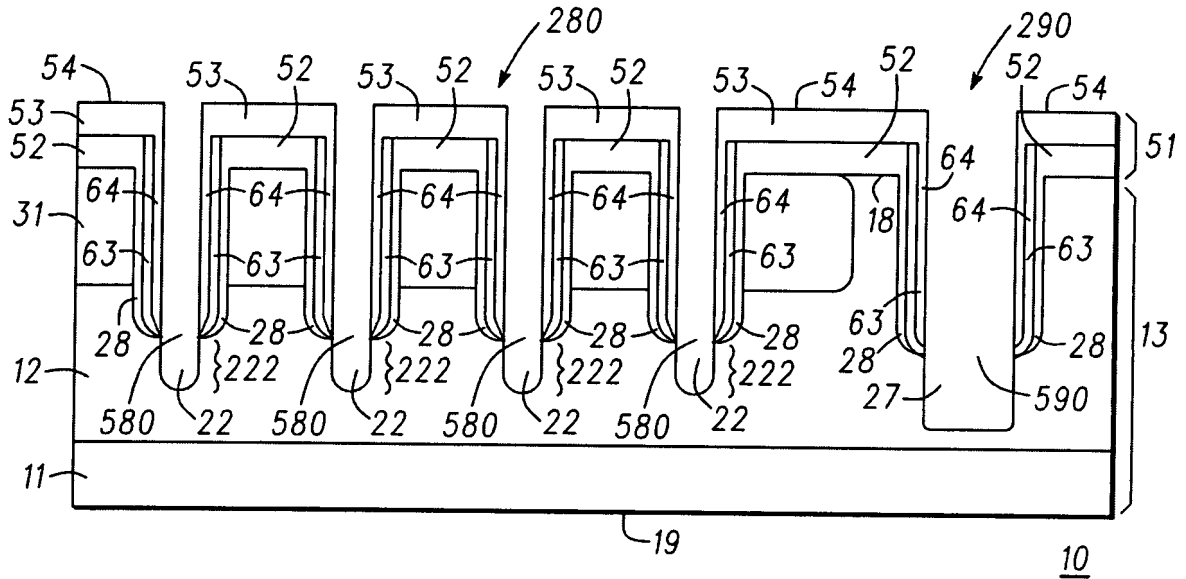


圖 6

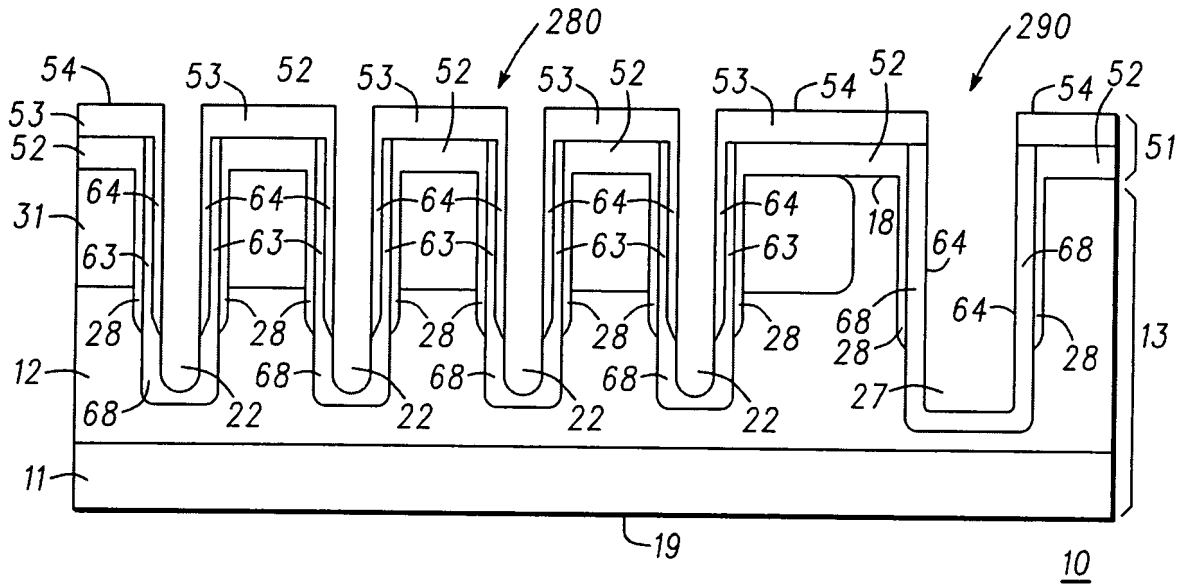


圖 7

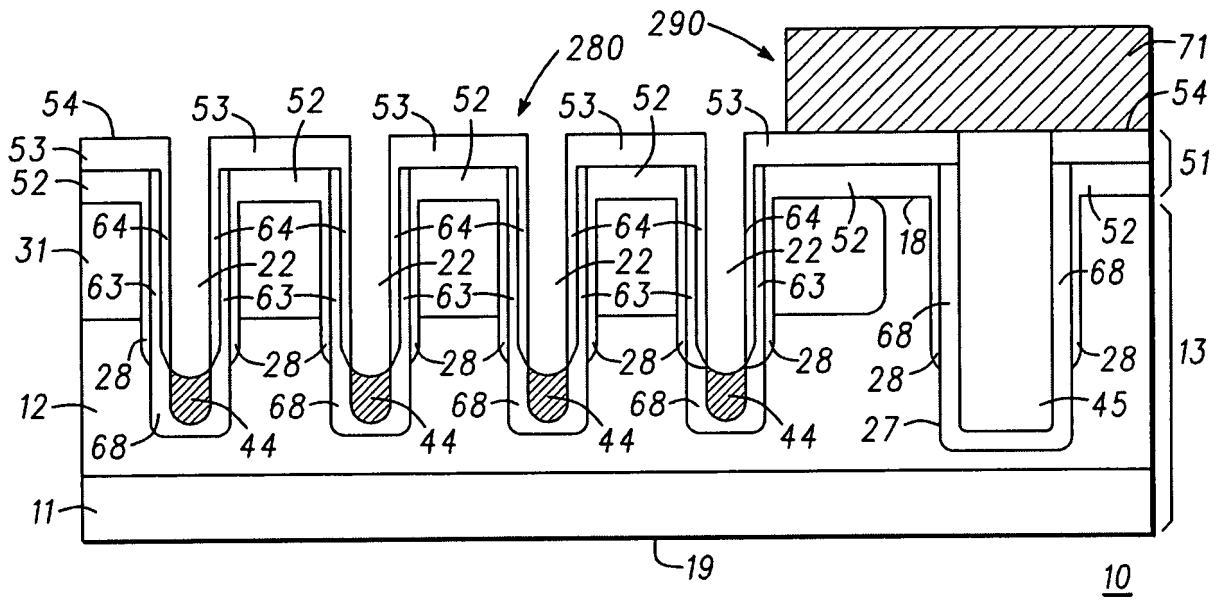


圖 8

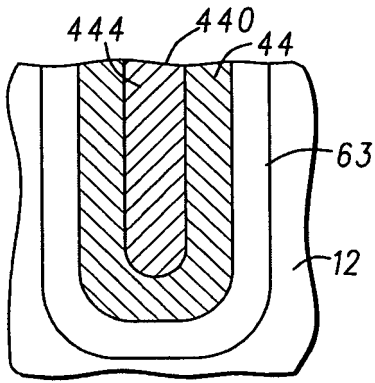


圖 9

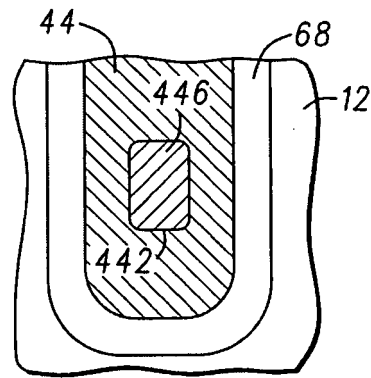


圖 11

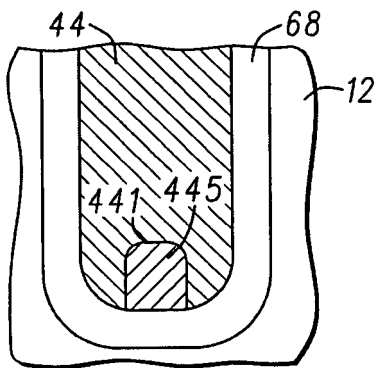


圖 10

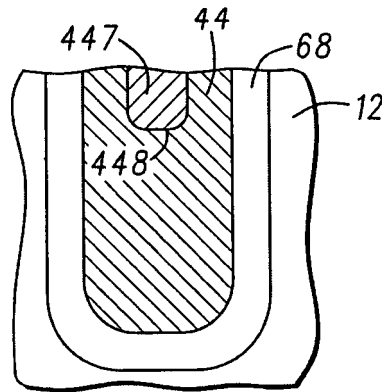


圖 12

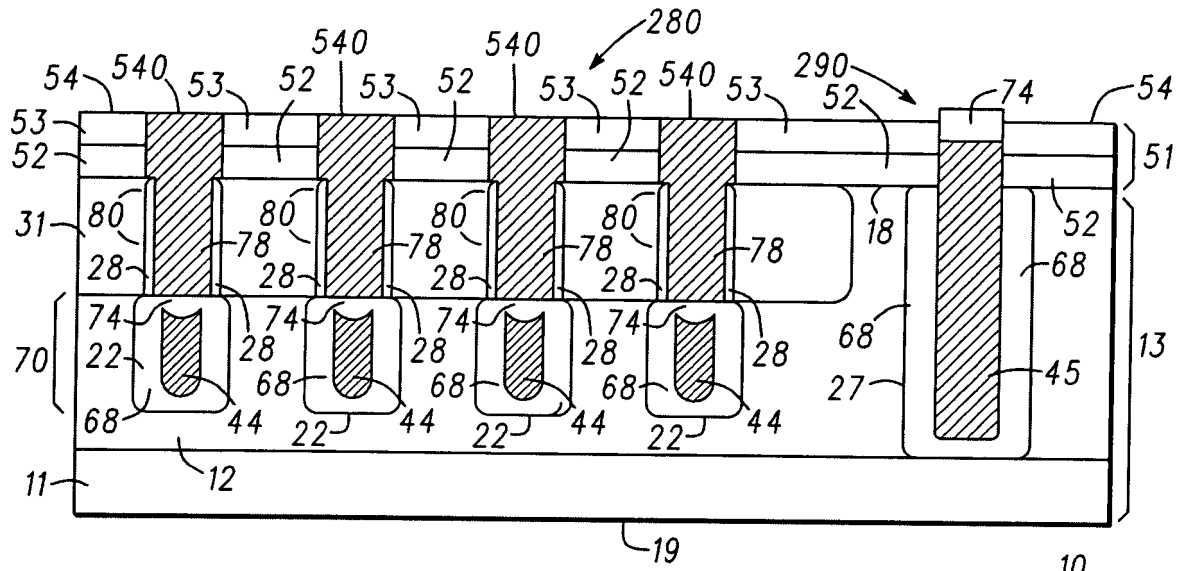


圖 13

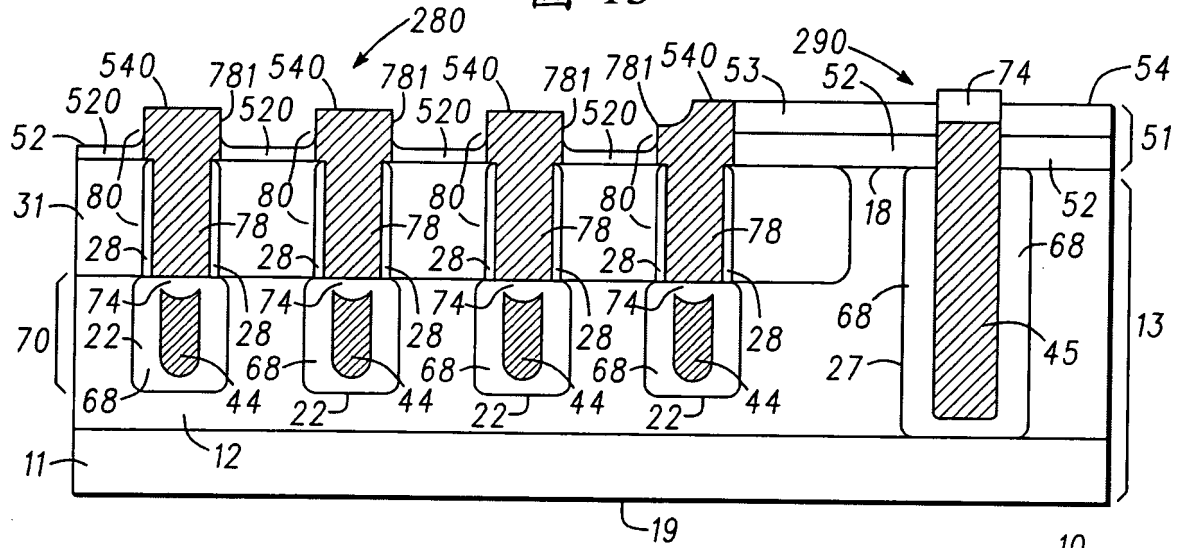


圖 14

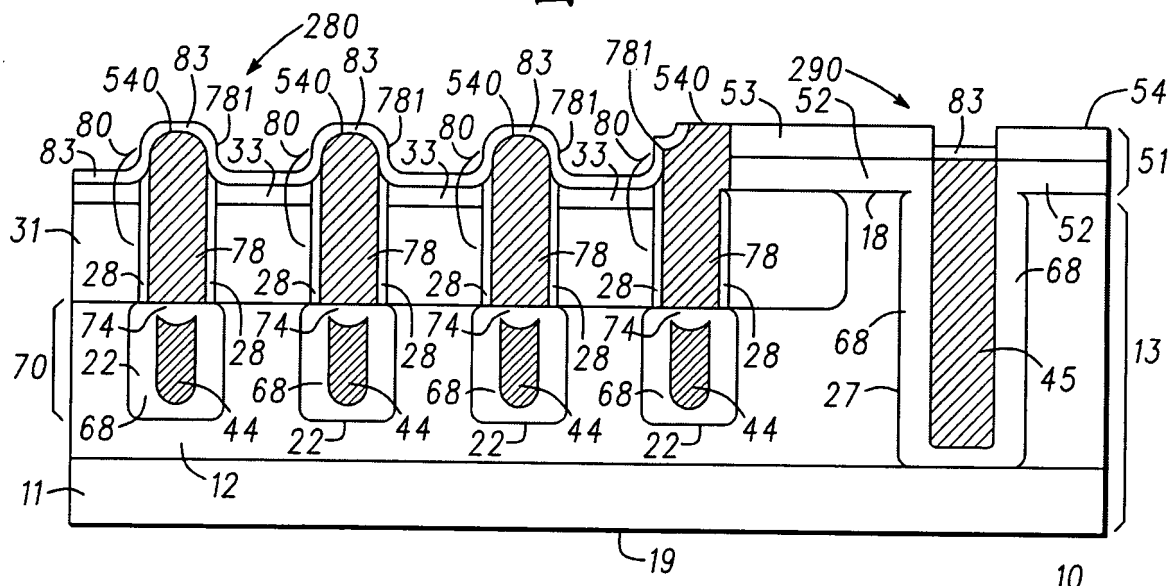


圖 15

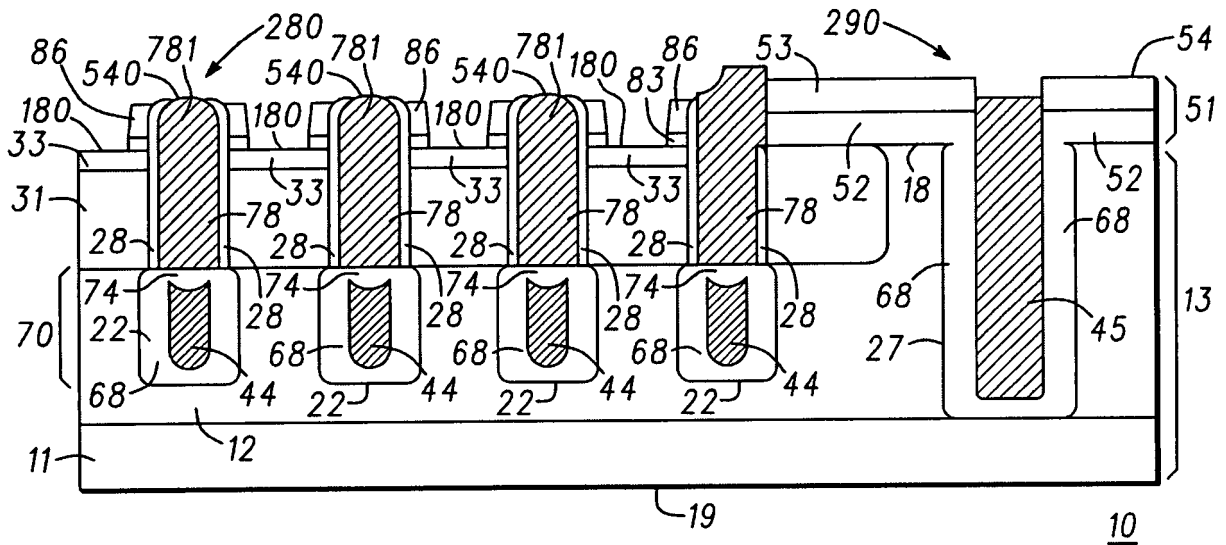


圖 16

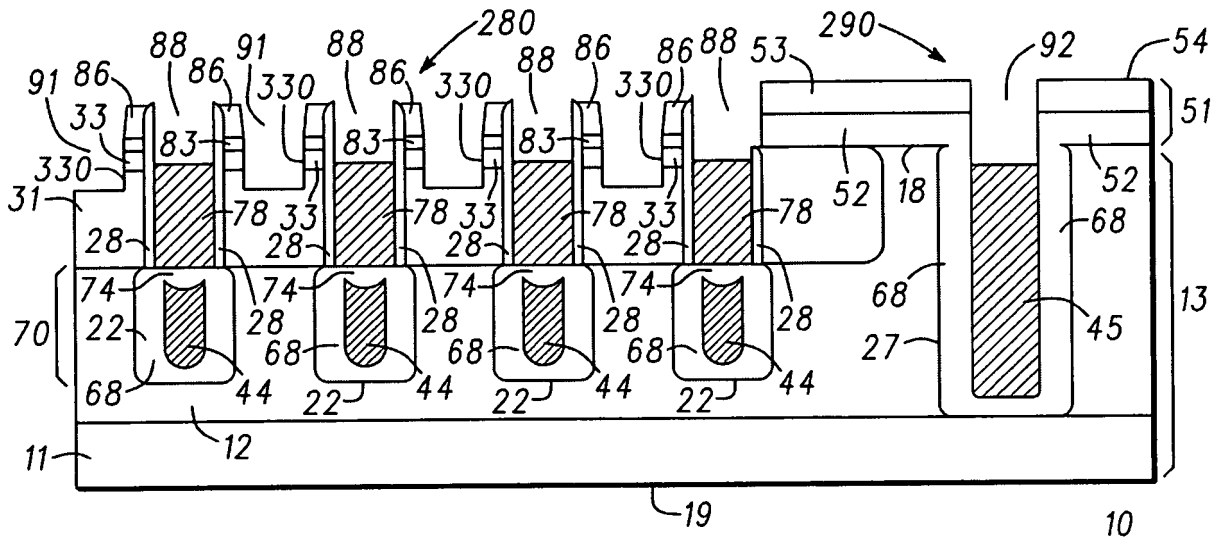


圖 17

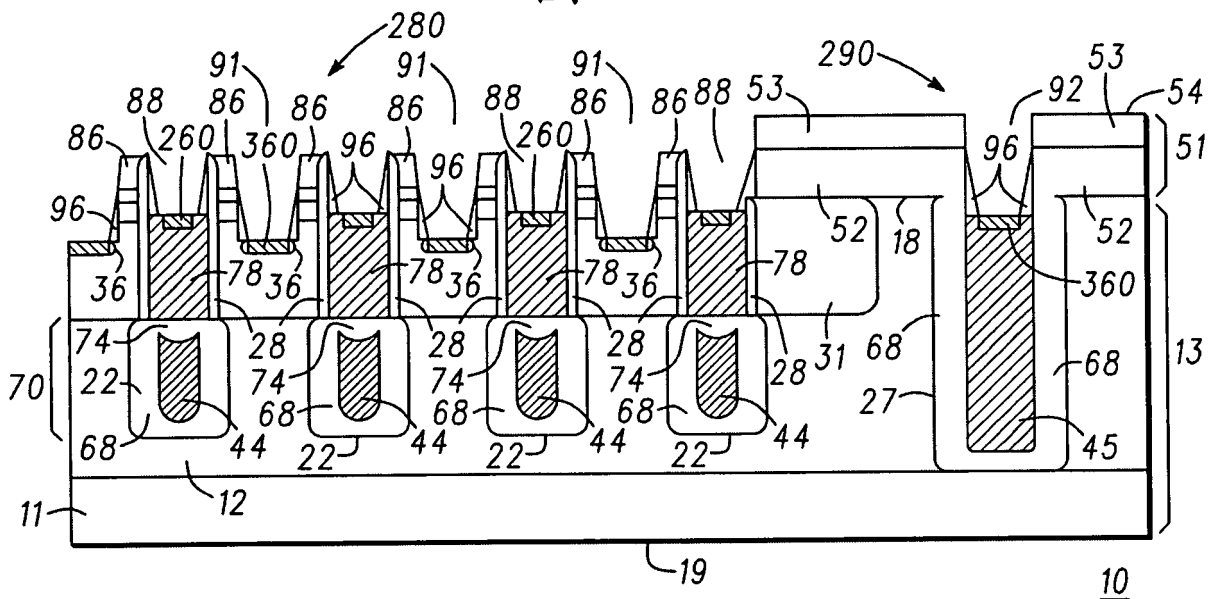


圖 18

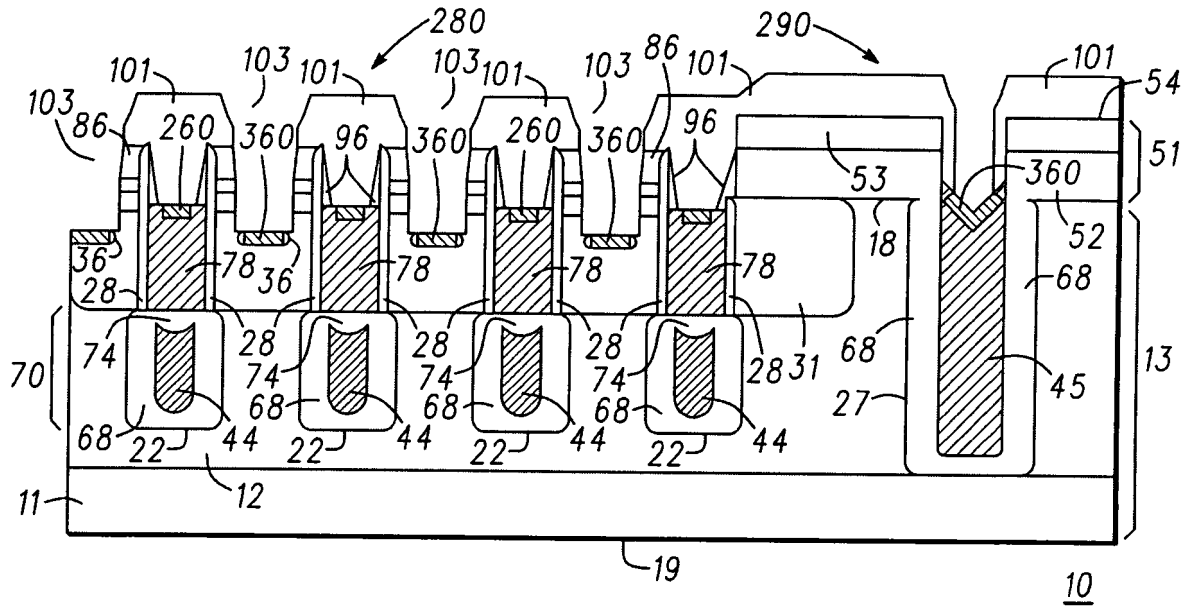


圖 19

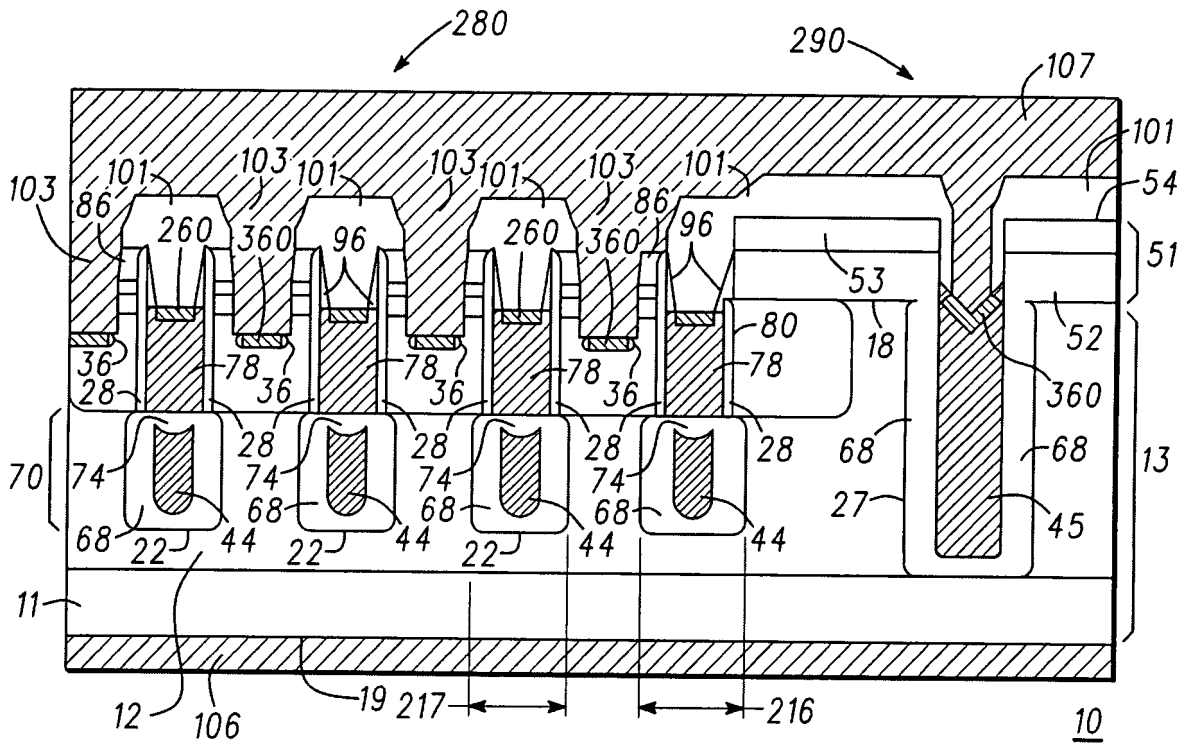


圖 20

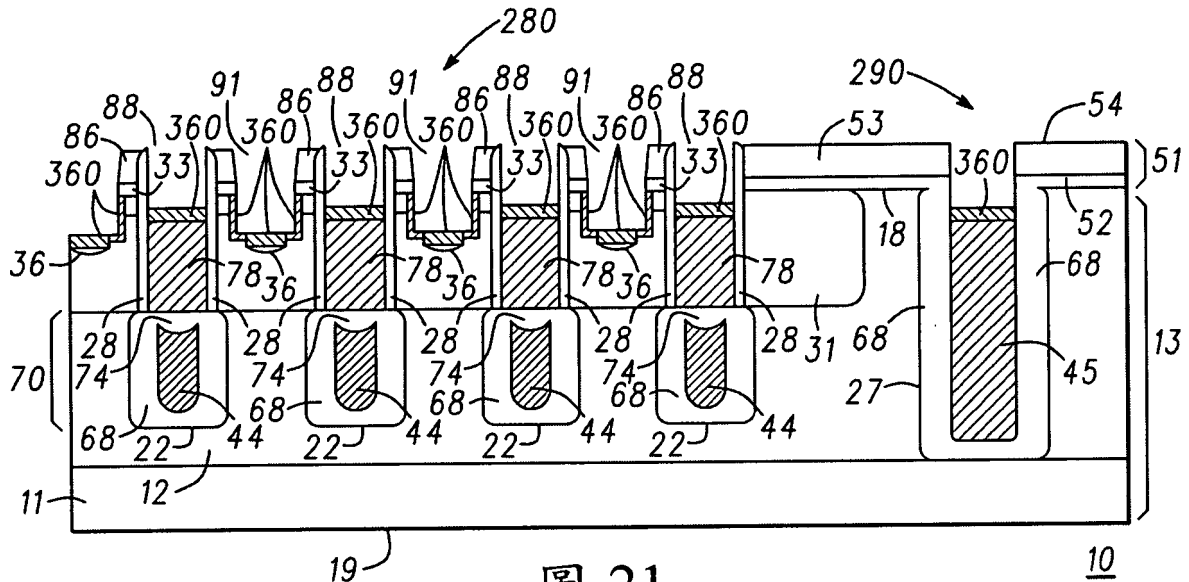


圖 21

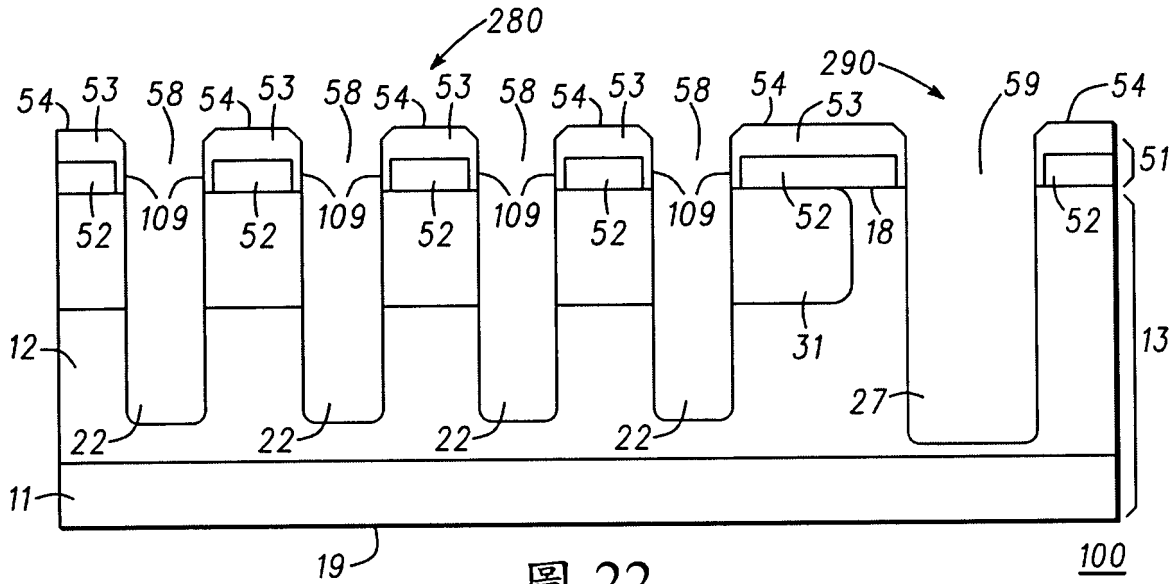


圖 22

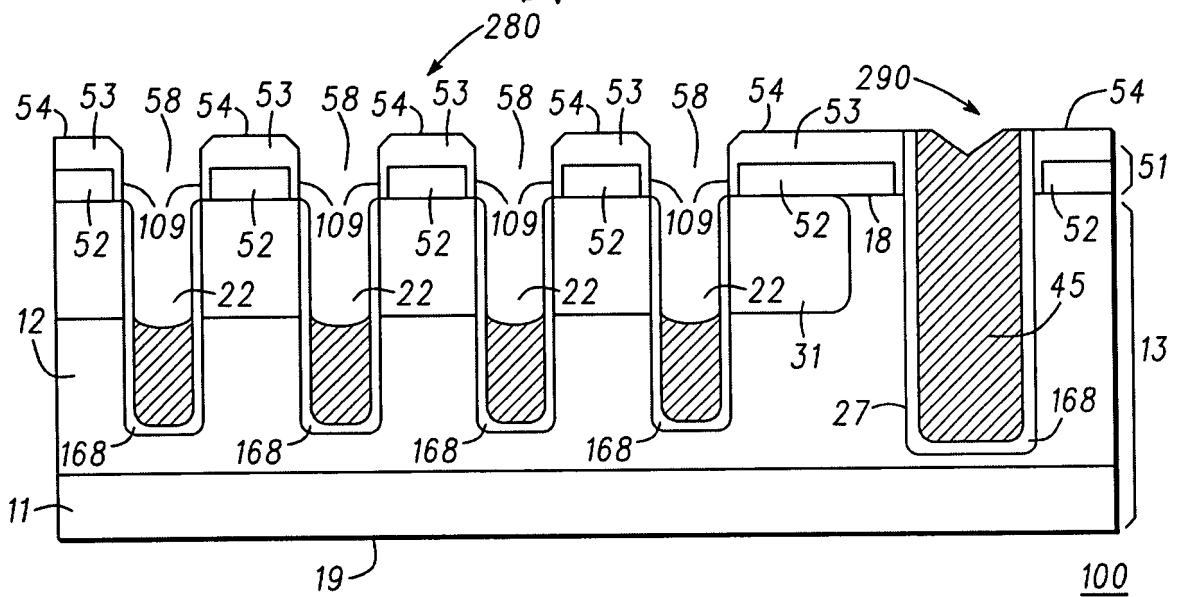


圖 23

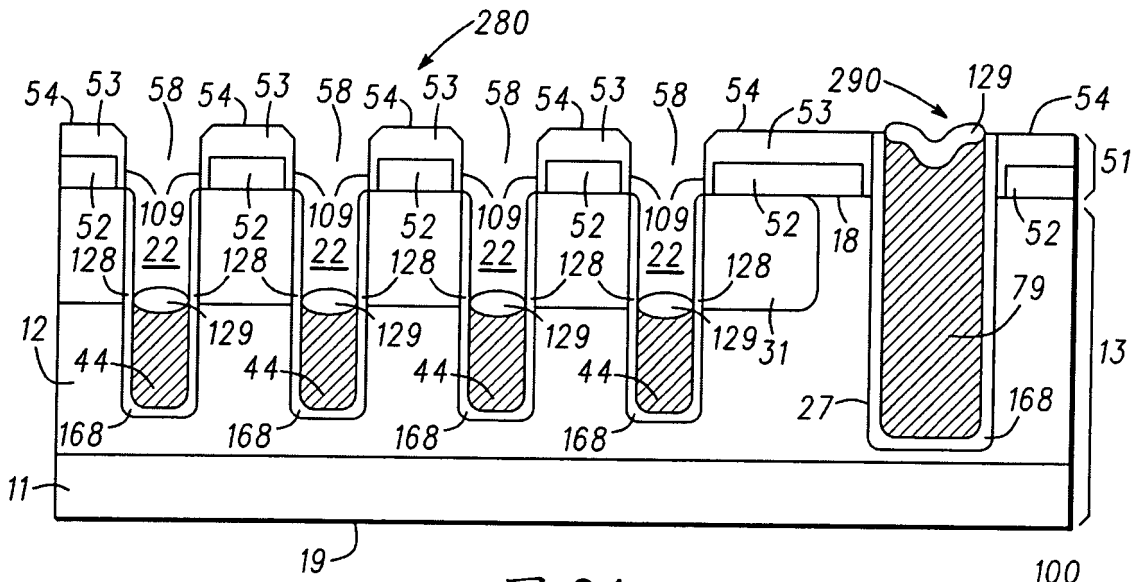


圖 24

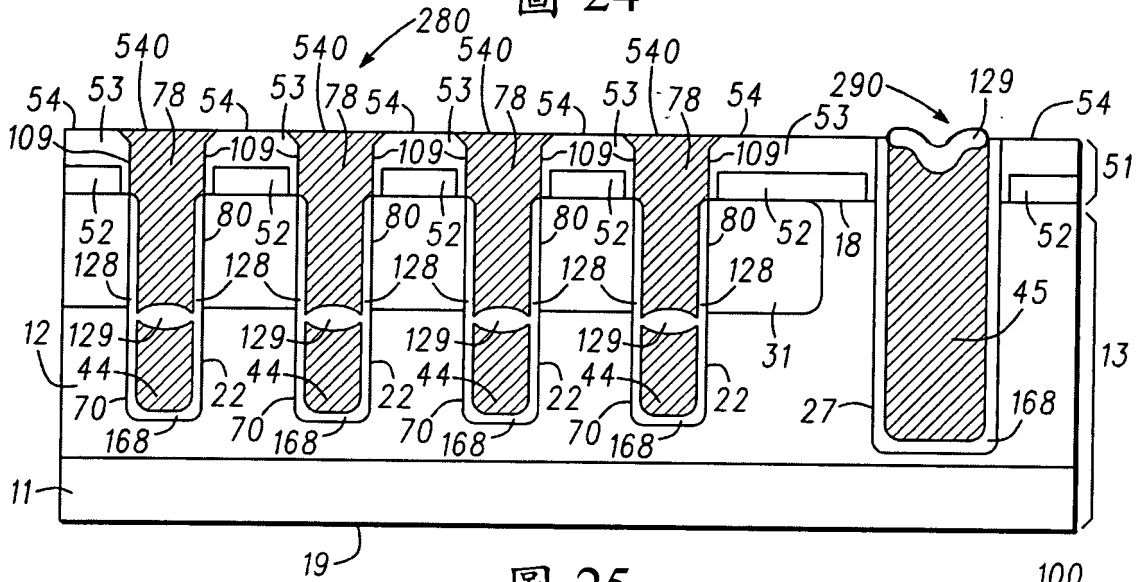


圖 25

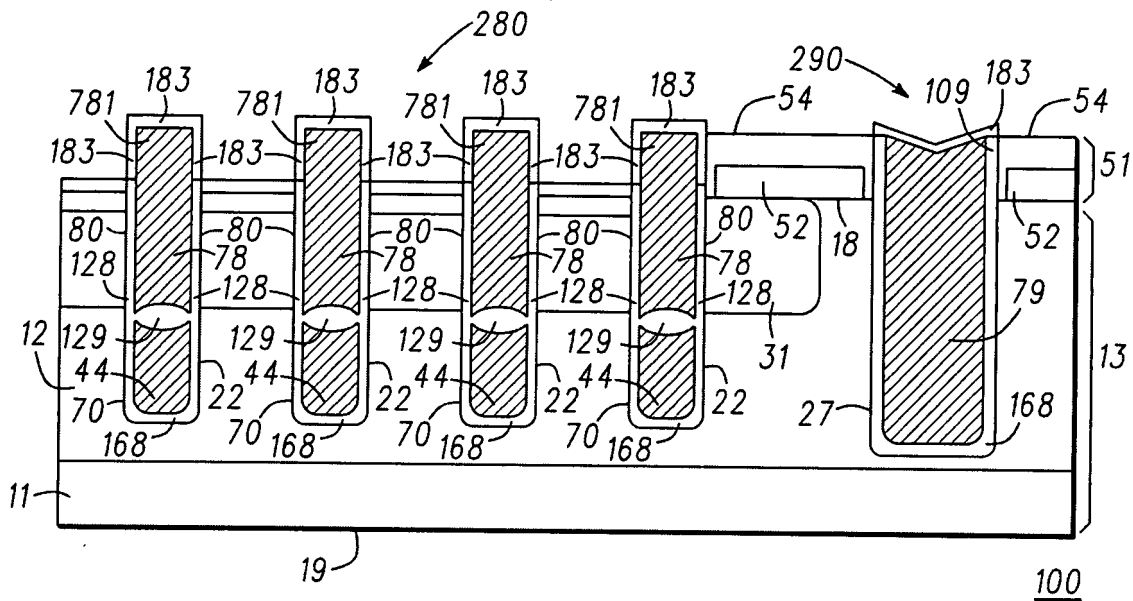


圖 26

四、指定代表圖：

(一)本案指定代表圖為：第(20)圖。

(二)本代表圖之元件符號簡單說明：

10	IGFET/MOSFET/電晶體
11	塊狀半導體基板/塊狀基板
12	外延層/漂移區/半導體層
13	半導體基板/基板
18	主表面
19	主表面
22	溝槽
27	溝槽
28	電介質層
36	接觸增強區
44	遮蔽電極
45	場電極接觸區
51	電介質堆疊
52	電介質層
53	電介質層
54	電介質堆疊的上表面
68	電介質層
70	絕緣場電極/絕緣遮蔽電極
74	電介質層
78	閘電極
80	絕緣閘電極

86	間隔件
96	間隔件
101	ILD區域
103	接觸開口
106	接觸層
107	接觸結構
216	橫向寬度/橫向尺寸
217	橫向寬度/橫向尺寸
280	有效區
290	邊緣區
360	增強區

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)