



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

200 902

(11) (B1)

(61)

(22) Přihlášeno 03 10 78

(21) PV 6405-78

/23/ Právo přednosti od 13 09 78
Mezinárodní strojírenský veletrh
Brno 78

(51) Int. Cl.³ G 06 F 13/00

(40) Zveřejněno 31 08 79

(45) Vydáno 01 01 83

(75)
Autor vynálezu

BARTŮNĚK IVAN ing.,
DRÁPAL STANISLAV ing.,
KRYŠKA JAN ing.,
STRONER PETR ing., PRAHA

(54) Zapojení pro distribuci dat mezi pamětí a více vnějšími bloky

1

Vynález se týká zapojení pro distribuci dat mezi pamětí a více vnějšími bloky, které je určeno pro multiplexní přenos dat mezi operační pamětí a libovolnými vzdálenými vnějšími bloky, kterých může být napojeno na daný obvod libovolný počet.

Dosud známá zapojení řeší problém připojování vnějších zařízení na společnou paměť relativně složitým způsobem, například propojováním přes aritmetickou jednotku systému, popřípadě umožňují přímé napojení pouze několika vybraných hardwarových celků. Jejich výběr se řídí například způsobem připojení vybraných hardwarových celků na sběrnice systému. Takové řešení je málo univerzální a vede k obtížnějšímu přizpůsobení konkrétní konfigurace systému.

Další zapojení jsou vybavena pro tento účel speciální aritmetickou jednotkou. Začlenění speciální aritmetické jednotky do systému vede ke značné složitosti systému a ke zpomalování přenosu. Podobné nevýhody má též zařazení paralelního procesoru do systému, které znamená hlavně zvýšení objemu součástí. Jsou též známá zapojení, která využívají systém zvláštních datových sběrnic, které jsou slučovány s vnitřními a vnějšími sběrnici systému pomocí zvláště k tomu určených slučovacích obvodů, což vede ke zpomalování přenosů a relativní složitosti zapojení.

Nevýhody známých zapojení odstraňuje zapojení sestávající z adresového obvodu, datového registru, paměťového bloku, řídicího obvodu, z vnějších bloků, přepojovacího obvodu, registru vnější adresy, dekodéru adresy a komparačního obvodu podle vynálezu, jehož podstata spočívá v tom, že skupinový vstup adresového obvodu je spojen s hradlovaným skupinovým výstupem adresového obvodu, s prvním skupinovým vstupem datového registru, s hradlovaným skupinovým výstupem datového registru, s obousměrným skupinovým vstupem přepojovacího obvodu, s prvním skupinovým vstupem registru vnější adresy a s hradlovaným skupinovým výstupem registru vnější adresy. První skupinový výstup registru vnější adresy je spojen s prvním skupinovým vstupem komparačního obvodu. Výstup komparačního obvodu je spojen s komparačním vstupem řídicího obvodu. První výstup řídicího obvodu je spojen s řídicím vstupem adresového obvodu. Informační výstup adresového obvodu je spojen s adresovým vstupem řídicího obvodu. Časovací vstup řídicího obvodu je spojen s prvním časovacím vstupem zapojení. Ovládací vstup zapojení je spojen s ovládacím vstupem řídicího obvodu. Druhý výstup řídicího obvodu je spojen se druhým časovacím vstupem zapojení a s časovacím vstupem paměťového bloku. Datový skupinový výstup paměťového bloku je spojen s druhým skupinovým vstupem datového registru. Přímý skupinový výstup datového registru je spojen s datovým skupinovým vstupem paměťového bloku. Druhý skupinový výstup registru vnější adresy je spojen se skupinovým vstupem dekodéru adresy. Skupinový výstup dekodéru adresy je spojen se druhým skupinovým vstupem komparačního obvodu. Každý informační vstup komparačního obvodu je spojen s informačním výstupem odpovídajícího vnějšího bloku. Adresový vstup každého vnějšího bloku je spojen s vnějším adresovým vstupem zapojení a se čtvrtým výstupem řídicího obvodu. Třetí výstup řídicího obvodu je spojen s prvním vstupem přepojovacího obvodu. Skupinový výstup přepojovacího obvodu je spojen se skupinovým vstupem každého vnějšího bloku. Skupinový výstup každého vnějšího bloku je spojen se druhým skupinovým vstupem přepojovacího obvodu.

Zapojení pro distribuci dat mezi pamětí a více vnějšími bloky podle vynálezu je oproti dosud známým zapojením jednodušší a vyniká kompaktností, což má výhody při jeho začleňování do větších logických celků a umožňuje dosažení vysokých přenosových rychlostí. Vybavení dekodérem adresy realizovaným pomocí pevné paměti zjednodušuje komparační obvod. Vnější blokem může být například externí zařízení počítače se samostatnou funkcí. Přenos dat se může realizovat buď směrem od paměti do vybraného vnějšího bloku nebo směrem od vnějšího bloku k paměti. Přitom k uskutečnění přenosu dochází pouze tehdy, je-li v souhlase přednastavená adresa zvoleného vnějšího bloku s informací z tohoto bloku o připravenosti k přenosu. Vnější blok se připojuje pomocí přepojovacího obvodu k datovému registru, přes který se data dostávají do a z paměti. Zapojení je zvláště výhodné pro napojování rychlých synchronních zařízení na paměť, neboť data se v zapojení přenášejí mezi pamětí a externím zařízením přímo bez přenosu přes další registry, například střadače.

Zapojení je schematicky znázorněno na přiloženém výkrese. Zapojení pro distribuci dat mezi pamětí a více vnějšími bloky sestává z následujících celků. Adresový obvod 11

je **sestaven** z registrů a hradel, slouží pro určení adresy buněk paměti obsažených v přenášeném bloku. Datový registr 12 doplněný hradly je určen k přenosu informace do paměti a z paměti. Paměťový blok 13 obsahuje paměť a ovládací obvody potřebné pro výběr adresy a zapsání a čtení dat do paměti. Řídicí obvod 14 je sestaven z hradel a klopných obvodů. Vnější bloky 1511 až 151N v sobě zahrnují obvody mezistyku, které jsou součástí zapojení a vlastní vnější zařízení, které je schopné samostatné funkce a se kterým paměť komunikuje. Přepojovací obvod 18 obsahuje hradla, která zajišťují správný směr přenosu dat. Registr 19 vnější adresy je registr doplněný hradly. Uchovává pořadové číslo periferie, která má být na paměť napojena. Dekodér 20 adresy je realizován pevnou pamětí tak, aby se co nejvíce zjednodušil komparační obvod 21, který porovnává adresu uloženou v registru 19 vnější adresy s výstupy z vnějších bloků 151 až 15N. Skupinový výstup 111 adresového obvodu 11 je spojen s hradlovaným skupinovým výstupem 112 adresového obvodu 11, s prvním skupinovým vstupem 121 datového registru 12, s hradlovaným skupinovým výstupem 122 datového registru 12, s obousměrným skupinovým vstupem 182 přepojovacího obvodu 18, s prvním skupinovým vstupem 191 registru 19 vnější adresy a s hradlovaným skupinovým výstupem 192 registru 19 vnější adresy. Skupinový výstup 192 registru 19 vnější adresy je spojen s prvním skupinovým vstupem 211 komparačního obvodu 21. Výstup 216 komparačního obvodu 21 je spojen s komparačním vstupem 144 řídicího obvodu 14. První výstup 145 řídicího obvodu 14 je spojen s řídicím vstupem 113 adresového obvodu 11. Informační výstup 114 adresového obvodu 11 je spojen s adresovým vstupem 141 řídicího obvodu 14. Časovací vstup 142 řídicího obvodu 14 je spojen s prvním časovacím vstupem 101 zapojení. Ovládací vstup 102 zapojení je spojen s ovládacím vstupem 143 řídicího obvodu 14. Druhý výstup 146 řídicího obvodu 14 je spojen se druhým časovacím vstupem 103 zapojení a s časovacím vstupem 133 paměťového bloku 13. Datový skupinový výstup 132 paměťového bloku 13 je spojen se druhým skupinovým vstupem 124 datového registru 12. Pří-
mý skupinový výstup 123 datového registru 12 je spojen s datovým skupinovým vstupem 131 paměťového bloku 13. Druhý skupinový výstup 194 registru 19 vnější adresy je spojen se skupinovým vstupem 201 dekodéru 20 adresy. Skupinový výstup 202 dekodéru 20 adresy je spojen se druhým skupinovým vstupem 212 komparačního obvodu 21. Každý informační vstup 2131 až 213N komparačního obvodu 21 je spojen s informačním výstupem 1521 až 152N odpovídajícího vnějšího bloku 151 až 15N. Adresový vstup 1511 až 151N každého vnějšího bloku 151 až 15N je spojen s vnějším adresovým vstupem 149 zapojení a se čtvrtým výstupem 148 řídicího obvodu 14. Třetí výstup 147 řídicího obvodu 14 je spojen s prvním vstupem 181 přepojovacího obvodu 18. Skupinový výstup 184 přepojovacího obvodu 18 je spojen se skupinovým vstupem 1531 až 153N každého vnějšího bloku 1511 až 151N. Skupinový výstup 1541 až 154N každého vnějšího bloku 151 až 15N je spojen se druhým skupinovým vstupem 183 přepojovacího obvodu 18.

Zapojení podle vynálezu realizuje spojení paměti s jedním z vnějších bloků pro vzájemný přenos dat. Činnost zapojení organizuje řídicí obvod 14, který je aktivován povelý z prvního časového vstupu 101 zapojení do svého časovacího vstupu 142 a povelý z

ovládacího vstupu 102 zapojení do svého ovládacího vstupu 143. Řídící obvod 14 vysílá signály do adresového obvodu 11, do paměťového bloku 13, do přepojovacího obvodu 18 a do vnějších bloků 151, 152 až 15N. Adresový obvod 11 určuje skupinu adres v paměti umístěné v paměťovém bloku 13. Skupina adres má komunikovat s vybraným vnějším blokem 151 až 15N a hlásí řídícímu obvodu 14 ukončení přenosu dat. Dále řídící obvod 14 aktivuje příslušný vnější blok 151 až 15N pro přenos dat. Směr přenosu dat ovládá řídící obvod 14 pomocí přepojovacího obvodu 18, takže data postupují buď z paměťového bloku 13 přes datový registr 12 a přepojovací obvod 18 do vybraného vnějšího bloku 151 až 15N nebo naopak. Výběr vnějšího bloku 151 až 15N, se kterým bude paměťový blok 13 komunikovat se uskutečňuje pomocí zadání jeho adresy do registru 19 vnější adresy. Zda je vybraný vnější blok 151 až 15N připraven komunikovat, vyhodnocuje komparační obvod 21, který předává tuto informaci řídícímu obvodu 14. Pro zjednodušení komparačního obvodu 21 je výstup 194 registru 19 vnější adresy zpracováván speciálním dekodérem 20 adresy.

Vynálezu se využije v měřicí a řídící technice i v dalších oblastech číslicové techniky.

P Ř E D M Ě T V Y N Á L E Z U

Zapojení pro distribuci dat mezi pamětí a více vnějšími bloky, které sestává z adresového obvodu, datového registru, paměťového bloku, řídícího obvodu, vnějších bloků, přepojovacího obvodu, registru vnější adresy, dekodéru adresy a komparačního obvodu, vyznačující se tím, že skupinový vstup (111) adresového obvodu (11) je spojen s hradlováním skupinovým výstupem (112) adresového obvodu (11), s první skupinovým vstupem (121) datového registru (12), s hradlováním skupinovým výstupem (122) datového registru (12), s obousměrným skupinovým vstupem (182) přepojovacího obvodu (18), s prvním skupinovým vstupem (191) registru (19) vnější adresy a s hradlováním skupinovým výstupem (192) registru (19) vnější adresy, jehož skupinový výstup (192) je spojen s prvním skupinovým vstupem (211) komparačního obvodu (21), jehož výstup (216) je spojen s komparačním vstupem (144) řídícího obvodu (14), jehož první výstup (145) je spojen s řídícím vstupem (113) adresového obvodu (11), jehož informační výstup (114) je spojen s adresovým vstupem (141) řídícího obvodu (14), jehož časovací vstup (142) je spojen s první časovacím vstupem (101) zapojení, jehož ovládací vstup (102) je spojen s ovládacím vstupem (143) řídícího obvodu (14), jehož druhý výstup (146) je spojen s druhým časovacím vstupem (103) zapojení a s časovacím vstupem (133) paměťového bloku (13), jehož datový skupinový výstup (132) je spojen se druhým skupinovým vstupem (124) datového registru (12), jehož přímý skupinový výstup (123) je spojen s datovým skupinovým vstupem (131) paměťového bloku (13), přičemž druhý skupinový výstup (194) registru (19) vnější adresy je spojen se skupinovým vstupem (201) dekodéru (20) adresy, jehož skupinový výstup (202) je spojen se druhým skupinovým vstupem (212) komparačního obvodu (21), jehož každý informační vstup (2131 až 213N) je spojen s informačním výstupem (1521 až 152N) odpovídajícího vnějšího

bloku (151 až 15N), jehož adresový vstup (1511 až 151N) je spojen s vnějším adresovým vstupem (149) zapojení a se čtvrtým výstupem (148) řídicího obvodu (14), jehož třetí výstup (147) je spojen s prvním vstupem (181) přepojovacího obvodu (18), jehož skupinový výstup (184) je spojen se skupinovým vstupem (1531 až 153N) každého vnějšího bloku (1511 až 151N), jehož skupinový výstup (1541 až 154N) je spojen se druhým skupinovým vstupem (183) přepojovacího obvodu (18).

1 výkres

