

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成 17 年 10 月 20 日 (2005.10.20)

【公開番号】特開 2000-3279 (P2000-3279A)
 【公開日】平成 12 年 1 月 7 日 (2000.1.7)
 【出願番号】特願 平 10-167875
 【国際特許分類第 7 版】

G 0 6 F 9/38

【F I】

G 0 6 F 9/38 3 1 0 F

G 0 6 F 9/38 3 1 0 H

G 0 6 F 9/38 3 7 0 X

【手続補正書】
 【提出日】平成 17 年 6 月 16 日 (2005.6.16)
 【手続補正 1】
 【補正対象書類名】明細書
 【補正対象項目名】特許請求の範囲
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

複数の命令を並列に実行できる V L I W プロセッサにおいて、
 並列に実行できる前記複数の命令が、プリフェッチされた命令とプリフェッチされていない命令とを含むとき、前記プリフェッチされた命令のみを実行することを特徴とする V L I W プロセッサ。

【請求項 2】

前記複数の命令は固定長命令であることを特徴とする請求項 1 記載の V L I W プロセッサ。

【請求項 3】

並列に実行できる命令の総ビット数よりも小さい単位で命令フェッチを行い命令レジスタに格納する命令供給発行部と、
 前記命令レジスタのうちいずれのレジスタに命令が格納されたかを示す位置情報と、
 前記位置情報に基づいて、命令が格納されていない命令レジスタに対応する解読結果として N O P を出力し、命令が格納されている命令レジスタに対応する解読結果はそのまま出力する N O P 生成部とを有することを特徴とする請求項 2 記載の V L I W プロセッサ。

【請求項 4】

前記複数の命令は可変長命令であることを特徴とする請求項 1 記載の V L I W プロセッサ。

【請求項 5】

並列に実行できる命令の総ビット数よりも小さい単位で命令フェッチを行い命令レジスタに格納する命令供給発行部と、
 いずれの命令解読器に命令が供給されているかを判断する命令発行器と、
 前記命令発行器に基づいて、命令が格納されていない命令レジスタに対応する解読結果として N O P を出力し、命令が格納されている命令レジスタに対応する解読結果はそのまま出力する N O P 生成部とを有することを特徴とする請求項 4 記載の V L I W プロセッサ。

【請求項 6】

請求項 1 ～ 5 いずれか記載の V L I W プロセッサであって、一語が複数の単位命令から

なる V L I W プロセッサのソースコードを格納するソースコード格納手段と、
前記ソースコード格納手段に格納された前記ソースコード中で一語内の単位命令を同時実行した場合と一語内の単位命令を逐次実行した場合で実行結果が異なる問題コードを検出する回避対象コード検出手段と、
前記回避対象コード検出手段により検出された問題コードを一語内の単位命令を同時実行した場合と一語内の単位命令を逐次実行した場合で実行結果が異なるコードに置き換える逐次実行保証コード生成手段と、
前記逐次実行保証コード生成手段が生成した生成コードを格納する生成コード格納手段とを備えることを特徴とするプログラム生成装置。

【請求項 7】

前記ソースコード格納手段に格納されたソースコード中の命令フェッチ境界を検出し命令フェッチ境界情報を出力する命令フェッチ境界検出手段とを備え、
前記回避対象コード検出手段は前記ソースコード格納手段に格納された前記ソースコードの中で一語内の単位命令を同時実行した場合と一語内の単位命令を命令フェッチ境界を単位に逐次実行した場合で実行結果が異なる問題コードを検出し、
逐次実行保証コード生成手段は一語内の単位命令を同時実行した場合と一語内の単位命令を命令フェッチ境界を単位に逐次実行した場合で実行結果が異なるコードに置き換えることを特徴とする請求項 6 記載のプログラム生成装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 1 2 4

【補正方法】変更

【補正の内容】

【0 1 2 4】

【発明の効果】

以上のように、本願発明によれば、命令供給が十分に行えない環境で使用されても供給されたものから実行する事により、性能劣化を抑制することができる。