

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-138962

(P2011-138962A)

(43) 公開日 平成23年7月14日(2011.7.14)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 27/10 4 3 4	5 F 0 8 3
HO 1 L 27/115 (2006.01)	HO 1 L 29/78 3 7 1	5 F 1 0 1
HO 1 L 29/788 (2006.01)		
HO 1 L 29/792 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 14 頁)

(21) 出願番号	特願2009-298511 (P2009-298511)	(71) 出願人	000003078
(22) 出願日	平成21年12月28日 (2009.12.28)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100109900
			弁理士 堀口 浩
		(72) 発明者	山田 邦弘
			東京都港区芝浦一丁目1番1号 株式会社東芝内
		Fターム(参考)	5F083 EP02 EP23 EP33 EP34 EP55
			EP56 EP76 GA06 GA27 JA04
			JA35 JA39 JA53 LA02 LA21
			MA06 MA19 PR01 ZA28
			5F101 BA29 BA36 BB05 BB08 BD10
			BD22 BD34 BF09

(54) 【発明の名称】 半導体記憶装置及びその製造方法

(57) 【要約】

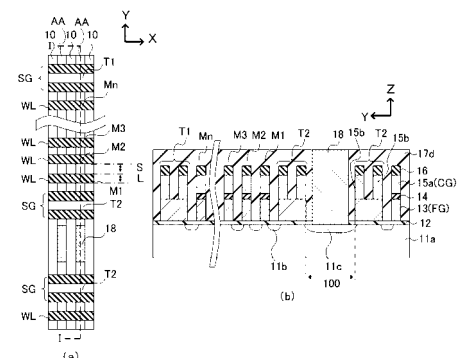
【課題】

本発明は、コンタクトホールのアスペクト比の低減可能な半導体記憶装置及びその製造方法を提供する。

【解決手段】

半導体基板11a上に形成された所定の間隔を隔てて設けられ、直列接続された複数のメモリセルトランジスタM、複数の前記メモリセルトランジスタMの両端に形成された選択ゲートトランジスタTを有する複数のNANDストリングと、隣接する前記NANDストリングの前記選択ゲートトランジスタT間に設けられたコンタクトプラグ18とを備え、隣接する前記選択ゲートトランジスタT間の第1の方向における幅が前記メモリセルトランジスタMの前記ゲート長のk倍(kは自然数)と前記所定の間隔の(k+1)倍の総和と等しい場合には、第1の方向における前記コンタクトプラグ18の幅は、前記メモリ

【図1】



【特許請求の範囲】

【請求項 1】

半導体基板上に形成された所定の間隔を隔てて設けられ、直列接続された複数のメモリセルトランジスタ、複数の前記メモリセルトランジスタの両端に形成された選択ゲートトランジスタを有する複数の NAND ストリングと、
隣接する前記 NAND ストリングの前記選択ゲートトランジスタ間に設けられたコンタクトプラグと

を備え、

隣接する前記選択ゲートトランジスタ間の第 1 の方向における幅が前記メモリセルトランジスタの前記ゲート長の k 倍 (k は自然数) と前記所定の間隔の $(k + 1)$ 倍の総和と等しい場合には、第 1 の方向における前記コンタクトプラグの幅は、前記メモリセルトランジスタの前記ゲート長の k 倍と前記所定の間隔の $(k - 1)$ 倍の総和よりも長いことを特徴とする半導体記憶装置。

10

【請求項 2】

請求項 1 記載の半導体記憶装置に、さらに、前記コンタクトプラグと前記コンタクトプラグに隣接する前記選択ゲートトランジスタとの間に形成される側壁絶縁膜とを備えることを特徴とする半導体記憶装置。

【請求項 3】

請求項 2 記載の半導体記憶装置に、さらに、前記 NAND ストリング内の前記選択ゲートトランジスタと複数の前記メモリセルトランジスタの両端の前記メモリセルトランジスタと間に形成される充填絶縁膜とを備え、

20

前記充填絶縁膜の第 1 の方向における幅が、前記メモリセルトランジスタの前記ゲート長の p 倍 (p は自然数; $p < k$) と前記所定の間隔の $(p - 1)$ 倍の総和よりも長く、前記メモリセルトランジスタの前記ゲート長の p 倍と前記所定の間隔 $(p + 1)$ 倍の総和よりも短い

ことを特徴とする半導体記憶装置。

【請求項 4】

- (a) 半導体基板上に第 1 の絶縁膜、第 1 の導電膜を積層形成する工程と、
- (b) 前記第 1 の導電膜上で、選択ゲートトランジスタの形成予定領域とコンタクトプラグ形成予定領域を差し引いた領域に第 2 の絶縁膜を形成する工程と、
- (c) 前記第 1 の導電膜及び前記第 2 の絶縁膜の上に積層導電膜を形成する工程と、
- (d) 前記積層導電膜上に第 3 の絶縁膜を形成する工程と、
- (e) 前記第 1 の導電膜より上部に形成された膜を、所定の間隔を隔てた周期的な第 1 パターンに形成する工程と、
- (f) 前記選択ゲートトランジスタの形成予定領域内に形成され、 $(m + 1)$ 個 (m は自然数) の前記第 1 パターン間の前記所定の間隔に選択的にレジストを形成する工程と、
- (g) 前記レジストと前記第 1 パターンをマスクとして用いて、前記第 1 の絶縁膜より上部に形成された膜を第 2 パターンに形成する工程と、
- (h) 前記第 2 パターン及び前記第 1 の絶縁膜上に第 4 の絶縁膜を形成する工程と、
- (i) 前記第 2 パターンのうち、前記コンタクトプラグ形成予定領域内に形成され、第 1 の方向における幅が前記第 1 パターンの前記第 1 の方向における幅と等しい k 個 (k は自然数) の疑似メモリセルトランジスタと前記コンタクトプラグ形成予定領域内に形成された前記第 4 の絶縁膜を除去し、コンタクトホールを形成する工程と、
- (j) 前記コンタクトホールに、金属層を埋め込み、コンタクトプラグを形成する工程とを備えることを特徴とする半導体記憶装置の製造方法。

30

40

【請求項 5】

請求項 4 記載の半導体記憶装置の製造方法に、さらに、前記 (i) 工程の後且つ前記 (j) 工程の前に、側壁絶縁膜を形成する工程とを備えることを特徴とする半導体記憶装置の製造方法。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、半導体記憶装置とその製造方法に関し、特に微細なメモリセルトランジスタ及び配線を有するメモリセルアレイ構造に適用される。

【背景技術】

【0002】

従来、不揮発性半導体記憶装置では、例えばNAND型不揮発性半導体記憶装置では、直列に接続された複数のメモリセルトランジスタからなるメモリセルユニットと、その両端に設けられ、ビット線やソース線に接続するための選択ゲートトランジスタとで、NANDストリングを構成している。

10

【0003】

この選択ゲートトランジスタは、カットオフ特性を向上させるため、選択ゲートトランジスタのゲート長方向の幅がメモリセルトランジスタのゲート長よりも長く設定されている。選択ゲートトランジスタの形成領域でのパターンは、メモリセルユニットの形成領域での周期的なパターンとは異なる。

【0004】

したがって、メモリセルトランジスタ及び選択ゲートトランジスタを形成する際のリソグラフィ工程において、選択ゲートトランジスタに隣接するメモリセルトランジスタは、選択ゲートトランジスタに隣接せず、周期的に配置されたメモリセルトランジスタとは異なる光近接効果を受ける。

20

【0005】

異なる光近接効果を是正すべく、選択ゲートトランジスタに隣接するメモリセルトランジスタの部分のマスクに、光近接効果補正（以下、OPCという）を施し、このメモリセルトランジスタの寸法の制御を行う。例えば選択ゲートトランジスタに隣接するメモリセルトランジスタのゲート長が、隣接しないメモリセルトランジスタのゲート長に対して太くならないよう、隣接するメモリセルトランジスタの部分のマスクを隣接しないメモリセルトランジスタの部分のマスクに対して露光されやすい形状にOPCを施す。しかし、OPCにより、選択ゲートトランジスタに隣接するメモリセルトランジスタの部分を露光されやすい形状のマスクにしすぎると、焦点深度のマージンが低下し、それに伴いレジストが細くなり倒れる場合がある。従って、選択ゲートトランジスタに隣接するメモリセルトランジスタの寸法精度を維持することに困難が生じていた。

30

【0006】

そこで、メモリセルトランジスタの寸法精度が向上可能な半導体装置の製造方法として、メモリセルトランジスタのゲート長に等しい幅を有する第1のレジストを第1の間隔で周期的に形成してパターンングをした後に、選択ゲートトランジスタの形成予定領域におけるマスクパターンのスペースに選択的に第2のレジストを形成し、第2のレジスト及びマスクパターンを用いて、パターンングする方法が知られている（例えば、特許文献1参照。）。

【0007】

しかしながら、上記の特許文献1において隣接する選択ゲートトランジスタ間にコンタクトプラグを形成する場合において、コンタクトプラグを埋め込むコンタクトホールの高さは一定としても、半導体素子の高集積化や微細化に伴い、コンタクトホールの第1の方向（隣接する選択ゲートトランジスタ間のゲート長方向）における幅がメモリセルトランジスタのゲート長程度と短くなる。

40

【0008】

その結果、コンタクトホールのアスペクト比が上昇し、コンタクトプラグの埋め込みが困難な場合が生じる。

【先行技術文献】

【特許文献】

【0009】

50

【特許文献1】特開2006-216975号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

本発明は、コンタクトホールのアスペクト比の低減可能な半導体記憶装置及びその製造方法を提供する。

【課題を解決するための手段】

【0011】

本発明の一態様に係る半導体記憶装置は、半導体基板上に形成された所定の間隔を隔てて設けられ、直列接続された複数のメモリセルトランジスタ、複数の前記メモリセルトランジスタの両端に形成された選択ゲートトランジスタを有する複数のNANDストリングと、隣接する前記NANDストリングの前記選択ゲートトランジスタ間に設けられたコンタクトプラグとを備え、隣接する前記選択ゲートトランジスタ間の第1の方向における幅が前記メモリセルトランジスタの前記ゲート長の k 倍（ k は自然数）と前記所定の間隔の（ $k+1$ ）倍の総和と等しい場合には、第1の方向における前記コンタクトプラグの幅は、前記メモリセルトランジスタの前記ゲート長の k 倍と前記所定の間隔の（ $k-1$ ）倍の総和よりも長いことを特徴とする。

【0012】

本発明の一態様に係る半導体記憶装置の製造方法は、（a）半導体基板上に第1の絶縁膜、第1の導電膜を積層形成する工程と、（b）前記第1の導電膜上で、選択ゲートトランジスタの形成予定領域とコンタクトプラグ形成予定領域を差し引いた領域に第2の絶縁膜を形成する工程と、（c）前記第1の導電膜及び前記第2の絶縁膜の上に積層導電膜を形成する工程と、（d）前記積層導電膜上に第3の絶縁膜を形成する工程と、（e）前記第1の導電膜より上部に形成された膜を、所定の間隔を隔てた周期的な第1パターンに形成する工程と、（f）前記選択ゲートトランジスタの形成予定領域内に形成され、（ $m+1$ ）個（ m は自然数）の前記第1パターン間の前記所定の間隔に選択的にレジストを形成する工程と、（g）前記レジストと前記第1パターンをマスクとして用いて、前記第1の絶縁膜より上部に形成された膜を第2パターンに形成する工程と、（h）前記第2パターン及び前記第1の絶縁膜上に第4の絶縁膜を形成する工程と、（i）前記第2パターンのうち、前記コンタクトプラグ形成予定領域内に形成され、第1の方向における幅が前記第1パターンの前記第1の方向における幅と等しい k 個（ k は自然数）の擬似メモリセルトランジスタと前記コンタクトプラグ形成予定領域内に形成された前記第4の絶縁膜を除去し、コンタクトホールを形成する工程と、（j）前記コンタクトホールに、金属層を埋め込み、コンタクトプラグを形成する工程とを備えることを特徴とする。

【発明の効果】

【0013】

本発明によれば、コンタクトホールのアスペクト比の低減可能な半導体記憶装置及びその製造方法を提供できる。

【図面の簡単な説明】

【0014】

【図1】図1（a）は、本発明の第1の実施形態における半導体記憶装置の上面図であり、図1（b）は図1（a）のI-Iの断面図である。

【図2】本発明の第1の実施形態における半導体記憶装置の製造工程を示す断面図である。

【図3】本発明の第1の実施形態における半導体記憶装置の製造工程を示す断面図である。

【図4】図4（a）は、本発明の第2の実施形態における半導体記憶装置の上面図であり、図4（b）は図4（a）のII-IIの断面図である。

【図5】本発明の第2の実施形態における半導体記憶装置の製造工程を示す断面図である。

10

20

30

40

50

【図 6】図 6 (a) は、本発明の第 3 の実施形態における半導体記憶装置の上面図であり、図 6 (b) は図 6 (a) の I I I - I I I の断面である。

【図 7】本発明の第 3 の実施形態における半導体記憶装置の製造工程を示す断面図である。

【発明を実施するための形態】

【0015】

以下、本発明の実施形態について図面を参照しながら説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。なお、各図のフォトレジストのハッチングは省略されている。

【0016】

(第 1 の実施形態)

第 1 の実施形態は、本発明の一態様として N A N D 型不揮発性半導体記憶装置に適用したものであり、図 1 (a) の上面図と図 1 (b) の I - I 断面図を用いて説明する。なお、図 1 (a) では、後述する第 1 の絶縁膜 1 2 のハッチング及び後述する第 3 の絶縁膜 1 7 は省略されている。

【0017】

[半導体記憶装置の構成]

図 1 (b) に示すように、本実施形態における N A N D 型不揮発性半導体記憶装置は、半導体基板 1 1 a と、半導体基板 1 1 a 上に形成され、直列接続された複数のメモリセルトランジスタ M 1 乃至 M n (n は自然数) と、この両端に設けられた第 1 及び第 2 の選択ゲートトランジスタ T 1, T 2 で構成される N A N D ストリングと、隣接する選択ゲートトランジスタ T 間に設けられたコンタクトプラグ 1 8 とで構成される。

【0018】

<メモリセルトランジスタ>

図 1 (a) に示すように、複数のメモリセルトランジスタ M 1 乃至 M n は、各ワード線 W L と各活性領域 A A との交点に形成され、前記ワード線 W L は図 1 (b) の制御ゲート 1 5 a (C G) に接続される。また、メモリセルトランジスタ M 1 乃至 M n は、素子分離領域 1 0 により分離された各活性領域 A A の長手方向 (Y 方向) に略直線状に N 型拡散層 1 1 b を共有するように接続されている。図 1 (a) に示すように、メモリセルトランジスタ M の各ゲート長 L は、隣接するメモリセルトランジスタ M 間の間隔幅 S と等しい。

【0019】

図 1 (b) に示すように、メモリセルトランジスタ M は、半導体基板 1 1 a 上に絶縁膜 1 2 (例えば、トンネル酸化膜; 以下、第 1 の絶縁膜という)、浮遊ゲート用の導電膜 1 3 (例えば、ポリシリコン; 以下、第 1 の導電膜)、絶縁膜 1 4 (例えば、O N O 膜; 以下、第 2 の絶縁膜という)、制御ゲート用の導電膜 1 5 (例えば、ポリシリコン; 以下、第 2 の導電膜という)、配線層 1 6 (例えば、W S i) が順次積層し形成される。第 2 の導電膜 1 5 と、配線層 1 6 を総称して、積層導電膜ともいう。

【0020】

<選択ゲートトランジスタ>

また、図 1 (a) に示すように、第 1 及び第 2 の選択ゲートトランジスタ T 1, T 2 は、各選択ワード線 S G と各活性領域 A A との交点の一部分が制御ゲートになるように形成され、各 N A N D ストリング内で第 1 の選択ゲートトランジスタ T 1 は、メモリセルトランジスタ M n と直列接続され、第 2 の選択ゲートトランジスタ T 2 は、メモリセルトランジスタ M 1 と直列接続されている。また、第 1 及び第 2 の選択ゲートトランジスタ T 1, T 2 のゲート長は、メモリセルトランジスタ M のゲート長 L の 3 倍以上の長さである。

【0021】

例えば、図 1 (b) に示すように、選択ゲートトランジスタ T 1, T 2 は、半導体基板 1 1 a 上に第 1 の方向 (Y 方向) における幅がゲート長 L の 3 倍となる第 1 の絶縁膜 1 2 及び第 1 の導電膜 1 3 を積層した積層膜上に、メモリセルトランジスタ M のゲート長と等しい幅を有し、メモリセルトランジスタ M の第 2 の導電膜 1 5 a と同種の 2 つの導電膜 1

10

20

30

40

50

5 bを離間して積層され、それぞれの第2の導電膜15 b上に配線層16を積層されて形成される。選択ゲートトランジスタTを側面視したときに、凹形状をなしている。

【0022】

<NANDストリング>

図1(a)に示すように、複数のメモリセルトランジスタM1乃至Mn、第1及び第2の選択ゲートトランジスタT1、T2で構成されるNANDストリングが半導体基板11a上にマトリックス状に形成され、1つのワード線WLを共有する各NANDストリング内のメモリセルトランジスタMの集合は、データ読み出し及び書き込みの単位となるページを構成する。また、ワード線WLを共有する複数のNANDストリングの集合は、データ消去の単位となるブロックを構成する。

10

【0023】

<コンタクトプラグ>

コンタクトプラグ18は、例えば、図1(a)に示すように隣接する第2の選択ゲートトランジスタT2間に設けられており、ソース線(図示略)と隣接する第2の選択ゲートトランジスタT2で共有しているN型拡散層11cとを電氣的に接続するためのものである。

【0024】

図1(b)に示すように、第1の方向(Y方向)におけるコンタクトプラグ18の幅は、コンタクトプラグ形成予定領域100内に後述する擬似メモリセルトランジスタがk個(kが自然数)、即ち、第1の方向におけるコンタクトプラグ形成予定領域100の幅が幅Lの(2k+1)倍の場合には、幅Lの(2k-1)倍より長い幅であり、第1の方向におけるコンタクトプラグ形成予定領域100の幅の中心に対して、第1の方向におけるコンタクトプラグの中心のずれが、幅Lより小さい。

20

【0025】

[半導体記憶装置の製造方法]

次に、本実施形態のNAND型不揮発性半導体記憶装置の製造方法を、図2及び図3の製造工程断面図を参照して説明する。

【0026】

半導体基板11a上に第1の絶縁膜12、第1の導電膜13、第2の絶縁膜14が順次積層し形成される。この第2の絶縁膜14上全面にフォトリソグロフ技術(図示略)を塗布し、光リソグロフ技術を用いて、所望のパターンを形成した後に、このレジストパターンをマスクとして第2の絶縁膜14をドライエッチング(例えば、RIE)により加工し、選択ゲートトランジスタT1、T2形成予定領域200a、200b及びコンタクトプラグ形成予定領域100にある第2の絶縁膜14を除去する。

30

【0027】

その後、第1の導電膜13又は、第2の絶縁膜14上に第2の導電膜15、配線層16、絶縁膜17(例えば、SiN;以下、第3の絶縁膜という)を、例えばCVD法を用いて順次積層し形成する。

【0028】

そして、図2(a)に示すように、第3の絶縁膜17上全面にフォトリソグロフ技術により、各メモリセルトランジスタMのゲート長LとY方向において隣接する各メモリセルトランジスタM間の幅Sとなる周期的なパターン(以下、第1のパターンという)を形成できるように所定のパターンのフォトリソグロフ20が形成される。

40

【0029】

次に、この所定のパターンのフォトリソグロフ20をマスクとして、第3の絶縁膜17、配線層16、第2の導電膜15、及びメモリセルトランジスタMの第2の絶縁膜14がドライエッチング(例えば、RIE)によってエッチングされる。そしてエッチングの後に、フォトリソグロフ20が除去される。これにより、所定の幅Sを隔てて、Y方向における幅がゲート長Lと等しい周期的な第1のパターンを形成できる。

50

0

20

30

40

50

50

50

50

50

50

50

50

50

50

50

50

50

上記の特許文献 1 の半導体記憶装置では、隣接する選択ゲートトランジスタ T 間に形成されるコンタクトプラグ 18 の形成領域における Y 方向の幅が、メモリセルトランジスタのゲート長 L と等しいが、本実施形態の半導体記憶装置では、第 1 の方向におけるコンタ

クトプラグ18の幅は、第1の方向におけるコンタクトプラグ形成予定領域100の幅が、幅Lの $(2k+1)$ 倍(k が2以上の自然数)の場合には、幅Lの $(2k-1)$ 倍より長い幅となる。

【0039】

このため、上記特許文献1に比べて、第1の方向におけるコンタクトプラグ18の幅を大きくすることができる。その結果、コンタクトホールのアスペクト比を、上記の特許文献1の場合に比べて、低減することができ、金属層の埋め込みをより容易にすることができる。

【0040】

(第2の実施形態)

次に、第2の実施形態におけるNAND型不揮発性半導体記憶装置の構成について、図4(a)の上面図と図4(b)のII-II断面図を用いて説明する。なお、図4(a)では、第1の絶縁膜12のハッチング及び第3の絶縁膜17は省略されている。

【0041】

なお、第2の実施形態にかかる半導体記憶装置は、第1の実施形態の半導体記憶装置とは、コンタクトプラグ18と選択ゲートトランジスタT1、T2間に新たな絶縁膜を設ける点で異なり、その他の構成については、同一構成を有している。従って、以下の説明において、第1の実施形態と同様の構成については、詳細説明を省略し、異なる構成について説明する。

【0042】

[半導体記憶装置の構成]

図4(b)に示すように、本実施形態のNAND型不揮発性半導体記憶装置では、コンタクトプラグ18の側壁に、側壁絶縁膜31(以下、第1の側壁絶縁膜という)が形成されている。

【0043】

[半導体記憶装置の製造方法]

次に、本実施形態のNAND型不揮発性半導体記憶装置の製造方法について、図2乃至図5の製造工程断面図を参照して説明する。

【0044】

なお、第1の実施形態における半導体記憶装置の製造方法のうち図3(c)まで共通している。以下、図3(c)後の工程についてのみ説明する。

【0045】

図3(c)の後に、コンタクトホール内で表面が露出した半導体基板11a上面、第4の絶縁膜17d上面及び側面に、CVD法を用いて、絶縁膜30(以下、第5の絶縁膜という)が形成される(図5(a)参照)。ここで、図5(a)に示すように、第5の絶縁膜30は、コンタクトホール内にY方向における幅がゲート長Lよりも大きい空間が残るような膜厚である。

【0046】

その後、図5(b)に示すように、第5の絶縁膜30を、半導体基板11a上面及び第4の絶縁膜17d上面が露出するまでエッチバック、即ち第5の絶縁膜30全面にエッチングを行い、第4の絶縁膜17dのコンタクトホール側の側壁に、第5の絶縁膜30の一部を第1の側壁絶縁膜31として形成する。

【0047】

その後、図4(b)に示すように、第1の実施形態同様に、コンタクトホール内に残された空間に、金属層を埋め込み、コンタクトプラグ18を形成する。

【0048】

以上より、第1の実施形態と同様に、第1の方向におけるコンタクトホールの幅が、メモリセルトランジスタのゲート長Lよりも大きくなる。このため、コンタクトホールの深さは一定としても、コンタクトホールのアスペクト比の低減可能な半導体記憶装置及びその製造方法を提供できる。

10

20

30

40

50

【0049】

本実施形態では、コンタクトプラグ18の側壁に、第1の側壁絶縁膜31が形成されている。このため、コンタクトプラグ18とコンタクトプラグ18に隣接する選択ゲートトランジスタT1、T2との間における耐圧を上昇できる。その結果、リーク電流を軽減させることができる。

【0050】

また、第1の実施形態において形成されたコンタクトホールのY方向の幅が、本実施形態におけるコンタクトホールY方向の幅と等しい場合には、第1の実施形態に比べて、コンタクトプラグ18とコンタクトプラグ18に隣接する選択ゲートトランジスタT1、T2との間の距離を長くすることができる。このため、コンタクトプラグ18とコンタクトプラグ18に隣接する選択ゲートトランジスタT1、T2との間における耐圧をより上昇できる。

10

【0051】

さらに、本実施形態では、コンタクトプラグ18の側壁に、第1の側壁絶縁膜31が形成されている。このため、コンタクトプラグ18とコンタクトプラグ18に隣接する選択ゲートトランジスタT1、T2との短絡を防止することができる。

【0052】

(第3の実施形態)

次に、第3の実施形態における一態様のNAND型不揮発性半導体記憶装置を、図6(a)の上面図及び図6(b)のIII-III断面図を用いて説明する。なお、図6(a)では、第1の絶縁膜12のハッチング及び第3の絶縁膜17は省略されている。

20

【0053】

[半導体記憶装置の構成]

図6(b)に示すように、本実施形態のNAND型不揮発性半導体記憶装置では、第2の実施形態と同様に、コンタクトプラグ18の側壁に、側壁絶縁膜41(以下、第2の側壁絶縁膜という)が形成されている。

【0054】

また、各NANDストリング内のメモリセルトランジスタM1とこのメモリセルトランジスタM1に隣接する選択ゲートトランジスタT2との間と、メモリセルトランジスタMnとこのメモリセルトランジスタMnに隣接する選択ゲートトランジスタT1との間に充填絶縁膜42a、42bが形成される。その他の構成については、第1の実施形態における半導体記憶装置の構成と同様である。また、説明を簡単にするため、図6及び図7では、充填絶縁膜42は、2個のみ示し、他を省略して示す。

30

【0055】

[半導体記憶装置の製造方法]

次に、本実施形態のNAND不揮発性半導体記憶装置の製造方法について、図2、図6及び図7の製造工程断面図を用いて説明する。

【0056】

なお、第1の実施形態における半導体装置の製造方法のうち図2(d)まで共通している。以下、図2(d)後の工程についてのみ説明する。

40

【0057】

図2(d)工程の後に、図7(a)に示すように、第4の絶縁膜17c上全面に、フォトレジストを塗布し、コンタクトプラグ18形成予定領域100と、選択ゲートトランジスタTに隣接するメモリセルトランジスタを基準として、基準のメモリセルトランジスタMからp個目(pは自然数;p<k、kは第1の実施形態のkと同様である)のメモリセルトランジスタMまでの領域300(以下、絶縁領域といい、絶縁領域内のメモリセルトランジスタを第2の擬似メモリセルトランジスタと呼ぶ)とのみにエッチングができるような所定のパターンのフォトレジスト22bを、光リソグラフィ技術を用いて、形成する。

【0058】

50

ここで、第1の方向における絶縁領域300の幅は、ゲート長Lの $(2p-1)$ 倍よりも長く、ゲート長Lの $(2p+1)$ 倍よりも短い長さである。

【0059】

なお、第1の方向におけるコンタクトプラグ18の幅と選択ゲートトランジスタT1、T2のゲート長については、第1の実施形態と同様である。

【0060】

図7(a)に示すように、この所定のパターンのフォトレジスト22bをマスクとして、半導体基板11a上の膜すべて(第2の擬似メモリセルトランジスタ、第4の絶縁膜17c)をドライエッチングによりエッチングする。これにより、コンタクトプラグの形成予定領域100に開口したコンタクトホールと絶縁領域300に開口溝が形成される(図7(a)参照)。開口溝を形成した後に、開口溝内に露出した半導体基板11aにイオン注入を行い、選択ゲートトランジスタTと選択ゲートトランジスタTに隣接するメモリセルトランジスタMでN型拡散層11dを共有する(図7(a)参照)。

10

【0061】

図7(b)に示すように、フォトレジスト22bを除去した後に、コンタクトホール及び開口溝内で表面が露出した半導体基板11a上面、第4の絶縁膜17e上面及び側面に、CVD法を用いて、絶縁膜40(以下、第6の絶縁膜という)が形成される。

【0062】

ここで、図7(b)に示すように、第6の絶縁膜40は、上記の開口溝内に空間が形成されないように埋め込まれ、コンタクトホール内にY方向における幅がゲート長Lよりも大きい空間が残るような膜厚である。

20

【0063】

その後、図7(c)に示すように、第6の絶縁膜40を、半導体基板11a上面及び第4の絶縁膜17e上面が露出するまでエッチバックし、第4の絶縁膜17eのコンタクトホール側の側壁に、第6の絶縁膜40の一部を第2の側壁絶縁膜41として形成し、開口溝側の側壁に、第6の絶縁膜40の一部を充填絶縁膜42a、42bとして形成する。

【0064】

その後、図6(b)に示すように、第1の実施形態同様に、コンタクトホール内に残された空間に、金属層を埋め込み、コンタクトプラグ18を形成する。

【0065】

以上より、第1の実施形態と同様に、第1の方向におけるコンタクトホールの幅が、メモリセルトランジスタのゲート長Lよりも長くなる。このため、コンタクトホールの深さは一定としても、コンタクトホールのアスペクト比の低減可能な半導体記憶装置及びその製造方法を提供できる。

30

【0066】

本実施形態では、コンタクトプラグ18の側壁に第2の側壁絶縁膜41、各NANDストリング内のメモリセルトランジスタM1とこのメモリセルトランジスタM1に隣接する選択ゲートトランジスタT2との間と、メモリセルトランジスタMnとこのメモリセルトランジスタMnに隣接する選択ゲートトランジスタT1との間に充填絶縁膜42a、42bが形成される。

40

【0067】

このため、コンタクトプラグ18とコンタクトプラグ18に隣接する選択ゲートトランジスタT1、T2との間における耐圧、選択ゲートトランジスタT1、T2とメモリセルトランジスタMとの間における耐圧を上昇できる。その結果、第2の実施形態に比べて、よりリーク電流を軽減させることができる。

【0068】

また、第1の実施形態において形成されたコンタクトホールのY方向の幅が、本実施形態におけるコンタクトホールのY方向の幅と等しい場合には、第1の実施形態に比べて、コンタクトプラグ18とコンタクトプラグ18に隣接する選択ゲートトランジスタT1、T2との間の距離を長くすることができる。このため、コンタクトプラグ18とコンタク

50

トプラグ18に隣接する選択ゲートトランジスタT1, T2との間における耐圧をより上昇できる。

【0069】

なお、各実施形態において、コンタクトホール側の側壁及び底面と金属層との間にバリア金属層を埋め込んでもよい。

【0070】

なお、本願発明は上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。各実施形態では、幅Lが幅Sに等しいことに限定されることなく、幅Lと幅Sが異なってもよい。その場合において、第1の擬似パターンがm個ある場合のY方向における選択メモリセルトランジスタの幅は、メモリセルトランジスタのゲート長Lの(m+1)倍(mは自然数)と間隔幅Sのm倍の総和と等しい。また、隣接する選択ゲートトランジスタT間のY方向における幅がゲート長Lのk倍と間隔幅Sの(k+1)倍の総和と等しい場合には、Y方向におけるコンタクトプラグの幅は、ゲート長Lのk倍と間隔幅Sの(k-1)倍の総和よりも長い幅である。さらに、Y方向における絶縁領域の幅は、ゲート長Lのp倍と間隔幅Sの(p-1)倍の総和よりも長く、ゲート長Lのp倍と間隔幅Sの(p+1)倍の総和よりも短い幅である。

10

【0071】

更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出される。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出される。

20

【0072】

なお、本発明は以下の付記に記載されるような構成を考えられる。

【0073】

(付記)

半導体基板上に形成された所定の間隔を隔てて設けられ、直列接続された複数のメモリセルトランジスタ、複数の前記メモリセルトランジスタの両端に形成された選択ゲートトランジスタを有する複数のNANDストリングと、隣接する前記NANDストリング間に設けられたコンタクトプラグとを備え、前記メモリセルトランジスタは、下層より第1の絶縁膜、第1の導電膜、第2の絶縁膜、及び第2の導電膜を積層し形成されており、前記選択ゲートトランジスタは、下層より前記第1の絶縁膜、前記第1の導電膜、及び前記第2の導電膜を積層し形成されており、前記選択ゲートトランジスタのゲート長が、前記メモリセルトランジスタのゲート長の(m+1)倍(mは自然数)と隣接する前記メモリセルトランジスタ間の間隔幅のm倍の総和と等しく、前記選択ゲートトランジスタを形成する前記第1の絶縁膜及び前記第1の導電膜の第1方向における幅は、前記選択ゲートトランジスタの前記ゲート長と等しく、前記選択ゲートトランジスタを形成する前記第2の導電膜の幅は、前記メモリセルトランジスタの前記ゲート長と等しく、前記第1の導電膜上で前記第2の導電膜は、前記所定の間隔を隔ててm個設けられており、隣接する前記選択ゲートトランジスタ間の第1の方向における幅が前記メモリセルトランジスタの前記ゲート長のk倍(kは自然数)と前記所定の間隔の(k+1)倍の総和と等しい場合には、第1の方向における前記コンタクトプラグの幅は、前記メモリセルトランジスタの前記ゲート長のk倍と前記所定の間隔の(k-1)倍の総和よりも長いことを特徴とする半導体記憶装置。

30

40

【符号の説明】

【0074】

11a…半導体基板

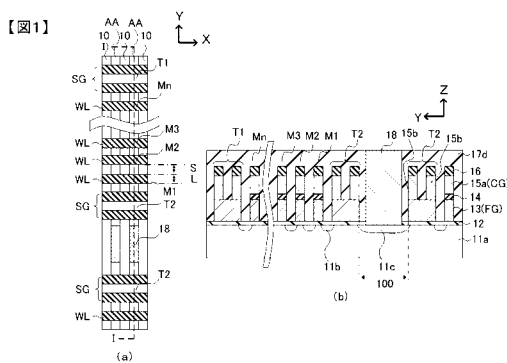
11b 11c 11d…N型拡散層

12…第1の絶縁膜

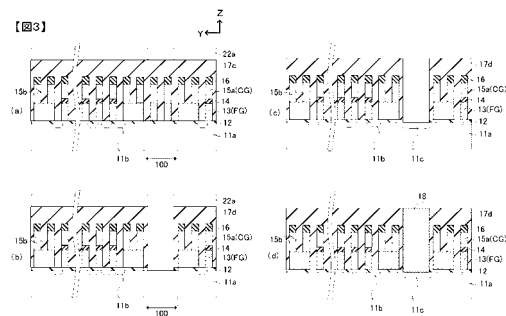
50

- 1 3 … 第 1 の導電膜
 1 4 … 第 2 の絶縁膜
 1 5 … 第 2 の導電膜
 1 6 … 配線層
 1 7 … 第 3 の絶縁膜 第 4 の絶縁膜
 1 8 … コンタクトプラグ
 M 1 ~ M n … メモリセルトランジスタ
 M D 1, M D 2 … 擬似メモリセルトランジスタ
 T 1, T 2 … 選択ゲートトランジスタ
 2 0 2 1 2 2 a 2 2 b … フォトリソグ
 3 0 … 第 5 の絶縁膜
 3 1 … 側壁絶縁膜
 4 0 … 第 6 の絶縁膜
 4 1 … 第 2 の側壁絶縁膜
 4 2 a 4 2 b … 充填絶縁膜
 1 0 0 … コンタクトプラグ形成予定領域
 2 0 0 a, 2 0 0 b … 選択ゲートトランジスタ形成予定領域
 3 0 0 … 絶縁領域

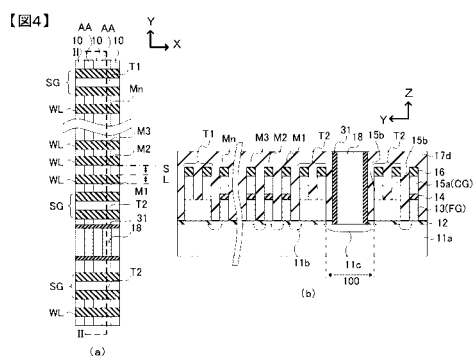
【図 1】



【図 3】

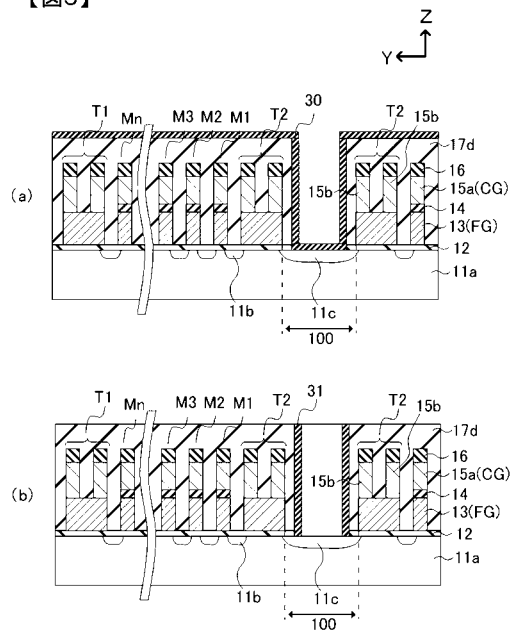


【図 4】



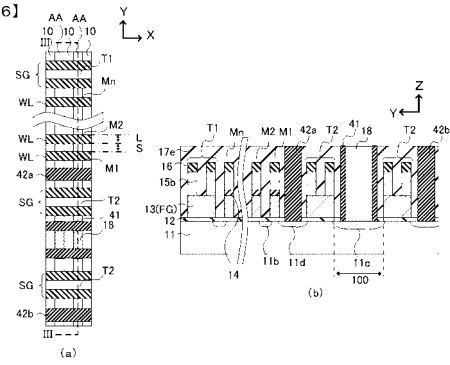
【図5】

【図5】



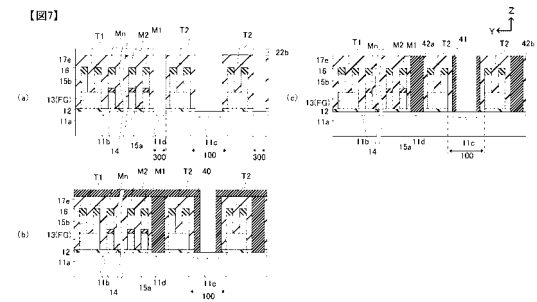
【図6】

【図6】



【図7】

【図7】



フロントページの続き

【要約の続き】

セルトランジスタMの前記ゲート長の k 倍と前記所定の間隔の $(k-1)$ 倍の総和よりも長いことを特徴とする半導体記憶装置。

【選択図】 図1