

⑫

DEMANDE DE BREVET D'INVENTION

A1

⑫ Date de dépôt : 28.02.90.

⑬ Priorité : 29.12.89 KR 8920102.

⑭ Date de la mise à disposition du public de la demande : 05.07.91 Bulletin 91/27.

⑮ Liste des documents cités dans le rapport de recherche : *Le rapport de recherche n'a pas été établi à la date de publication de la demande.*

⑯ Références à d'autres documents nationaux apparentés :

⑰ Demandeur(s) : société dite: SAMSUNG ELECTRONICS CO., LTD. — KR.

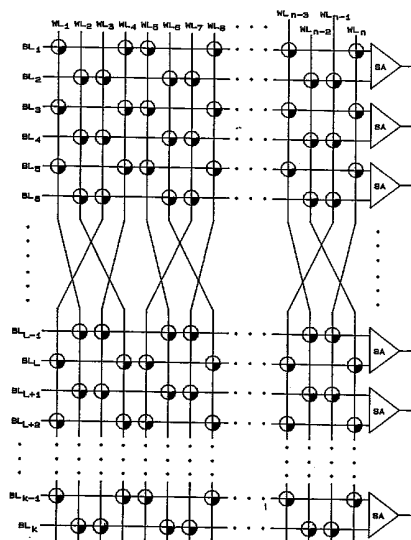
⑱ Inventeur(s) : Min Dong-Sun, Cho Su-In et Jin Dae-Je.

⑲ Titulaire(s) :

⑳ Mandataire : Cabinet Bonnet Thirion.

① Structure de lignes de mots interdiguées et croisées destinée à des mémoires à semiconducteurs.

② Les circuits de mémoire à haute densité d'intégration de cellules comportent une multiplicité d'unités de pilotage de lignes de mots utilisant une multiplicité de lignes de mots ( $WL_1$  à  $WL_n$ ), une multiplicité de lignes binaires ( $BL_1$  à  $BL_k$ ), et divers décodeurs. L'invention décrit un procédé de disposition des unités de pilotage de lignes de mots, permettant de réduire la distance séparant les unités de pilotage de lignes de mots de manière à ce que la disposition de la matrice de mémoire à semiconducteurs puisse être réalisée aisément. En outre, l'invention évoque également la manière dont peuvent être disposés d'autres composants de la matrice de mémoire.



La présente invention se rapporte à des lignes de mots d'un dispositif de mémoire à semiconducteurs et, plus particulièrement, à un procédé de disposition de la matrice de mémoire à semiconducteurs permettant de réduire le bruit de couplage de lignes de mots et la  
5 capacité de couplage entre les lignes de mots.

On a tendance à fabriquer des dispositifs de mémoire à semiconducteurs dont le circuit de mémoire présente une densité de cellules de plus en plus élevée sur une superficie de puce extrêmement petite, et la disposition de matrices de mémoire à haute  
10 densité de cellules entraîne des problèmes qui affectent les éléments de mémoire ou cellules.

En particulier, dans le cas de matrices de cellules de mémoire comportant une multiplicité de lignes binaires et une multiplicité de lignes de mots, la réduction de la distance entre lignes  
15 qu'entraîne la tendance à fabriquer des circuits de mémoire à densité de cellules de plus en plus élevée, conduit à des couplages capacitifs entre les lignes lors de la transmission d'un signal à travers une ligne. Le couplage capacitif entre les lignes est doublé en raison de la composante capacitive de la ligne elle-même.

20 La capacité du dispositif de mémoire à semiconducteurs est d'autant plus grande que la ligne de mots est longue et que la distance entre les lignes de mots est faible.

Cependant, étant donné que le temps requis pour accéder à la cellule de mémoire dépend de la longueur de la ligne de mots, la  
25 longueur accrue des lignes de mots entraîne des conséquences indésirables. Par conséquent, pour compenser le temps d'accès accru, une couche métallique est formée sur du polysilicium, qui constitue la matière formant la ligne de mots, de manière à assurer un fonctionnement rapide. Ce revêtement métallique des lignes de mots  
30 accroît le couplage capacitif entre les lignes en raison de la réduction de la distance entre les lignes.

Autrement dit, le bruit dû au couplage capacitif entre les métaux s'ajoute au bruit dû au couplage capacitif entre les lignes. Le fait que le bruit dû au couplage capacitif entre les lignes de mots est  
35 chargé ou déchargé dans le cas où une ligne de mots est sélectionnée

peut entraîner une opération de mémoire erronée dans le cas d'un fonctionnement à vitesse élevée.

Naturellement, étant donné la miniaturisation de la cellule à transistors métal-oxyde-semiconducteur et la très petite échelle de la disposition de la matrice de mémoire en raison de la grande densité des cellules du circuit de mémoire, la tension de pilotage des lignes de mots a un niveau élevé et il n'est pas possible de négliger le bruit dû à la tension de pilotage de niveau élevé. Par conséquent, on adopte un procédé consistant à abaisser la tension de pilotage destinée aux lignes de mots jusqu'à moins de 5 volts afin d'éliminer ce bruit mais, étant donné que le transistor nécessite sa propre tension de seuil pour fonctionner, le procédé consistant à baisser la tension de pilotage destinée aux lignes de mots a ses limitations.

La matrice de mémoire classique présentant les problèmes mentionnés ci-dessus est illustrée sur la figure 1. On se réfère à la figure 1 qui représente une multiplicité de lignes binaires  $BL_1$  à  $BL_J$ , une multiplicité de lignes de mots disposées en travers des lignes binaires, chaque paire de lignes binaires étant reliée à un amplificateur de détection. Les cellules de mémoire sont disposées au niveau des points de croisement des lignes de mots et des lignes binaires. Lors d'une opération de lecture du dispositif de mémoire, l'information enregistrée dans la cellule sélectionnée par la ligne de mots est chargée sur la ligne binaire sélectionnée, puis l'amplificateur de détection sélectionné par la ligne binaire lit l'information. A ce moment, la capacité de couplage entre la ligne de mots sélectionnée et la ligne de mots voisine est telle qu'illustrée sur la figure 3A. En référence à la figure 3A, on va décrire les composantes capacitives en fonction de la matrice de mémoire de la figure 1. Les capacités de couplage  $C_{12}$ ,  $C_{23}$ ,  $C_{34}$ ,  $C_{45}$  entre les lignes de mots  $WL_1$ - $WL_4$ , et les capacités des substrats  $C_1$ ,  $C_2$ ,  $C_3$ ,  $C_4$  des lignes de mot  $WL_1$ - $WL_4$  sont illustrées. En conséquence, en cas de sélection d'une ligne de mots quelconque, la tension du bruit de couplage de lignes de mots est:

$$V_{CP} = \frac{C_c}{C_s + C_c} \times V_{WL} \dots\dots\dots (1)$$

( $V_{WL}$  = tension de pilotage de la ligne de mots sélectionnée)

5 La capacité du substrat  $C_s$  de la ligne de mots dépend du revêtement métallique de la ligne de mots et de la nature du substrat, si bien que la capacité du substrat  $C_s$  peut être considérée comme étant la constante. La tension de pilotage  $V_{WL}$  de la ligne de mots est un facteur influençant le bruit de couplage de  
 10 lignes de mots mais, étant donné que la tension de pilotage destinée à piloter la ligne de mots est au plus égale à la tension de seuil du transistor de la cellule de mémoire, le terme  $V_{WL}$  est négligeable. En conséquence, l'homme de l'art se rendra aisément compte que le facteur principal influençant le bruit de couplage de  
 15 lignes de mots est la capacité de couplage  $C_c$ .

En conséquence, la présente invention a pour objet de proposer une matrice de mémoire à semiconducteurs permettant de réduire le bruit de couplage de lignes de mots pendant le fonctionnement des lignes de mots.

20 Pour parvenir à l'un de ses objectifs, la présente invention propose une matrice de mémoire qui comporte une multiplicité de lignes de mots, les lignes de mots étant divisées en plusieurs groupes, chaque groupe contenant quatre lignes de mots, les lignes de mots de chaque groupe étant croisées les unes par rapport aux  
 25 autres de manière à ce que chaque ligne de mots ne puisse plus être adjacente aux lignes de mots voisines.

La figure 1 est une structure de lignes de mots d'une matrice de mémoire à semiconducteurs classique;

La figure 2 est une structure de lignes de mots d'une matrice de  
 30 mémoire à semiconducteurs selon la présente invention;

La figure 3A est un diagramme de circuit illustrant les composantes capacitives des lignes de mots suivant la figure 1; et

La figure 3B est un diagramme de circuit illustrant les composantes capacitives des lignes de mots selon la figure 2.

35 La figure 2 est un schéma illustrant la disposition de la

matrice de mémoire selon la présente invention, et la figure 3B illustre les composantes capacitives en fonction de la disposition illustrée sur la figure 2. On se réfère à cette figure qui représente une multiplicité de lignes binaires BL<sub>1</sub> à BL<sub>J</sub>, chaque

5 paire de lignes binaires étant reliée à un amplificateur de détection SA, et une multiplicité de lignes de mots disposées en travers des lignes binaires, les lignes de mots étant divisées en plusieurs groupes, les lignes de mots de chaque groupe constitué par quatre lignes de mots étant croisées une fois dans la zone médiane

10 des lignes de mots, c'est-à-dire la zone d'interconnexion.

Par exemple, la seconde ligne de mots WL<sub>2</sub> est placée entre la première ligne de mots WL<sub>1</sub> et la troisième ligne de mots WL<sub>3</sub> avant d'être croisée, mais elle est placée entre la quatrième ligne de mots WL<sub>4</sub> et la septième ligne de mots WL<sub>7</sub> après avoir été croisée.

15 La troisième ligne de mots WL<sub>3</sub> est placée entre la première ligne de mots WL<sub>1</sub> et la seconde ligne de mots WL<sub>2</sub>, et la quatrième ligne de mots WL<sub>4</sub> entre la première ligne de mots WL<sub>1</sub>, et la seconde ligne de mots WL<sub>2</sub>, la première ligne de mots WL<sub>1</sub> entre la troisième ligne de mots WL<sub>3</sub> et la quatrième ligne de mots WL<sub>4</sub>.

20 D'autre part, étant donné que la distance entre les lignes de mots croisées est doublée, les capacités de couplage entre les lignes de mot croisées sont diminuées de moitié. Ceci s'explique par le fait que les lignes de mots sont disposées en parallèle. Le principe suivant lequel la capacité entre plaques parallèles est

25 inversement proportionnelle à l'espace séparant les plans s'applique à ce cas. La zone requise pour effectuer le croisement des lignes de mots est celle au niveau de laquelle s'effectue l'union des lignes de mots, si bien qu'il n'est pas nécessaire de prévoir une autre zone pour effectuer le croisement des lignes. La diminution de

30 la capacité de couplage obtenue par le croisement des lignes de mots est exprimée comme suit:

$$C_{c'} = \frac{1}{2} C_s$$

$$V_{CP} = \frac{C_c}{C_s + C_c'} \times V_{WL} \dots\dots (2)$$

(C<sub>c</sub>' : capacité de couplage de lignes de mots)

5

La réduction de la capacité de couplage est illustrée sur la figure 3.

On voit ainsi que les valeurs des capacités de couplage C'<sub>12</sub>, C'<sub>23</sub>, C'<sub>34</sub>, C'<sub>45</sub> de la figure 3B sont égales à la moitié des valeurs des capacités de couplage C<sub>12</sub>, C<sub>23</sub>, C<sub>34</sub>, C<sub>45</sub> de la figure 3A.

10

En conséquence, comme l'illustre l'équation (2), étant donné que la capacité de couplage C<sub>c</sub>' de la figure 3B est diminuée de moitié par comparaison avec la capacité de couplage C<sub>c</sub> de la figure 3A, le bruit de couplage de lignes de mots V<sub>CP</sub> est également diminué de moitié.

15

Dans le mode de réalisation de la présente invention, quatre lignes de mots sont affectées à chaque unité de pilotage de ligne de mot, mais, conformément à des résultats expérimentaux, même si plus de quatre lignes de mots sont croisées ensemble, le bruit de couplage de lignes de mots est réduit, et l'on peut donc croiser ensemble autant

20

de lignes de mots que nécessaire. De plus, le procédé de l'invention peut s'appliquer à des bus ayant plus de quatre lignes d'entrée/sortie dans le dispositif de mémoire à semiconducteurs comme, par exemple, dans le cas des lignes d'entrée/sortie et des bus de données de décodeurs d'adresse de colonne et de décodeurs d'adresse de rangée, aussi bien qu'aux lignes de mots.

25

On comprendra que, pour réduire encore le bruit de couplage, on peut ménager deux et plus zones de croisements successives.

30

Comme décrit ci-dessus, la présente invention présente un autre avantage, à savoir que le bruit de couplage de lignes de mots dû au fonctionnement des lignes de mots est réduit grâce au croisement des lignes de mots dans la zone d'interconnexion.

## REVENDEICATIONS

1. Dans un dispositif de mémoire à semiconducteurs comportant une multiplicité de lignes de mots, ledit dispositif de mémoire à semiconducteurs étant caractérisé en ce que lesdites lignes de mots  
5 (WL<sub>1</sub> à WL<sub>n</sub>) sont divisées en plusieurs groupes, dans lequel chacun desdits groupes comporte au moins quatre lignes de mots, lesdites lignes de mots de chacun desdits groupes étant croisées les unes par rapport aux autres de manière à ce que chaque ligne de mots ne soit pas adjacente à des lignes de mots voisines.

10 2. Dispositif de mémoire à semiconducteurs selon la revendication 1, dans lequel lesdites lignes de mots sont croisées les unes par rapport aux autres dans la zone d'interconnexion.

3. Dispositif de mémoire à semiconducteurs selon la revendication 1, dans lequel lesdites lignes de mots (WL<sub>1</sub> à WL<sub>n</sub>)  
15 sont croisées les unes par rapport aux autres en plus de deux endroits de ladite mémoire de manière à ce que chaque ligne de mots ne soit pas adjacente à des lignes de mots voisines.

4. Dans un dispositif de mémoire à semiconducteurs comportant divers types de bus de signaux, ladite matrice de mémoire à  
20 semiconducteurs étant caractérisée en ce que lesdits bus de signaux sont divisés en plusieurs groupes, dans lesquels chaque groupe desdits bus de signaux comporte au moins quatre bus de signaux, lesdits bus de signaux de chacun desdits groupes étant croisés les uns par rapport aux autres de manière à ce que chaque bus de signaux  
25 ne soit pas adjacent à des bus de signaux voisins.

5. Dispositif de mémoire à semiconducteurs selon la revendication 4, dans lequel lesdits bus de signaux sont croisés les uns par rapport aux autres en plus de deux endroits au sein de la mémoire à semiconducteurs de manière à ce que chaque bus de signaux  
30 ne soit pas adjacent à des bus de signaux voisins.

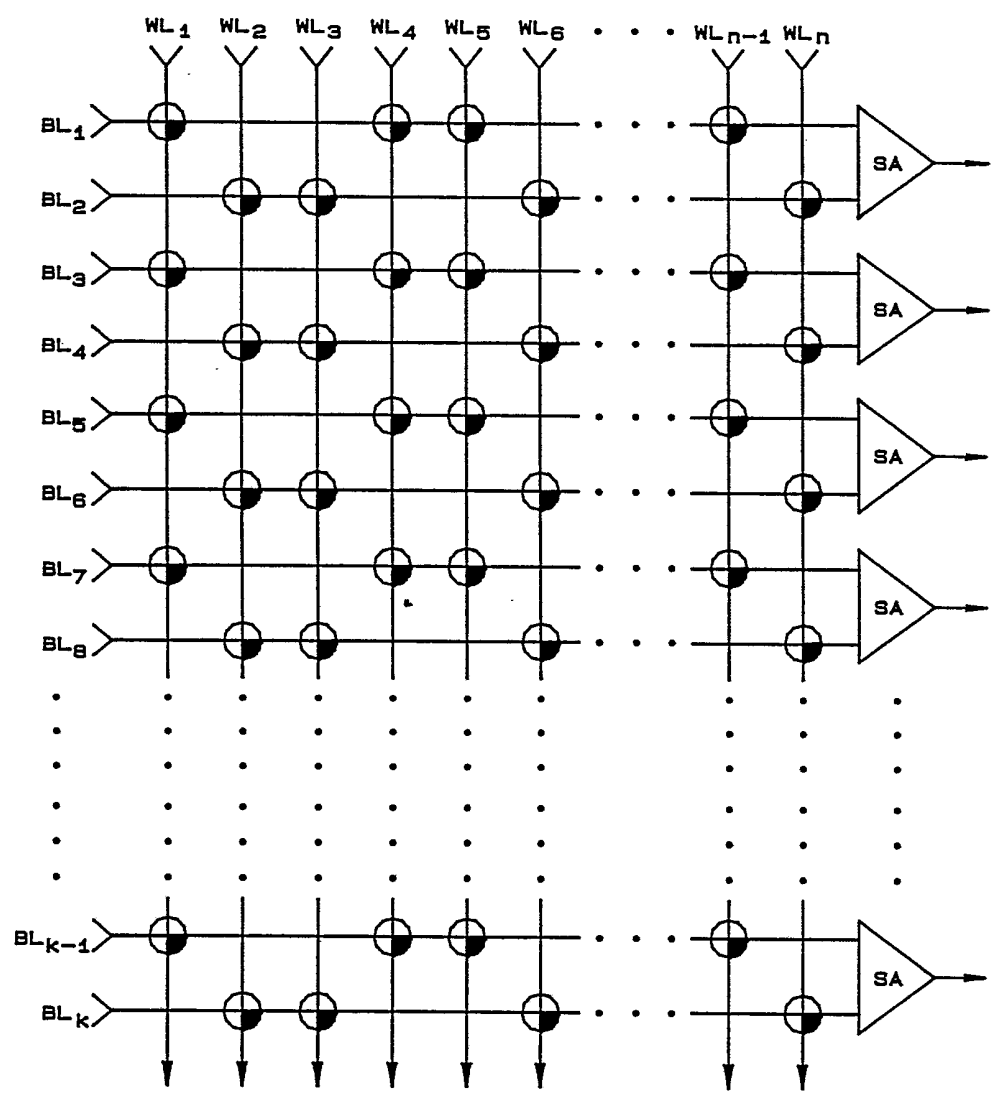


FIG. 1

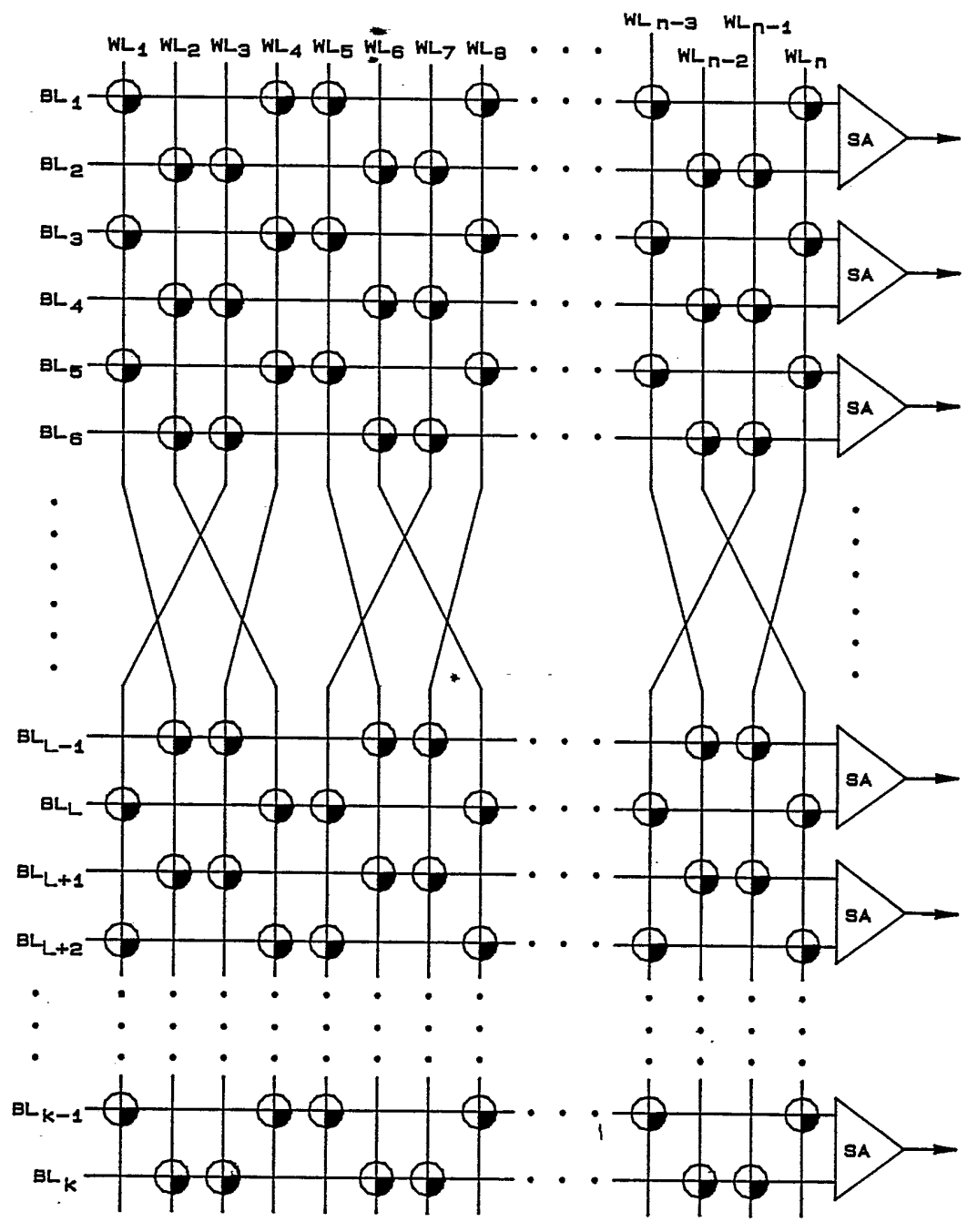


FIG. 2

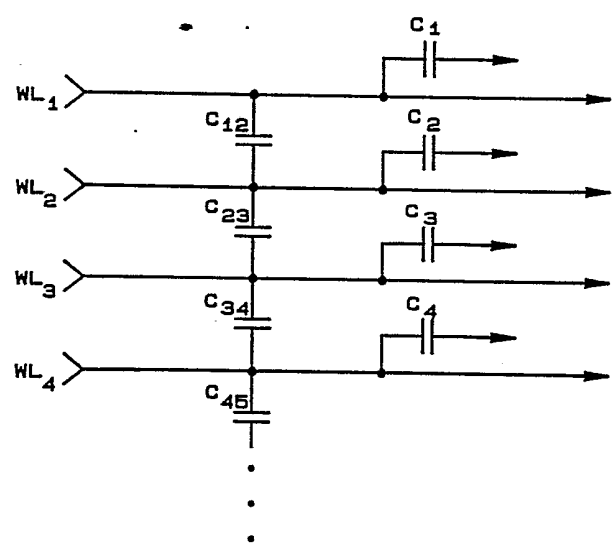


FIG. 3A

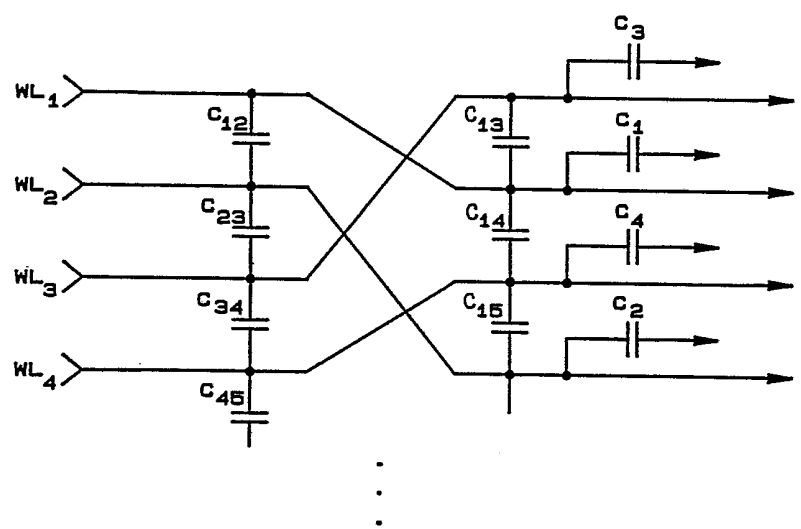


FIG. 3B