



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0059313  
(43) 공개일자 2020년05월28일

- (51) 국제특허분류(Int. Cl.)  
G11C 5/14 (2006.01) G11C 7/10 (2015.01)
- (52) CPC특허분류  
G11C 5/145 (2013.01)  
G11C 7/1048 (2013.01)
- (21) 출원번호 10-2020-7014178
- (22) 출원일자(국제) 2018년09월11일  
심사청구일자 2020년05월18일
- (85) 번역문제출일자 2020년05월18일
- (86) 국제출원번호 PCT/US2018/050517
- (87) 국제공개번호 WO 2019/143388  
국제공개일자 2019년07월25일
- (30) 우선권주장  
15/872,124 2018년01월16일 미국(US)

- (71) 출원인  
마이크론 테크놀로지, 인크.  
미국, 아이다호, 보이세, 사우스 페더럴 웨이 8000
- (72) 발명자  
스리라마네니, 라구키란  
미국 75070 텍사스주 맥키니 토드 서클 7400  
테일러, 제니퍼 이.  
미국 83716 아이다호주 보이시 이스트 게이트웨이 코트 6348
- (74) 대리인  
양영준, 백만기

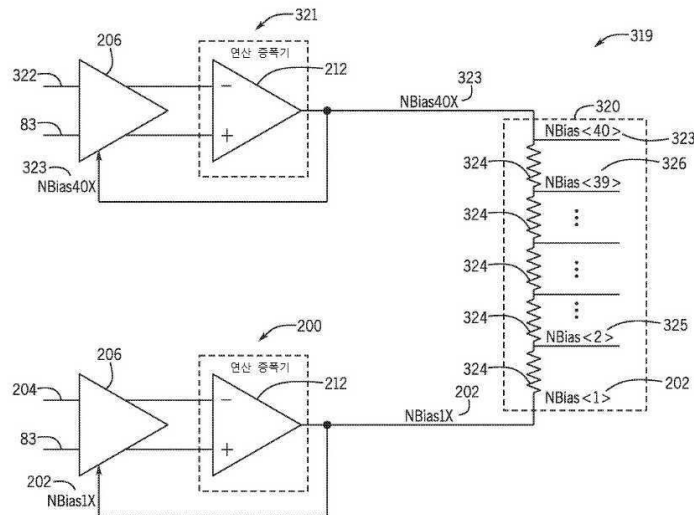
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 멀티-바이어스 레벨 생성 및 보간

(57) 요약

디바이스(10)는 복수의 바이어스 레벨 중 제1 바이어스 레벨(202)을 생성하고 제1 전압 값을 갖는 바이어스 레벨(202)을 전송하기 위한 제1 바이어스 레벨 생성기(200), 및 복수의 바이어스 레벨 중 제2 바이어스 레벨(323)을 생성하고 제2 전압 값을 갖는 제2 바이어스 레벨(321)을 전송하기 위한 제2 바이어스 레벨 생성기(321)를 포함한다. 디바이스(10)는 복수의 바이어스 레벨 중 바이어스 레벨의 서브셋을 제1 바이어스 레벨(202)과 제2 바이어스 레벨(323) 사이에서 보간하며 복수의 바이어스 레벨의 선택된 바이어스 레벨을 제어 신호로서 판정 피드백 등화기(70)의 조절 회로로 공급하여 비트 스트림의 이전에 수신된 비트로 인한 비트의 심볼 간 간섭을 보상하는 분압기(320)를 더 포함한다.

대표도 - 도12



## 명세서

### 청구범위

#### 청구항 1

복수의 바이어스 레벨을 동시에 생성하도록 구성된 디바이스로서,

제1 출력을 포함하는 제1 바이어스 레벨 생성기 - 제1 바이어스 레벨 생성기는 복수의 바이어스 레벨 중 제1 바이어스 레벨을 생성하고 제1 출력으로부터 제1 전압 값을 갖는 바이어스 레벨을 전송하도록 구성됨 - ,

제2 출력을 포함하는 제2 바이어스 레벨 생성기 - 제2 바이어스 레벨 생성기는 복수의 바이어스 레벨 중 제2 바이어스 레벨을 생성하고 제2 출력으로부터 제2 전압 값을 갖는 제2 바이어스 레벨을 전송하도록 구성됨 - , 및

제1 출력 및 제2 출력에 연결된 분압기 - 상기 분압기는 제1 바이어스 레벨과 제2 바이어스 레벨 사이에서 복수의 바이어스 레벨 중 바이어스 레벨의 서브세트를 보간하도록 구성되며, 복수의 바이어스 레벨은 제1 바이어스 레벨, 제2 바이어스 레벨 및 바이어스 레벨의 서브세트를 포함하고, 분압기는 복수의 바이어스 레벨 중 선택된 바이어스 레벨을 공급하고 선택된 바이어스 레벨을 제어 신호로서 판정 피드백 등화기의 조절 회로로 전송하여, 비트 스트림의 이전에 수신된 비트로 인한 비트의 심볼 간 간섭을 보상하도록 구성된 제3 출력을 포함함 - 를 포함하는, 디바이스.

#### 청구항 2

제1항에 있어서, 분압기는 저항기의 세트를 포함하는, 디바이스.

#### 청구항 3

제2항에 있어서, 저항기의 세트는 바이어스 레벨의 서브세트를 선형 관계의 바이어스 레벨들로서 생성하도록 구성되는, 디바이스.

#### 청구항 4

제2항에 있어서, 저항기의 세트는 바이어스 레벨의 서브세트를 비-선형 관계의 바이어스 레벨들로서 생성하도록 구성되는, 디바이스.

#### 청구항 5

제1항에 있어서, 제1 바이어스 레벨 생성기는

기준 신호를 수신하도록 구성된 제1 입력,

조절 신호를 수신하도록 구성된 제2 입력, 및

피드백 신호를 수신하도록 구성된 제3 입력 - 수신기는 기준 신호, 조절 신호 및 피드백 신호를 기초로 출력 신호의 세트를 생성하도록 구성됨 - 을 포함하는, 디바이스.

#### 청구항 6

제5항에 있어서, 제1 바이어스 레벨 생성기는

출력 신호의 세트 중 제1 출력 신호를 수신하도록 구성된 제4 입력,

출력 신호의 세트 중 제2 출력 신호를 수신하도록 구성된 제5 입력을 포함하는

증폭기를 포함하고, 상기 증폭기는 제1 출력 신호 및 제2 출력 신호를 기초로 피드백 신호를 생성하도록 구성되며,

제1 출력은 제1 바이어스 레벨 생성기의 제3 입력과 분압기로 연결되는, 디바이스.

#### 청구항 7

제6항에 있어서, 증폭기는 제1 출력 신호와 제2 출력 신호 간 차이를 기초로 피드백 신호를 생성하는, 디바이스.

**청구항 8**

제6항에 있어서, 증폭기는 차동 연산 증폭기를 포함하는, 디바이스.

**청구항 9**

제5항에 있어서, 제1 입력은 비트가 논리 로우 값에 대응하는지 또는 논리 하이 값에 대응하는지에 대한 결정을 위한 임계 값으로서 기준 신호를 수신하도록 구성되는, 디바이스.

**청구항 10**

제5항에 있어서, 제2 입력은 기준 신호의 수정 버전으로서 조절 신호를 수신하도록 구성되는, 디바이스.

**청구항 11**

제10항에 있어서, 기준 신호의 수정 버전은 조절 신호의 희망 보정 레벨과 관련된 보정 계수를 포함하는, 디바이스.

**청구항 12**

제5항에 있어서, 제1 입력, 제2 입력 및 제3 입력을 포함하는 제1 바이어스 레벨 생성기의 적어도 일부가 판정 피드백 등화기의 증폭 디바이스, 합산기, 또는 이들의 임의의 조합의 거동을 모의(emulate)하는, 디바이스.

**청구항 13**

제12항에 있어서, 제1 바이어스 레벨 생성기의 적어도 일부는 제1 레벨에서 서로 매칭되도록 출력 신호의 세트를 조절하도록 구성되는, 디바이스.

**청구항 14**

제13항에 있어서, 제1 바이어스 레벨 생성기의 적어도 일부는 판정 피드백 등화기에 영향을 미치는 동작 조건에서 제2 레벨에서 서로 매칭되도록 출력 신호의 세트를 재조절하도록 구성되는, 디바이스.

**청구항 15**

제14항에 있어서, 동작 조건은 판정 피드백 등화기의 동작에 영향을 미치는 프로세스, 전압, 또는 온도 변화를 포함하는, 디바이스.

**청구항 16**

바이어스 레벨의 복수의 보수적 세트를 동시에 생성하도록 구성된 디바이스로서,

기준 신호, 조절 신호, 제1 피드백 신호, 및 제2 피드백 신호 중 각각을 수신하도록 각각 구성된 복수의 입력 및 기준 신호, 조절 신호, 제1 피드백 신호, 및 제2 피드백 신호를 기초로 출력 신호의 세트를 전송하도록 구성된 복수의 출력을 포함하는 수신기,

수신기로부터의 출력 신호의 세트를 수신하도록 구성된 적어도 하나의 입력을 포함하는 증폭기 - 연산 증폭기가 출력 신호의 세트를 기초로 제1 피드백 신호를 생성하도록 구성됨 - , 및

제1 피드백 신호를 수신하고, 상기 제1 피드백 신호를 기초로 제2 피드백 신호, 제1 바이어스 값, 및 제2 바이어스 값을 생성하도록 구성된 전류 미러 - 전류 미러는 제1 바이어스 값을 전송하도록 구성된 제1 출력을 포함함 -

을 포함하는 제1 바이어스 레벨 생성기, 및

제1 출력에 연결된 분압기 - 상기 분압기는 제1 바이어스 값을 수신하고 상기 제1 바이어스 레벨과 제2 바이어스 레벨 사이에서 바이어스 레벨의 서브세트를 보간하여, 복수의 바이어스 레벨을 생성하도록 구성되고, 분압기는 복수의 바이어스 레벨 중 선택된 바이어스 레벨을 공급하고 선택된 바이어스 레벨을 판정 피드백 등화기의

조절 회로로 제어 신호로서 전송하여, 비트 스트림의 이전에 수신된 비트로 인한 비트의 심볼 간 간섭을 보상하도록 구성됨 -

를 포함하는, 디바이스.

**청구항 17**

제16항에 있어서,

기준 신호, 조절 신호, 제1 피드백 신호, 및 제2 피드백 신호 중 각각을 수신하도록 각각 구성된 복수의 입력 및 기준 신호, 조절 신호, 제1 피드백 신호, 및 제2 피드백 신호를 기초로 출력 신호의 세트를 전송하도록 구성된 복수의 출력을 포함하는 수신기,

수신기로부터의 출력 신호의 세트를 수신하도록 구성된 적어도 하나의 입력을 포함하는 증폭기 - 연산 증폭기가 출력 신호의 세트를 기초로 제1 피드백 신호를 생성하도록 구성됨 - , 및

제1 피드백 신호를 수신하고, 상기 제1 피드백 신호를 기초로 제2 피드백 신호, 제1 바이어스 값, 및 제2 바이어스 값을 생성하도록 구성된 전류 미러 - 전류 미러는 제1 바이어스 값을 전송하도록 구성된 제1 출력 및 제2 바이어스 값을 전송하도록 구성된 제2 출력을 포함함 -

을 포함하는 제1 바이어스 레벨 생성기, 및

제1 출력에 연결된 분압기 - 상기 분압기는 제1 바이어스 값을 수신하고 제1 바이어스 레벨과 제3 바이어스 레벨 사이에서 바이어스 레벨의 서브세트를 보간하여, 복수의 바이어스 레벨을 생성하도록 구성되고, 분압기는 복수의 바이어스 레벨 중 선택된 바이어스 레벨을 공급하고 선택된 바이어스 레벨을 판정 피드백 등화기의 조절 회로로 제어 신호로서 전송하여, 비트 스트림의 이전에 수신된 비트로 인한 비트의 심볼 간 간섭을 보상하도록 구성됨 -

를 포함하는, 디바이스.

**청구항 18**

제17항에 있어서, 제2 출력에 연결된 제2 분압기 - 상기 제2 분압기는 제2 바이어스 값을 수신하고 제2 바이어스 레벨과 제4 바이어스 레벨 사이에서 바이어스 레벨의 제2 서브세트를 보간하여, 제2 복수의 바이어스 레벨을 생성하도록 구성되며, 제2 분압기는 제2 복수의 바이어스 레벨 중 제2 선택된 바이어스 레벨을 공급하고 제2 선택된 바이어스 레벨을 제2 제어 신호로서 판정 피드백 등화기의 조절 회로로 전송하여 비트 스트림의 이전에 수신된 비트로 인한 비트의 심볼 간 간섭을 보상하도록 구성된 제2 출력을 포함함 - 를 포함하는, 디바이스.

**청구항 19**

출력을 포함하는 전압 생성기 - 전압 생성기는 각각 연관된 고유 전압 레벨을 갖는 복수의 바이어스 레벨 신호를 생성하고, 복수의 바이어스 레벨 신호 중 하나의 바이어스 레벨 신호를 선택하고, 선택된 하나의 바이어스 레벨 신호를 출력으로부터 전송하도록 구성됨 - , 및

조절 신호들을 전송하여 비트 스트림의 이전에 수신된 비트로 인한 비트의 심볼 간 간섭을 보상하도록 구성된 판정 피드백 등화기의 조절 회로 - 조절 회로는 전압 생성기의 출력에 연결된 입력을 포함하고, 조절 회로는 선택된 하나의 바이어스 레벨 신호를 수신하고 선택된 하나의 바이어스 레벨 신호를 기초로 조절 신호들 중 하나의 조절 신호를 생성하도록 구성됨 -

을 포함하는, 디바이스.

**청구항 20**

제19항에 있어서, 선택된 하나의 바이어스 레벨 신호는 판정 피드백 등화기에 영향을 미치는 동작 조건을 기초로 결정된 연관된 고유 전압 레벨을 갖는, 디바이스.

**발명의 설명**

**기술 분야**

본 개시의 실시예가 일반적으로 반도체 메모리 디바이스의 분야와 관련된다. 더 구체적으로, 본 개시의 실시예

[0001]

는 반도체 메모리 디바이스의 하나 이상의 판정 피드백 등화기(DFE: decision feedback equalizer) 회로의 바이어스 레벨을 전역적으로 생성 및 보간하는 것과 관련된다.

**배경 기술**

[0002] 메모리 디바이스의 작동율, 가령, 메모리 디바이스의 데이터 레이트가 시간에 따라 점점 증가하고 있다. 메모리 디바이스의 속도의 증가의 부작용으로서, 왜곡으로 인한 데이터 에러가 증가할 수 있다. 예를 들어, 이전에 수신된 데이터가 현재 수신된 데이터에 영향을 미치게 하는(가령, 이전에 수신된 데이터가 다음에 수신될 데이터에 영향을 미치고 이와 간섭을 일으키도록 하는) 전송 데이터들 간 심볼간 간섭이 발생할 수 있다. 이 간섭을 보정하기 위한 한 가지 방식이 전송 데이터에 채널이 미치는 영향을 상쇄(즉, 실행취소, 완화, 또는 상쇄)시키도록 프로그램될 수 있는 판정 피드백 등화기(DFE)를 사용하는 것이다.

[0003] 또한, 전송 신호 내 왜곡을 보정하는 것이 계속 중요하다. 그러나 종래의 왜곡 보정 기법은 신호의 왜곡을 적절하게 보정하지 않을 수 있다. DFE 회로는 특정 입력 바이어스 레벨의 생성을 필요로 할 수 있고, 게다가 이들 바이어스 레벨의 종래의 생성이 프로세스, 전압 및 온도(PVT) 간 변화에 의해 영향 받을 수 있고 다양한 PVT 조건에 걸쳐 높은 레벨의 정밀도를 갖는 입력 바이어스 레벨을 생성하지 않을 수 있다. PVT 조건에 대한 공차(tolerance) 없이 생성된 바이어스 레벨로부터 야기되는 에러가 최종 데이터에 추가 왜곡을 초래할 수 있고, 따라서 메모리 디바이스 내에서 전송되는 데이터의 신뢰도를 감소시킬 수 있다. 또한, 다양한 채널 조건이 다양한 입력 바이어스 레벨의 생성 및 프로그래밍을 필요로 할 수 있다. 즉, 메모리 디바이스가, 각각의 채널이 자신 고유의 채널 왜곡 조건을 겪을 수 있는 복수의 채널을 포함할 수 있다.

**도면의 간단한 설명**

[0004] 본 개시의 다양한 양태가 다음의 상세한 설명을 읽고 도면을 참조한 후 더 잘 이해될 수 있다.

도 1은 본 개시의 하나의 실시예에 따르는, 메모리 디바이스의 특정 특징부를 도시하는 단순화된 블록도이다.

도 2는 본 개시의 하나의 실시예에 따르는, 도 1의 I/O 인터페이스의 데이터 트랜시버를 도시하는 블록도이다.

도 3은 본 개시의 하나의 실시예에 따르는, 도 2의 데이터 트랜시버의 하나의 실시예의 블록도이다.

도 4는 본 개시의 하나의 실시예에 따르는, 도 2의 데이터 트랜시버의 제2 실시예의 블록도이다.

도 5는 본 개시의 하나의 실시예에 따르는, 왜곡 보정 회로의 블록도이다.

도 6은 본 개시의 하나의 실시예에 따르는, 도 5의 판정 피드백 등화기(DFE)의 일부분의 회로도이다.

도 7은 본 개시의 하나의 실시예에 따르는, 왜곡 보정 회로의 제2 실시예를 도시한다.

도 8은 본 개시의 하나의 실시예에 따르는, 도 7의 DFE의 일부분의 회로도이다.

도 9는 본 개시의 하나의 실시예에 따르는, 바이어스 생성기의 하나의 실시예의 블록도이다.

도 10은 본 발명의 하나의 실시예에 따르는, 도 9의 바이어스 생성기의 수신기의 하나의 실시예를 도시한다.

도 11은 본 개시의 하나의 실시예에 따르는, 도 9의 바이어스 생성기가 바이어스 레벨을 생성하기 위한 방법의 하나의 실시예의 흐름도이다.

도 12는 본 개시의 하나의 실시예에 따르는, 멀티-레벨 바이어스 생성기의 하나의 실시예의 블록도이다.

도 13은 본 개시의 하나의 실시예에 따르는, 도 7의 DFE의 일부분의 제2 회로도이다.

도 14는 본 개시의 하나의 실시예에 따르는, 바이어스 생성기의 하나의 실시예의 제2 실시예를 도시한다.

도 15는 본 개시의 하나의 실시예에 따르는, 도 14의 바이어스 생성기의 수신기의 하나의 실시예를 도시한다.

도 16은 본 개시의 하나의 실시예에 따르는, 멀티-레벨 바이어스 생성기의 제2 실시예의 블록도이다.

도 17은 본 개시의 하나의 실시예에 따르는, 왜곡 보정 회로의 제3 실시예를 도시한다.

**발명을 실시하기 위한 구체적인 내용**

[0005] 하나 이상의 특정 실시예가 이하에서 기재될 것이다. 이들 실시예의 간결한 기재 제공하기 위해, 명세서에서 실제 구현예의 모든 특징부가 기재되지는 않는다. 이러한 임의의 실제 구현 형태에서, 임의의 엔지니어링 또는

설계 프로젝트에서처럼, 다수의 구현-특정적 결정이 개발자의 특정 목표, 가령, 시스템-관련 및 비즈니스-관련 제약에 부합하는 것이 구현에 별로 달라질 수 있다. 덧붙여, 이러한 개발 노력은 복잡하고 시간 소모적일 수 있지만, 그럼에도 본 개시로부터 이익을 얻는 해당 분야의 종사자에게 설계, 제조, 및 제작에 대한 일상적인 일일 것임을 알아야 한다.

[0006] 메모리 디바이스의 판정 피드백 등화기(DFE)를 이용하여 왜곡 보정 기법을 수행하는 것이, 예를 들어, 메모리 디바이스의 수신된 데이터 내 왜곡을 올바르게 보상하기 위해 중요할 수 있다. 이는 정확한 값이 메모리 디바이스의 메모리에 저장됨을 보장한다. DFE는 이전 비트 데이터를 이용해 이전 비트 데이터로부터 초래된 왜곡을 보상하기 위한 보정 값(corrective value)을 생성할 수 있다. 예를 들어, 최근 이전 비트가 수 데이터 포인트 전에 전송되는 비트보다 현재 비트에 더 많은 왜곡 영향을 미칠 수 있어서, 두 비트 간 보정 값이 상이할 수 있다. 보정될 이들 레벨에 의해, DFE는 전송된 비트의 왜곡을 보정하도록 동작할 수 있다.

[0007] 일부 실시예에서, DFE는 채널을 충분히 등화하기 위해 왜곡 보정 계수를 정밀하게 생성하기 위해 바이어스 레벨의 사용을 필요로 할 수 있다. 바이어스 레벨이 데이터에서 왜곡을 직접 또는 간접적으로 제거하도록 작동할 수 있기 때문에, 바이어스 레벨의 신뢰도를 증가시키는 것이 DFE에 의해 처리된 후 데이터로부터 왜곡이 제거되었다는 신뢰도를 증가시킬 수 있다. 따라서 바이어스 레벨 생성의 정밀도 증가가 채널 등화의 정밀도를 증가시킬 수 있다.

[0008] DFE 회로에 대해 프로세스, 전압 및 온도(PVT) 변경에 걸쳐 정밀한 바이어스 레벨을 생성하는 것이 변하는 동작 조건과 함께 채널을 충분히 등화시키는 데 중요할 수 있다. 메모리 디바이스가, 상이한 채널 조건을 각각 포함할 수 있는 다수의 데이터 채널을 포함할 수 있기 때문에, 각각의 채널을 개별적으로 등화시키기 위해 상이한 바이어스 레벨이 생성될 수 있다. 따라서, DFE 회로 내에서 상이한 데이터 채널 간 및/또는 상이한 탭 간에서 사용되기 위해 필요한 바이어스 레벨을 효율적으로 생성하기 위해, 메모리 디바이스는 지정(가령, 런타임에서 프로그램되거나 선택)될 수 있는 바이어스 레벨을 전역적으로 생성하기 위한 시스템 및 방법을 포함할 수 있다. 즉, 프로그램된 값 및/또는 사용자 입력을 기초로 런타임에서 각각의 데이터 채널에 대한 상이한 바이어스 레벨을 로컬하게 생성하는 대신 또는 이에 추가로, 메모리 디바이스는 런타임에서 선택되도록 메모리 디바이스의 모든 필요한 영역에 의해 동시에 이용 가능한 다수의 상이한 생성된 바이어스 레벨을 포함할 수 있다. 따라서, 멀티-레벨 바이어스 생성기는 바이어스 레벨 생성기 세트의 경계 조건 바이어스 레벨 출력들 사이에서 중간 바이어스 레벨 출력을 보간함으로써 복수의 PVT 공차 바이어스 레벨을 동시에 생성할 수 있다. 즉, 멀티-레벨 바이어스 생성기는 제1 싱글-레벨 바이어스 생성기에 로우 입력(low input)을 인가하고, 제2 싱글-레벨 바이어스 생성기에 하이 입력(high input)을 인가하며, 제1 싱글-레벨 바이어스 생성기와 제2 싱글-레벨 바이어스 생성기의 바이어스 레벨 출력들 사이에서 바이어스 레벨 출력을 보간하여, 런타임에서 메모리 디바이스에 의해 이용 가능한 복수의 바이어스 레벨을 동시에 생성할 수 있다.

[0009] 도면을 참조할 때, 도 1은 메모리 디바이스(10)의 특정 특징부를 도시하는 단순화된 블록도이다. 특히, 도 1의 블록도는 메모리 디바이스(10)의 특정 기능을 도시하는 기능 블록도이다. 하나의 실시예에 따르면, 메모리 디바이스(10)는 DDR5 SDRAM(double data rate type five synchronous dynamic random access memory) 디바이스일 수 있다. DDR5 SDRAM의 다양한 특징부가 이전 세대 DDR SDRAM에 비교할 때 감소된 전력 소비, 더 큰 대역폭, 및 더 많은 저장 용량을 가능하게 한다.

[0010] 메모리 디바이스(10)는 다수의 메모리 뱅크(12)를 포함할 수 있다. 메모리 뱅크(12)는 가령 DDR5 SDRAM 메모리 뱅크일 수 있다. 메모리 뱅크(12)는 듀얼 인라인 메모리 모듈(DIMMS) 상에 배열되는 하나 이상의 칩(가령, SDRAM 칩) 상에 제공될 수 있다. 각각의 DIMM은 다수의 SDRAM 메모리 칩(가령, x8 또는 x16 메모리 칩)을 포함할 수 있음이 자명할 것이다. 각각의 SDRAM 메모리 칩은 하나 이상의 메모리 뱅크(12)를 포함할 수 있다. 메모리 디바이스(10)는 다수의 메모리 뱅크(12)를 갖는 단일 메모리 칩(가령, SDRAM 칩)의 일부분을 나타낸다. DDR5의 경우, 메모리 뱅크(12)는 뱅크 그룹을 형성하도록 더 배열될 수 있다. 예를 들어, 8 기가비트(Gb) DDR5 SDRAM에 대해, 메모리 칩이 8개의 뱅크 그룹으로 배열되는 16개의 메모리 뱅크(12)를 포함할 수 있으며, 이때 각각의 뱅크 그룹은 2개의 메모리 뱅크를 포함한다. 16 GB DDR5 SDRAM의 경우, 메모리 칩은 8개의 뱅크 그룹으로 배열된 32개의 메모리 뱅크(12)를 포함할 수 있으며, 이때 각각의 뱅크 그룹은 예를 들어 4개의 메모리 뱅크를 포함한다. 메모리 디바이스(10) 상의 메모리 뱅크(12)의 다양한 그 밖의 다른 구성, 조직 및 크기가 전체 시스템의 적용 및 설계에 따라 사용될 수 있다.

[0011] 메모리 디바이스(10)는 커맨드 인터페이스(14) 및 외부 디바이스와 신호를 교환(가령, 수신 및 송신)하도록 구성된 입/출력(I/O) 인터페이스(16)를 포함할 수 있다. 커맨드 인터페이스(14)는 외부 디바이스(도시되지 않음),

가령, 프로세서 또는 제어기로부터의 다수의 신호(가령, 신호(15))를 제공하도록 구성된다. 프로세서 또는 제어기는 다양한 신호(15)를 메모리 디바이스(10)로 제공하여 메모리 디바이스(10)로의 쓰기 또는 이로부터의 읽기를 위해 데이터의 전송 및 수신을 촉진시킬 수 있다.

[0012] 커맨드 인터페이스(14)는 가령, 신호(15)의 적절한 핸들링을 보장하기 위해 다수의 회로, 가령, 클록 입력 회로(18) 및 커맨드 어드레스 입력 회로(20)를 포함할 수 있다. 커맨드 인터페이스(14)는 외부 디바이스로부터의 하나 이상의 클록 신호를 수신할 수 있다. 일반적으로 더블 데이터 레이트(DDR) 메모리가, 본 명세서에서, 참 클록 신호(true clock signal)(Clk\_t/) 및 보수 클록 신호(complementary clock signal)(Clk\_c)로 지칭되는 시스템 클록 신호의 차동 쌍을 이용한다. DDR에 대한 양의 클록 예지가 상승하는 참 클록 신호 Clk\_t/가 하강하는 보수 클록 신호 Clk\_c와 교차하는 지점을 지칭하며, 음의 클록 예지가 하강하는 참 클록 신호 Clk\_t/가 보수 클록 신호 Clk\_c의 상승으로 전이됨을 가리킨다. 커맨드(가령, 읽기 커맨드, 쓰기 커맨드 등)가 일반적으로 클록 신호의 양의 예지 상에서 입력되고 데이터는 양 및 음의 클록 예지 모두 상에서 전송 또는 수신된다.

[0013] 클록 입력 회로(18)는 참 클록 신호(Clk\_t/) 및 the 보수 클록 신호(Clk\_c)를 수신하고 내부 클록 신호 CLK를 생성한다. 내부 클록 신호 CLK는 내부 클록 생성기(30), 가령, 딜레이 고정 루프(DLL: delay locked loop) 회로에 공급된다. 내부 클록 생성기(30)는 수신된 내부 클록 신호 CLK를 기초로 위상 제어되는 내부 클록 신호 LCLK를 생성한다. 위상 제어되는 내부 클록 신호 LCLK가 예를 들어 I/O 인터페이스(16)로 공급되며, 읽기 데이터의 출력 타이밍을 결정하기 위한 타이밍 신호로서 사용된다.

[0014] 내부 클록 신호 CLK가 또한 메모리 디바이스(10) 내 다양한 다른 구성요소로 제공될 수 있고 다양한 추가 내부 클록 신호를 생성하는 데 사용될 수 있다. 예를 들어, 내부 클록 신호 CLK가 커맨드 디코더(32)로 제공될 수 있다. 커맨드 디코더(32)는 커맨드 버스(34)로부터 커맨드 신호를 수신하고 커맨드 신호를 디코딩하여 다양한 내부 커맨드를 제공할 수 있다. 예를 들어, 커맨드 디코더(32)는 커맨드 신호를 버스(36)를 통해 내부 클록 생성기(30)로 제공하여 위상 제어되는 내부 클록 신호 LCLK의 생성을 조화시킬 수 있다. 위상 제어되는 내부 클록 신호 LCLK는 예를 들어 I/O 인터페이스(16)를 통해 데이터를 클록킹하는 데 사용될 수 있다.

[0015] 또한, 커맨드 디코더(32)는 커맨드, 가령, 읽기 커맨드, 쓰기 커맨드, 모드-레지스터 세트 커맨드, 활성화 커맨드 등을 디코딩하고, 버스 경로(40)를 통해, 커맨드에 대응하는 특정 메모리 बैं크(12)로의 액세스를 제공한다. 알다시피, 메모리 디바이스(10)는 다양한 다른 디코더, 가령, 로우 디코더 및 컬럼 디코더를 포함하여, 메모리 बैं크(12)로의 액세스를 촉진시킬 수 있다. 하나의 실시예에서, 각각의 메모리 बैं크(12)는 필요한 디코딩(가령, 로우 디코더 및 컬럼 디코더) 및 메모리 बैं크(12)로의 그리고 이로부터의 커맨드의 실행을 촉진시키기 위한 그 밖의 다른 특징, 가령, 타이밍 제어 및 데이터 제어를 제공하는 बैं크 제어 블록(22)을 포함한다. 집합적으로, 메모리 बैं크(12)와 बैं크 제어 블록(22)은 메모리 어레이(23)로 지칭될 수 있다.

[0016] 메모리 디바이스(10)는 외부 디바이스, 가령, 프로세서로부터 수신된 커맨드/어드레스 신호를 기초로, 연산, 가령, 읽기 커맨드 및 쓰기 커맨드를 실행한다. 하나의 실시예에서, 커맨드/어드레스 버스는 커맨드/어드레스 신호(CA<13:0>)를 수용하기 위한 14-비트 버스일 수 있다. 커맨드/어드레스 신호는 클록 신호(Clk\_t/ 및 Clk\_c)를 이용해 커맨드 인터페이스(14)로 클록킹된다. 커맨드 인터페이스는 가령 커맨드 디코더(32)를 통해 메모리 बैं크(12)로의 액세스를 제공하기 위한 커맨드를 수신 및 전송하도록 구성된 커맨드 어드레스 입력 회로(20)를 포함할 수 있다. 덧붙여, 커맨드 인터페이스(14)는 칩 선택 신호(CS\_n)를 수신할 수 있다. CS\_n 신호는 메모리 디바이스(10)가 들어 오는(incoming) CA<13:0> 버스상에서 커맨드를 처리할 수 있게 한다. 메모리 디바이스(10) 내 특정 बैं크(12)로의 액세스가 커맨드와 함께 CA<13:0> 버스 상에서 인코딩된다.

[0017] 덧붙여, 커맨드 인터페이스(14)는 다수의 다른 커맨드 신호를 수신하도록 구성될 수 있다. 예를 들어, 커맨드/어드레스 온 다이 종료(CA\_ODT) 신호가 제공되어 메모리 디바이스(10) 내 적절한 임피던스 정합을 촉진시킬 수 있다. 가령 파워-업 동안 리셋 커맨드(RESET\_n)가 사용되어 커맨드 인터페이스(14), 상태 레지스터, 상태 머신 등을 리셋할 수 있다. 커맨드 인터페이스(14)는 또한, 가령, 특정 메모리 디바이스(10)에 대한 커맨드/어드레스 라우팅에 따라, 커맨드/어드레스 버스 상의 커맨드/어드레스 신호 CA<13:0>의 상태를 변환하도록 제공될 수 있는 커맨드/어드레스 변환(CAI) 신호를 수신할 수 있다. 미러(MIR) 신호가 또한 제공되어 미러 기능을 촉진시킬 수 있다. MIR 신호는 사용되어, 특정 경우에서 복수의 메모리 디바이스의 구성을 기초로 신호를 멀티플렉싱하여 신호가 메모리 디바이스(10)로의 신호의 특정 라우팅을 가능하게 하도록 스위치되게 할 수 있다. 메모리 디바이스(10)의 테스트를 촉진하기 위한 다양한 신호, 가령, 테스트 활성화(TEN) 신호가 또한 제공될 수 있다. 예를 들어, TEN 신호는 메모리 디바이스(10)를 연결성 테스트를 위한 테스트 모드로 두도록 사용될 수 있다.

[0018] 커맨드 인터페이스(14)는 또한 검출될 수 있는 특정 에러에 대해 알람 신호(ALERT\_n)를 시스템 프로세서 또는

제어기로 제공하도록 사용될 수 있다. 예를 들어, 순환 중복 체크(CRC) 에러가 검출되는 경우 알람 신호(ALERT\_n)는 메모리 디바이스(10)로부터 전송될 수 있다. 또 다른 알람 신호가 또한 생성될 수 있다. 또한 메모리 디바이스(10)로부터 알람 신호(ALERT\_n)를 전송하기 위한 버스 및 핀이 특정 동작 동안, 가령, 앞서 기재된 바와 같이 TEN 신호를 이용해 실행되는 연결성 테스트 모드 동안, 입력 핀으로서 사용될 수 있다.

[0019] 앞서 언급된 커맨드 및 클럭킹 신호를 이용해, I/O 인터페이스(16)를 통해 데이터 신호(44)를 전송 및 수신함으로써 데이터가 메모리 디바이스(10)로 전송 및 이로부터 전송될 수 있다. 더 구체적으로, 데이터가 복수의 양방향 데이터 버스를 포함하는 데이터 버스(46)를 통해 메모리 뱅크(12)로 전송되거나 이로부터 불려와질 수 있다. 일반적으로 DQ 신호라고 지칭되는 데이터 I/O 신호가 하나 이상의 양방향 데이터 버스에서 전송 및 수신되는 것이 일반적이다. 특정 메모리 디바이스, 가령, DDR5 SDRAM 메모리 디바이스에 대해, I/O 신호가 상위 바이트와 하위 바이트로 분할될 수 있다. 예를 들어, x16 메모리 디바이스의 경우, I/O 신호가 예를 들어 데이터 신호의 상위 및 하위 바이트에 대응하는 상위 및 하위 I/O 신호(가령, DQ<15:8> 및 DQ<7:0>)로 분할될 수 있다.

[0020] 메모리 디바이스(10) 내 더 높은 데이터 레이트를 가능하게 하기 위해, 특정 메모리 디바이스, 가령, DDR 메모리 디바이스가 일반적으로 DQS 신호라고 지칭되는 데이터 스트로브 신호(data strobe signal)를 이용할 수 있다. DQS 신호가 데이터를 전송하는 외부 프로세서 또는 제어기(가령, 쓰기 커맨드의 경우)에 의해, 또는 메모리 디바이스(10)(가령, 읽기 커맨드의 경우)에 의해, 구동된다. 읽기 커맨드의 경우, DQS 신호가 사실상 지정 패턴을 갖는 추가 데이터 출력(DQ) 신호이다. 쓰기 커맨드의 경우, DQS 신호가 대응하는 입력 데이터를 캡처하도록 클럭 신호로서 사용된다. 클럭 신호(Clk\_t/ 및 Clk\_c)의 경우, 데이터 스트로브(DQS) 신호가 데이터 스트로브 신호의 차동 쌍(DQS\_t/ 및 DQS\_c)으로서 제공되어, 읽기 및 쓰기 동안 차동 쌍 시그널링을 제공할 수 있다. 특정 메모리 디바이스, 가령, DDR5 SDRAM 메모리 디바이스의 경우, DQS 신호의 차동 쌍은, 예를 들어, 메모리 디바이스(10)로 전송되고 이로부터 전송되어진 데이터의 상위 및 하위 바이트에 대응하는 상위 및 하위 데이터 스트로브 신호(가령, UDQS\_t/ 및 UDQS\_c; LDQS\_t/ 및 LDQS\_c)로 분할될 수 있다.

[0021] 임피던스(ZQ) 교정 신호가 또한 I/O 인터페이스(16)를 통해 메모리 디바이스(10)로 제공될 수 있다. ZQ 교정 신호가 기준 핀으로 제공될 수 있고, 프로세스, 전압 및 온도(PVT) 값의 변화에 걸쳐, 메모리 디바이스(10)의 풀업 및 풀-다운 저항기를 조절함으로써, 출력 드라이버 및 ODT 값을 튜닝하도록 사용될 수 있다. PVT 특성이 ZQ 저항기 값에 영향을 미칠 수 있기 때문에, ZQ 교정 신호가, 입력 임피던스를 알려진 값으로 교정하기 위해 저항을 조절하는 데 사용될 ZQ 기준 핀으로 제공될 수 있다. 알다시피, 일반적으로 정밀 저항기가 메모리 디바이스(10) 상의 ZQ 핀과 메모리 디바이스(10)의 외부의 GND/VSS 사이에 연결된다. 이 저항기는 IO 핀의 내부 ODT 및 구동 강도를 조절하기 위한 기준으로서 동작한다.

[0022] 덧붙여, 루프백 신호(LOOPBACK)가 I/O 인터페이스(16)를 통해 메모리 디바이스(10)로 제공될 수 있다. 테스트 또는 디버깅 단계 동안 루프백 신호가 사용되어, 메모리 디바이스(10)로 신호가 동일한 핀을 통해 메모리 디바이스(10)에서 루프 백되는 모드로 설정할 수 있다. 예를 들어, 루프백 신호는 메모리 디바이스(10)의 데이터 출력을 테스트하도록 메모리 디바이스(10)를 설정하는 데 사용될 수 있다. 루프백은 데이터와 스트로브 모두를 포함하거나 데이터 핀만 포함할 수 있다. 이는 일반적으로 I/O 인터페이스(16)에서 메모리 디바이스(10)에 의해 캡처되는 데이터를 모니터링하는 데 사용되도록 의도된다.

[0023] 다양한 다른 구성요소, 가령, (외부 VDD 및 VSS 신호를 수신하기 위한) 파워 서플라이 회로, (프로그램 가능 동작 및 구성의 다양한 모드를 정의하기 위한) 모드 레지스터, (읽기/쓰기 동작 동안 신호를 증폭하기 위한) 읽기/쓰기 증폭기, (메모리 디바이스(10)의 온도를 감지하기 위한) 온도 센서 등이 메모리 시스템(10)으로 포함될 수 있다. 따라서 도 1의 블록도는 이하의 상세한 설명서 메모리 디바이스(10)의 특정 기능적 특징부를 강조하기 위해 제공된 것에 불과함을 이해해야 한다.

[0024] 일부 실시예에서, 메모리 디바이스(10)는 호스트 디바이스 내에 배치(물리적으로 통합되거나 그 밖의 다른 방식으로 연결)되거나 그 밖의 다른 방식으로 호스트 디바이스에 연결될 수 있다. 호스트 디바이스는 데스크톱 컴퓨터, 랩톱 컴퓨터, 페이지, 셀방식 전화기, 퍼스널 오거나이저(personal organizer), 휴대용 오디오 재생기, 제어 회로, 카메라 등 중 임의의 하나를 포함할 수 있다. 호스트 디바이스는 또한 네트워크 노드, 가령, 라우터, 서버, 또는 클라이언트(가령, 이전에 기재된 유형의 컴퓨터들 중 하나)일 수 있다. 호스트 디바이스는 그 밖의 다른 유형의 전자 디바이스, 가령, 복사기, 스캐너, 프린터, 게임 콘솔, 텔레비전, 셋-톱 비디오 배포 또는 레코딩 시스템, 케이블 박스, 개인 디지털 미디어 재생기, 공장 자동화 시스템, 자동차 컴퓨터 시스템, 또는 의료 장치일 수 있다. (본 명세서에 사용된 많은 다른 용어들과 같이, 이들 다양한 시스템의 예를 설명하기 위해 사용된 용어는 일부 참조를 공유 할 수 있으며, 따라서 열거된 다른 항목에 의해 좁게 해석되어서는 안 된다.)

- [0025] 따라서 호스트 디바이스는 호스트 내 시스템 기능 및 요청의 처리를 제어하는 프로세서, 가령, 마이크로프로세서를 포함할 수 있는 프로세서-기반 디바이스일 수 있다. 또한, 임의의 호스트 프로세서는 시스템 제어를 공유하는 복수의 프로세서를 포함할 수 있다. 호스트 프로세서는 호스트의 추가 시스템 요소에 직접 또는 간접적으로 연결되어, 호스트 프로세서는 호스트 내에 또는 호스트 외부에 저장될 수 있는 명령을 실행함으로써 호스트의 동작을 제어할 수 있다.
- [0026] 앞서 논의된 바와 같이, 메모리 디바이스(10)가 휘발성 메모리, 가령, 더블 데이터 레이트 DRAM(Double Data Rate DRAM)(가령, DDR5 SDRAM)으로서 동작하도록 예를 들어, 호스트에 의해 데이터가 메모리 디바이스(10)에 쓰이고 이로부터 읽힐 수 있다. 호스트는, 일부 실시예에서, 개별 비-휘발성 메모리, 가령, ROM(read-only memory), PC-RAM, SONOS(silicon-oxide-nitride-oxide-silicon) 메모리, MONOS(metal-oxide-nitride-oxide-silicon) 메모리, 폴리실리콘 부동 게이트 기반 메모리, 및/또는 다양한 아키텍처의 그 밖의 다른 유형의 플래시 메모리(가령, NAND 메모리, NOR 메모리 등) 및 그 밖의 다른 유형의 메모리 디바이스(가령, 스토리지), 가령, SSD(solid state drive), MMC(MultimediaMediaCard), SD(SecureDigital) 카드, CF(CompactFlash) 카드, 또는 그 밖의 다른 임의의 적합한 디바이스를 포함할 수 있다. 또한, 호스트는 하나 이상의 외부 인터페이스, 가령, USB(Universal Serial Bus), PCI(Peripheral Component Interconnect), PCI-E(PCI Express), SCSI(Small Computer System Interface), IEEE 1394(Firewire), 또는 그 밖의 다른 임의의 적절한 인터페이스 및 사용자가 입력을 호스트로 입력할 수 있게 하는 하나 이상의 입력 디바이스, 가령, 버튼, 스위칭 요소, 키보드, 라이트 펜, 스타일러스, 마우스, 및/또는 음성 인식 시스템을 포함할 수 있다. 호스트는 또한 선택사항으로서 출력 디바이스, 가령, 프로세서에 연결된 디스플레이 및 네트워크 인터페이스 디바이스, 가령, 네트워크, 가령, 인터넷과 인터페이스하기 위한 NIC(Network Interface Card)를 포함할 수 있다. 호스트는 호스트의 응용분야에 따라 그 밖의 다른 많은 구성요소를 포함할 수 있음이 자명할 것이다.
- [0027] 호스트는 저장되도록 메모리 디바이스(10)로 데이터를 전송하도록 동작할 수 있으며 호스트에서의 다양한 동작을 수행하기 위해 메모리 디바이스(10)로부터 데이터를 읽을 수 있다. 따라서 이들 데이터 전송을 촉진시키기 위해, 일부 실시예에서, I/O 인터페이스(16)는 I/O 인터페이스(16)로 DQ 신호를 송신하고 이로부터 수신하도록 동작하는 데이터 트랜시버(48)를 포함할 수 있다.
- [0028] 도 2는 메모리 디바이스(10)의 I/O 인터페이스(16)를 도시하고 더 구체적으로 데이터 트랜시버(48)를 도시한다. 도시된 바와 같이, I/O 인터페이스(16)의 데이터 트랜시버(48)가 DQ 커넥터(50), DQ 트랜시버(52), 및 직렬화기/역직렬화기(54)를 포함할 수 있다. 일부 실시예에서, 복수의 데이터 트랜시버(48)가 사용될 수 있으며, 각각의 단일 데이터 트랜시버(48)가 예를 들어 데이터 신호의 상위 및 하위 바이트에 대응하는 상위 및 하위 I/O 신호(가령, DQ<15:8> 및 DQ<7:0>) 각각과 관련하여 사용될 수 있다. 따라서, I/O 인터페이스(16)는 하나 이상의 I/O 신호에 각각 대응하는 복수의 데이터 트랜시버(48)(가령, 각각의 DQ 커넥터(50), DQ 트랜시버(52), 및 직렬화기/역직렬화기(54)를 포함)를 포함할 수 있다.
- [0029] DQ 커넥터(50)는, 예를 들어, 데이터 쓰기 동작의 일부로서 데이터를 메모리 어레이(23)로 전송하기 위해 DQ 신호를 수신하도록 동작하는 핀, 패드, 이의 조합, 또는 또 다른 유형의 인터페이스일 수 있다. 덧붙여, DQ 커넥터(50)는 메모리 디바이스(10)로부터 DQ 신호를 송신, 가령, 데이터 읽기 동작의 일부로서 메모리 어레이(23)로부터 데이터를 송신하도록 동작할 수 있다. 이들 데이터 읽기/쓰기를 촉진시키기 위해, DQ 트랜시버(52)가 데이터 트랜시버(48) 내에 존재한다. 일부 실시예에서, 예를 들어 DQ 트랜시버(52)가 메모리 어레이(23)로부터의 데이터 읽기 동작의 출력 타이밍을 결정하기 위한 타이밍 신호로서 내부 클록 생성기(30)에 의해 생성된 클록 신호를 수신할 수 있다. 내부 클록 생성기(30)에 의해 생성된 클록 신호가 클록 커넥터(56)(가령, 핀, 패드, 이의 조합 등)에서 메모리 디바이스(10)에 의해 수신되고 클록 입력 회로(18)를 통해 내부 클록 생성기(30)로 라우팅되는 하나 이상의 클록킹 신호를 기초로 할 수 있다. 따라서 DQ 트랜시버(52)가 메모리 어레이(23)로부터의 데이터 읽기 동작의 출력 타이밍을 결정하기 위한 타이밍 신호로서 내부 클록 생성기(30)에 의해 생성된 클록 신호를 수신할 수 있다.
- [0030] 도 2의 DQ 트랜시버(52)는, 예를 들어, 데이터 쓰기 동작의 일부로서 스트로브 데이터 모드로 동작하기 위해 하나 이상의 DQS 신호를 수신할 수 있다. DQS 신호는 DQS 커넥터(60)(가령, 핀, 패드, 이의 조합 등)에서 수신되고, DQ 트랜시버(52)로의 DQS 신호의 선택적 전송을 통해 데이터 스트로브 모드를 제어하도록 동작하는 DQS 트랜시버(60)를 통해 DQ 트랜시버(52)로 라우팅될 수 있다. 따라서 DQ 트랜시버(52)는 메모리 어레이(23)로부터의 데이터 쓰기 동작을 제어하도록 DQS 신호를 수신할 수 있다.
- [0031] 앞서 언급된 바와 같이, 데이터 트랜시버(48)는 메모리 디바이스(10)(가령, 메모리 어레이(23))로 그리고 이로

부터의 데이터의 전송을 촉진시키기 위한 모드로 동작할 수 있다. 예를 들어, 메모리 디바이스(10) 내 더 높은 데이터 레이트를 가능하게 하도록, DQS 신호가 사용되는 데이터 스트로브 모드가 발생할 수 있다. DQS 커넥터(58)(가령, 핀, 패드, 이의 조합 등)에 의해 수신된 바와 같은 (가령, 쓰기 명령어를 위한) 데이터를 전송하는 외부 프로세서 또는 제어기에 의해 DQS 신호가 구동될 수 있다. 일부 실시예에서, DQS 신호가 클록 신호로서 사용되어 대응하는 입력 데이터를 캡처할 수 있다.

[0032] 덧붙여, 도 2에 도시된 바와 같이, 데이터 트랜시버(48)는 직렬 데이터 비트(가령, 직렬 비트 스트림)을 메모리 디바이스(10)의 데이터 쓰기 동작 동안 데이터 버스(46)를 따라 전송되기 위한 병렬 데이터 비트(가령, 병렬 비트 스트림)으로 번역하도록 동작하는 직렬화기/역직렬화기(54)를 더 포함한다. 마찬가지로, 직렬화기/역직렬화기(54)는 메모리 디바이스(10)의 읽기 동작 동안 병렬 데이터 비트(가령, 병렬 비트 스트림)를 직렬 데이터 비트(가령, 직렬 비트 스트림)으로 번역하도록 동작한다. 이러한 방식으로, 직렬화기/역직렬화기(54)는 가령, 직렬 포맷을 갖는 호스트 디바이스로부터 수신된 데이터를 메모리 어레이(23)에 저장되기에 적합한 병렬 포맷으로 번역하도록 동작한다. 마찬가지로, 직렬화기/역직렬화기(54)가 가령, 병렬 포맷을 갖는 메모리 어레이(23)로부터 수신된 데이터를 호스트 디바이스로 전송되기에 적합한 직렬 포맷으로 번역하도록 동작한다.

[0033] 도 3은 데이터 전송 버스(51)에 연결된 DQ 커넥터(50), DQ 수신기(62), DQ 송신기(64)(DQ 수신기(62)와 함께 DQ 트랜시버(52)를 형성), 역직렬화기(66), 및 직렬화기(68)(역직렬화기(66)와 함께 직렬화기/역직렬화기(54)를 형성)를 포함하는 것으로 데이터 트랜시버(48)를 도시한다. 동작 중에, 메모리 디바이스(10)로의 데이터 쓰기 동작의 일부로서, 호스트(가령, 앞서 기재된 호스트프로세서 또는 그 밖의 다른 메모리 디바이스)가 데이터 전송 버스(51)를 통해 데이터 트랜시버(48)로 직렬 형태로 데이터를 전송하도록 동작할 수 있다. 이 데이터는 DQ 커넥터(50)에서 수신되고 DQ 수신기(62)로 전송된다. DQ 수신기(62)는, 예를 들어, 역직렬화기(66)로의 데이터의 전송을 조화(가령, 제어)하도록 동작하는 각자의 DQS 신호가 수신될 때까지 데이터에 대한 하나 이상의 동작(가령, 증폭, 데이터 신호 구동 등)을 수행 및/또는 데이터에 대한 래치(latch)로서 동작할 수 있다. 데이터 쓰기 동작의 일부로서, 역직렬화기(66)는 데이터를 데이터 전송 버스(51)를 따라 전송되는 포맷(가령, 직렬 형태)에서 메모리 어레이(23)로 저장되도록 메모리 어레이로 데이터를 전송하기 위해 사용되는 포맷(가령, 병렬 형태)으로 변환(가령, 번역)하도록 동작할 수 있다.

[0034] 마찬가지로, 읽기 동작(가령, 메모리 어레이(23)로부터 데이터를 읽고 읽힌 데이터를 데이터 전송 버스(51)를 통해 호스트로 전송) 동안, 직렬화기(68)는 메모리 어레이에 의해 사용되는 하나의 포맷(가령, 병렬 형태)으로 메모리 어레이로부터 읽힌 데이터를 수신하고 수신된 데이터를 제2 포맷(가령, 직렬 형태)로 변환(가령, 번역)하여, 데이터가 데이터 전송 버스(51) 및/또는 호스트 중 하나 이상과 호환되게 할 수 있다. 변환된 데이터는 직렬화기(68)로부터 DQ 송신기(64)로 전송되어, 데이터에 대한 하나 이상의 동작(가령, 역-증폭, 데이터 신호 구동 등)이 발생할 수 있다. 덧붙여, 예를 들어, 데이터 전송 버스(51)를 따라 호스트의 하나 이상의 구성요소로의 전송을 위해 DQ 커넥터(50)로의 데이터의 전송을 조화(가령, 제어)하도록 동작하는 내부 클록 생성기(30)로부터의 각자의 클록 신호가 수신될 때까지 DQ 송신기(64)는 수신된 데이터에 대한 래치로서 동작할 수 있다.

[0035] 일부 실시예에서, DQ 커넥터(50)에서 수신된 데이터가 왜곡될 수 있다. 예를 들어, DQ 커넥터(50)에서 수신된 데이터는 이전에 수신된 데이터가 이후에 수신되는 데이터와 간섭을 일으키는 심볼간 간섭(ISI)에 의해 영향을 받을 수 있다. 예를 들어, 데이터 전송 버스(51)를 횡단하여 DQ 커넥터(50)로 전송되는 증가된 데이터 볼륨 때문에, DQ 커넥터(50)에 수신되는 데이터가 호스트에 의해 전송되는 데이터에 비해 왜곡될 수 있다. 이 왜곡을 완화(가령, 상쇄 또는 소거)하고 ISI의 영향을 효과적으로 되돌리기 위한 한 가지 기법이 데이터에 등화 동작을 적용하는 것이다. 도 4는 이 등화 동작에서 사용될 수 있는 등화기를 포함하는 데이터 트랜시버(48)의 실시예를 도시한다.

[0036] 도 4는 등화기, 구체적으로, 판정 피드백 등화기(DFE)(70)를 포함하는 데이터 트랜시버(48)의 하나의 실시예를 도시한다. 도시된 바와 같이, DFE(70)는 멀티-탭(가령, 4-탭) DFE(70)이다. 그러나 4개보다 적거나 많은 탭이 DFE(70)와 함께 사용될 수 있다. 마찬가지로, DFE(70)는 역직렬화기(66) 또는 DQ 수신기(62)로부터 분리되어 또는 그 내부에 배치될 수 있다. 동작 중에, (가령, 래치 또는 판정 슬라이서(decision-making slicer)로부터의) 이진 출력이 하나 이상의 데이터 래치 또는 데이터 레지스터에서 캡처된다. 본 실시예에서, 이들 데이터 래치 또는 데이터 레지스터는 역직렬화기(66) 내에 배치될 수 있고 여기에 저장된 값은 경로(72, 74, 76, 및 78)를 따라 래치 또는 전송될 수 있다.

[0037] DQ 수신기(62)에서 데이터 비트가 수신될 때, 이는 비트 "n"으로서 호스트로부터 전송된 것으로 식별될 수 있고 왜곡 비트 n(가령, 비트 n이 ISI에 의해 왜곡됨)으로서 시점  $t_0$ 에서 수신될 수 있다. DQ 수신기(62)에서 수신된

왜곡 비트  $n$  전에 수신된 가장 최근 비트, 가령, 시점  $t_0$ 에 바로 앞서는 시점  $t_1$ 에서 수신된 비트가  $n-1$ 로 식별될 수 있고 경로(72)를 따라 데이터 래치 또는 데이터 레지스터로부터 전송되는 것으로 도시된다. DQ 수신기(62)에서 수신된 왜곡 비트  $n$  전에 수신된 두 번째 최신 비트, 가령, 시점  $t_1$ 에 바로 앞서는 시점  $t_2$ 에서 수신된 비트가  $n-2$ 로 식별될 수 있고 경로(74)를 따라 데이터 래치 또는 데이터 레지스터로부터 전송되는 것으로 도시된다. DQ 수신기(62)에서 수신된 왜곡 비트  $n$  전에 수신된 세 번째 최신 비트, 가령, 시점  $t_2$ 에 바로 앞서는 시점  $t_3$ 에서 수신된 비트가  $n-3$ 로 식별될 수 있고 경로(76)를 따라 데이터 래치 또는 데이터 레지스터로부터 전송되는 것으로 도시된다. DQ 수신기(62)에서 수신된 왜곡 비트  $n$  전에 수신된 네 번째 최신 비트, 가령, 시점  $t_3$ 에 바로 앞서는 시점  $t_4$ 에서 수신된 비트가  $n-4$ 로 식별될 수 있고 경로(78)를 따라 데이터 래치 또는 데이터 레지스터로부터 전송되는 것으로 도시된다. 비트  $n-1$ ,  $n-2$ ,  $n-3$ , 및  $n-4$ 가 수신된 왜곡 비트  $n$ 과 간섭을 일으키는 비트의 그룹(가령, 비트  $n-1$ ,  $n-2$ ,  $n-3$ , 및  $n-4$ 이 호스트 전송된 비트  $n$ 에 ISI를 야기함)으로 간주될 수 있고 DFE(70)는 호스트 전송된 비트  $n$ 에 비트  $n-1$ ,  $n-2$ ,  $n-3$ , 및  $n-4$ 의 그룹이 야기하는 왜곡을 상쇄시키도록 동작할 수 있다.

[0038] 따라서 경로(72, 74, 76, 및 78)를 따라 래치 또는 전송되는 값 각각이 DQ 수신기(62)로부터 전송되고 메모리 어레이(23)에 저장된 가장 최신 이전 데이터 값(가령, 이전 비트  $n-1$ ,  $n-2$ ,  $n-3$ , 및  $n-4$ )에 대응할 수 있다. 이들 이전에 전송된 비트가 경로(72, 74, 76, 및 78)를 따라, 합산기(가령, 합산 증폭기)에 의해 수신된 입력 신호(가령, DQ 커넥터(50)로부터 수신된 데이터, 가령, 왜곡 비트  $n$ )이고 여기에 더해지거나 여기로부터 빼질 수 있는 가중화된 탭(가령, 전압)을 생성하도록 동작하는 DFE(70)로 피드백된다. 또 다른 실시예에서, 가중화된 탭(가령, 전압)은 내부 기준 값과 조합되어 수신된 데이터의 왜곡에 대응하거나 이를 완화(가령, 왜곡 비트  $n$ 의 왜곡을 완화)시키는 상쇄값(offset)을 생성할 수 있다. 일부 실시예에서, 가장 최신 이전 수신된 데이터(가령, 비트  $n-1$ )가 더 이전에 수신된 비트(가령, 비트  $n-1$ ,  $n-2$ , 및  $n-3$ )보다 수신된 데이터(가령, 왜곡 비트  $n$ )의 왜곡에 더 강한 영향을 가질 수 있음을 반영하도록 탭이 가중화된다. DFE(70)는 이전에 수신된 비트에 의해 야기되는 왜곡을 종합적으로 상쇄시키도록 각각의 이전 비트로 인한 탭(가령, 전압)의 크기 및 극성을 생성하도록 동작할 수 있다.

[0039] 예를 들어, 본 실시예의 경우, 각각의 이전 수신된 비트( $n-1$ ,  $n-2$ ,  $n-3$ , 및  $n-4$ )가 메모리 어레이(23)로의 전송을 위해 역직렬화기(66)로 전송되며, 또한, 각자의 경로(72, 74, 76, 및 78)를 따르는 차후 전송을 위해 래치 또는 레지스터에 저장됐을 두 개의 값 중 하나(가령, 이전 0 또는 1)를 가졌을 수 있다. 도시된 실시예에서, 이는 비트  $n-1$ ,  $n-2$ ,  $n-3$ , 및  $n-4$ 의 그룹에 대해 16(가령,  $2^4$ )개의 가능한 이전 조합(가령, 0000, 0001, 0010, ..., 1110, 또는 1111)을 도출한다. 앞서 언급된 16개의 조합 중 어느 것이 DQ 커넥터(50)로부터 수신된 입력 값(가령, 왜곡 비트  $n$ )을 조절하거나 DQ 커넥터(50)로부터 수신된 입력 값(가령, 왜곡 비트  $n$ )에 차후 적용되어 데이터 스트림의 이전 비트(가령, 비트  $n-1$ ,  $n-2$ ,  $n-3$ , 및  $n-4$ 의 그룹)로부터의 ISI 왜곡을 소거하기 위한 기준 값을 수정하기 위해 사용되기 위해 제공되도록 (가령, 경로(72, 74, 76, 및 78)를 따라 수신된 값을 기초로) 결정되든지 간에, DFE(70)는 대응하는 탭 값을 선택 및/또는 생성하도록 동작한다.

[0040] DQ 커넥터(50)로부터 전송된 데이터가 왜곡 없이 메모리 어레이(23)에서 올바르게 나타나도록 왜곡 보정(가령, DFE(70))을 사용하는 것이 유익할 수 있다. 따라서, 왜곡 보정에서 사용되도록 이전 비트 데이터를 저장하는 것이 유용할 수 있다. 도 5의 블록도에서 도시된 바와 같이, 왜곡 보정 회로(80)는 DQ 수신기(62)의 일부로서 포함될 수 있지만 물리적으로 그 곳에 위치할 필요는 없을 수 있다(가령, 대신 왜곡 보정 회로(80)는 DQ 수신기(62)에 연결될 수 있다). 일부 실시예에서, 왜곡 보정 회로(80)는 이전에 전송된 비트 데이터를 제공하여, 채널(84)(가령, 연결, 전송 라인, 및/또는 전도성 물질)을 통해 전송된 왜곡 비트(81)(가령, ISI 및/또는 시스템 왜곡에 의해 왜곡 비트)를 보정하도록 동작할 수 있다.

[0041] 왜곡 비트(81)는 채널(84)로부터 증폭 디바이스(82)(가령, 가변 이득 증폭기)로 전송될 수 있다. 왜곡 비트(81)는 증폭 디바이스(82)로부터 단일 가중화된 탭(86)을 갖는 것으로 도시된 DFE(70)로 전송될 수 있다. 왜곡 비트(81)는 DQ 기준 신호(83)와 함께 동시에 DFE(70)로 전송될 수 있다. DQ 기준 신호(83)는 DQ 연결(50)에 의해 수신된 전송된 비트가 논리 로우(가령, 0)이었는지 또는 논리 하이(가령, 1)이었는지를 결정하기 위한 임계값(가령, 전압 레벨)을 나타낼 수 있다.

[0042] DFE(70)는 이전 비트 데이터(가령,  $n-1$  비트 데이터)로 가중화된 탭을 이용해 왜곡 비트(81)로부터의 왜곡을 보정하도록 동작할 수 있다.  $n-1$  비트에 대한 데이터(가령, 논리 1 또는 논리 0)가 경로(72)를 통해 전송될 수 있다. 단일 가중화된 탭(86)의 크기 및 극성이, 왜곡 비트(81)에 전류를 인가하여  $n-1$  비트에 의해 야기된 왜곡을

상쇄시키는 전류 합산기로서 동작하는 합산기 회로(85)를 통해  $n-1$  비트에 의해 야기된 전체 왜곡을 상쇄시킬 수 있다. 예를 들어, DQ 연결(50)에서 수신된 비트가 DQ 기준 신호(83) 이하라고 결정되면, 수신된 비트(81)는 논리 로우로서 메모리 어레이(23)로 전송된다. 가중화된 탭(86)의 크기 및 극성이 왜곡 비트(81) 및 DQ 기준 신호(83)를 보정할 수 있다.

[0043] 왜곡 비트(81)의 수정된 버전 및 DQ 기준 신호(83)의 수정된 버전이 데이터 래치(94)로 전송될 수 있다. 보정된 비트(88)가 데이터 래치(94)를 통해 생성되고 데이터 래치(94)로부터 역직렬화기(66)로 전송될 수 있으며, 이는 DQS 신호(96)의 상승 에지 상에서 발생할 수 있다. 또 다른 실시예에서, 데이터 전송의 추가 또는 대안 방법이 포함되도록 클럭킹 스킵의 변형을 따를 수 있다. 새로운  $n-1$  비트에 대한 값이, 예를 들어, 보정된 비트(88)가 역직렬화기(66)에 수신될 때 경로(72)를 따르는 전송을 위해 역직렬화기(66)에 저장될 수 있다. DFE(70)와 연관된 왜곡 보정 회로 및 증폭 디바이스(82)가 이하에서 더 상세히 기재될 수 있다.

[0044] 도 6은 왜곡 비트(81)와 연관된 왜곡을 무효화할 수 있는 도 5의 DFE(70)의 일부분의 회로도들 도시한다. 데이터 비트가 합산기 회로(85)로의 제1 입력(102) 및 제2 입력(104)에서 수신될 수 있다. 제1 입력(102) 및 제2 입력(104)은 활성화 또는 비활성화될 수 있는 디바이스에 통신 가능하게 연결(가령, 전계 효과 트랜지스터(106 및 108)에 게이트 신호를 공급하도록 연결)될 수 있다. 왜곡 비트(81)는 제1 입력(102)에 의해 수신될 수 있고 DQ 기준 신호(83)가 제2 입력(104)에 의해 수신될 수 있다. 이러한 방식으로, 두 전계 효과 트랜지스터(106 및 108)가 왜곡 비트(81) 및 DQ 기준 신호(83)에 의해 제어될 수 있다.

[0045] 가중화된 탭(86) 및 이의 역 값(가령, 역 가중화된 탭(87))이 출력(110 및 112)으로 전송되어, 왜곡 비트(81)의 왜곡을 보정할 수 있다.  $n-1$  비트에 대한 논리 하이 가 경로(72)를 통해 전송된다. 이 경우, 출력(110 및 112)에 대한 가중화된 탭 값(86 및 87)의 기여를 가능하게 하는 두 전계 효과 트랜지스터(116 및 118)에 대한 제어 신호로서 가중화된 탭(86) 및 역 가중화된 탭(87)을 생성하도록  $n-1$  비트가 구현될 수 있다.

[0046] 가중화된 탭 값(86 및 87)에 의해 전류가 출력(110 및 112)으로 인가될 수 있으며, 이로써 공급된 전류가 제어 가능한 소스(120)(가령, 디지털-아날로그(DAC) 컨버터(121)에 의해 제어되는 전류 소스(119))를 통해 제어된다. 출력(110 및 112)은 DQ 기준 신호(83) 및 왜곡 비트(81) 중 하나 이상의 수전된 값일 수 있고 데이터 래치(94)(가령, 이진 출력을 생성하는 재생 래치 또는 슬라이서)로 전송될 수 있다. 보정된 비트(88)는 출력(110 및 112)을 기초로 데이터 래치(94)를 통해 생성될 수 있고 DQS 신호(96)의 상승 에지 상에서 역직렬화기(66)로 전송될 수 있다. 역직렬화기(66) 내 경로(72)를 따르는 전송을 위해 저장된  $n-1$  비트 정보가 미래 왜곡 보정을 위해 보정된 비트(88)로 업데이트될 수 있다.

[0047] 일부 경우, 보정된 비트(88)는 가중화된 탭(86 및 87)이 다른 방식으로 제공할 수 있는 것보다 더 정밀한 조절 수준을 가질 필요가 있을 수 있다. 도 7은 왜곡 비트(81)에 더 정밀한 왜곡 보정을 수행하기 위한 네 개의 가중화된 탭(86, 162, 164, 및 166)을 만들기 위해, 네 개의 비트의 이전 데이터(가령,  $n-1$  비트 데이터,  $n-2$  비트 데이터,  $n-3$  비트 데이터, 및  $n-4$  비트 데이터)를 수신할 수 있는 왜곡 보정 회로(160)의 블록도를 도시한다. 왜곡 보정 회로(80)와 유사한 방식으로, 왜곡 비트(81)가 채널(84)을 통해 증폭 디바이스(82)로 전송될 수 있다. DQ 기준 신호(83)가 또한 증폭 디바이스(82)로 전송될 수 있다.

[0048] 증폭 디바이스(82)로부터, 왜곡 비트(81) 및 DQ 기준 신호(83)가 DFE(70)로 전송될 수 있다. 이전 비트에 대한 비트 데이터가 경로(72, 74, 76, 및 78)를 통해 전송될 수 있다. DFE(70)는 네 개의 이전 비트에 대한 비트 데이터로부터 만들어진 네 개의 가중화된 탭(86, 162, 164, 및 166)을 이용해 왜곡 비트(81)로부터의 왜곡을 보정하도록 동작할 수 있다. DFE(70)는 이전에 수신된 비트에 의해 야기된 왜곡 비트(81)에 대한 전체 왜곡을 상쇄시키도록 설계될 수 있는 경로(72, 74, 76, 및 78)를 따라 전송되는 이전 비트 각각에 대한 가중화된 탭(86, 162, 164, 및 166) 각각에 대한 크기 및 극성을 생성하도록 동작할 수 있다.

[0049] 왜곡 비트(81)의 수정된 버전 및 DQ 기준 신호(83)의 수정된 버전 중 하나 이상이 데이터 래치(94)로 전송될 수 있다. 보정된 비트(88)는 데이터 래치(94)로부터의 DQS 신호(96)의 상승 에지 상에서 역직렬화기(66)로 전송될 수 있다. 역직렬화기(66)는  $n-1$  비트,  $n-2$  비트,  $n-3$  비트, 및  $n-4$  비트에 대한 값으로 업데이트될 수 있고 값은 경로(72, 74, 76, 및 78)를 따라 전송되도록 저장될 수 있다. DFE(70)와 연관된 왜곡 보정 회로가 이하에서 더 상세히 기재될 수 있다.

[0050] 도 8은 왜곡을 무효화할 수 있는 도 7의 DFE(70)의 일부분의 회로도들 도시한다. 도 8에 추가 도시된 바와 같이, DFE(70)는 경로(72, 74, 76, 및 78)에서 전송된 데이터를 통해  $n-1$  비트,  $n-2$  비트,  $n-3$  비트, 또는  $n-4$  비트, 또는 임의의 조합에 대한 논리 하이 또는 로우를 수신할 수 있다. 이 경우, 경로(72, 74, 76, 및 78)를

따라 전송되는 데이터가 가중화된 탭(86, 162, 164, 및 166) 및 역 가중화된 탭(87, 163, 165, 및 167)을 전계 효과 트랜지스터(116, 118, 182, 184, 186, 188, 190, 및 192)가 출력(110 및 112)으로 전송되는 자신의 출력을 제어하기 위한 제어 신호로서 생성하도록 구현될 수 있다. 전계 효과 트랜지스터(116, 118, 182, 184, 186, 188, 190, 및 192)는 이전 보정된 비트의 다양한 조합(가령, 0000, 0001, 0010, ...1111)으로 표현되는 16(가령, 24)개의 가능한 서로 다른 이전 상태 중 하나를 반영하도록 선택적으로 그리고 제어 가능하게 활성화될 수 있다.

[0051] 가중화된 탭(86, 87, 162, 163, 164, 166 및 167) 값이 출력(110 및 112)에 적용되어, 제어 가능한 소스(120) 및 추가 제어 가능한 소스(194, 196, 및 198)(가령, 각각은 DAC(121, 195, 197, 199)에 의해 제어된 각자의 전류 소스(119, 189, 191, 및 193)를 가짐)를 통해 공급된 전류가 제어될 수 있다. 출력(110 및 112)은 데이터 래치(94)로 전송될 수 있다. 보정된 비트(88)는 출력(110 및 112)을 기초로 데이터 래치(94)를 통해 생성될 수 있고 DQS 신호(96)의 상승 에지 상에서 역직렬화기(66)로 전송될 수 있다. 역직렬화기(66) 내에 경로(72, 74, 76, 및 78)를 따른 전송을 위해 저장된 n-1 비트, n-2 비트, n-3 비트, 및 n-4 비트 정보가 미래 왜곡 보정을 위해 보정된 비트(88)로 업데이트될 수 있다(가령, n-4 비트가 n-3 데이터를 반영하도록 업데이트될 것이고, n-3 비트가 n-2 데이터를 반영하도록 업데이트될 것이며, n-2 데이터가 n-1 데이터를 반영하도록 업데이트될 것이며, n-1 데이터가 새로 보정된 비트로 업데이트될 것이다).

[0052] 일부 실시예에서, 각자의 전류 소스(119, 189, 191, 및 193)를 제어함으로써 DAC(121)는 제어 가능한 소스(120)의 전류 기여를 변경 및/또는 제어할 수 있고 추가 DAC(195, 197 및 199)가 추가 제어 가능한 소스(194, 196, 및 198)의 전류 기여를 변경 및/또는 제어할 수 있다. 이러한 실시예에서, DAC(121, 195, 197, 및 199)는 전류 소스(119, 189, 191, 및 193)로 특정된 출력(가령, 전압)을 공급할 수 있는 고정된 회로를 포함할 수 있다. 따라서, PVT 상태의 변동(가령, 표준 동작 상태를 벗어난 동작 온도의 변동)과 무관하게, DAC(121, 195, 197, 및 199)는 동일한 출력을 각자의 전류 소스(119, 189, 191, 및 193)의 입력으로 공급할 수 있다. 또 다른 실시예에서, DAC(121, 195, 197 및 199)는 PVT 상태의 결과로 변하는 출력을 생성할 수 있지만, 변화 출력이 항상 적합한 및/또는 제어 가능한 방식으로 변하는 것은 아닐 수 있다. 즉, PVT 조건의 주어진 세트에 대해, DAC(121, 195, 197 및 199)의 출력과 전류 소스(119, 189, 191 및 193)의 출력(예를 들어, 제어 가능한 소스(120, 194, 196 및 198)의 결과 출력) 간 직접 관계가 존재하지 않을 수 있다. 따라서 PVT 조건이 변경 될 때 DAC(121, 195, 197 및 199)의 출력과 전류 소스(119, 189, 191 및 193)의 결과 출력이 모두 PVT 조건에 영향을 받더라도, DFE(70)에 영향을 미치는 조건을 정확히 반영하도록 각자의 가중화된 탭(가령, 86, 162, 164, 166)으로부터의 적절한 전류에 기여하도록 제어 가능한 소스를 적절하게 제어하는 데 필요한 DAC 출력이 또한 변경될 수 있다. 예를 들어, PVT 조건 세트에 대해 특정된 전류에 의해 출력(110 및 112)의 전류를 수정하기 위해, 제어 가능한 소스(120)는 DAC(121)로부터 수신된 제1 입력 레벨을 이용할 수 있다. 상이한 PVT 조건 세트에 대해 동일한 특정된 전류에 의해 출력(110 및 112)의 전류를 수정하기 위해, DAC(121)로부터의 제어 가능한 소스(120)에서의 제2 입력 레벨이 적절할 수 있다. 따라서, DAC(121, 195, 197 및 199)는 전류 소스(119, 189, 191, 및 193)의 출력을 조절하기 위해 고정된 출력 및/또는 가변 PVT 조건에 걸쳐 적절하게 조절할 수 없는 출력을 제공하여, 제어 가능한 소스(120, 195, 197, 및 199)가 DFE(70)에 영향을 미치는 가변 조건을 보상하도록 올바르게 동작할 수 있다.

[0053] 따라서, 도 9는 PVT조건에 무관하게, 도 8의 제어 가능한 소스(120, 194, 196, 및 198)를 적절하게 조절하기 위해 PVT 공차 바이어스 레벨을 생성할 수 있는 바이어스 생성기(200)를 도시한다. 즉, 도 8에 도시된 DAC(121, 195, 197, 199) 대신에, 바이어스 생성기(200)의 출력은 예를 들어 전류 소스(119, 189, 191 및 193)의 입력에 통신 가능하게 연결되어 자신의 출력과 따라서 제어 가능한 소스(120, 194, 196 및 198)의 출력을 제어할 수 있다.

[0054] 일부 실시예에서, 바이어스 생성기(200)는 두 개의 입력, DQ 기준 신호(83) 및 수정된 DQ 기준 신호(204)를 수용할 수 있고 제어 가능한 소스(120)를 제어하기에 적합한 바이어스 레벨 NBias(202)를 출력할 수 있다. 입력 DQ 기준 신호(83)는 도 7의 DFE(70)로 입력되는 동일한 신호 DQ 기준 신호(83)를 나타낼 수 있다. 즉, DQ 기준 신호(83)는 바이어스 생성기(200)에 의해 수신된 비트가 논리적 로우(예를 들어, 0)인지 또는 논리적 하이(예를 들어, 1)인지를 결정하기 위한 임계 값(예를 들어, 전압 레벨)을 나타낼 수 있다. 제2 입력, 수정된 DQ 기준 신호(204)는 DQ 기준 신호(83)에 추가된 보정 계수 "X"(예를 들어, 5mV)의 조합을 나타낼 수 있다. 보정 계수 X는 제어 가능한 소스(120, 194, 196, 및 198)에 대한 희망 출력을 도출하기 위한 보정 레벨(예를 들어, 왜곡 제거)을 나타낼 수 있다. 즉, 예를 들어, 보정된 비트(88)를 생성하기 위해 특정 양(가령, 5mV)만큼 데이터 채널 상의 데이터(가령, 비트)를 조절하기 위해, 보정 계수 X가 이 양과 매칭될 수 있다. 이와 같이, 출력(110 및

112)이 가령, 증폭 디바이스(82)에 의해 적용되는 추가 이득을 가질 수 있기 때문에, 보정 계수 X는 이득이 곱해진 일부 레벨(가령, 이득\*X)만큼 합산기 회로(85)의 출력(110 및 112)을 조절할 수 있다. 또한, 일부 실시예에서, 합산기 회로(85) 내 각각의 가중화된 탭(86, 162, 164 및 166)에 의해 기여되는 원하는 보정 레벨이 사용자에게 의해 프로그램 및/또는 조절되어, 메모리 디바이스(10)를 적절하게 교정할 수 있다. 즉, 각각의 가중화된 탭(86, 162, 164 및 166)은 데이터 채널로부터 왜곡을 적절히 제거하도록 설정될 수 있고, 출력(110 및 112)에 적용되는 보정이 가중화된 탭(86, 162, 164, 및 166) 및 제어 가능한 소스(120, 194, 196, 및 198)의 조합에 따라 달라질 수 있기 때문에, 보정 계수 X는 프로그램된 및/또는 사용자에게 의해 조절된 값을 기초로도 할 수 있다.

[0055] 원하는 보정 레벨이 바이어스 생성기(200)로의 입력(예를 들어, 보정 계수 X)의 일부로서 수신될 수 있지만, 임의의 PVT 조건 세트에서, 전류 보정의 적절한 양을 생성하기 위해 전류 소스(119, 189, 191, 또는 193)로 입력될 바이어스 생성기(200)에 대한 적절한 바이어스 레벨(가령, NBias(202))이 알려져 있지 않을 수 있다. 즉, 바이어스 생성기(200)에 의해 출력된 바이어스 레벨 NBias(202)와 제어 가능한 소스(120)에 의해 생성된 결과 전류 간 직접적 및/또는 명확한 관계가 존재하지 않을 수 있다. 따라서, 바이어스 레벨 NBias(202)와 합산기 회로(85)에 의해 적용된 보정 간 직접적 및/또는 명확한 관계도 역시 존재하지 않을 수 있다. 따라서, 일부 실시예에서, 적절한 바이어스 레벨 NBias(202) 출력을 결정하기 위해, 바이어스 생성기(200)는 먼저 원하는 보정 레벨(가령, 보정 계수 X)을 입력으로서 수신하고, 이 보정 레벨로부터 도출된 바이어스 레벨 NBias(202)을 결정할 수 있으며, 이는 이하에서 더 설명될 것이다.

[0056] 이러한 실시예에서, DQ 기준 신호(83) 및 수정된 DQ 기준 신호(204)는, 이하에서 더 기재될 바와 같이, DQ 수신기(62)를 모의(emulating)하는 수신기(206)에 적용될 수 있다. 즉, 보정 계수 X가 수신기(206)에 적용되어, 보정 계수 X를 DQ 수신기(62)에 적용한 결과의 거동이 결정될 수 있다. 이와 같이, 수신기(206)는 DQ 수신기(62)의 거동에 따라 조절될 때, 입력 신호에 의해 수정된 DQ 기준 신호(204) 및 DQ 기준 신호(83)에 대응할 수 있는 신호 OutF(208) 및 Out(210)을 출력 할 수 있다.

[0057] 일부 실시예에서, 수신기(206)의 출력(예를 들어, OutF(208) 및 Out(210))은 연산 증폭기(op-amp)(212), 가령, 차동 증폭기로 공급될 수 있다. 연산 증폭기(212)는 OutF(208)와 Out(210) 간 차이를 결정하고, 결과, 바이어스 레벨 NBias(202)를 출력하기 전에 이 차이에 이득을 곱할 수 있다. 일부 실시예에서, 결과 바이어스 레벨 NBias(202)은 수신기(206)로 피드백되어, Out(210) 및/또는 OutF(208) 신호는 거의 동일 할 때까지(예를 들어, 연산 증폭기(212)가 바이어스 레벨 NBias(202)의 값을 안정화시킬 때까지) 조절될 수 있다. 이와 같이, 바이어스 생성기(200)는 적절한 바이어스 레벨 NBias(202)를 결정하도록 작동할 수 있다. 즉, 보정 계수 X를 DQ 기준 신호(83)(예를 들어, 수정된 DQ 기준 신호(204))에 적용한 후, 수신기(206)의 결과(예를 들어, OutF(208) 및 Out(210))가 (가령, 연산 증폭기(212)에 의해) 비교되고 차후 조절되어 OutF(208)와 Out(210)을 등화시키는 데 필요한 바이어스 레벨 NBias(202)을 결정할 수 있다. 따라서, 안정화된 바이어스 레벨 NBias(202)는 수신기(206)가 DQ 기준 신호(83)를 수정된 DQ 기준 신호(204)로 보정하거나(예를 들어, Out(210)이 OutF(208)와 동일하도록), 원하는 보정 레벨을 구현하기 위한 적절한 바이어스 레벨을 나타낼 수 있다.

[0058] 바이어스 생성기(200)는 수신기(206) 내 DQ 수신기(62)의 PVT 조건 세트를 모의할 수 있고 피드백 루프에서 바이어스 레벨 NBias(202)를 사용할 수 있기 때문에, 바이어스 레벨 NBias(202)는 PVT 조건과 관련하여 자신의 출력과 따라서 제어 가능한 소스(120, 194, 196, 및 198)의 출력을 제어하도록 연결된 전류 소스(119, 189, 191, 및 193) 중 하나를 제어하는 데 적합한 바이어스 레벨에서 안정화될 수 있다. PVT 조건이 변함에 따라, 바이어스 레벨 NBias(202)는 업데이트된 PVT 조건에서 제어 가능한 소스(120)를 제어하기에 적합한 상이한 바이어스 레벨에서 안정화될 수 있다. 또한, 바이어스 레벨 NBias(202)의 값은, 연산 증폭기(예를 들어, 연산 증폭기(212))의 제한의 결과로서 출력(예를 들어, OutF(208) 및 Out(210))이 거의 동일 할 때 안정될 수 있다. 따라서, 높은 이득을 갖는 연산 증폭기가 최종 출력들(예를 들어, OutF(208)와 Out(210)) 간 에러를 감소(예를 들어, 차이를 감소)시키기 위해 사용될 수 있다. 또한, 높은 이득으로, 거의 동일한 OutF(208)와 Out(210) 간 작은 차이가, 제어 가능한 소스(120)를 적절하게 제어하여 합산기 회로(85)에서 적절한 전류 보정이 이뤄질 수 있도록 하는 검출 가능한 바이어스 레벨 NBias(202)가 되도록 곱해진 숫자일 수 있다.

[0059] 도 10을 참조하면, 수신기(206)의 보다 상세한 실시예가 제공된다. 실시예가 수신기로서 언급되지만, 수신기(206)는 메모리 디바이스(10) 내부에서 생성된 데이터 신호를 수신하고 또 다른 수신기(가령, DQ 수신기(62))의 동작 조건, 가령, PVT 조건을 모의하도록 사용될 수 있음에 유의해야 한다. 도시된 실시예에서, DQ 수신기(62)가 모의되고, 더 구체적으로, DQ 수신기(62)의 합산기 회로(85)가 모의된다. 도시된 실시예에서 나타나지 않았지만, 일부 실시예에서, 수신기(206)는 DQ 수신기(62)가 포함할 수 있는 증폭 디바이스(82)를 모의하기 위한 증

폭 디바이스를 더 포함할 수 있다.

- [0060] 도시된 실시예에서, 합산기 회로(85)와 유사하게, 수신기(206)는 회로의 출력(210 및/또는 208)을 조절할 수 있다. 수신기는 제1 입력(236)에서 DQ 기준 신호(83)를 수신하고 제2 입력(238)에서 수정된 DQ 기준 신호(204)를 수신할 수 있다. 제1 입력(236) 및 제2 입력(238)은 전계 효과 트랜지스터(242 및 244)에 대해 활성화(enable) 또는 비활성화(disable)를 할 수 있다(가령, 전계 효과 트랜지스터(242 및 244)로 게이트 신호를 공급할 수 있다). 이러한 방식으로, 전계 효과 트랜지스터(242 및 244)는 DQ 기준 신호(83) 및 수정된 DQ 기준 신호(204)에 의해 제어될 수 있다.
- [0061] 한 쌍의 전계 효과 트랜지스터(246 및 248)에 결합된 제어 가능한 소스(234)는 바이어스 레벨 NBias(202)의 제어 하에서 출력 Out(210) 및 OutF(208)에 전류를 인가할 수 있다. 출력 Out(210) 및 OutF(208)는 각각 DQ 기준 신호(83) 및 수정된 DQ 기준 신호(204)의 수정된 값을 나타낼 수 있다. 이와 같이, 일부 실시예에서, 수정된 DQ 기준 신호(204)가 DQ 기준 신호(83)보다 (예를 들어, 보정 계수 X mV에 의해) 크기 때문에, 수정된 DQ 기준 신호(204)에 대응하는 출력 OutF(208)는 Out(210)보다 클 수 있다. 따라서 수신기(206)는 저항성 부하(232)를 이용하여 Out(210) 신호를 OutF(208)의 값에 더 가까운 값까지 끌어 올릴 수 있다. Out(210)의 값이 OutF(208)의 값보다 큰 경우 수신기(206)는 바이어스 레벨 NBias(202)을 이용하여 Out(210) 신호를 끌어 내려(예를 들어, 낮춰) OutF(208)의 값에 더 가까운 값을 도출할 수 있다. 그 후 Out(210) 및 OutF(208)의 결과 값은 연산 증폭기(212)로 공급될 수 있으며, 여기서, 도 9에 도시된 바와 같이, Out(210)과 OutF(208) 간 가장 최근의 차이가 결과 NBias(202) 값을 생성하도록 결정될 수 있다. NBias(202)가 수신기(206)로 피드백될 수 있음에 따라, Out(210)과 OutF(208) 값 간 차이가 지속적으로 업데이트될 수 있다. 또한, Out(210)과 OutF(208) 값 간 차이는 수신기(206)가 바이어스 레벨 NBias(202) 및/또는 저항성 부하(232)를 통해 Out(210) 신호를 조절하는 방식을 지속적으로 지시할 수 있다.
- [0062] 상기 내용을 고려하여, 도 11은 본 명세서에 기재된 실시예에 따라, PVT 조건들에 관계 없이, 제어 가능한 소스(120)를 제어하기 위해 적절한 바이어스 레벨 NBias(202)를 생성하기 위한 방법(300)의 흐름도를 도시한다. 방법(300)에 대한 이하의 설명이 특정 실시예를 나타내는 특정 순서로 기재되지만, 방법(300)은 임의의 적절한 순서로 수행될 수 있으며, 단계가 추가되거나 생략 될 수 있음을 유의해야 한다.
- [0063] 블록(302)에서, 바이어스 생성기(200)는 수신기(206)에서 입력 신호, DQ 기준 신호(83) 및 수정된 DQ 기준 신호(204)를 수신할 수 있다. 도 10에 도시된 바와 같이, 일부 실시예에서, 이들 입력 신호는 수신기(206) 내 제1 입력(236) 및 제2 입력(238)에서 수신될 수 있다. 그런 다음, 블록(304)에서, 수신기(206)는 입력 신호들(가령, DQ 기준 신호(83) 및 수정된 DQ 기준 신호(204)) 및 피드백 바이어스 레벨 NBias(202)을 기초로 출력 Out(210) 및 OutF(208)를 생성 할 수 있다. 앞서 언급된 바와 같이, 블록(304)은 저항성 부하(232) 또는 바이어스 레벨 NBias(202)을 각각 이용해 Out(210)을 끌어 올리거나 끌어 내리는 것을 포함할 수 있다. 또한, Out(210)을 끌어 올림 또는 끌어 내림과 Out(210)이 수정되는 레벨이 바이어스 NBias 레벨 (202)에 따라 달라질 수 있으며, 이는 제어 가능한 소스(234)의 전류 기여를 제어할 수 있다. 그런 다음 수신기(206)로부터의 신호 출력(가령, Out(210) 및 OutF(208))이 블록(306)에서 연산 증폭기(212)로 공급될 수 있다(도 9에 도시 됨). 블록(308)에서, 연산 증폭기(212)는 다음의 수식에 따라 바이어스 레벨 NBias(202)를 생성 할 수 있다
- [0064] 
$$NBias = 이득 * (Out - OutF),$$
- [0065] 여기서 이득 항은 사용된 연산 증폭기(212)의 동작 특성에 의해 결정되는 큰 수를 나타낼 수 있다. 일부 실시예에서, 이 계산은 블록(310)과 동시에 일어날 수 있으며, 여기서 Out(210) 및 OutF(208)의 값은 바이어스 레벨 NBias(202)를 계산하기 위해 상기 수식에서 비교된다. 블록(312)에서, Out(210) 및 OutF(208)가 거의 동일한 경우(가령, 연산 증폭기(212)가 바이어스 레벨 NBias(202)를 안정시킴 및/또는 Out(210)과 OutF(208) 간 차이가 동작 능력이 주어지더라도 연산 증폭기(212)에 의해 구별될 수 없는 경우), 바이어스 레벨 NBias(202)이 제어 가능한 소스(120)를 제어하는 데 사용될 수 있다. 안정된 바이어스 레벨 NBias(202)의 제어에 의해, 블록(314)에서, 제어 가능한 소스(120)는 합산기 회로(85)에서 적합한 보정을 생성할 수 있다. 일부 실시예에서, 블록(312)에서 Out(210)과 OutF(208)이 거의 동일하지 않은 경우, 블록(316)에서 연산 증폭기(212)가 Out(210)과 OutF(208) 간 차이를 감소시키기 위해 바이어스 레벨 NBias(202)의 값을 조절할 수 있다. 블록(316)에서 조절된 NBias(202)는 수신기(206)로 피드백될 수 있다. 그 결과로, 블록(304)에서, 수신기(206)는 조절된 바이어스 레벨 NBias(202)을 수신할 수 있고 조절된 바이어스 레벨 NBias(202) 및 입력 신호 DQ 기준 신호(83) 및 수정된 DQ 기준 신호(204)에 기초하여 출력 Out(210) 및 OutF(208)를 재생성 할 수 있고 방법(300)을 계속하여 제어 가능한 소스(120)를 제어하기 위해 적절한 Nbias(202)를 생성할 수 있다.

- [0066] 또한, 바이어스 레벨 NBias(202)이 블록(316)에서부터 수신기(206)로 피드백되거나 블록(312)에서의 비교 결과에 따라 제어 가능한 소스(120)를 제어하는 데 사용되는 것으로 기재되었지만, 해당 분야의 통상의 기술자라면, 이들 동작은 동시에 발생할 수 있음을 이해할 것이다. 또한, 이들 바이어스 레벨 NBias(202) 동작은 블록(312)에서의 비교 결과와 무관하게 발생할 수 있다. 즉, 도 9의 도시된 실시예에서, 바이어스 생성기(200)는 제어 가능한 소스(120)로 출력될 때 및/또는 수신기(206)로 피드백될 때 바이어스 레벨 NBias(202)를 게이트하기 위한 임의의 회로 및/또는 로직을 포함하지 않을 수 있다. 따라서, 수신기(206) 및 제어 가능한 소스(120)는 Out(210)과 OutF 간 차이에 관계없이 바이어스 레벨(NBias)(202)을 지속적으로 수신할 수 있다. 즉, 수신기(206) 및 제어 가능한 소스(120)는 바이어스 레벨 NBias(202)의 안정화 여부에 관계없이 바이어스 레벨 NBias(202)를 계속 수신할 수 있다. 그러나, 일부 실시예에서, 합산기 회로(85)가 바이어스 레벨 NBias(202)를 사용할 준비가 되기 전에 연산 증폭기(212)는 바이어스 레벨 NBias(202)를 안정시킬 수 있다. 즉, DQS 수신기(62) 및/또는 메모리 디바이스(10)는, 사용될 수 있기 전에 자신의 시스템이 커지고 특정 값(가령, 바이어스 레벨 NBias(202))을 적절하게 교정(가령, 안정화)할 수 있도록 하는 특정 딜레이를 포함할 수 있는 초기화 절차를 포함할 수 있다.
- [0067] 일부 실시예에서, 각각의 가중화된 탭(86, 162, 164 및 166)의 출력(110 및 112)에 대한 기여는 상이한 바이어스 레벨(가령, NBias(162))이 제어 가능한 소스(120, 194, 196, 및 198) 각각으로 각각 적용될 것을 필요로 할 수 있다. 이와 같이, 도 8에 도시된 실시예에서, 각각의 제어 가능한 소스(120, 194, 196, 및 198)의 출력이 상이하도록, 상이한 바이어스 레벨의 세트가 전류 소스(119, 189, 191, 및 193) 각각을 제어할 수 있다. 또한, 도 1 및 도 4를 참조하면, 데이터 트랜시버(48)는 (예를 들어, DQ <15:8> 및 DQ <7:0> 내) 각각의 데이터 IO 신호에 대한 DQ 커넥터(50)를 포함할 수 있다. 따라서, 본 명세서에 기재된 실시예가 단일 데이터 IO 신호를 수신하는 DFE(70)에 대한 단일 제어 가능한 소스(120)에 대한 바이어스 레벨의 로컬 생성(가령, 개별 DQ 커넥터(50))을 나타낼 수 있지만, 일부 실시예에서, 각각의 데이터 IO 신호가 보정으로부터 이익을 얻을 수 있다. 즉, 각각의 데이터 IO 신호는 상이한 DQ 커넥터(50)에 연결될 수 있다. 따라서, DFE(70) 회로는 왜곡을 감소시킬 수 있으며, 이는 각각의 데이터 IO 신호에서 바이어스 생성기(200)에 의해 생성된 상이한 바이어스 레벨의 사용을 포함할 수 있다.
- [0068] 이와 같이, DFE 합산기(85) 내 상이한 탭들 및/또는 상이한 데이터 IO 신호들에 걸쳐 사용되기 위해 필요한 바이어스 값을 효율적으로 생성하기 위해, 메모리 디바이스(10)는 바이어스 레벨을 전역적으로 생성하는 시스템 및 방법을 포함할 수 있다. 즉, 프로그램된 값 및/또는 사용자 입력을 기초로 런타임에서 각각의 데이터 IO 신호에 대한 상이한 바이어스 레벨을 (가령, 개별 바이어스 생성기(200)에 의해) 로컬하게 생성하는 대신 또는 이에 추가로, 메모리 디바이스(10)는 런타임에서 선택되도록 (가령, 디바이스의 모든 필요한 영역에 의해) 동시에 전역적으로 이용 가능해지는 다수의 상이한 생성된 바이어스 레벨을 포함할 수 있다.
- [0069] 따라서, 도 12는 복수의 바이어스 레벨을 동시에 생성할 수 있는 멀티-레벨 바이어스 생성기(319)의 하나의 실시예를 도시한다. 일부 실시예에서, 멀티-레벨 바이어스 생성기(319)는 두 개 이상의 바이어스 생성기(200)(가령, 200 및 321)의 세트의 출력들 간에 연결된 분압기(320)를 포함할 수 있다. 이러한 실시예에서, 제1 바이어스 생성기(200)는 입력으로서 DQ 기준 신호(83) 및 수정된 DQ 기준 신호(204)를 수신할 수 있고, 반면에 제2 바이어스 생성기(321)는 입력으로서 DQ 기준 신호(83) 및 추가의 수정된 DQ 기준 신호(322)를 수신할 수 있다. 제1 바이어스 생성기(200) 및 제2 생성기(321)로의 입력은 바이어스 생성기(200)에 의해 핸들링되는 경계 조건을 나타낼 수 있다. 즉, 수정된 DQ 기준 신호(204)는 DQ 기준 신호(83)에 추가된 보정 계수 X(예를 들어, 1X)를 나타낼 수 있고, 여기서, 보정 계수 X는 바이어스 생성기(200)에 대한 DQ 기준 신호(83)와 수정된 DQ 기준 신호(204) 간 유의미한 가장 작은(예를 들어, 출력에 검출 가능한 영향을 미치는) 스텝 크기를 나타낼 수 있는 0 아닌 값을 나타낼 수 있다. 또한, 추가의 수정된 DQ 기준 신호(322)는 DQ 기준 신호(83)에 추가된 40X(예를 들어, 40\*X)를 나타낼 수 있고, 여기서, 40X는 DQ 기준 신호(83)와 추가의 수정된 DQ 기준 신호(322) 간, 바이어스 생성기(200)에게 유의미한(가령, 영향을 미치는) 최대 스텝 크기를 나타낼 수 있다. 제1 바이어스 생성기(200) 및 제2 바이어스 생성기(321)의 입력에서 적용된 경계 조건의 결과로서, 제1 바이어스 생성기(200)의 출력 NBias1X(202)이 제1 바이어스 생성기(200)의 동작 조건의 로우 단(low end) 상의 출력 바이어스 레벨을 나타낼 수 있고, 반면에, 제2 바이어스 생성기(321)의 출력 NBias40X(323)이 제2 바이어스 생성기(321)의 동작 조건의 하이 단(high end) 상의 출력 바이어스 레벨을 나타낼 수 있다. 이와 같이, 바이어스 생성기(200)로부터의 가능한 바이어스 레벨 출력의 범위는 두 개의 출력(예를 들어, NBias1X(202) 및 NBias40X(323)) 사이에 존재할 수 있다.
- [0070] 경계 조건 입력(가령, 수정된 DQ 기준 신호(204) 및 추가의 수정된 DQ 기준 신호(322))에 대한 상기의 설명은

보정 계수 1X 및 40X를 이용하지만, 임의의 적절한 경계 보정 계수가 사용될 수 있음에 유의해야 한다. 일부 실시예에서, 메모리 디바이스(10)에 의해 사용되는 바이어스 레벨의 범위를 포함할 수 있는 보정 계수가 바람직할 수 있다. 이와 같이, 일부 실시예에서, 경계 조건 입력들에 대해 동일한 값이 바람직하지 않을 수 있다. 또한, DQ 기준 신호(83)와 수정된 DQ 기준 신호(204) 간에 차이가 없는 경우 바이어스 생성기(200)가 꺼질 수 있기 때문에, 0 밀리볼트의 보정 계수가 적절한 보정 계수를 나타내지 않을 수 있다. 그러나, 본 명세서에 기재된 실시예가 명시적으로 언급된 예시로 한정되지 않아야 한다.

[0071] 일부 실시예에서, 분압기(320)는 제1 바이어스 레벨 출력(NBias1X 202)과 제2 바이어스 레벨 출력 NBias40X(323)을 다수의 상이한 바이어스 레벨 출력(가령, 325-326)으로 분할할 수 있는 다수의 저항성 요소(324)(가령, 저항기, 커패시터, 인덕터, 또는 이들의 임의의 적합한 조합)를 포함할 수 있다. 즉, 분압기(320)는 제1 바이어스 레벨 출력 NBias1X(202)와 제2 바이어스 레벨 출력 NBias40X(323) 사이에서 다수의 바이어스 레벨 출력을 보간할 수 있다. 더 구체적으로, 분압기(320)는 수정된 DQ 기준 신호(204)에서부터 추가의 수정된 DQ 기준 신호(322)까지, X의 스텝 크기를 갖고(가령, 40개의 상이한 바이어스 레벨 출력), 각각의 바이어스 생성기(200) 입력 값에 대응하는 바이어스 레벨 출력을 보간할 수 있다.

[0072] 바이어스 레벨 출력들(예를 들어, 202, 323, 325 및 326)은 바이어스 생성기(200)(예를 들어, 200 또는 321)로부터 직접 출력되거나 저항 요소(324)(가령, 저항기)의 세트 사이에 출력될 수 있다. 이와 같이, 저항 요소(324)에 의해 적용된 저항은 각각의 바이어스 레벨 출력(예를 들어, 202, 323, 325 및 326)의 레벨을 결정할 수 있다. 또한, 분압기(320) 내 각각의 저항 요소(324)의 저항 기여는 바이어스 레벨 출력들(예를 들어, 202, 323, 325 및 326) 간 관계를 결정할 수 있다. 예를 들어, 적합한 저항을 갖는 다수의 저항기를 갖는 분압기(320)는 선형 관계를 갖는 바이어스 레벨 출력들(예를 들어, 202, 323, 325 및 326)을 생성할 수 있다.

[0073] 바이어스 레벨 출력(예를 들어, 202, 323, 325 및 326)은 전류 소스(119, 189, 191 및 193)를 제어할 수 있고, 이는 제어 가능한 소스(120, 194, 196 및 198)에 의해 출력(110 및 112)으로 기여되는 전류에 영향을 미치기 때문에, 일부 실시예에서, 연속적으로 생성된 바이어스 레벨 출력들(가령, 325 및 326) 간 역 제곱 관계가 바람직할 수 있다. 즉, 전계 효과 트랜지스터(116, 118, 182, 184, 186, 188, 190 및 192)에 의해 공급된 전류가 전류 소스(120, 194, 196 및 198)로 공급되는 전압의 제곱 함수에 기초하여 조절될 수 있기 때문에, 바이어스 레벨 출력이 역 제곱 함수를 기초로 생성되어, 바이어스 레벨 출력들 간 전계 효과 트랜지스터(116, 118, 182, 184, 186, 188, 190, 및 192)에 의해 공급되는 전류에 대한 조절을 선형화할 수 있다. 그러나, 다른 실시예에서, 분압기(320) 내 적절한 저항 요소(324)를 선택함으로써 바이어스 레벨 출력들 간 선형 또는 임의의 다른 적절한 관계가 사용될 수 있다.

[0074] 또한, 분압기(320)가 제1 바이어스 생성기(200)와 제2 바이어스 생성기(321)의 출력들 간에 적용되기 때문에, 각각의 출력 바이어스 레벨(202, 323, 325, 및 326)이 바이어스 생성기(200)로부터 도출된 동일한 PVT 공차로부터 이익을 얻을 수 있다. 즉, 제1 바이어스 레벨 출력 NBias1X(202)와 제2 바이어스 레벨 출력 NBias40X(323) 간 바이어스 레벨 출력이 분압기(320)에 의해 제1 바이어스 레벨 출력 NBias1X(202) 및 제2 바이어스 레벨 출력 NBias40X(323) 사이에서 보간되기 때문에, 이들은 여전히 PVT 공차 값을 나타낼 수 있다.

[0075] 일부 실시예에서, 앞서 기재된 합산기 회로(85)와 관련한 탭 보정은 합산기에 설정 값에 비례하여 불균형을 발생시키는 트랜지스터의 차동 쌍을 이용한다. 불균형은, 예를 들어, 필요한 보정의 부호를 기초로 차동 쌍의 트랜지스터 중 한 측에서만 활성화되는 풀다운 트랜지스터(pulldown transistor)에 의해 생성될 수 있다. 그러나, 일부 실시예에서, 합산기 회로(85)의 공통-모드 신호(예를 들어, 공통-모드 전류)가 동작 조건들 간에 변할 때, 각자의 제어 가능한 소스(예를 들어, DAC(121, 195, 197, 및 199)에 의해 제어되는 전류 소스)에 의해 설정된 아날로그 값의 영향이 일정하게 유지되지 않을 수 있다. 즉, 합산기 회로(85)로부터의 탭 응답이 비-선형이 된다. 따라서, 일부 실시예에서, 일정한 양으로(예를 들어, 동일한 척도로) 전류를 더하고 빼는 푸시-풀 합산기(push-pull summer) 방식이 일정 평균 공통-모드 신호를 유지하는 데 사용될 수 있으며, 이는 탭 응답을 훨씬 더 선형일 수 있게 한다. 예를 들어, 도 13에 도시된 바와 같이, 푸시-풀 합산기(350)(예를 들어, 푸시-풀 합산기 회로)는 DFE 보정을 달성하기 위해 이용될 수 있다. 푸시-풀 합산기(350)는 일정 평균 공통-모드 신호를 유지하기 위해 합산기로부터 전류를 더하고 빼기 위한 풀 회로(376) 및 푸시 회로(378)를 포함한다. 일부 실시예에서, 푸시-풀 합산기(350)는 동일한 양으로 전류를 감소할 수 있지만, 더 선형인 탭 응답을 도출한다면 동일하지 않은 양으로 감소하는 것도 유용할 수 있다.

[0076] 따라서, 도 13은 합산기 회로(85)를 대신하여 푸시-풀 합산기(350)를 사용함으로써 왜곡을 무효화할 수 있는 도 7의 DFE(70)의 일부분의 회로도들을 도시한다. 푸시-풀 합산기(350)는 풀 회로(376) 및 푸시 회로(378)를 포함한다.

다. 풀 회로(376)는 도 8과 관련하여 앞서 기재된 것과 일반적으로 유사하게 동작한다. 그러나, 푸시-풀 합산기(350)는 풀 회로(376)와 푸시 회로(378) 모두를 이용해 지정된 양으로(가령, 동일한 척도로) 전류를 조절할 수 있으며 일정 평균 공통-모드 신호를 유지하는 데 사용될 수 있고, 이로써 탭 응답이 훨씬 더 선형이 될 수 있다. 도 13의 푸시-풀 합산기(350)를 갖는 DFE(70)는 경로(72, 74, 76, 및 78)에서 전송된 데이터를 통해 n-1 비트, n-2 비트, n-3 비트, 또는 n-4 비트, 또는 임의의 조합에 대한 논리 하이 또는 로우를 수신할 수 있다. 이 경우, 경로(72, 74, 76, 및 78)를 따라 전송되는 데이터가 가중화된 탭(86, 162, 164, 및 166) 및 역 가중화된 탭(87, 163, 165, 및 167)을 전계 효과 트랜지스터(116, 118, 182, 184, 186, 188, 190, 및 192) 및 전계 효과 트랜지스터(352, 354, 356, 358, 360, 362, 364, 및 366)가 출력(110 및 112)으로 전송되는 자신의 출력을 제어하기 위한 제어 신호로서 생성하도록 구현될 수 있다. 전계 효과 트랜지스터(182, 184, 186, 188, 190, 및 192)는 풀 회로(376)의 일부이며, 반면에 전계 효과 트랜지스터(352, 354, 356, 358, 360, 362, 364, 및 366)는 푸시 회로(378)의 일부이다. 푸시-풀 합산기(350)의 전계 효과 트랜지스터(182, 184, 186, 188, 190, 192, 352, 354, 356, 358, 360, 362, 364, 및 366)는 이전 보정된 비트의 다양한 조합(가령, 0000, 0001, 0010, ...1111)으로 표현되는 16(가령,  $2^4$ )개의 가능한 서로 다른 이진 상태 중 하나를 반영하도록 선택적으로 그리고 제어 가능하게 활성화될 수 있다.

[0077] 가중화된 탭(86, 87, 162, 163, 164, 166 및 167) 값이 출력(110 및 112)에 적용되어, 공급된 전류가 제어 가능한 소스(120) 및 추가 제어 가능한 소스(194, 196, 198, 368, 370, 372, 및 374)(가령, 각각의 바이어스 생성기(200)에 의해 제어되는 전류 소스)를 통해 제어될 수 있다. 대안으로, 각각의 바이어스 생성기(200)는 DAC, 가령, 도 8의 DAC(121, 195, 197 및 199) 중 어느 하나로 대체될 수 있다. 출력(110 및 112)은 데이터 래치, 가령, 데이터 래치(94)로 전송될 수 있다. 제어 가능한 소스(368 및 120)는 모두 동일한 가중화된 탭(86 및 87)에 전류를 공급할 수 있지만, 이는 상이한 회로를 통해 공급될 수 있어서(즉, 120은 풀 회로(376)로 전류를 공급하고 368은 푸시 회로(378)로 전류를 공급), 공급된 전류가 DFE(70)의 선형 응답에 따라 동일하거나 동일하지 않을 수 있다. 푸시-풀 합산기(350)는 일정한 평균 공통-모드 신호를 유지하기 위해 차동 노드(가령, 풀 회로(376) 및 푸시 회로(378)의 출력(110 및 112)과의 접속점)로부터 공급된 전류를 동일한 척도로 더하고 빼도록 동작할 수 있다. 이로 인해 다양한 탭 응답이 개선된 선형성을 가질 수 있다.

[0078] 예를 들어, 풀 회로(376)가 단독으로 동작하는 경우(예를 들어, 푸시 회로(378)가 존재하지 않는 경우), DFE(70)는 도 8과 관련하여 일반적으로 기재된 바와 같이 동작할 수 있다. 즉, 가중화된 탭(86) 및 이의 역 값(가령, 역 가중화된 탭(87))이 출력(110 및 112)으로 전송되어, 왜곡 비트(81)의 왜곡을 보정할 수 있다. n-1 비트에 대한 논리 하이 가 경로(72)를 통해 전송된다. 이 경우, 출력(110 및 112)에 대한 가중화된 탭 값(86 및 87)의 기여를 가능하게 하는 두 전계 효과 트랜지스터(116 및 118)에 대한 제어 신호로서 가중화된 탭(86) 및 역 가중화된 탭(87)을 생성하도록 n-1 비트가 구현될 수 있다. 예를 들어, n-1 비트로 인한 보정이, 예를 들어, 50mV 인 경우, 풀 회로(376)가 단독으로 동작하는 경우(예를 들어, 푸시 회로(378)가 존재하지 않는 경우), 가중화된 탭(86) 및 이의 반전된 값(예를 들어, 역 가중화된 탭(87))에 대해 적용될 모든 보정은 차동 쌍의 전계 효과 트랜지스터(116 및 118)로부터 온다. 그러나, 푸시 회로(378)와 함께 풀 회로(376)를 이용함으로써, n-1 비트로 인한 보정이, 예를 들어, 50mV인 경우, 풀 회로(376)는 차동 쌍의 전계 효과 트랜지스터(116 및 118)로부터 적용될 25mV의 보정을 수행하고 차동 쌍의 전계 효과 트랜지스터(352 및 354)로부터 적용될 25mV의 보정을 수행하도록 동작 할 수 있다.

[0079] 덧붙여, 동일하지 않은 값들은 푸시 회로(378)와 함께 풀 회로(376)에 대신 적용될 수 있다. 예를 들어, 25% 보정이 풀 회로(376) 내 전계 효과 트랜지스터의 차동 쌍으로부터 적용될 수 있고 75% 보정이 풀 회로(376) 내 전계 효과 트랜지스터의 차동 쌍에 대응하는 푸시 회로(378) 내 전계 효과 트랜지스터의 차동 쌍으로부터 적용될 수 있거나, 20% 보정이 풀 회로(376) 내 전계 효과 트랜지스터의 차동 쌍으로부터 적용될 수 있고 80% 보정이 풀 회로(376) 내 전계 효과 트랜지스터의 차동 쌍에 대응하는 푸시 회로(378) 내 전계 효과 트랜지스터의 차동 쌍으로부터 적용될 수 있거나, 75% 보정이 풀 회로(376) 내 전계 효과 트랜지스터의 차동 쌍으로부터 적용될 수 있고 25% 보정이 풀 회로(376) 내 전계 효과 트랜지스터의 차동 쌍에 대응하는 푸시 회로(378) 내 전계 효과 트랜지스터의 차동 쌍으로부터 적용될 수 있거나, 80% 보정이 풀 회로(376) 내 전계 효과 트랜지스터의 차동 쌍으로부터 적용될 수 있고 20% 보정이 풀 회로(376) 내 전계 효과 트랜지스터의 차동 쌍에 대응하는 푸시 회로(378) 내 전계 효과 트랜지스터의 차동 쌍으로부터 적용될 수 있거나, DFE(70)에 의해 생성된 공통-모드 신호의 일관성을 유지하기 위해 필요에 따른 추가 비율이 사용될 수 있다. 마찬가지로, 전류에 대한 동일한 비율 또는 상이한 비율 값이 제어 가능한 소스(194 및 370), 제어 가능한 소스(196 및 372) 및 제어 가능한 소스(198 및 374)에 적용될 수 있다. 보정된 비트(88)는 출력(110 및 112)을 기초로 데이터 래치(94)를 통해 생성될 수 있고

DQS 신호(96)의 상승 에지 상에서 역직렬화기(66)로 전송될 수 있다. 역직렬화기(66) 내에 경로(72, 74, 76, 및 78)를 따른 전송을 위해 저장된 n-1 비트, n-2 비트, n-3 비트, 및 n-4 비트 정보가 미래 왜곡 보정을 위해 보정된 비트(88)로 업데이트될 수 있다(가령, n-4 비트가 n-3 데이터를 반영하도록 업데이트될 것이고, n-3 비트가 n-2 데이터를 반영하도록 업데이트될 것이며, n-2 데이터가 n-1 데이터를 반영하도록 업데이트될 것이며, n-1 데이터가 새로 보정된 비트로 업데이트될 것이다).

[0080] 바이어스 생성기(200)는 푸시-풀 합산기(350)에서 제어 가능한 소스(예를 들어, 제어 가능한 소스(120, 194, 196, 198, 368, 370, 372 및 374))를 제어하기 위해 PVT 공차 출력을 공급할 수 있다. 또한, 푸시-풀 합산기는 풀 회로(376) 및 푸시 회로(378)를 포함할 수 있기 때문에, 풀 회로(376) 내 제어 가능한 소스의 제어가 푸시 회로(378) 내 대응하는 제어 가능한 소스의 제어와 조화되어, 각각의 제어 가능한 소스로부터의 적합한 기여를 설정할 수 있다. 즉, 예를 들어, 제어 가능한 소스(120)에 대한 제어는 제어 가능한 소스(368)의 제어와 조화되어 풀 회로(376) 및 푸시 회로(378)가 각각 왜곡 비트(81)에 적절한 보정을 적용할 수 있다. 따라서, 일부 실시예에서, 바이어스 생성기(200) 또는 DAC, 가령, DAC(121)를 대신하여, 미러링된-출력 바이어스 생성기(400)가 사용되어, PVT 공차 출력을 생성하여, 풀 회로(376) 및 푸시 회로(378) 내 제어 가능한 소스의 대응하는 쌍(가령, 제어 가능한 소스(120) 및 제어 가능한 소스(368))을 적절하게 조절할 수 있다.

[0081] 도 14에 도시된 바와 같이, 미러링된-출력 바이어스 생성기(400)는 서로 미러링할 수 있는 한 쌍의 미러링된 출력 바이어스 레벨(예를 들어, 바이어스 레벨 NBias(202) 및 바이어스 레벨 PBias(404))을 포함할 수 있다. 즉, 일부 실시예에서, 바이어스 레벨 PBias(404)는 P형 금속 산화물 반도체 전계 효과 트랜지스터(PMOS)로 하여금 미러링된 바이어스 레벨 NBias(202)이 N형 금속 산화물 반도체 전계 효과 트랜지스터(NMOS)로 하여금 생성하게 하는 것과 동일한 양의 전류(예를 들어, 10 마이크로암페어)를 생성하게 하도록 적합한 바이어스 레벨을 나타낼 수 있다. 미러링된 바이어스 레벨(가령, 바이어스 레벨 NBias(202) 및 바이어스 레벨 PBias(404))은 따라서, 푸시-풀 합산기(350)의 풀 회로(376) 및 푸시 회로(378) 내 제어 가능한 소스를 각각 제어할 수 있다. 따라서, 미러링된-출력 바이어스 생성기(400)는 푸시-풀 합산기(350) 내 푸시 회로(378) 및 풀 회로(376)에 걸친 한 쌍의 제어 가능한 소스(가령, 제어 가능한 소스(120) 및 제어 가능한 소스(368))로 하여금 출력 신호(110 및 112)에 적절한 보정을 수행하게 할 수 있는 PVT 공차 출력(가령, 바이어스 레벨 NBias(202) 및 바이어스 레벨 PBias(404))을 생성할 수 있다.

[0082] 미러링된 바이어스 레벨(가령, 바이어스 레벨 NBias(202) 및 바이어스 레벨 PBias(404))을 생성하기 위해, 도 9의 바이어스 생성기(200)에 비교할 때 미러링된-출력 바이어스 생성기(400)는 추가 구조 및 연결성을 포함할 수 있다. 일부 실시예에서, 예를 들어, 미러링된 출력 바이어스 생성기(400)의 연산 증폭기(212)는 제어 가능한 소스(120)에 직접 출력하는 대신 전류 미러(406)에 연결될 수 있다. 전류 미러(406)는 입력으로서 바이어스 레벨 NBias(202)를 수신하고 다이오드 연결된 전계 효과 트랜지스터(408)로부터 PMOS(가령, PBias(404))에 대한 등가 바이어스 레벨 신호를 출력할 수 있다. 전류 미러(406)는 또한 활성화 신호(예를 들어, En(410) 및 EnF(412))를 전류 미러(406)를 작동화(가령, 활성화)하기 위한 입력으로서 수신할 수 있다. 일부 실시예에서, 활성화 신호(예를 들어, En(410) 및 EnF(412))은 DQ 수신기(62)가 켜지는 동안 전류 미러(406)를 활성 상태로 유지하도록 설정될 수 있다. 즉, 전류 미러(406)는 DQ 수신기(62) 내의 회로가 전력을 수신하는 동안 계속 기능할 수 있다.

[0083] 또한, 일부 실시예에서, 전류 미러(406)에 의해 생성된 바이어스 레벨 PBias(404)는 수신기(402)로 피드백될 수 있다. 따라서, DQ 기준 신호(83) 및 수정된 DQ 기준 신호(204)를 입력으로서 수신하는 것 외에도, 수신기(402)는 두 개의 피드백 신호(예를 들어, 바이어스 레벨 NBias(202) 및 바이어스 레벨 PBias(404))를 수신할 수 있다. 따라서, 수신기(402)는 Out(210) 및 OutF(208)를 연산 증폭기(212)로 출력할 수 있지만, 수신기(402)는 바이어스 레벨 NBias(202) 피드백 신호에 추가로, 바이어스 레벨 PBias(404) 피드백 신호를 핸들링하기 위해 수신기(206)와 상이한 방식으로 출력(가령, Out(210) 및 OutF(208))을 생성할 수 있다.

[0084] 도 15를 참조하면, 수신기(402)의 하나의 실시예가 도시될 수 있다. 수신기(402)는, 제어 가능한 소스(234) 및 전계 효과 트랜지스터(246 및 248)의 쌍에 의해 인가되는 전류와 조합하여 출력 Out(210) 및 OutF(208)으로 전류를 인가할 수 있는 전계 효과 트랜지스터(413 및 414)의 추가 쌍에 연결된 추가 제어 가능한 소스(420)를 갖는 수신기(206)의 구성요소를 포함할 수 있다. 또한, 수신기(402)의 동작은 수신기(206)의 동작과 유사할 수 있다. 수신기(206)는 바이어스 레벨 NBias(202)에 따라 입력 신호(가령, DQ 기준 신호(83))의 출력 신호(예를 들어, Out(210))를 변조할 수 있으며, 반면에, 수신기(402)는 바이어스 레벨 NBias(202) 및 바이어스 레벨 PBias(404)에 따라, Out(210) 및 OutF(208) 모두의 값을 변조할 수 있다. 일부 실시예에서, 예를 들어, 수정된 DQ 기준 신호(204)가 DQ 기준 신호보다 (예를 들어, X mV만큼) 크기 때문에, 수정된 DQ 기준 신호(204)에 대응하는 출력 OutF(208)은 Out(210)보다 높을 수 있다. 추가적인 제어 가능한 소스(420)가 수신기(402)의 구조에

포함된 전계 효과 트랜지스터(413 및 414)의 추가 쌍에 연결된 때, Out(210)의 값을 끌어 올리기 위한 저항성 로드(232)을 이용하는 것에 추가로 또는 이를 대신하여, 바이어스 레벨 PBias(404)은 추가 제어 가능한 소스(420)를 구동시켜, OutF(208)의 값을 Out(210)에 더 가깝게 끌어 내릴 수 있다(가령, 낮출 수 있다). Out(210)의 값이 OutF(204)의 값보다 큰 경우, 제어 가능한 소스(234)는 Out(210)을 끌어 내려(가령, 낮춰) 이의 값을 OutF(204)에 더 가깝게 만들 수 있다. 추가로 또는 대안으로, 저항성 부하(230)는 OutF(210)을 끌어 올려(가령, 높여) 이의 값을 Out(210)에 더 가깝게 만들 수 있다. 도 14에 도시된 바와 같이, Out(210)과 OutF(208)의 결과 값이 연산 증폭기(212)로 공급될 수 있으며, Out(210)과 OutF(208) 간 가장 최근 차이가 수신기(206)에서 사용된 동일한 방법에 따라, 결과 바이어스 레벨 NBias(202) 값을 계산하는 데 사용될 수 있다.

[0085] 따라서, 미러링된-출력 바이어스 생성기(400)로 바이어스 레벨 NBias(202) 및 바이어스 레벨 PBias(404)의 미러링된 바이어스 레벨을 생성하기 위한 방법은 바이어스 생성기(200)로부터 바이어스 레벨 NBias(202)를 생성할 수 있는 방법(300)을 일반적으로 따를 수 있다. 즉, 도 11의 방법(300)의 예시된 실시예에서 각각의 블록 및/또는 경로(예를 들어, 302, 304, 306, 308, 310, 314 및 316)가 미러링된 바이어스 레벨(가령, 바이어스 레벨 NBias(202) 및 바이어스 레벨 PBias(404))을 생성하기 위한 방법을 약간 수정하여 수행될 수 있다. 즉, 블록(302)에서 수신기(206)가 Out(210) 및 OutF(208)를 계산하기 위한 피드백 값으로서 바이어스 레벨 NBias(202)만 이용하는 대신, 바이어스 레벨 NBias(202) 및 바이어스 레벨 PBias(404) 모두 수신기(402)에 의해 Out(210) 및 OutF(208)를 계산하기 위해 사용될 수 있다. 또한, 블록(308)에서 바이어스 레벨 NBias(202)가 생성된 후, 전류 미러(406)는 이의 미러링된 신호, 바이어스 레벨 PBias(404)를 생성할 수 있다. 바이어스 레벨 PBias(404)는, 블록(310) 및 블록(312)에서 기재된 바와 같이, Out(210)과 OutF(208)의 비교를 기초로, 수신기(402)로 피드백 및/또는 푸시-풀 합산기(350)의 푸시 회로(378) 내 제어 가능한 소스(가령, 제어 가능한 소스(368))를 제어 할 수 있다. 바이어스 레벨 NBias(202)는 또한, 블록(314)에 기재된 바와 같이, 수신기(402)로 피드백 및/또는 푸시-풀 합산기(350)의 풀 회로(376) 내 제어 가능한 소스(가령, 제어 가능한 소스(120))를 제어할 수 있다. 따라서, 이의 수신기(402) 내 피드백으로서 바이어스 레벨 NBias(202) 및 바이어스 레벨 PBias(404)을 이용해, 미러링된-출력 바이어스 생성기(400)는 푸시-풀 합산기(350) 내 푸시 회로(378) 및 풀 회로(376)에 걸친 한 쌍의 제어 가능한 소스(가령, 제어 가능한 소스(120) 및 제어 가능한 소스(368))로 하여금 출력 신호(110 및 112)에 적절한 보정을 수행하게 할 수 있는 PVT 공차 출력(가령, 바이어스 레벨 NBias(202) 및 바이어스 레벨 PBias(404))을 생성할 수 있다.

[0086] 또한, 도 12를 참조하여 앞서 기재된 바와 같이, 메모리 디바이스(10)는 다수의 바이어스 레벨 출력을 이용할 수 있다. 이와 같이, 미러링된 출력 바이어스 레벨의 생성으로부터 이익을 얻을 수 있는(예를 들어, 미러링된-출력 바이어스 생성기(400)를 이용하는) 메모리 디바이스(10)는 다수의 상이한 미러링된 출력 바이어스 레벨을 이용할 수 있다. 따라서, 본 명세서에 기재된 실시예가 단일 데이터 IO 신호를 수신하는 DFE(70)(가령, 개별 DQ 커넥터(50))에 대한 푸시-풀 합산기(350)에 대한 미러링된 바이어스 레벨(가령, 바이어스 레벨 NBias(202) 및 바이어스 레벨 PBias(404))의 로컬 생성을 도시할 수 있지만, 일부 실시예에서, 메모리 디바이스(10)의 각각의 데이터 IO 신호가 보정으로부터 이익을 얻을 수 있다.

[0087] 이와 같이, DFE 합산기(85) 내 상이한 탭들 및/또는 상이한 데이터 IO 신호들에 걸쳐 사용되기 위해 필요한 미러링된 바이어스 값을 효율적으로 생성하기 위해, 메모리 디바이스(10)는 미러링된 바이어스 레벨을 전역적으로 생성하는 시스템 및 방법을 포함할 수 있다. 즉, 프로그램된 값 및/또는 사용자 입력을 기초로 런타임에서 각각의 데이터 IO 신호에 대한 상이한 미러링된 바이어스 레벨을 로컬하게 생성하는 대신 또는 이에 추가로, 메모리 디바이스(10)는 런타임에서 선택되도록 (가령, 메모리 디바이스(10)의 모든 필요한 영역에 의해) 동시에 전역적으로 이용 가능해지는 다수의 상이한 미러링된 생성된 바이어스 레벨을 포함할 수 있다.

[0088] 따라서, 도 16는 복수의 미러링된 바이어스 레벨을 동시에 생성할 수 있는 멀티-레벨 미러링된 바이어스 생성기(419)의 하나의 실시예를 도시한다. 일부 실시예에서, 멀티-레벨 미러링된-출력 바이어스 생성기(419)는 둘 이상의 미러링된-출력 바이어스 생성기(예를 들어, 400 및 423)의 세트의 출력들(예를 들어, NBias1X(202) 및 NBias40X(323)) 사이에 연결된 분압기(320) 및 미러링된 출력 바이어스 생성기(예를 들어, 400 및 423)의 미러링된 출력들(예를 들어, PBias1X(404) 및 PBias40X(421)) 사이에 연결된 제2 분압기(422)를 포함할 수 있다. 이러한 실시예에서, 제1 미러링된-출력 바이어스 생성기(400)는 입력으로서 DQ 기준 신호(83) 및 수정된 DQ 기준 신호(204)를 수신할 수 있고, 반면에 제2 미러링된-출력 바이어스 생성기(423)는 DQ 기준 신호(83) 및 추가의 수정된 DQ 기준 신호(322)를 입력으로 수신할 수 있다. 수정된 DQ 기준 신호(204)는 DQ 기준 신호(83)에 추가된 보정 계수 X(예를 들어, 1X)를 나타낼 수 있고, 여기서, 보정 계수 X는 바이어스 생성기(200)에 대한 DQ 기준 신호(83)와 수정된 DQ 기준 신호(204) 간 유의미한 가장 작은(예를 들어, 출력에 검출 가능한 영향을 미치

는) 스텝 크기를 나타낼 수 있는 0 아닌 값을 나타낼 수 있다. 또한, 추가의 수정된 DQ 기준 신호(322)는 DQ 기준 신호(83)에 추가된 40X(예를 들어, 40\*X)를 나타낼 수 있고, 여기서, 40X는 DQ 기준 신호(83)와 추가의 수정된 DQ 기준 신호(322) 간, 바이어스 생성기(200)에게 유의미한(가령, 영향을 미치는) 최대 스텝 크기를 나타낼 수 있다. 따라서, 제1 미러링된-출력 바이어스 생성기(400) 및 제2 미러링된-출력 바이어스 생성기(423)로의 입력이 미러링된-출력 바이어스 생성기(400)에 의해 핸들링되는 경계 조건(가령, 각각 수정된 DQ 기준 신호(204) 및 추가의 수정된 DQ 기준 신호(322))을 나타낼 수 있다. 제1 미러링된-출력 바이어스 생성기(400) 및 제2 미러링된-출력 바이어스 생성기(423)의 입력에서 적용되는 경계 조건의 결과로서, 제1 미러링된 바이어스 생성기(400)의 동작 조건의 로우 단 상의 입력에 응답하여 미러링된 바이어스 생성기(400)의 출력 NBias1X(202) 및 미러링된 출력 PBias1X(404)이 출력 바이어스 레벨을 나타낼 수 있고, 반면에 제2 미러링된-출력 바이어스 생성기(423)의 동작 조건의 하이 단 상의 입력에 응답하여 제2 바이어스 생성기(164B)의 출력 NBias40X(323) 및 미러링된 출력 PBias40X(421)이 출력 바이어스 레벨을 나타낼 수 있다. 이와 같이, 미러링된-출력 바이어스 생성기(400)로부터의 가능한 바이어스 레벨 출력 및 동일한 미러링된 출력의 범위는 각각 NBias1X(202)와 NBias40X(323) 사이 및 PBias1X(404)와 PBias40X(421) 사이에 각각 존재할 수 있다.

[0089] 일부 실시예에서, 분압기(320)는 제1 바이어스 레벨 출력(NBias1X 202)과 제2 바이어스 레벨 출력 NBias40X(323)을 다수의 상이한 바이어스 레벨 출력(가령, 325-326)으로 분할할 수 있는 다수의 저항성 요소(324)(가령, 저항기, 커패시터, 인덕터, 또는 이들의 임의의 적합한 조합)를 포함할 수 있다. 즉, 분압기(320)는 제1 바이어스 레벨 출력 NBias1X(202)와 제2 바이어스 레벨 출력 NBias40X(323) 사이에서 다수의 바이어스 레벨 출력을 보간할 수 있다. 더 구체적으로, 분압기(320)는 수정된 DQ 기준 신호(204)에서부터 추가의 수정된 DQ 기준 신호까지, X의 스텝 크기를 갖고(가령, 40개의 상이한 바이어스 레벨 출력), 각각의 바이어스 생성기(164) 입력 값에 대응하는 바이어스 레벨 출력을 보간할 수 있다. 또한, 제2 분압기(422)는 미러링된 바이어스 레벨 출력(예를 들어, 424-425) 상의 분압기(320)와 동일한 기능을 수행할 수 있다. 즉, 제2 분압기는 제1 미러링된 바이어스 레벨 출력 PBias1X(404) 및 제2 바이어스 레벨 출력 PBias40X(421)을 다수의 상이한 바이어스 레벨 출력(예를 들어, 424-425)으로 보간할 수 있다.

[0090] 바이어스 레벨 출력(예를 들어, 202, 323, 325 및 326) 및 미러링된-바이어스 레벨 출력(예를 들어, 404, 424, 425 및 426)은 미러링된-출력 바이어스 생성기(가령, 400 또는 423)로부터 직접 출력되거나 저항 요소(324)(가령, 저항기)의 세트 사이에 출력될 수 있다. 이와 같이, 저항 요소(324)의 저항은 각각의 바이어스 레벨 출력(예를 들어, 202, 323, 325 및 326) 및 미러링된-바이어스 레벨 출력(예를 들어, 404, 424, 425 및 426)의 레벨을 결정할 수 있다. 또한, 분압기(320) 및 제2 분압기(422) 내 각각의 저항 요소(324)의 저항 기여는 바이어스 레벨 출력(예를 들어, 202, 323, 325 및 326)들 간 그리고 미러링된-바이어스 레벨 출력(가령, 404, 424, 425, 및 426)들 간 관계를 결정할 수 있다. 예를 들어, 적절한 저항을 각각 갖는 다수의 저항기를 갖는 분압기(320)는 선형 관계인 바이어스 레벨 출력을 생성할 수 있다.

[0091] 일부 실시예에서, 바이어스 레벨 출력(가령, 202, 323, 325, 및 326) 및 미러링된-바이어스 레벨 출력(가령, 404, 424, 425, 및 426)이 풀 회로(376)에 걸쳐 제어 가능한 소스(120, 194, 196, 및 198)의 세트를 그리고 푸시-풀 합산기(350)의 푸시 회로(378)에 걸쳐 제어 가능한 소스(368, 370, 372, 및 374)의 세트를 제어할 수 있고, 이는 출력(110 및 112)에 영향을 미치기 때문에, 연속으로 생성된 바이어스 레벨 출력들 간 및 연속으로 생성된 미러링된-바이어스 레벨 출력들 간 역 제곱 관계가 바람직할 수 있다. 즉, 전계 효과 트랜지스터(예를 들어, 116 및 118)에 의해 공급된 전류는 전류 소스(예를 들어, 전류 소스(119))로 공급된 전압의 제곱 함수에 기초하여 조절되기 때문에, 바이어스 레벨 출력 및 미러링된-바이어스 레벨 출력이 역 제곱 함수를 기초로 생성되어 바이어스 레벨 출력들 사이에 그리고 미러링된-바이어스 레벨 출력들 사이에서 출력(110 및 112)으로 공급되는 전류에 대한 조절을 선형화할 수 있다. 그러나, 다른 실시예에서, 분압기(320) 및 제2 분압기(422)에서 적절한 저항 요소(324)를 각각 선택함으로써, 바이어스 레벨 출력들 간 그리고 미러링된-바이어스 레벨 출력들 간 선형 또는 그 밖의 다른 임의의 적합한 관계가 사용될 수 있다.

[0092] 또한, 분압기(320)가 제1 미러링된-출력 바이어스 생성기(400) 및 제2 바이어스 생성기(423)의 출력들 사이에 적용되기 때문에, 출력 바이어스 레벨(가령, 202, 323, 325, 및 326) 각각이 미러링된-출력 바이어스 생성기(400)로부터 도출된 동일한 PVT 공차로부터 이익을 얻을 수 있다. 즉, 제1 바이어스 레벨 출력 NBias1X 202과 제2 바이어스 레벨 출력 NBias40X 323 간 바이어스 레벨 출력이 즉, 제1 바이어스 레벨 출력 NBias1X(202)와 제2 바이어스 레벨 출력 NBias40X(323) 간 바이어스 레벨 출력이 분압기(320)에 의해 제1 바이어스 레벨 출력 NBias1X(202) 및 제2 바이어스 레벨 출력 NBias40X(323) 사이에서 보간되기 때문에, 이들은 여전히 PVT 공차 값을 나타낸다. 따라서, 제2 분압기(422)는 미러링된-출력 바이어스 생성기(400 및 423)로부터 직접 생성된 미러

링된-바이어스 레벨 출력(가령, PBias1X(404) 및 PBias40X(421))이 가질 수 있는 보간된 미러링된-바이어스 레벨 출력(가령, 424-425) 각각에 동일한 PVT 공차를 제공하도록 사용될 수 있다.

[0093] 도 17을 참조하면, 왜곡 보정의 처리 속도를 증가시킬 수 있는 회로의 예가 도시되어 있다. 왜곡 보정 회로(450)는 4 비트 왜곡 보정 레벨에서 4개의 데이터 비트를 처리할 수 있고, 복제들 간 입력을 수정하여 도 7에 기재된 왜곡 보정 회로(160)와 유사한 4개의 왜곡 보정 회로(452, 454, 456, 및 458)를 포함하지만 (유사한 회로가 대신 증폭 디바이스(82)를 포함할 수 있지만) 어떠한 증폭 디바이스(82)도 포함하지 않는다. 또한, 합산기(85, 460, 462 및 464)는 도 13에 기재된 바와 같이 동작할 수 있다. 4개의 왜곡 회로(452, 454, 456 및 458)가 제1 회로(452), 제2 회로(454), 제3 회로(456) 및 제4 회로(458)로 지칭된다. 수신된 왜곡 비트(81)를 롤링하는 방법은 다음과 같을 수 있다. 이와 같이, 왜곡 비트(81)는 제1 회로(452)에 의해 수신될 수 있고, 제2 왜곡 비트(466)는 제2 회로(454)에 의해 수신될 수 있으며, 제3 왜곡 비트(468)는 제3 회로(456)에 의해 수신될 수 있고, 제4 왜곡 비트(470)가 제4 회로(458)에 의해 수신될 수 있으며, 제5 왜곡 비트는 왜곡 보정의 제1 반복 구간이 완료되면 제1 회로에 의해 수신되도록 롤 백될 수 있다.

[0094] 일부 실시예에서, 제1 비트 스트림은  $t=0$ 에서 채널(84)로 전송될 수 있다. 왜곡 비트(81)에 대한  $n-1$  비트의 왜곡 기여의 계산을 가능하게 하기 위해, 왜곡 비트(81)(가령, "n 비트")보다 시간상 앞선  $n-1$  비트의 전송 사이에 충분한 시간이 경과되지 않았을 수 있다. 이러한 일이 발생하는 경우, 한 가지 솔루션이 역직렬화기(66)로의 전송을 완료하기 위한  $n-1$  비트 정보를 왜곡 계산에서 사용될 수 있도록 기다리는 것일 수 있다. 그러나, 또 다른 기술이 대안으로 적용될 수 있다.

[0095] 시간  $t=1$ 에서(시간  $t=0$  이후), 제2 왜곡 비트( $n+1$ )가 채널(84)에 의해 수신되는 동안, 왜곡 비트(81)는 채널(84)에 의해 수신되었을 수 있고, 그에 따라 DFE 계산이 시작될 수 있음으로써,  $n-1$  비트가 역직렬화기(66)에게 알려지기에(가령, 저장되기에) 충분한 시간이 경과됐을 수 있지만, 왜곡 비트(81)의 값의 보정 결정을 보조하기 위해  $n-1$  보정된 비트가 아직 적용되지 않을 수 있다. 제3 시간  $t=2$ 에서(시간  $t=1$  후), 제3 왜곡 비트  $n+2$ 가 채널(84)에서 수신될 수 있지만, 왜곡 비트(81)가 보정된 비트(88)가 되기 위해 그리고 역직렬화기(66)에서 제2 왜곡 비트(280)의 왜곡을 보정하기 위한 정보로서 수신되기 위해 충분한 시간이 경과되지 않았을 수 있다. 따라서,  $t=0$ 에서 수신된 왜곡 비트(81)와 같이, 보정된 비트(88)가 역직렬화기(66)에서 수신되고 제2 왜곡 비트  $n+1$ 의 왜곡 보정을 위해 전송될 때까지 왜곡 계산이 대기되어야 한다. 대기 시간 동안 임의의 추가 프로세스를 수행하지 않고, 왜곡 비트(81,  $n+1$  및  $n+2$  등)의 보정을 대기하는 것보다 더 시간 효율적인 솔루션이 존재할 수 있다.

[0096] 실제로, DQ 수신기(62)에서 제한된 전송 대역폭을 보상하는 것이 바람직할 수 있다. 솔루션은 왜곡 보정 값의 신속한 계산을 가능하게 하기 위해 등화기의 복제를 추가하는 것에 있다. 일부 실시예에서, DQ 수신기(62)에서 대역폭을 증가하기 위해, 복제 등화기(가령, DFE(70) 중 적어도 둘이 합산기 회로(85)를 대신하여 푸시-풀 합산기(350)를 이용)가 사용될 수 있다. DFE(452), DFE(454), DFE(456) 및 DFE(458)를 이용하는 왜곡 보정 회로(450)를 갖는 복제 등화기를 (가령, 도 7의 합산기 회로(85) 대신 푸시-풀 합산기(350)와 각각 동작하는 왜곡 보정 값을 빠르게 계산할 수 있게 할 수 있는 등화기로서) 구현하는 하나의 실시예가 도 17에 도시된다. 전송 대역폭 제한을 보상하기 위해 4개의 등화기의 복제가 도시되었지만, 2, 3, 5개 또는 그 이상의 등화기가 도 17에 도시된 4개의 등화기에 대해 본 명세서에서 기재된 것과 유사한 방식으로 구현될 수 있다.

[0097] 도시된 바와 같이, 왜곡 보정 회로(450)는 도 13과 관련하여 앞서 기재된 바와 같이 푸시-풀 합산기(350, 460, 462, 및 464)가 각각 합산기 회로(85)를 대신해 사용되는 도 7에 기재된 DFE(70)와 유사한, DFE(452), DFE(454), DFE(456) 및 DFE(458)를 통해 4 비트 왜곡 보정 레벨에서 각각 4개의 데이터 비트를 처리할 수 있다. 이러한 방식으로, 도 17의 합산기 회로(350, 460, 462 및 464)가 도 13의 푸시-풀 합산 회로에 대해 앞서 기재된 방식으로 동작할 수 있다.

[0098] 제한된 전송 대역폭을 보상하기 위해, DFE(452), DFE(454), DFE(456) 및 DFE(458) 사이에서 수신된 비트 스트림의 왜곡 비트를 롤링하는 방법이 제한된 전송 대역폭으로부터 도출된 왜곡 비트의 백업을 완화하는 방법으로서 뒤 따를 수 있다. 이러한 방식으로, 수신된 비트 스트림의 왜곡 비트(81)가 왜곡 보정의 제1 반복 구간에서 DFE(452)에서 처리될 때, 제2 왜곡 비트(466)가 DFE(454)에서 수신되어 왜곡 보정의 제2 반복 구간을 시작할 수 있다. 이는 왜곡 보정의 제1 반복 구간이 완료되는 동안 왜곡 보정의 제2 반복 구간이 발생하게 한다. 마찬가지로, 왜곡 보정의 제2 반복 구간에서 수신된 비트 스트림의 제2 왜곡 비트(466)가 DFE(454)에서 처리되는 중일 때(이는 왜곡 보정의 제1 반복 구간에서 제1 왜곡 비트(81)가 DFE(452)에서 처리되는 것과 동시에 발생할 수 있음), 왜곡 보정의 제3 반복 구간을 시작하도록 제3 왜곡 비트(468)가 DFE(456)에서 수신될 수 있다. 유사하게,

왜곡 보정의 제3 반복 구간에서 수신된 비트 스트림의 제3 왜곡 비트(468)가 DFE(456)에서 처리되는 중일 때(이는 왜곡 보정의 제2 반복 구간에서 제2 왜곡 비트(466)가 DFE(454)에서 처리되는 것과 동시에 발생할 수 있거나 왜곡 보정의 제2 반복 구간에서 제2 왜곡 비트(466)가 DFE(454)에서 처리되고 왜곡 보정의 제1 반복 구간에서 왜곡 비트(81)가 DFE(452)에서 처리되는 것과 동시에 발생할 수 있음), 왜곡 보정의 제4 반복 구간을 시작하기 위해 제4 왜곡 비트(470)가 DFE(458)에서 수신될 수 있다.

[0099] 일부 실시예에서, 왜곡 보정의 제1 반복 구간은 제5 왜곡 비트가 채널(84)을 통해 수신되기 전에 완료될 수 있으며, 이로 인해 제5 왜곡 비트가 제5 왜곡 보정에 대해 DFE(452)로 롤백될 수 있다. 마찬가지로, 제6 왜곡 비트가 채널(84)을 통해 수신되기 전에 왜곡 보정의 제2 반복 구간이 완료될 수 있으며, 이로 인해 제6 왜곡 비트가 제6 왜곡 보정을 위해 DFE(454)로 롤백될 수 있고, 이런식으로 계속될 수 있다. 이러한 방식으로, DFE(452), DFE(454), DFE(456) 및 DFE(458)는 롤링 DFE 보정 기법과 함께 사용될 수 있다. 즉, 채널(84)로부터 수신된 비트 스트림의 왜곡 비트(81)는 DFE(452)에 의해 수신될 수 있고, 비트 스트림의 제2 왜곡 비트(466)는 DFE(454)에 의해 수신될 수 있고, 비트 스트림의 제3 왜곡 비트(468)는 DFE(456)에 의해 수신될 수 있고, 비트 스트림의 제4 왜곡 비트(470)가 DFE(458)에 의해 수신될 수 있고, 왜곡 보정의 제1 반복 구간이 완료되면 제5 왜곡 비트가 DFE(452)에 의해 수신되도록 롤백될 수 있다.

[0100] 더 상세하게 설명하자면, DFE(452)는 (예를 들어, 증폭기(82)에 의해 증폭되지 않았거나 증폭되지 않은) 왜곡 비트(81) 및 전압 보정 신호(83)를 수신할 수 있고, (n-1 비트, n-2 비트, n-3 비트, 및 n-4 비트 입력으로부터의) 경로(72, 74, 76, 및 78)를 따라 전송되는 이전 비트 또는 가중화된 탭 데이터를 이용하여 푸시-풀 합산기(350)를 통해 적용되는 값을 계산할 수 있는 풀-푸시 합산기(350)를 갖는 도 7의 왜곡 보정 회로(160)와 관련하여 앞서 기재된 방법을 이용하여 왜곡 비트(81)를 처리 할 수 있다. 이전 비트가 경로(72, 74, 76, 및 78)를 따르는 전송을 위해, 왜곡 보정 동안 적절한 이전 비트 순서가 관측되는 한 임의의 순서로(가령, n-1 비트를 최상위 비트로 그리고 n-4 비트를 최하위 비트로) 저장될 수 있음을 아는 것이 중요할 수 있다. 일단 생성되면, 데이터 래치(472)의 보정된 비트(88)가 DQS 신호(96)의 상승 에지 상에서 역직렬화기(66)로 전송되어, 예를 들어 역직렬화기(66)의 n-1 비트 위치를 업데이트할 수 있다.

[0101] 또한, 도시된 바와 같이, DFE(454)에 대한 보정된 비트(88)의 최종 판정을 위해 사용되는 입력이 DFE(452)에 대한 입력과 상이할 수 있다. DFE(454)는 제2 왜곡 비트(466)를 수신할 수 있고, 왜곡 비트(81)가 수신된 후(가령, 왜곡 비트(81)가 자신의 왜곡을 DFE(452)에서 보정되게 하는 동안) 이를 처리할 수 있다. (n-1 비트, n-2 비트, n-3 비트, 및 n-4 비트 입력으로부터) 경로(72, 74, 76, 및 78)를 따라 전송된 이전 비트 또는 가중화된 탭 데이터를 이용하여 푸시-풀 합산기(350)를 통해 적용되는 값을 계산하는 푸시-풀 합산기(350)를 갖는 왜곡 보정 회로(160)에 대한 앞서 기재된 방법이 제2 왜곡 비트(466)의 처리에서 사용될 수 있다. 그러나 도시된 바와 같이, DFE(452)에 의해 보정된 비트(88)로 보정된 왜곡 비트(81)가 DFE(454)에 대해 n-1 비트 값이 됨을 고려하기 위해 경로(72, 74, 76 및 78)를 따라 전송된 이전 비트 또는 가중화된 탭 데이터는 DFE(452)로의 입력에 대해 시프트될 수 있다. 일단 생성되면, 데이터 래치(474)의 보정된 비트(88)가 DQS 신호(96)의 상승 에지 상에서 역직렬화기(66)로 전송되어, 예를 들어 역직렬화기(66)의 n-1 비트 위치를 업데이트(가령, DFE(452)로부터 n-2 위치로 보정된 비트(88)를 이동)할 수 있다.

[0102] 마찬가지로, DFE(456)에 대한 보정된 비트(88)의 최종 판정을 위해 사용된 입력이 DFE(452) 및 DFE(454)에 대한 입력과 상이할 수 있다. DFE(456)는 제3 왜곡 비트(468)를 수신할 수 있고 왜곡 비트(81 및 466)가 수신된 후(가령, 왜곡 비트(81 및 466)가 자신의 왜곡을 각각 DFE(452) 및 DFE(454)에서 보정되게 하는 동안) 이를 처리할 수 있다. (가령, n-1 비트, n-2 비트, n-3 비트, 및 n-4 비트 입력으로부터) 경로(72, 74, 76, 및 78)를 따라 전송된 이전 비트 또는 가중화된 탭 데이터를 이용하여 푸시-풀 합산기(350)를 통해 적용되는 값을 계산하는 푸시-풀 합산기(350)를 갖는 왜곡 보정 회로(160)에 대해 앞서 기재된 방법이 제3 왜곡 비트(468)의 처리에서 사용될 수 있다. 그러나 도시된 바와 같이, DFE(452) 및 DFE(454)에 의해 각자의 보정 비트(88)로 보정된 왜곡 비트(81 및 466)가 DFE(456)에 대해 n-2 비트 값 및 n-1 비트 값이 됨을 고려하기 위해, 경로(72, 74, 76, 및 78)를 따라 전송되는 이전 비트 또는 가중화된 탭 데이터가 DFE(452) 및 DFE(454)로의 입력에 대해 시프트될 수 있다. 일단 생성되면, 데이터 래치(476)의 보정 비트(88)가 DQS 신호(96)의 상승 에지 상에서 역직렬화기(66)로 전송되어, 예를 들어, 역직렬화기(66)의 n-1 비트 위치를 업데이트할 수 있다(가령, DFE(452)로부터의 보정 비트(88)를 n-3 비트 위치로 이동시키고 DFE(454)로부터의 보정 비트(88)를 n-2 비트 위치로 이동시킬 수 있다).

[0103] 유사하게, DFE(238)에 대한 보정 비트(88)의 최종 판정에 사용되는 입력은 DFE(232), DFE(234) 및 DFE(236)에 대한 입력과 상이할 수 있다. DFE(238)는 제4 왜곡 비트(250)를 수신하고 왜곡 비트(81, 246 및 248)가 수신된 후(예를 들어, 왜곡 비트(81, 246 및 248)가 자신의 왜곡을 각각 DFE(452, 454 및 456)에서 보정하는 동안) 이

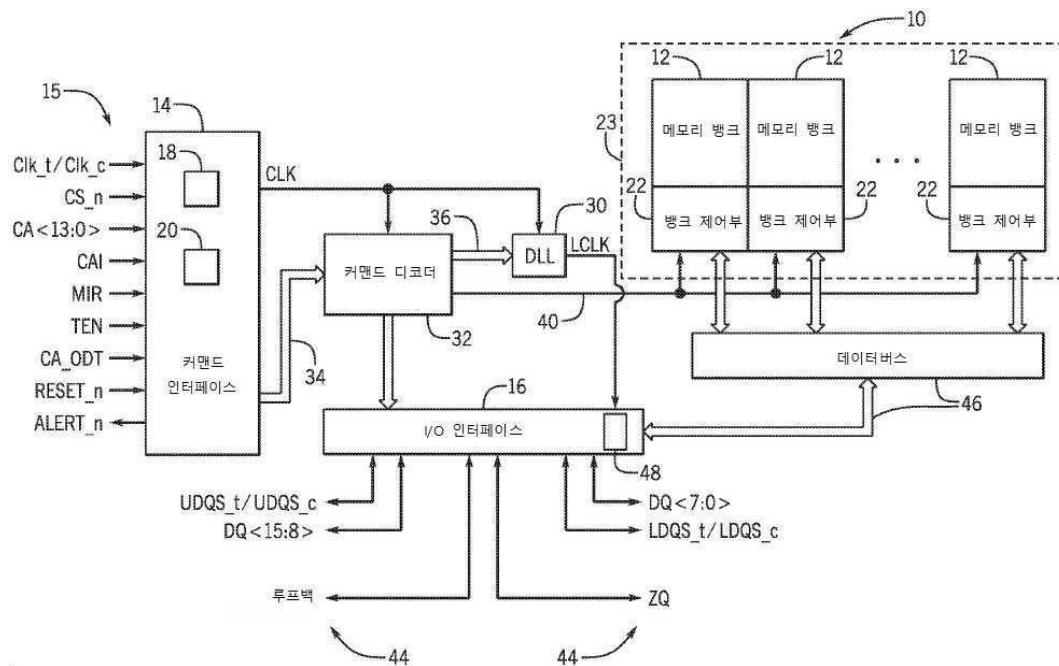
를 처리할 수 있다. (가령, n-1 비트, n-2 비트, n-3 비트, 및 n-4 비트 입력으로부터) 경로(72, 74, 76, 및 78)를 따라 전송된 이전 비트 또는 가중화된 탭 데이터를 이용하여 푸시-풀 합산기(350)를 통해 적용되는 값을 계산하는 푸시-풀 합산기(350)를 갖는 왜곡 보정 회로(160)에 대해 앞서 기재된 방법이 제4 왜곡 비트(470)의 처리에서 사용될 수 있다. 그러나 도시된 바와 같이, DFE(452, 454 및 456)에 의해 각자의 보정 비트(88)로 보정된 왜곡 비트(81, 466 및 468)가 DFE(458)에 대해 n-3 비트 값, n-2 비트 값 및 n-1 비트 값이 됨을 고려하기 위해, 경로(72, 74, 76, 및 78)를 따라 전송되는 이전 비트 또는 가중화된 탭 데이터가 DFE(452, 454 및 456)로의 입력에 대해 시프트될 수 있다. 일단 생성되면, 데이터 래치(478)의 보정 비트(88)가 DQS 신호(96)의 상승 에지 상에서 역직렬화기(66)로 전송되어, 예를 들어, 역직렬화기(66)의 n-1 비트 위치를 업데이트할 수 있다(가령, DFE(452)로부터의 보정 비트(88)를 n-4 비트 위치로 이동시키고 DFE(454)로부터의 보정 비트(88)를 n-3 비트 위치로 이동시키며 DFE(456)로부터의 보정 비트(88)를 n-2 비트 위치로 이동시킬 수 있다).

[0104] DFE(452, 454, 456 및 458)로부터의 데이터 래치(472, 474, 476 및 478)로부터의 출력(88)은 보정 비트(88)에 대한 각각의 최종 판정이 종료될 때 역직렬화기(66)로 전송될 수 있다. 앞서 기재된 바와 같이, 역직렬화기(66)에서, n-1 비트, n-2 비트, n-3 비트 및 n-4 비트는, 보정된 비트(88) 데이터(가령, 새로운 보정 비트(88)가 수신될 때 시프트된 DFE(452, 454, 456, 및 458) 각각으로부터의 보정 비트(88))에 따라, 경로(72-78)를 따라 전송하기 위해 역직렬화기(66)에 저장된 데이터를 업데이트하는 데 사용될 수 있다. 이 DFE 보정의 롤링 방법은 수신된 비트 스트림의 더 많은 처리량을 가능하게 하면서, 비트 스트림의 수신된 비트의 왜곡 보정도 여전히 가능하게 할 수 있다. 본 발명이 다양한 변경 및 대안 형태로 가능할 수 있지만, 예시로서 특정 실시예가 도면에서 도시되었고 본 명세서에 기재되었다. 그러나 본 개시는 개시된 특정 형태에 한정되는 것을 의도하지 않았다. 오히려 본 개시는 이하의 청구항에 의해 정의되는 본 개시의 사상 및 범위 내에 속하는 모든 수정, 균등, 및 대안예를 포함하는 것으로 의도된다.

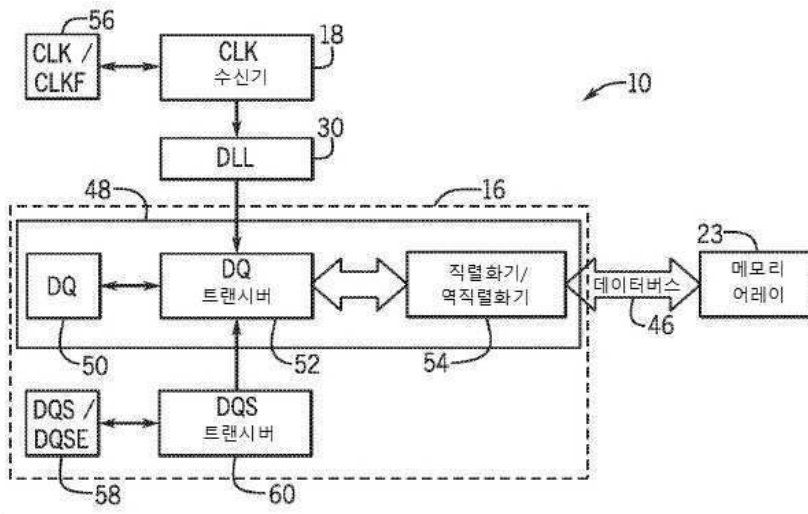
[0105] 본 명세서에 제시되고 청구된 기술은 본 기술 분야를 명백히 개선하는, 따라서 추상적이거나, 무형질이거나, 순수 이론이 아닌 실질적인 성질의 물질적 대상에 참조되고 적용된다. 또한, 본 명세서의 말미에 첨부된 임의의 청구항이 "[기능]을 [수행]하기 위한 수단" 또는 "[기능]을 [수행]하기 위한 단계"으로 지칭된 하나 이상의 요소를 포함하는 경우, 이러한 요소는 35 U.S.C.112(f)에 따라 해석되어야 한다. 그러나, 그 밖의 다른 방식으로 지칭된 요소를 포함하는 임의의 청구항에 대해, 이러한 요소가 35 U.S.C.112(f)에 따라 해석되어서는 안 된다.

**도면**

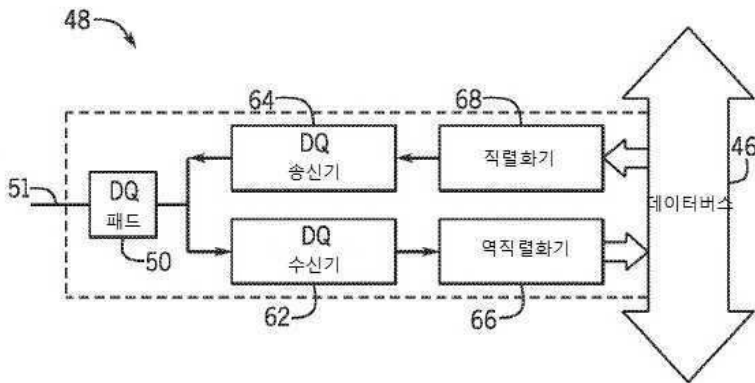
**도면1**



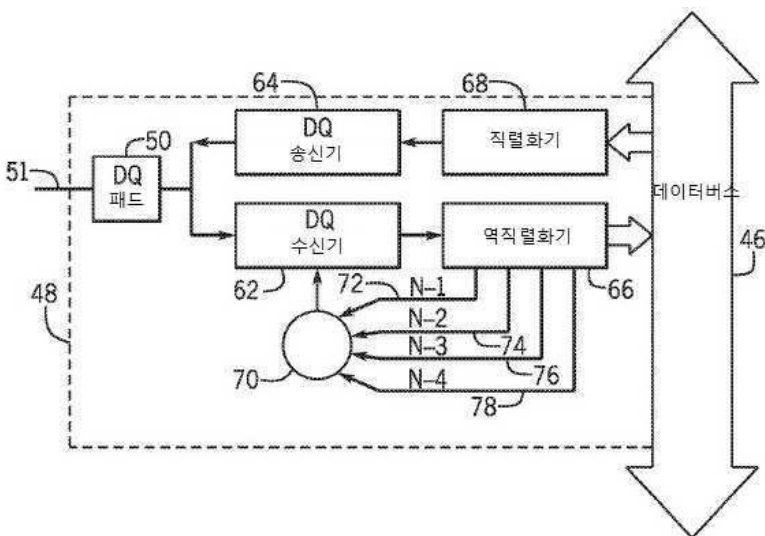
도면2



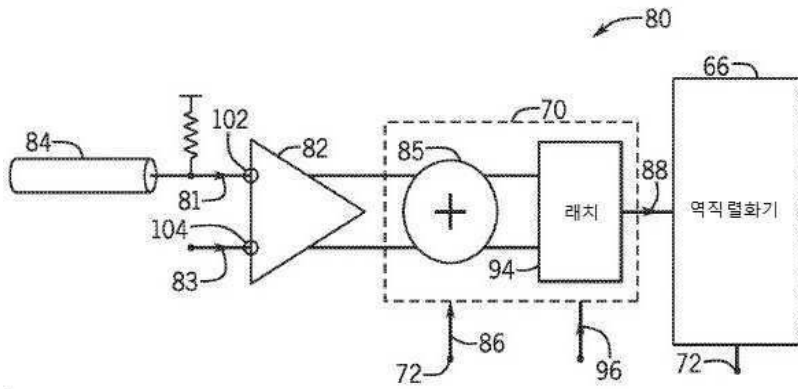
도면3



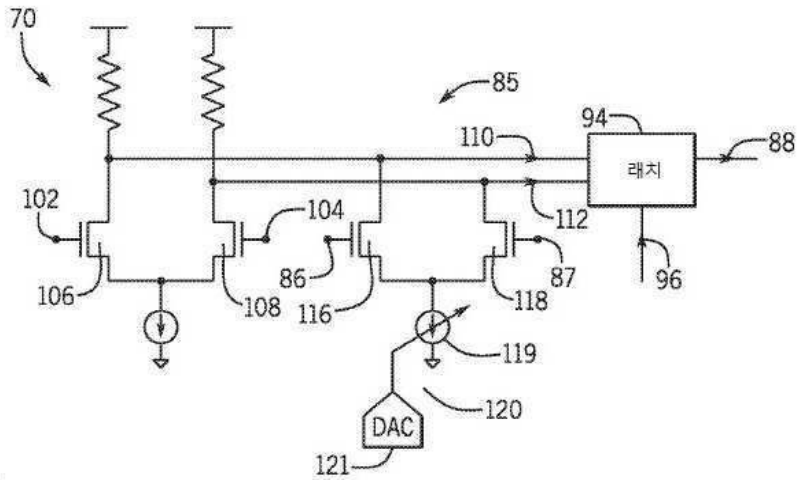
도면4



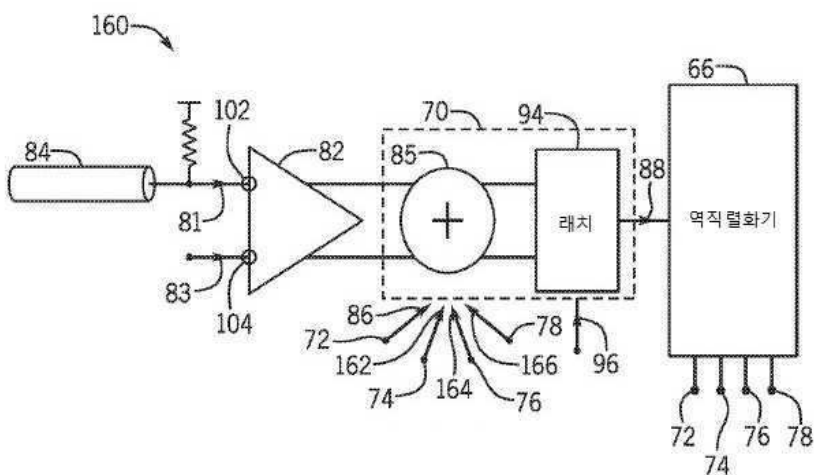
도면5



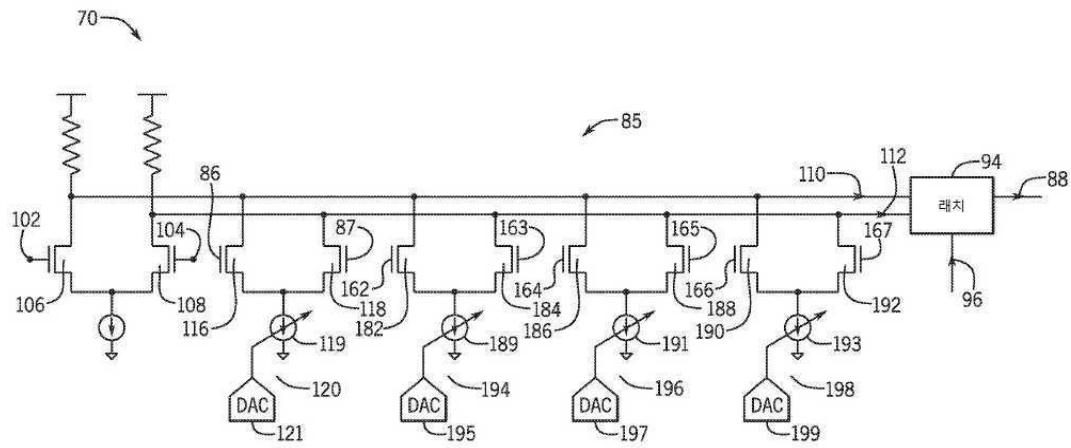
도면6



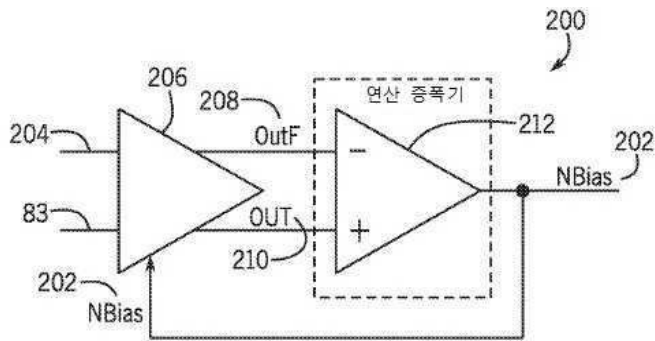
도면7



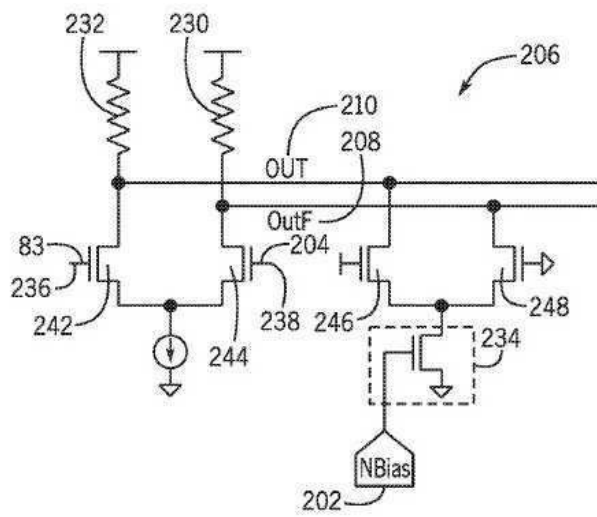
도면8



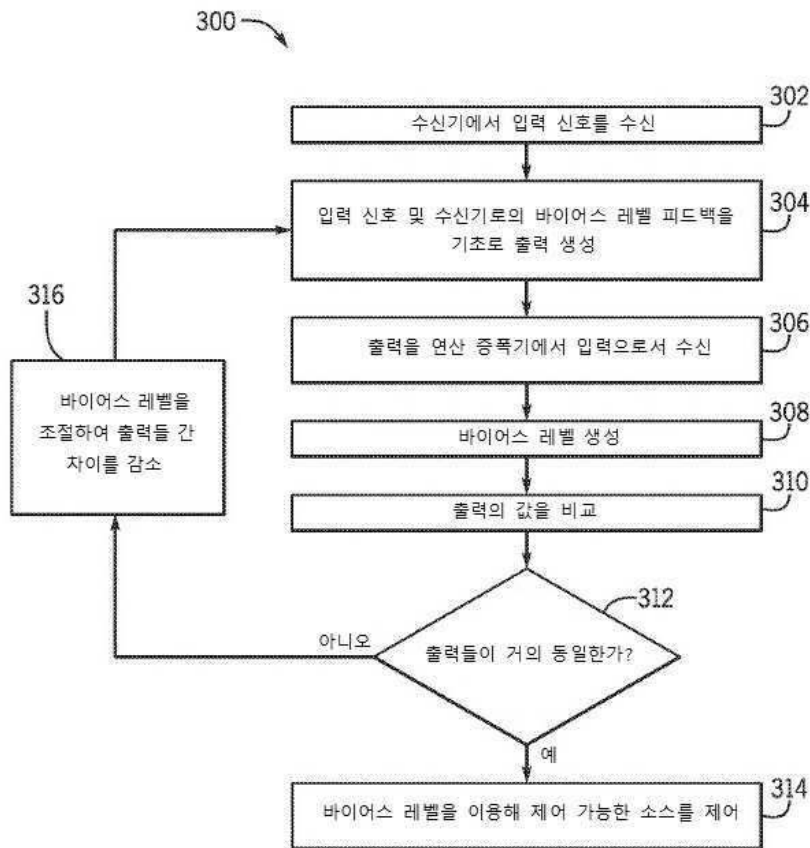
도면9



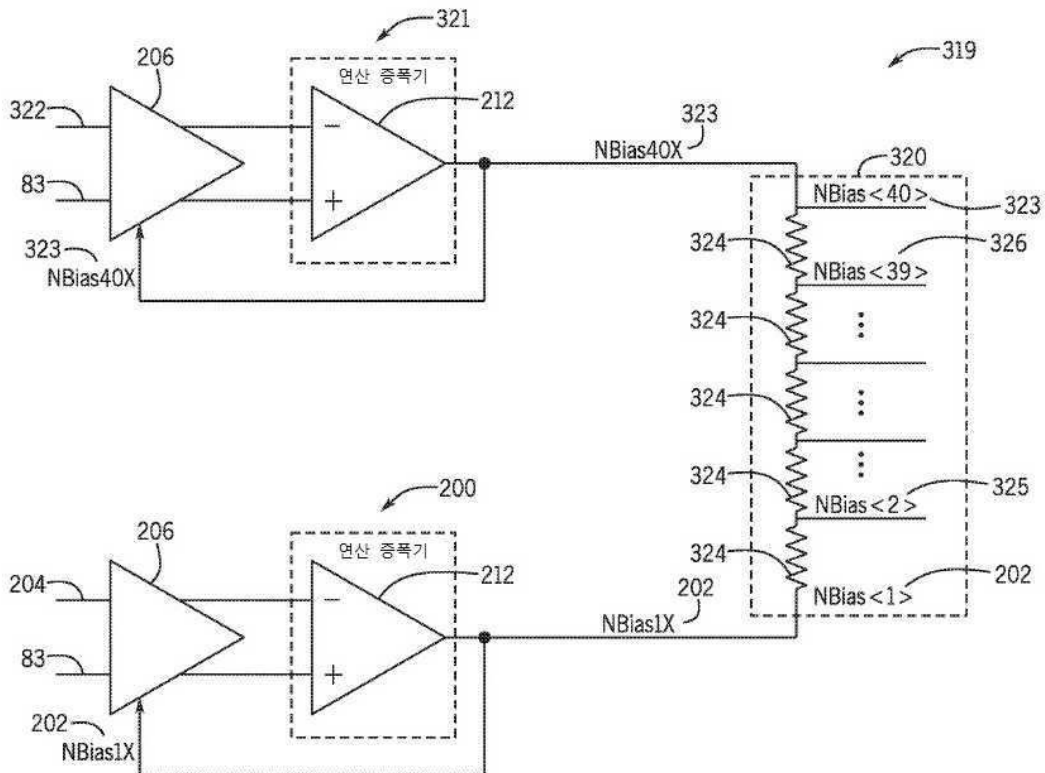
도면10



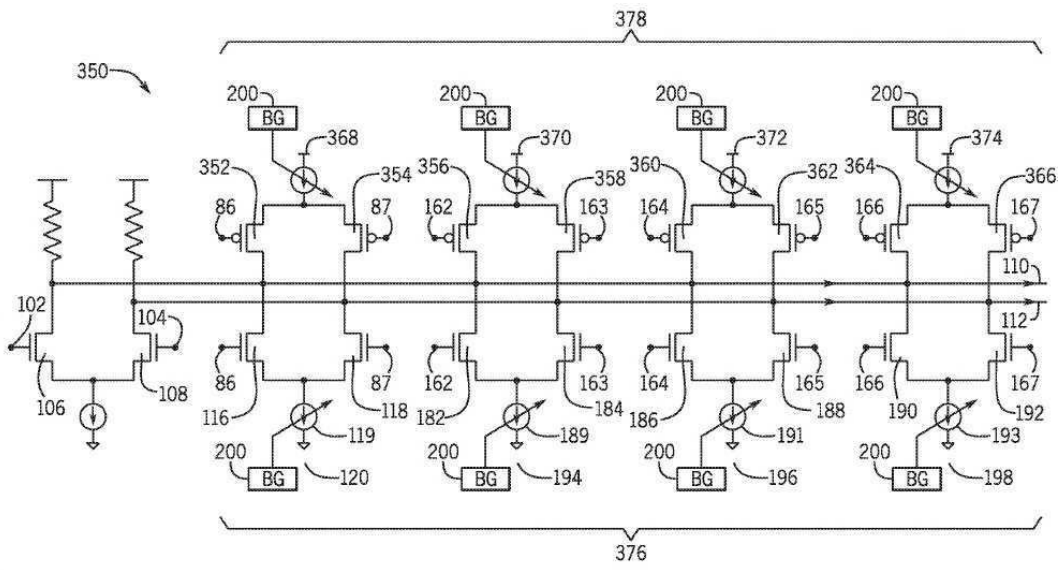
도면11



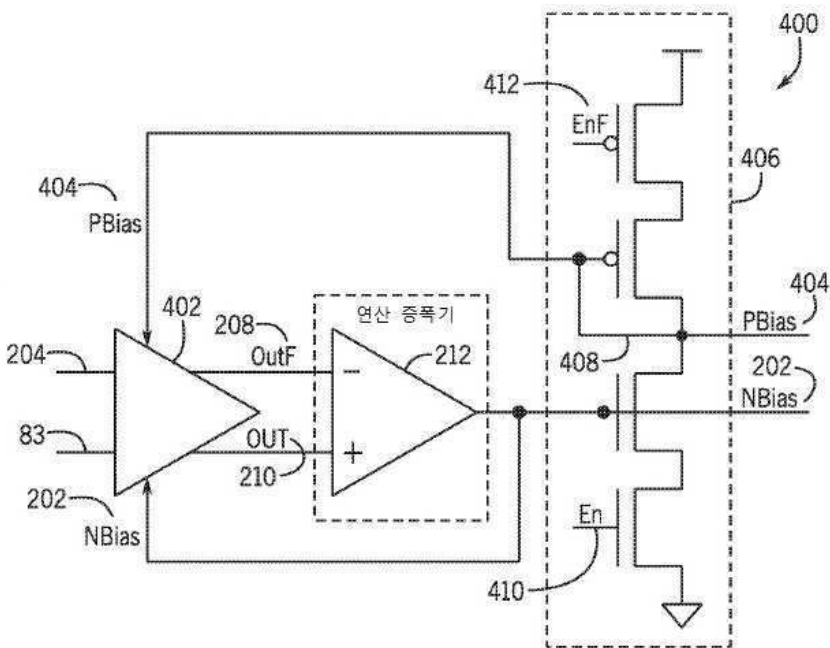
도면12



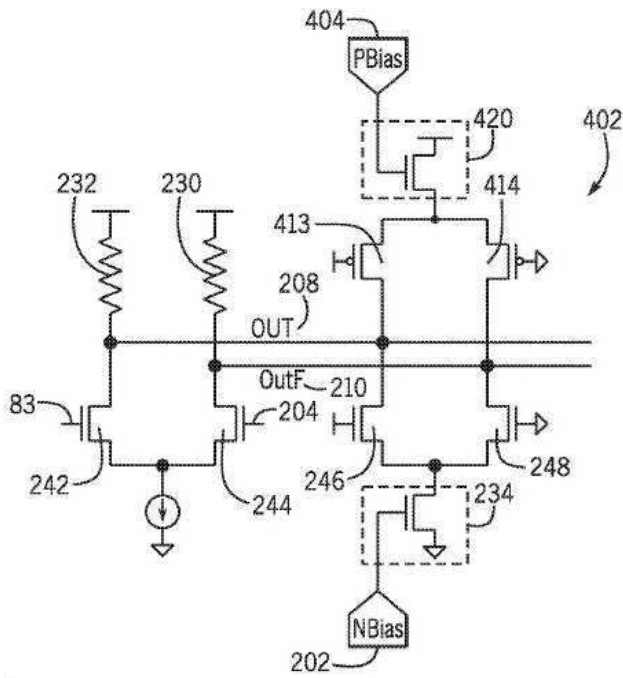
도면13



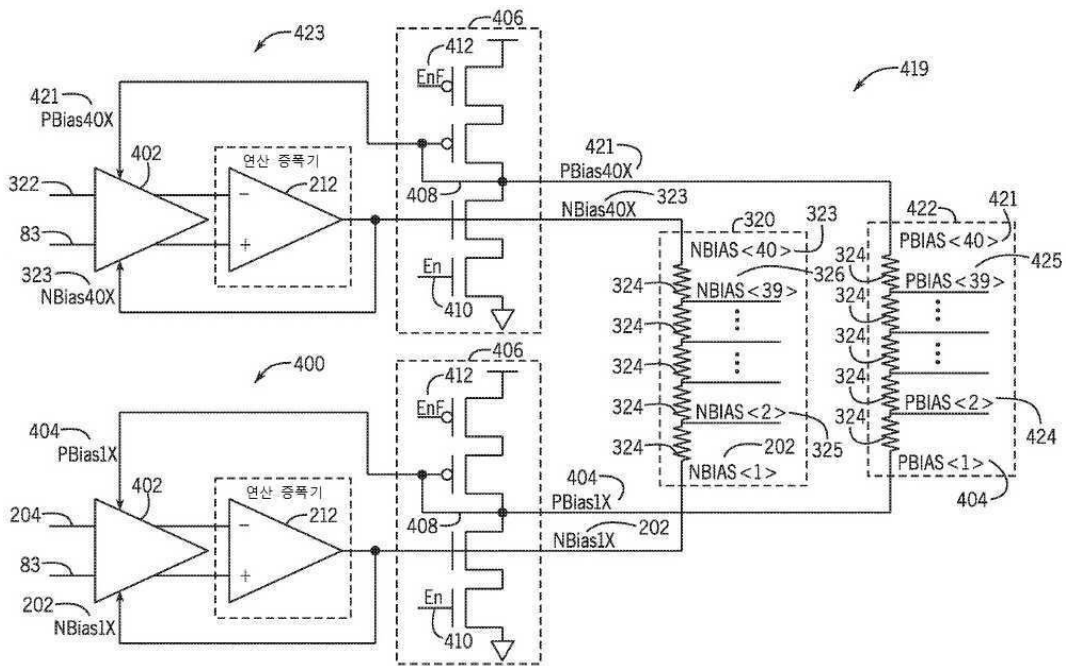
도면14



도면15



도면16



도면17

