

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号
特表2024-525833
(P2024-525833A)

(43)公表日 令和6年7月12日(2024.7.12)

(51)国際特許分類		F I		
H 0 1 L	29/78 (2006.01)	H 0 1 L	29/78	6 5 2 E
H 0 1 L	29/739 (2006.01)	H 0 1 L	29/78	6 5 3 A
		H 0 1 L	29/78	6 5 5 A
		H 0 1 L	29/78	6 5 2 J
		H 0 1 L	29/78	6 5 2 K
審査請求 未請求 予備審査請求 未請求 (全26頁)				
(21)出願番号	特願2024-502167(P2024-502167)	(71)出願人	523380173 ヒタチ・エナジー・リミテッド H I T A C H I E N E R G Y L T D スイス、8 0 5 0 チューリッヒ、プロ ーボベリーシュトラッセ、5	
(86)(22)出願日	令和4年7月13日(2022.7.13)	(74)代理人	110001195 弁理士法人深見特許事務所	
(85)翻訳文提出日	令和6年3月13日(2024.3.13)	(72)発明者	グプタ, ガウラブ スイス、5 6 0 0 レンツブルク、マル ターリングアーシュトラッセ、7	
(86)国際出願番号	PCT/EP2022/069644	(72)発明者	デーミキエリス, ルカ スイス、5 0 0 0 アーラウ、ブクサー シュトラッセ、1 0	
(87)国際公開番号	WO2023/285555	(72)発明者	ビターレ, ボルフガング・アマデウス スイス、5 0 0 0 アーラウ、アエッシ	
(87)国際公開日	令和5年1月19日(2023.1.19)		最終頁に続く	
(31)優先権主張番号	21186132.3			
(32)優先日	令和3年7月16日(2021.7.16)			
(33)優先権主張国・地域又は機関	欧州特許庁(EP)			
(81)指定国・地域	AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA ,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,A T,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR ,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC, 最終頁に続く			

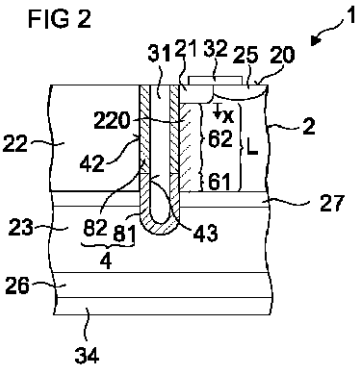
(54)【発明の名称】 パワー半導体デバイスおよび製造方法

(57)【要約】

少なくとも1つの実施形態では、パワー半導体デバイス（1）は、

- 第1の導電型のソース領域（21）および第1の導電型とは異なる第2の導電型のウェル領域（22）を有する半導体本体（2）であって、ウェル領域（22）がソース領域（21）から直接始まるチャンネル領域（220）を含む、半導体本体（2）と、
- 半導体本体（2）とゲート電極（31）との間に直接あるゲート絶縁体（4）とを備え、

ゲート絶縁体（4）は、ゲート絶縁体（4）の比誘電率（ ϵ_{ox} ）がソース領域（21）から離れたチャンネル領域（220）の第1のセクション（61）において最も低くなるように、チャンネル領域（220）に沿って不均一なゲート誘電率プロファイルを有する。



【特許請求の範囲】

【請求項 1】

ー第 1 の導電型のソース領域 (21) および前記第 1 の導電型とは異なる第 2 の導電型のウェル領域 (22) を有する半導体本体 (2) であって、前記ウェル領域 (22) が前記ソース領域 (21) から直接始まるチャンネル領域 (220) を含む、半導体本体 (2) と

、
ー前記半導体本体 (2) とゲート電極 (31) との間に直接あるゲート絶縁体 (4) とを備える、パワー半導体デバイス (1) であって、

前記ゲート絶縁体 (4) が、前記ゲート絶縁体 (4) の比誘電率 (ϵ_{ox}) が前記ソース領域 (21) から離れた前記チャンネル領域 (220) の第 1 のセクション (61) において最も低くなるように、前記チャンネル領域 (220) に沿って不均一なゲート誘電率プロファイル

10

を有し、
以下の

ー前記チャンネル領域 (220) が、前記ゲート絶縁体 (4) に沿って不均一なチャンネルドーピングプロファイル (71) を有するか、

ー前記ゲート電極 (3) の閾値電圧 (V_{th}) が第 1 の部分 (44) において最も高くなるように、前記ゲート電極 (31) が前記チャンネル領域 (220) に沿って不均一なゲート電極仕事関数プロファイル (72) を有するか、または

ー前記ゲート絶縁体 (4) が、前記チャンネル領域 (220) に沿って不均一な厚さを有し、その結果、前記チャンネル領域 (220) に沿って、前記ゲート絶縁体 (4) が、前記ソース領域 (21) から離れた前記第 1 のセクション (61) において最も厚い

20

のうちの少なくとも 1 つが当てはまる、

パワー半導体デバイス (1)。

【請求項 2】

前記チャンネル領域 (220) に沿った前記比誘電率 (ϵ_{ox}) の差が少なくとも 2.0 であり、

前記半導体本体 (2) が、前記ソース領域 (21) から離れた前記ウェル領域 (22) の側に直接前記第 1 の導電型の強化層 (27) をさらに備える、

先行する請求項に記載のパワー半導体デバイス (1)。

【請求項 3】

30

以下の

ー前記第 1 のセクション (61) の長さが、前記ゲート絶縁体 (4) に沿った前記チャンネル領域 (220) の全長 (L) の少なくとも 10% および多くとも 40% であり、

ー前記ゲート絶縁体 (4) の前記厚さが、前記チャンネル領域 (220) 全体にわたって一定である

のうちの少なくとも 1 つが当てはまる、先行する請求項のいずれか 1 項に記載のパワー半導体デバイス (1)。

【請求項 4】

前記ゲート絶縁体 (4) の前記厚さが、前記チャンネル領域 (220) に沿って変化する、

40

請求項 1 または 2 に記載のパワー半導体デバイス (1)。

【請求項 5】

前記ゲート絶縁体 (4) が、第 1 の材料 (81) および第 2 の材料 (82) を含み、前記第 2 の材料 (82) が前記第 1 の材料 (81) に塗布され、前記ゲート絶縁体 (4) の全体的な厚さが、前記チャンネル領域 (220) 全体にわたって一定のままである、

請求項 1 ~ 3 のいずれか 1 項に記載のパワー半導体デバイス (1)。

【請求項 6】

前記第 1 の材料 (81) および前記第 2 の材料 (82) の前記厚さが直線的に変化する、

先行する請求項に記載のパワー半導体デバイス (1)。

50

【請求項 7】

前記チャンネル領域（220）に沿った前記ゲート絶縁体（4）の前記不均一なゲート誘電率プロファイルが、前記チャンネル領域（220）に沿った前記ゲート絶縁体（4）の前記比誘電率（ ϵ_{ox} ）に少なくとも1つの階段（43）が存在するように階段状に変化する、

先行する請求項のいずれか1項に記載のパワー半導体デバイス（1）。

【請求項 8】

前記ゲート絶縁体（4）が、前記チャンネル領域（220）に沿って見ると、前記ソース領域（21）の隣に位置する第2のセクション（62）を有し、

前記ゲート絶縁体（4）の前記比誘電率（ ϵ_{ox} ）が、前記第1のセクション（61）において特定の第1の値を有し、前記第2のセクション（62）において特定の第2の値を有する、

先行する請求項に記載のパワー半導体デバイス（1）。

【請求項 9】

前記チャンネル領域（220）に垂直に、前記比誘電率（ ϵ_{ox} ）が前記ゲート絶縁体（4）内で変化する、

先行する請求項のいずれか1項に記載のパワー半導体デバイス（1）。

【請求項 10】

前記ゲート電極（31）に面する前記ゲート絶縁体（4）の内側（43）が、前記チャンネル領域（220）に沿って平面状である、

先行する請求項のいずれか1項に記載のパワー半導体デバイス（1）。

【請求項 11】

前記半導体本体（2）に面する前記ゲート絶縁体（4）の外側（42）が、前記チャンネル領域（220）に沿って平面状である、

先行する請求項のいずれか1項に記載のパワー半導体デバイス（1）。

【請求項 12】

前記チャンネル領域（220）に沿った前記ゲート電極（31）の仕事関数差が、少なくとも1.0 eVである、

先行する請求項のいずれか1項に記載のパワー半導体デバイス（1）。

【請求項 13】

前記ゲート絶縁体（4）に沿って、前記チャンネル領域（220）の最小ドーピング濃度が、前記チャンネル領域（220）の最大ドーピング濃度の多くとも50%である、

先行する請求項のいずれか1項に記載のパワー半導体デバイス（1）。

【請求項 14】

前記ゲート電極（31）が、前記半導体本体（2）内に前記ウェル領域（22）を貫通して形成されたトレンチ内に少なくとも部分的に配置される、

先行する請求項のいずれか1項に記載のパワー半導体デバイス（1）。

【請求項 15】

前記ゲート電極（31）および前記ゲート絶縁体（4）が、前記半導体本体（2）の平坦な上面（20）に配置される、

請求項1～13のいずれか1項に記載のパワー半導体デバイス（1）。

【請求項 16】

前記不均一なゲート誘電率プロファイル、ならびに前記不均一な厚さプロファイル、前記不均一なチャンネルドーピングプロファイル、および前記不均一なゲート誘電率プロファイルのうちの少なくとも1つが少なくとも1つの階段を有し、

前記不均一なゲート誘電率プロファイル、ならびに前記不均一な厚さプロファイル、前記不均一なチャンネルドーピングプロファイル、および前記不均一なゲート誘電率プロファイルのうちの少なくとも1つにおける前記階段が、前記チャンネル領域（220）に沿って同じ位置に位置する、

先行する請求項のいずれか1項に記載のパワー半導体デバイス（1）。

【請求項 17】

前記不均一なゲート誘電率プロファイル、ならびに前記不均一な厚さプロファイル、前記不均一なチャンネルドーピングプロファイル、および前記不均一なゲート誘電率プロファイルのうちの少なくとも1つが少なくとも1つの階段を有し、

前記不均一なゲート誘電率プロファイル、ならびに前記不均一な厚さプロファイル、前記不均一なチャンネルドーピングプロファイル、および前記不均一なゲート誘電率プロファイルのうちの少なくとも1つにおける前記階段が、前記チャンネル領域（220）に沿って異なる位置に位置するか、または

前記不均一な仕事関数プロファイル、前記不均一な厚さプロファイル、前記不均一なチャンネルドーピングプロファイル、もしくは前記不均一なゲート誘電率プロファイルのうちの少なくとも2つが異なる形状である、

10

請求項1～15のいずれか1項に記載のパワー半導体デバイス（1）。

【請求項 18】

—前記ソース領域（21）が、前記ゲート絶縁体（4）および前記チャンネル領域（220）と直接接触し、

—前記半導体本体（2）が、前記ゲート絶縁体（4）と直接接触し、前記チャンネル領域（220）に直接位置する、第1の導電型のドリフト領域（23）をさらに備え、

—前記パワー半導体デバイス（1）が、金属—絶縁体—半導体電界効果トランジスタ、MISFET、金属—酸化物—半導体電界効果トランジスタ、MOSFET、絶縁ゲートバイポーラトランジスタ、IGBT、または逆導通絶縁ゲートバイポーラトランジスタ、RC-IGBTである、

20

先行する請求項のいずれか1項に記載のパワー半導体デバイス（1）。

【請求項 19】

先行する請求項のいずれか1項に記載のパワー半導体デバイス（1）を製造するための方法であって、

—半導体基板を設けることと、

—前記半導体基板上に少なくとも1つの半導体層をエピタキシャル成長させることとを含む、方法。

【請求項 20】

請求項18に記載のパワー半導体デバイス（1）が製造され、

30

前記半導体基板が、前記ドリフト領域（23）の少なくとも一部を含み、

前記少なくとも1つのエピタキシャル成長半導体層が、前記ウェル領域（22）および前記ソース領域（21）を含む、

先行する請求項に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

明細書

パワー半導体デバイスが提供される。さらに、そのようなパワー半導体デバイスのための製造方法が提供される。

40

【背景技術】

【0002】

文献米国特許第6225669B1号は、不均一なゲート／誘電体電界効果トランジスタに言及している。

【0003】

文献米国特許第6503786B2号は、線形動作能力を向上させるための非対称チャンネル構造を有するパワーMOSデバイスに言及している。

【0004】

文献米国特許出願公開第2016／0064550A1号は、パワーデバイスに言及している。

50

【0005】

中国特許出願公開第109087951号、米国特許出願公開第2015/0214362A1号、米国特許出願公開第2016/0104794A1号、およびTHE EUROPEAN PHYSICAL JOURNAL APPLIED PHYSICS、第28巻、第3号、2004年12月1日、ページ265～291のJ. Robertson、「High dielectric constant oxides」は、電子デバイスに言及している。

【発明の概要】

【課題を解決するための手段】

【0006】

本開示の実施形態は、改善された電氣的挙動を示すパワー半導体デバイスに関する。

この目的は、とりわけ、独立請求項に定義されたパワー半導体デバイスおよびそのようなパワー半導体デバイスのための製造方法によって実現される。例示的なさらなる発展形態は、従属請求項の主題を構成する。

【0007】

少なくとも1つの実施形態では、パワー半導体デバイスは、

—第1の導電型のソース領域および第1の導電型とは異なる第2の導電型のウェル領域を有する半導体本体であって、ウェル領域がソース領域から直接始まるチャンネル領域を含む、半導体本体と、

—半導体本体とゲート電極との間に直接あるゲート絶縁体とを備え、

ゲート絶縁体は、ゲート絶縁体の比誘電率がソース領域から離れたチャンネル領域の第1のセクションにおいて最も低くなるように、チャンネル領域に沿って不均一なゲート誘電率プロファイルを有する。

【0008】

例えば、ゲート絶縁体は、異なる比誘電率を有する少なくとも2つの異なる材料からなり、比誘電率がより小さい材料は、第1のセクションに位置するか、または第1のセクションに主に位置する。

【0009】

したがって、ソース領域から離れたチャンネル領域の第1のセクション内で閾値電圧 V_{th} が最も高くなるようにすることができる。

【0010】

ゲート電極は、ゲート絶縁体によって半導体本体から絶縁されている。

例えば、少なくとも1つのソース領域は、割り当てられたゲート絶縁体と直接接触し、かつ／または割り当てられたチャンネル領域に直接存在する。第1の導電型は、例えばn導電型であり、したがって、少なくとも1つのソース領域はnドーピングされる。

【0011】

少なくとも1つのウェル領域、その結果少なくとも1つのチャンネル領域は、第1の導電型とは異なる第2の導電型である。第2の導電型は、例えばp導電型であり、したがって、少なくとも1つのチャンネル領域はpドーピングされる。少なくとも1つのウェル領域および／または少なくとも1つのチャンネル領域の最大ドーピング濃度は、少なくとも1つのソース領域の最大ドーピング濃度よりも低いことが可能である。

【0012】

少なくとも1つの実施形態によれば、半導体本体は、第1の導電型であり得るドリフト領域もさらに備える。例えば、ドリフト領域は、ゲート絶縁体と直接接触し、かつ／またはチャンネル領域に直接存在する。ドリフト領域は、例えば、半導体本体の上面に垂直な方向で、半導体本体のチャンネル領域とドレイン領域またはコレクタ領域との間に位置する場合がある。例えば、オブションのトレンチは、ドリフト領域内で終端することができる。

【0013】

オブションとして、半導体本体は強化層を備えることができる。例えば、強化層は、ウェル領域とドリフト領域との間に直接位置し、ドリフト領域よりも高い最大ドーピング濃

10

20

30

40

50

度を有する場合がある。強化層も、第1の導電型であり得る。強化層は、正孔阻止層として機能することができ、すなわち、 E_{off} を過度に増加させることなく、ソース側近くのプラズマ濃度を高め、改善された V_{ce-sat} をもたらす。さらに、強化層はまた、チャネル領域の長さを制御するのに役立ち、製造プロセスに起因するばらつきを最小化する。例えば、強化層の厚さは、少なくとも $1\text{ }\mu\text{m}$ および／または多くとも $5\text{ }\mu\text{m}$ である。

【0014】

少なくとも1つの実施形態によれば、パワー半導体デバイスは、金属-絶縁体-半導体電界効果トランジスタ、MISFET、金属-酸化物-半導体電界効果トランジスタ、MOSFET、または絶縁ゲートバイポーラトランジスタ、IGBTもしくは逆導通絶縁ゲートバイポーラトランジスタ、RC-IGBTである。

【0015】

少なくとも1つの実施形態によれば、ウェル領域は、半導体本体の上面からドリフト領域まで延在する。チャネル領域はウェル領域の一部であり、同じドーピング濃度を有することができる。動作中、電子は、ゲート絶縁体に沿ってソース領域からドリフト領域までチャネル領域内を流れる。チャネル領域は、ゲート絶縁体とウェル領域との間の界面に垂直な方向に、例えばナノメートルの範囲で、例示的に $1\text{ nm}\sim 50\text{ nm}$ の厚さを有する。

【0016】

例えば、半導体本体は、シリコン、略してSi製である。しかしながら、半導体本体は、代替として、SiC、 Ga_2O_3 、またはGaNのようなワイドバンドギャップ半導体材料製であり得る。

【0017】

例えば、チャネル領域に沿った比誘電率の差は、少なくとも2.0であるか、または少なくとも3.0であるか、または少なくとも3.5である。代替または追加として、前記差は多くとも50であるか、または多くとも25である。それぞれの比誘電率を比較するとき、室温、すなわち 300 K 、および多くとも 1 kHz の変動電界の周波数でのそれぞれの材料のテキストブック値が使用される場合がある。ここで、および以下では、「チャネル領域に沿って」という用語は、パワー半導体デバイスの意図された使用におけるチャネル領域内の電流の方向を指す場合がある。

【0018】

ゲート絶縁体は、酸化物であり得る絶縁材料の任意の組合せから作られる。例えば、ゲート絶縁体は、以下の材料： SiO_2 、 Si_3N_4 、 Al_2O_3 、 Y_2O_3 、 ZrO_2 、 HfO_2 、 La_2O_3 、 Ta_2O_5 、 TiO_2 のうちの少なくとも1つまたは少なくとも2つを含む場合がある。したがって、ゲート絶縁体はゲート酸化物と呼ばれる場合もある。

【0019】

例えば、ゲート絶縁体は、high-k材料を含む。high-k材料は、約3.9である酸化シリコンの比誘電率よりも大きい比誘電率を有する材料である。また、ゲート絶縁体は、酸化シリコンの比誘電率よりも小さい、すなわち3.9よりも小さい比誘電率を有するlow-k材料を含む場合がある。例えば、ゲート絶縁体は、low-k材料だけでなくhigh-k材料を含む。

【0020】

少なくとも1つの実施形態によれば、パワー半導体デバイスはパワーデバイスである。例えば、パワー半導体デバイスは、少なくとも 0.2 kV または少なくとも 0.6 kV または少なくとも 1.2 kV の最大電圧向けに構成される。

【0021】

パワー半導体デバイスは、例えば、ハイブリッド自動車またはプラグイン電気自動車において、バッテリーまたは燃料電池からの直流電流を電動機用の交流電流に変換する車両内のパワーモジュール向けである。その上、パワー半導体デバイスは、例えば自動車のような車両内のヒューズであり得る。

【0022】

簡略化のために、以下では、ただ1つのチャネル領域および割り当てられた構成要素が

10

20

30

40

50

言及される。複数のチャネル領域および割り当てられた構成要素が存在する場合、以下に記載される特徴は、ただ1つ、複数、またはすべてのチャネル領域および割り当てられた構成要素に当てはまる場合がある。

【0023】

少なくとも1つの実施形態によれば、ゲート絶縁体は、第1のセクション内の第1の材料と、ソース領域に隣接する第2のセクション内の第2の材料とを含む。第1の材料は、第2の材料よりも小さい比誘電率を有する。

【0024】

ゲート絶縁体は、第1のセクションおよび第2のセクションから構成されることが可能である。そうでない場合、チャネル領域に沿って見ると、第1のセクションと第2のセクションとの間に位置する中間セクションのような少なくとも1つの追加のセクションが存在する可能性がある。少なくとも1つの追加のセクションが存在する場合、第1の材料および第2の材料の比誘電率とは異なる比誘電率を有する少なくとも1つの追加の材料が存在する可能性がある。

【0025】

少なくとも1つの実施形態によれば、第1のセクションの長さは、ゲート絶縁体に沿ったチャネル領域の全長の少なくとも5%であるか、または少なくとも10%であるか、または少なくとも15%である。代替または追加として、前記長さは、前記全長の多くとも40%であるか、または多くとも30%であるか、または多くとも25%である。存在する場合、少なくとも1つの追加のセクションに同じことが当てはまる場合がある。

【0026】

少なくとも1つの実施形態によれば、ゲート絶縁体は、チャネル領域に沿って均一な厚さプロファイルを有する。言い換えれば、ゲート絶縁体の厚さは、チャネル領域全体にわたって一定である。

【0027】

少なくとも1つの実施形態によれば、ゲート絶縁体は、チャネル領域に沿って不均一なゲート絶縁体厚さプロファイルを有する。言い換えれば、ゲート絶縁体の厚さは、チャネル領域に沿って変化する。前記厚さのばらつきは、連続的または非連続的、すなわち階段状であり得る。例えば、チャネル領域に沿って、ゲート絶縁体は第1のセクションで最も厚く、その結果、第2のセクションで最も薄くなり得る。

【0028】

少なくとも1つの実施形態によれば、チャネル領域は、ゲート絶縁体に沿って不均一なチャネルドーピングプロファイルを有する。例えば、チャネル領域内のドーピング濃度 N_A は、第1のセクションで最も大きく、その結果、第2のセクションで最も小さくなり得る。例えば、チャネル領域内のドーピング濃度 N_A は、少なくとも $0.5\ \mu\text{m}$ または少なくとも $1.5\ \mu\text{m}$ の半導体本体の上面からの深さにおいて最大である。前記最大ドーピング濃度 N_A はまた、ゲート絶縁体に沿って見ると、ソース領域から少なくとも $0.5\ \mu\text{m}$ または少なくとも $1.5\ \mu\text{m}$ の距離にあり得る。前記最大値は、ウェル領域内に位置する場合がある。したがって、前記最大値は、イオン注入ではなくエピタキシャル成長によって実現される。

【0029】

少なくとも1つの実施形態によれば、ゲート電極は、ゲート電極の閾値電圧が第1のセクションにおいて最も高くなるように、チャネル領域に沿って不均一なゲート電極仕事関数プロファイルを有する。したがって、ソース領域から離れた第1のセクション内のゲート電極の仕事関数 ϕ_m は、p型ドープウェル領域、したがってp型ドープチャネル領域を有するデバイスの場合最大であり、n型ドープウェル領域、したがってn型ドープチャネル領域を有するデバイスの場合最小である。

【0030】

少なくとも1つの実施形態によれば、チャネル領域に沿ったゲート電極の仕事関数差は、少なくとも $0.7\ \text{eV}$ であるか、または少なくとも $1.0\ \text{eV}$ であるか、または少なくと

10

20

30

40

50

も 1. 1 eV である。これは、例えば、ゲート電極がポリシリコンに基づくときに当てはまる。低い仕事関数のための Li、Zn、Hf のような金属、または高い仕事関数のための Pt、Pd、もしくは Au のような金属も考慮される場合、仕事関数差は、少なくとも 1. 3 eV または少なくとも 1. 4 eV であり得る。例えば、仕事関数差は、多くとも 2. 0 eV または多くとも 1. 5 eV である。

【0031】

例えば、ゲート電極は、第 1 のセクション内の第 1 のゲート材料と、第 2 のセクション内の第 2 のゲート材料とを含む。第 1 のゲート材料は、p ドープウェル領域 22 を有するデバイス 1 の場合は第 2 のゲート材料よりも高い仕事関数 ϕ_m を有し、n ドープウェル領域 22 を有するデバイス 1 の場合はその逆である。

10

【0032】

少なくとも 1 つの実施形態によれば、ゲート絶縁体の厚さは、チャンネル領域に沿って著しく変化する。これは、例えば、ゲート絶縁体の最小厚さが、ゲート絶縁体の最大厚さの多くとも 70 %、または多くとも 50 % であることを意味する。この点において、チャンネル領域に沿ったゲート絶縁体のみが関係があり得る。

【0033】

少なくとも 1 つの実施形態によれば、ゲート絶縁体に沿って、チャンネル領域の最小ドーピング濃度は、チャンネル領域の最大ドーピング濃度の多くとも 50 % であるか、または多くとも 20 % であるか、または多くとも 10 % である。

【0034】

20

少なくとも 1 つの実施形態によれば、不均一なゲート誘電率プロファイル、ならびに不均一なゲート絶縁体厚さプロファイル、不均一なチャンネルドーピングプロファイル、および不均一なゲート電極仕事関数プロファイルのうちの少なくとも 1 つが存在する。したがって、ゲート絶縁体の比誘電率、ならびにゲート電極の仕事関数 ϕ_m 、ゲート絶縁体の厚さ、およびチャンネル領域内のドーピング濃度 N_A は、チャンネル領域に沿って変化する可能性がある。

【0035】

少なくとも 1 つの実施形態によれば、不均一なゲート誘電率プロファイル、不均一なゲート絶縁体厚さプロファイル、不均一なチャンネルドーピングプロファイル、および不均一なゲート電極仕事関数プロファイルのうちの少なくとも 1 つは、連続的に階段なしで延びる。したがって、少なくとも 1 つのそれぞれのプロファイルは、微分可能関数によって表されてもよい。

30

【0036】

少なくとも 1 つの実施形態によれば、不均一なゲート誘電率プロファイル、不均一なゲート絶縁体厚さプロファイル、不均一なチャンネルドーピングプロファイル、および不均一なゲート電極仕事関数プロファイルのうちの少なくとも 1 つは、階段状に延びる。したがって、少なくとも 1 つのそれぞれのプロファイルは、1 つまたは複数の階段を含み、微分可能関数によって表されなくてもよい。

【0037】

階段状および連続的なプロファイルの任意の組合せを使用することができる。例えば、階段状で不均一なゲート誘電率プロファイルが、階段状で不均一なゲート絶縁体厚さプロファイル、連続的で不均一なチャンネルドーピングプロファイル、および階段状で不均一なゲート電極仕事関数プロファイルのうちの少なくとも 1 つと組み合わせることが可能である。

40

【0038】

少なくとも 1 つの実施形態によれば、不均一なゲート誘電率プロファイル、ならびに不均一なゲート電極仕事関数プロファイル、不均一なゲート絶縁体厚さプロファイル、および不均一なチャンネルドーピングプロファイルのうちの少なくとも 1 つは、同じように延びる。例えば、不均一なゲート誘電率プロファイル内の少なくとも 1 つの階段、ならびに不均一なゲート電極仕事関数プロファイル、不均一なゲート絶縁体厚さプロファイル、およ

50

び不均一なチャネルドーピングプロファイルのうちの少なくとも1つの中の少なくとも1つの階段は、チャネル領域に沿った同じ位置にある。

【0039】

少なくとも1つの実施形態によれば、ゲート電極は、半導体本体内に形成された少なくとも1つのトレンチ内に部分的または完全に配置される。少なくとも1つのトレンチ、したがって割り当てられたゲート電極は、例えば、半導体本体の上面から離れる方向に、ウェル領域を通してドリフト領域内に延在する。その結果、ゲート絶縁体も、割り当てられたトレンチ内に部分的または完全に位置する。したがって、パワー半導体デバイスは、トレンチベースのデバイスであり得る。

【0040】

そうでない場合、ゲート電極およびゲート絶縁体は、半導体本体の上面に塗布される。したがって、上面は平面であり得る。

【0041】

少なくとも1つの実施形態によれば、パワー半導体デバイスは、例えば、コレクターエミッタ飽和電圧 V_{ce-sat} 、したがってオン状態損失が影響を受けないままであり得る間に、飽和電流および短絡電流の両方が減少するように構成される。これは、不均一なゲート誘電率プロファイル、不均一なゲート電極仕事関数プロファイル、不均一なゲート絶縁体厚さプロファイル、および不均一なチャネルドーピングプロファイルのうちの少なくとも1つによって任意選択的にサポートされ、同様に設定されるが均一なゲート誘電率プロファイルを有する基準半導体デバイス、ならびに任意選択的にゲート絶縁体に沿った均一なゲート電極仕事関数プロファイル、均一なゲート絶縁体厚さプロファイル、および均一なチャネルドーピングプロファイルのうちの少なくとも1つと比較される、不均一なゲート誘電率プロファイルのために真であり得る。

【0042】

パワー半導体デバイスを製造するための方法がさらに提供される。方法によって、上述された実施形態の少なくとも1つに関連して示されたように、パワー半導体デバイスが製造される。したがって、パワー半導体デバイスの特徴も方法について開示され、逆もまた同様である。

【0043】

少なくとも1つの実施形態では、パワー半導体デバイスを製造するための方法は、以下のステップを、特に記載された順序で含む。

—半導体基板を設けること、

—半導体基板上に少なくとも1つの半導体層をエピタキシャル成長させること。

【0044】

例えば、半導体基板は、ドリフト領域の少なくとも一部を備える。

例えば、少なくとも1つのエピタキシャル成長半導体層は、ウェル領域およびソース領域を備える。

【0045】

パワー半導体デバイスおよび製造方法は、図面を参照して例示的な実施形態によって、以下でより詳細に説明される。個々の図の中の同じ要素は、同じ参照番号で示されている。しかしながら、要素間の関係は縮尺通りには示されず、むしろ個々の要素は、理解を助けるために誇張して大きく示されている場合がある。

【図面の簡単な説明】

【0046】

【図1】基準半導体デバイスの概略断面図である。

【図2】本明細書に記載されたパワー半導体デバイスの例示的な実施形態の概略断面図である。

【図3】図2のパワー半導体デバイスの上面図である。

【図4】図2および図3のパワー半導体デバイスの不均一なゲート誘電率プロファイルの概略図である。

10

20

30

40

50

【図 5】本明細書に記載されたパワー半導体デバイスおよび基準半導体デバイスの電気データの概略図である。

【図 6】本明細書に記載されたパワー半導体デバイスおよび基準半導体デバイスの電気データの概略図である。

【図 7】本明細書に記載されたパワー半導体デバイスおよび基準半導体デバイスの電気データの概略図である。

【図 8】本明細書に記載されたパワー半導体デバイスおよび基準半導体デバイスの電気データの概略図である。

【図 9】本明細書に記載されたパワー半導体デバイスの例示的な実施形態の概略断面図である。

【図 10】本明細書に記載されたパワー半導体デバイスの例示的な実施形態の概略断面図である。

【図 11】本明細書に記載されたパワー半導体デバイスの例示的な実施形態の概略断面図である。

【図 12】本明細書に記載されたパワー半導体デバイスの例示的な実施形態の概略断面図である。

【図 13】本明細書に記載されたパワー半導体デバイスの例示的な実施形態の概略断面図である。

【発明を実施するための形態】

【0047】

図 1 は、ウェル領域 22 に含まれるチャンネル領域 220 内のゲート絶縁体 4 のゲート誘電率プロファイルを除き、本明細書に記載されたパワー半導体デバイス 1 の例示的な実施形態に対応する基準半導体デバイス 9 を示す。パワー半導体デバイス 1 と同様に、基準半導体デバイス 9 は、例えば Si 製である半導体本体 2 を備える。

【0048】

半導体本体 2 はまた、半導体本体 2 の上面 20 にソース領域 21 を備える。トレンチは、ウェル領域 22 およびソース領域 21 の両方を貫通する。ソース領域 21 は、n 導電性のような第 1 の導電型であり、ウェル領域 22、その結果、ウェル領域 22 によって含まれるチャンネル領域 220 は、p 導電性のような第 2 の異なる導電型である。トレンチ内には、電気絶縁ゲート絶縁体 4 によって半導体本体 2 から分離されたゲート電極 31 が存在する。トレンチ、したがってゲート電極 31 は、半導体本体 2 のドリフト領域 23 内で終端する。ドリフト領域 23 も第 1 の導電型である。

【0049】

基準半導体デバイス 9 内で、ゲート絶縁体 4 はただ 1 つの材料からなり、その結果、ウェル領域 22 に面するゲート絶縁体 4 の領域において、チャンネル領域 220 全体にわたって一定の比誘電率 ϵ_{ox} を有する。すなわち、ソース領域 21 から離れてドリフト領域 23 に向かうチャンネル領域 220 の長さ方向 x に沿って、均一なゲート誘電率プロファイルが存在する。

【0050】

例えば、ゲート絶縁体 4 に隣接して、ソース領域 21 とチャンネル領域 220 が直接接する場所、 $x=0$ である。例えば、ゲート絶縁体 4 に隣接して、チャンネル領域 220 とドリフト領域 23 が直接接する場所、 $x=L$ である。すなわち、 L はチャンネル領域 220 のチャンネル長に相当する。チャンネル領域 220 の形状は非常に概略的に描かれているにすぎないことに留意されたい。

【0051】

例えば、 x は、半導体層本体 2 の上面 20 に対して垂直に延びる。したがって、長さ L は、ゲート絶縁体 4 において直接ソース領域 21 とドリフト領域 23 との間の距離に相当する場合がある。したがって、長さ L は、第 1 の導電型の層、すなわちソース領域 21 とドリフト領域 23 との間の第 2 の導電型の層の長さとして定義される場合がある。オプションとして、ドリフト領域 23 は、図示されていないデバイスの裏面に向かってより低い

10

20

30

40

50

ドーピング濃度の層を備える場合がある。xは、基準半導体デバイス9の意図された使用における電流方向と見なされてもよい。

【0052】

図2および図3に示されたパワー半導体デバイス1の例示的な実施形態によれば、ゲート絶縁体4は、第1の材料81と第2の材料82とを含む。長さ方向xに沿って、第1の材料81は第2の材料82に直接続く。その結果、ゲート絶縁体4は、チャンネル領域220に沿って不均一なゲート誘電率プロファイルを有する。

【0053】

第1の材料81の比誘電率は、第2の材料82の比誘電率よりも小さい。したがって、ソース領域21から離れた第1のセクション61では、不均一なゲート誘電率プロファイルの最小値が存在する。チャンネル領域220の残りは、第2のセクション62と呼ばれる。それぞれ、第1のセクション61内では、第2のセクション62内でも、比誘電率は変化しない。

【0054】

したがって、チャンネル領域220に沿って、ゲート絶縁体4は、それぞれ、第2の材料82および第1の材料81を有する、第2のセクション62および第1のセクション61から構成される場合がある。長さ方向xに垂直な方向において、ゲート絶縁体4は、ただ1つの材料、すなわち、第1の材料81または第2の材料82のいずれかを含むことが可能である。

【0055】

ゲート絶縁体4は、チャンネル領域220全体にわたって一定の厚さであり得る。例えば、ゲート電極31に面するゲート絶縁体4の内側43および／または半導体本体2に面するゲート絶縁体4の外側42は、チャンネル領域22全体にわたって平面形状であり得る。例えば、断面で見ると、内側43および／または外側42は直線として見える場合がある。したがって、チャンネル領域220に沿って、内側43および／または外側42は、いかなる階段も含まない場合がある。

【0056】

例えば、第1の材料81は、2.6の比誘電率 ϵ_{ox2} を有するlow-k材料であり、第2の材料82は、6.5の比誘電率 ϵ_{ox1} を有するhigh-k材料である、図4参照。ゲート絶縁体4の厚さは、例えば、チャンネル領域220全体にわたって100nmである。例えば、low-k材料は、シリカ系、シルセスキオキサン(SSQ)系、またはポリマー系であり、high-k材料は、 HfO_2 または ZrO_2 のような酸化物であり得る。第1のセクション61内の誘電率が低いので、第1のセクション61では、閾値電圧 V_{th-1} は、第2のセクション62内の閾値電圧 V_{th-2} よりも低い。チャンネル領域220に沿った閾値電圧 V_{th} に対する影響は、図5～図8に関連して以下でより詳細に説明される。

【0057】

オプションとして、チャンネル領域220に電氣的に接触するために、半導体本体2の上面20に少なくとも1つのプラグ25が存在することができる。プラグ25は、プラグ25がウェル領域22よりも深くまたは浅く半導体本体2内に延在することができるように、ウェル領域22とは異なる厚さを有する場合がある。さらに、ソース領域21とプラグ25の厚さは、同じであってもよく、異なってもよい。

【0058】

さらに、ドリフト領域23とウェル領域22との間には、強化層27が存在する。強化層27も、第1の導電型である。

【0059】

ソース領域21と少なくとも1つのプラグ25またはウェル領域22の両方は、例えば、上面20に位置する少なくとも1つのソース電極32によって電氣的に接続される場合がある。例示的に、プラグ25は、ウェル領域22またはチャンネル領域220よりも高い最大ドーピング濃度を有する。プラグの深さは、ウェル領域22およびチャンネル領域220の深さよりも低いか、深いか、または同じであり得る。

10

20

30

40

50

【0060】

例えば、パワー半導体デバイス1は、絶縁ゲートバイポーラトランジスタ、略してIGBTである。したがって、ウェル領域22から離れたドリフト領域23の側には、第2の導電型のコレクタ領域26も存在する。コレクタ領域26には、コレクタ電極34が存在する。さらに、ドリフト領域23とコレクタ領域26との間に第1の導電型のバッファ領域が存在することができる。そのようなバッファ領域のドーピング濃度は、ドリフト領域23のドーピング濃度よりも高くすることができる。

【0061】

例えば、半導体本体2は、少なくとも部分的にエピタキシャル成長によって製造される。すなわち、半導体本体2のそれぞれの層のドーピング濃度は、成長中に生成される場合があり、成長後に、例えばイオン注入によって生成されない場合がある。これは、例えば、少なくとも強化層27およびウェル領域22に当てはまり、それらは、このようにエピタキシャル成長によってドーピングすることができる。オプションとして、ドリフト領域23は、部分的または完全に成長基板の一部であり得る。すべての他の例に同じことが当てはまる。

【0062】

上面20の上面図で見ると、ゲート電極31およびゲート絶縁体4を収容するトレンチは引き伸ばされた形状であり得る。ソース領域21、少なくとも1つのプラグ25、ならびにチャンネル領域220は、トレンチの両側に対称的に配置される場合がある、図3参照。

【0063】

例えば、ソース領域21、コレクタ領域26（またはデバイスがMISFETもしくはMOSFETである場合にはドレイン領域24の代わりに）、および少なくとも1つのプラグ25の最大ドーピング濃度は、少なくとも $1 \times 10^{18} \text{ cm}^{-3}$ もしくは少なくとも $5 \times 10^{18} \text{ cm}^{-3}$ もしくは少なくとも $1 \times 10^{19} \text{ cm}^{-3}$ および／または多くとも $5 \times 10^{20} \text{ cm}^{-3}$ もしくは多くとも $2 \times 10^{20} \text{ cm}^{-3}$ もしくは多くとも $1 \times 10^{20} \text{ cm}^{-3}$ である。さらに、ウェル領域22、したがってチャンネル領域220の最大ドーピング濃度は、少なくとも $5 \times 10^{16} \text{ cm}^{-3}$ もしくは少なくとも $1 \times 10^{17} \text{ cm}^{-3}$ および／または多くとも $5 \times 10^{19} \text{ cm}^{-3}$ もしくは多くとも $5 \times 10^{18} \text{ cm}^{-3}$ であり得る。例えば、強化層27の最大ドーピング濃度は、少なくとも 10^{15} cm^{-3} であり、かつ／または多くとも 10^{18} cm^{-3} である。

【0064】

パワー半導体デバイス1の電圧クラスに応じて、ドリフト領域23の最大ドーピング濃度は、少なくとも $1 \times 10^{11} \text{ cm}^{-3}$ もしくは少なくとも $1 \times 10^{12} \text{ cm}^{-3}$ もしくは少なくとも $1 \times 10^{13} \text{ cm}^{-3}$ および／または多くとも $1 \times 10^{17} \text{ cm}^{-3}$ もしくは多くとも $5 \times 10^{16} \text{ cm}^{-3}$ もしくは多くとも $1 \times 10^{16} \text{ cm}^{-3}$ であり得る。

【0065】

例えば、ゲート絶縁体4の厚さは、50nm～250nmまたは80nm～150nmである。

図2および図3では、ソース領域21および少なくとも1つのプラグ25は、ゲート電極31の片側のみに沿って配置され、その結果、ゲート絶縁体4の1つの外側42のみに沿ってチャンネル領域220が存在する。しかしながら、ソース領域21ならびに少なくとも1つのプラグ25は、例えば図9と比較して、ゲート電極31の2つの側面に沿って、または上面図で見ると、すべてゲート電極31の周りに配置することもできる。

【0066】

そうでない場合、図1に関して同じことが図2～図4にも当てはまる場合がある。

不均一なゲート誘電率プロファイルを有するゲート絶縁体4の背後にある概念は、以下である程度詳細に説明される。

【0067】

パワー半導体デバイス1の場合、例示的には低周波数用途の場合、総電気損失を最小化

10

20

30

40

50

するために、オン状態損失を可能な限り低くすることが望ましい場合がある。さらに、デバイスの信頼性の観点から、低い短絡電流を有することが有利であり得る。したがって、オン状態損失を最小化し、短絡能力を向上させたパワー半導体デバイス1が望まれる場合がある。

【0068】

しかしながら、例えば、チャンネル長 L を減少させるかまたはチャンネル幅 W を増加させることによってオン状態電圧降下 V_{ce-sat} を低下させるいくつかの手段は、出力特性 I_c 対 V_{ce} を使用して概略的に示されたように、望ましくないより高い飽和電流 I_{sat} をもたらすことが多い、図5参照。高い I_{sat} は高い短絡電流 I_{sc} に直接関係し、パワー半導体デバイス1の短絡能力に悪影響を及ぼす。一方、例えばチャンネルドーピング濃度を増加させることによって I_{sat} を低下させるために、パワー半導体デバイス1の閾値電圧 V_{th} を上昇させると、図6に示されたように V_{ce-sat} が高くなる。したがって、図5および図6は、チャンネル領域220全体に沿って均一な閾値電圧プロファイルを有するIGBTの典型的な出力特性の概略図であり、図5では、同じ V_{th} および異なるチャンネル抵抗の場合であり、図6では、異なる閾値電圧 V_{th} の場合である。

10

【0069】

a) チャンネル長 L を増加させること、
b) アノードインプラントドーズを低減することによってアノード注入効率を低減すること、
c) トレンチに沿ってソースカバレッジを減少させることによってチャンネル幅を低減すること、および
d) セルピッチを増加させることによってチャンネル幅を低減すること

20

などの、短絡電流を低減するための他の技法はまた、望ましくないことに、より高いオン状態損失をもたらす。その上、d)などの技法も、パワー半導体デバイス1の絶縁破壊能力に悪影響を及ぼす可能性がある。短絡電流を低減するためにゲートバイアスを低減することはまた、不安定な動的挙動につながり、さらに、主に用途の要件によって規定されるので、望ましくない場合がある。

【0070】

したがって、従来のMISFETデバイスまたはIGBTデバイスでは、オン状態損失を最小化することと短絡電流を低減することとの間にはトレードオフが存在する。改善された短絡能力を必要とする用途の場合、 V_{ce-sat} に影響を与えることなく短絡電流 I_{sc} を減少させることができることが望ましい場合がある。

30

【0071】

本明細書に記載されたパワー半導体デバイス1では、オン状態損失と短絡電流との間のトレードオフは、前者に悪影響を及ぼすことなく後者を改善することによって改善される。他の手法とは異なり、記載された設計は、所与の V_{ce-sat} に対する飽和電流を低下させるために、ゲート絶縁体4に隣接するチャンネル領域220に沿った不均一な閾値電圧プロファイルを特徴とする。

【0072】

本明細書に記載されたパワー半導体デバイス1において提案された不均一な V_{th} は、チャンネル領域220に沿ったゲート絶縁体4の不均一なゲート誘電率プロファイルを実装することによって実現される。加えて、記載された概念は、パワーMOSFETまたはIGBTまたは逆導通IGBTなどの一般に任意のMOSデバイスに適用可能であり、平面アーキテクチャとトレンチアーキテクチャの両方との互換性さえある。

40

【0073】

本明細書に記載されたパワー半導体デバイス1では、オン状態損失に有害な影響を及ぼすことなく、短絡能力が向上した改良されたMISFET、MOSFET、IGBT、またはRC-IGBTデバイスが導入される。改善された設計はまた、IGBTまたはRC-IGBTの設計制約を緩和し、それぞれのデバイスの短絡能力によって通常制限されるオン状態損失を最小化するために、上述された他の方法を独立して探索する可能性を可能にする。

50

【 0 0 7 4 】

以下では、本明細書に記載された半導体デバイス 1 の着想に対するいくつかの理論的背景が提示される。

【 0 0 7 5 】

基準のロングチャネル MOS デバイスの場合、高 V_{ce} でのチャネルピンチオフが出力特性における電流飽和の原因となり、それが最終的に短絡電流を決定することが知られている。チャネルピンチオフ電圧 $V_{pinch-off}$ は、閾値電圧 V_{th} によって決定される。例示的には、印加されたバイアス V_{ce} がピンチオフ電圧 $V_{pinch-off}$ ($V_g - V_{th}$) を超えると、チャネルは、 $x=L$ においてそのドレイン端付近でピンチオフを開始する、ここで、 V_g は印加されたゲート電圧であり、 L はチャネル長である。そのように印加された V_{ce} において、チャネルに垂直な電圧降下は V_{th} より小さく、したがって、チャネルはドレイン端付近でもはや持続することができない。

【 0 0 7 6 】

しかしながら、デバイスのより詳細な理解のために、チャネルピンチオフは、どちらかという局所的な現象であり、具体的にチャネルのドレイン端付近で起こると考えられるべきである。したがって、より正確には、ピンチオフ点、したがって飽和電流を決定するのは、局所閾値電圧 $V_{th}(x)$ である。これは、チャネル端部、すなわちドリフト領域 2 3 付近の第 1 のセクション 6 1 において、 $V_{th}(L)$ を局所的に増加させることによって $V_{pinch-off}$ を低減することが可能であることを意味する。

【 0 0 7 7 】

さらに、全体的なチャネル抵抗を保持し、それによって V_{ce-sat} に影響を与えないようにするために、チャネルの残りの部分で $V_{th}(x)$ を減少させることができる。

【 0 0 7 8 】

これは、基準半導体デバイス 9 を参照する曲線がチャネル全体に沿って均一な閾値電圧 V_{th-1} プロファイルを含む図 7 に概略的に示されている。一方、パワー半導体デバイス 1 の曲線は、チャネルに沿った不均一な V_{th} プロファイルから構成され、 V_{th} は、ピンチオフ点を下げるために $V_{th-2}(L) > V_{th-1}$ となるようにチャネル端部付近、すなわち第 1 のセクション 6 1 内で局所的に上昇し、チャネルの残りでは、全体のチャネル抵抗と同じに保つために $V_{th-2}' < V_{th-1}$ となる。このようにして、図 8 の概略出力に示されたように、オン状態損失に影響を及ぼすことなく、飽和電流、それによって短絡電流を大幅に低減することができる。したがって、局所的な V_{th} 変動は、MISFET または MOSFET または IGBT デバイスの短絡能力を改善するための鍵を保持する。

【 0 0 7 9 】

チャネルの V_{th} は、以下の式に示されたような様々な他の MOS セル設計パラメータの関数である。

【 0 0 8 0 】

【 数 1 】

$$V_{th} = V_{fb} + 2\Phi_B + \frac{\sqrt{qN_A 2\epsilon_s 2\Phi_B}}{C_{ox}}$$

【 0 0 8 1 】

ここで、 V_{th} は閾値電圧であり、 V_{fb} はフラットバンド電圧であり、 $V_{fb} = (\Phi_m - \Phi_s)$ であり、ここで、 Φ_m および Φ_s は、それぞれ、ゲート電極仕事関数および半導体仕事関数である。 N_A はチャネル本体のドーピングであり、 ϵ_s は半導体の誘電率であり、 C_{ox} はゲート絶縁体容量であり、 Φ_B は半導体表面電位であり、

【 0 0 8 2 】

【 数 2 】

$$\Phi_B = kt \ln \frac{N_A}{n_i}$$

【0083】

であり、ここで、 k はボルツマン定数であり、 T は温度であり、 n_i は半導体の真性キャリア濃度である。

【0084】

したがって、第1のセクション61内の比較的高い V_{th} を有するチャンネルにわたって必要とされる不均一な V_{th} プロファイルは、以下のMOS設計パラメータのうちの1つまたは任意の組合せにおいて不均一性を導入することによって実現することができる。

【0085】

1. チャンネルドーピングプロファイル、 $N_A(x)$ 、
2. ゲート酸化膜厚、 $T_{ox}(x)$ 、
3. 本明細書で詳述されるゲート誘電率、 $\epsilon_{ox}(y)$ 、および／または
4. $V_{fb} = (\phi_m - \phi_s)$ なので、ゲート金属仕事関数 $\phi_m(x)$ 。

10

【0086】

以下では、ゲート誘電率プロファイルの変化に焦点を合わせているが、前記誘電率の変化は、当然ながら、変化するゲート絶縁体の厚さ、変化するゲート電極仕事関数、および／または変化するチャンネルドーピング濃度と組み合わせることができる。

【0087】

チャンネル端部付近でより低い ϵ_{ox} を有する、誘電率の2つ以上の組合せまたは誘電率の勾配さえも、同じ目的を実現できることに留意されたい。その上、より高い ϵ_{ox} 領域およびより低い ϵ_{ox} 領域の物理的長ささえも、目的に適合し、製造上の課題を克服するように調整することができる。

20

【0088】

したがって、チャンネル領域220に沿って異なるゲート誘電体材料81、82を採用することにより、チャンネル領域220に沿った V_{th} プロファイルの不均一性を導入することができる。これは、両方とも $V_{th} \times C_{ox}$ に関係し、 ϵ_{ox}/t_{ox} の比に比例するので、代わりにゲート酸化膜厚 t_{ox} を変化させる手法と同等であり得る、上記参照。したがって、図4に示されたのと同じ比で比誘電率 ϵ_{ox} を減少または増加させることによっても、ゲート酸化膜厚 t_{ox} を増加または減少させることによって観察されるのと同じ効果を得ることができる。例えば、100nmの均一なゲート酸化膜厚 t_{ox} の場合、一定の比誘電率 ϵ_{ox} を仮定すると、第2のセクション62内の60nmから第1のセクション61内の150nmまでの厚さの変化は、チャンネル領域の開始時における第2のセクション62内の ϵ_{ox} が6.5に上げられ、チャンネル領域220の端部、すなわち第1のセクション61内の ϵ_{ox} が2.6に設定された場合に効果的に複製することができる。

30

【0089】

図9によれば、ゲート電極31の両側には、ソース領域21および少なくとも1つのプラグ25が存在し、その結果、チャンネル領域220も2つの外側42に沿っている。さらに、オプションとして、ゲート絶縁体4は、第1の材料81、第2の材料82、およびチャンネル領域220に沿って見ると第1のセクション61と第2のセクション62との間の中間セクション63に位置する第3の材料83から構成されることが図9に示されている。第3の材料83の比誘電率は、第1の材料81および第2の材料82の比誘電率の間である。

40

【0090】

図9では、ゲート絶縁体4内に3つの材料81、82、83が存在するが、ゲート絶縁体4は3つ以上の異なる材料を含むことが可能である。

【0091】

その上、図9のパワー半導体デバイス1は、IGBTではなく、MISFETまたはMOSFETであることが示されている。その結果、パワー半導体デバイス1は、コレクタ領域26の代わりにドレイン領域24を備える。したがって、ウェル領域22から離れたドリフト領域23の側にも、第1の導電型であるが、例えば、ドリフト領域23よりも高い最大ドーピング濃度を有するドレイン領域24が存在する。ドレイン領域24には、ドレイン電極

50

3 3 が存在する。

【0092】

もちろん、IGBTのパワー半導体デバイス1のすべてのゲート絶縁体の設計をMOSFETおよびMISFETのパワー半導体デバイス1に適用することができ、逆もまた同様である。

【0093】

そうでない場合、図2～図8に関して同じことが図9にも当てはまる場合があり、逆もまた同様である。

【0094】

図10では、ゲート絶縁体4およびゲート電極31が収容されるトレンチは、ドリフト領域23内に丸い端部を有する必要がなく、断面で見ると長方形または台形の形状でもあり得ることが示されている。

10

【0095】

その上、図10では、少なくとも2つの異なる材料81、82に起因する不均一なゲート誘電率プロファイルだけでなく、不均一なゲート絶縁体厚さプロファイルも存在することが示されている。すなわち、ゲート絶縁体4の厚さは、チャンネル領域220に沿って変化する。例えば、第1のセクション61内の第1の材料81の厚さは、第2のセクション62内の第2の材料82の厚さを超えており、逆もまた同様である。例えば、第1の材料81と第2の材料82との間の厚さの差は、チャンネル領域220に沿ったゲート絶縁体4の最大厚さの少なくとも20%または少なくとも40%である。不均一なゲート絶縁体厚さプロファイルおよび均一なゲート誘電率プロファイルのみが存在する場合、ゲート絶縁体4は単一の材料製であり得る。

20

【0096】

例えば、第2のセクション62内のゲート絶縁体4の厚さは、50nm以上100nm以下であり、かつ／または、第1のセクション61内のゲート絶縁体4の厚さは、100nm以上240nm以下である。しかしながら、図10に示された以外に、第1のセクション61内のゲート絶縁体4の厚さは、代替的に第2のセクション62内よりも小さい可能性があり、最大厚さが代わりに第2のセクション62内に存在する可能性がある。

【0097】

不均一なゲート絶縁体厚さプロファイルに加えて、またはその代わりに、ゲート電極31の不均一なゲート電極仕事関数プロファイル72が存在する可能性がある。したがって、ゲート電極31は、ソース領域21に隣接する第1のゲート材料84と、ドレイン領域23に隣接する第2のゲート材料85とを含むことができる。ゲート材料84、85は、ゲート絶縁体4の材料81、82が変化する場所に変化する場合がある。したがって、ソース領域21から離れた第1のセクション61内のゲート電極31の仕事関数 ϕ_m は、pドープウェル領域22を有するデバイス1の場合最大であり、nドープウェル領域22を有するデバイス1の場合最小である。

30

【0098】

例えば、第2のゲート材料85は、約5.22eVの仕事関数 ϕ_m を有するp⁺ドープポリシリコンである。例えば、第1のゲート材料84は、約4.1eVの仕事関数 ϕ_m を有するn⁺ドープポリシリコンである。シリコンをベースとしているが、これらの第1のゲート材料84および第2の材料85は、異なるゲート電極金属と呼ばれる場合がある。

40

【0099】

したがって、第1のセクション61と第2のセクション62との間の界面で不均一なゲート電極仕事関数プロファイル72に階段が存在する、図10の挿入図参照。

【0100】

不均一なゲート絶縁体厚さプロファイルおよび／または不均一なゲート電極仕事関数プロファイル72に加えて、またはその代わりに、不均一なチャンネルドーピングプロファイル71が存在する可能性がある。すなわち、ウェル領域22内のドーピング濃度 N_A は、チャンネル領域220に沿って変化する。

【0101】

50

例えば、不均一なチャネルドーピングプロファイル 7 1 に存在する最大ドーピング濃度は、少なくとも $5 \times 10^{16} \text{ cm}^{-3}$ および多くとも $5 \times 10^{19} \text{ cm}^{-3}$ であり、かつ／または不均一なチャネルドーピングプロファイル 7 1 に存在する最小ドーピング濃度は、多くとも $2 \times 10^{17} \text{ cm}^{-3}$ もしくは多くとも $1 \times 10^{17} \text{ cm}^{-3}$ である。最大ドーピング濃度は、第 1 のセクション 6 1 に存在する場合があります、最小ドーピング濃度は、第 2 のセクション 6 2 に存在する場合があります。それぞれ、第 1 のセクション 6 1 および第 2 のセクション 6 2 の全体にわたって、ドーピング濃度 N_A は、例えば、ドーピング濃度 N_A が階段状に変化するように一定であり得る。しかしながら、ドーピング濃度 N_A における階段は、テータ関数または単位階段関数に正確に従う必要はないが、正弦波形状の階段が存在する可能性がある、図 10 の挿入図参照。前記階段は、ゲート絶縁体 4 の材料 8 1、8 2 が変化する場所にあり得る。

10

【0102】

不均一なゲート電極仕事関数プロファイル 7 2、不均一なゲート絶縁体厚さプロファイル、および不均一なチャネルドーピングプロファイル 7 1 のうちのそのような少なくとも 1 つも、すべての他の例示的な実施形態に類似的に存在する可能性がある。

【0103】

そうでない場合、図 2 ～図 9 に関して同じことが図 10 にも当てはまる場合があります、逆もまた同様である。

【0104】

図 11 によれば、パワー半導体デバイス 1 は平面設計であり、例えば、図 2 および図 3 のパワー半導体デバイス 1 のようなトレンチ設計ではない。したがって、上面 20 は平面であり、ゲート絶縁体 4 およびゲート電極 3 1 は上面 20 に塗布される。その結果、長さ方向 x は、ソース領域 2 1 からドリフト領域 2 3 まで上面 20 と平行に延び、上面 20 に垂直な他の例示的な実施形態とは異なる。図 11 のパワー半導体デバイス 1 は、任意の MISFET デバイスまたは任意の IGBT デバイスであり得る。

20

【0105】

図 11 では、ウェル領域 2 2 は、横方向に、すなわち上面 20 と平行にソース領域 2 1 から突出し、ゲート絶縁体 4 の下に延在する。また、ソース領域 2 1 は、ゲート絶縁体 4 の下に延在する場合がありますが、それほどではない。第 2 の材料 8 2 から第 1 の材料 8 1 への変化は、ウェル領域 2 2 の上面 20 で起こる。その結果、チャネル領域 2 2 0 は上面 20 に沿って延びる。

30

【0106】

そうでない場合、図 2 ～図 10 に関して同じことが図 11 にも当てはまる場合があります、逆もまた同様である。

【0107】

図 12 によれば、図 2 のように、不均一なゲート誘電率プロファイルにも階段が存在するが、第 1 の材料 8 1 および第 2 の材料 8 2 は、長さ方向 x に垂直な平面界面をもたない。代わりに、界面は、製造プロセスに起因してランプのような形状を有する場合があります。したがって、遷移セクション 6 4 が形成される。遷移セクション 6 4 では、材料 8 1、8 2 は上下に積層されることが可能であり、その結果、例えば、ゲート絶縁体 4 の意図しないわずかな厚さのばらつきが存在する。例えば、そのような厚さのばらつきは、チャネル領域 2 2 0 に沿ったゲート絶縁体 4 の最大厚さの多くとも 50 % または多くとも 10 % になる。

40

【0108】

チャネル全長 L と比較して、長さ方向 x に沿った遷移セクション 6 4 の長さは小さく、例えば、チャネル全長 L の多くとも 2 % または多くとも 5 % になる。同じことがすべての他の例示的な実施形態に当てはまる場合がある。そのような遷移セクション 6 2 または複数のそのような遷移セクションは、すべての他の例示的な実施形態において、ゲート絶縁体 4 の異なる材料 8 1、8 2、8 3 の間の界面に存在する可能性もある。そのような少なくとも 1 つの遷移セクション 6 4 は、存在する場合、不均一なゲート電極仕事関数プロフ

50

ファイル 7 2、不均一なゲート絶縁体厚さプロファイル、および／または不均一なチャンネルドーピングプロファイル 7 1 に存在する場合もある。

【0109】

そうでない場合、図 2 ～図 1 1 に関して同じことが図 1 2 にも当てはまる場合があり、逆もまた同様である。

【0110】

図 1 3 では、第 2 の材料 8 2 が第 1 の材料 8 1 に塗布されることが示されている。ゲート絶縁体 4 の全体的な厚さは、チャンネル領域 2 2 0 全体にわたって一定のままであり得る。したがって、材料 8 1、8 2 の厚さは、チャンネル領域 2 2 0 に沿って直線的に変化する場合があり、その結果、ゲート絶縁体 4 の実効比誘電率は、チャンネル領域 2 2 0 に沿って連続的に、例えば直線的に変化する場合がある。

10

【0111】

そうでない場合、図 2 ～図 1 2 に関して同じことが図 1 3 にも当てはまる場合があり、逆もまた同様である。

【0112】

図に示された構成要素は、特に指示のない限り、例示的に指定された順序で直接重なって続く。図の中で接触していない構成要素は、例示的に互いに離間している。線が互いに平行に引かれている場合、対応する表面は互いに平行に向けられる場合がある。同様に、特に指示のない限り、描かれた構成要素の互いに対する位置は、図面内で正確に再現される。

20

【0113】

本明細書に記載されたパワー半導体デバイスは、例示的な実施形態に基づく説明によって限定されない。むしろ、この特徴またはこの組合せ自体が特許請求の範囲または例示的な実施形態において明示的に指定されていない場合でも、パワー半導体デバイスは、任意の新しい特徴、および特許請求の範囲における特徴の任意の組合せを含む特徴の任意の組合せも包含する。

【0114】

本特許出願は、欧州特許出願第 2 1 1 8 6 1 3 2 . 3 号の優先権を主張し、その開示内容は参照により本明細書に組み込まれる。

【符号の説明】

30

【0115】

参照符号

- 1 パワー半導体デバイス
- 2 半導体本体
- 2 0 上面
- 2 1 ソース領域
- 2 2 チャンネル領域
- 2 3 ドリフト領域
- 2 4 ドレイン領域
- 2 5 プラグ
- 2 6 コレクタ領域
- 2 7 強化層
- 3 1 ゲート電極
- 3 2 ソース電極
- 3 3 ドレイン電極
- 3 4 コレクタ電極
- 4 ゲート絶縁体
- 4 2 ゲート絶縁体の外側
- 4 3 ゲート絶縁体の内側
- 6 1 第 1 のセクション

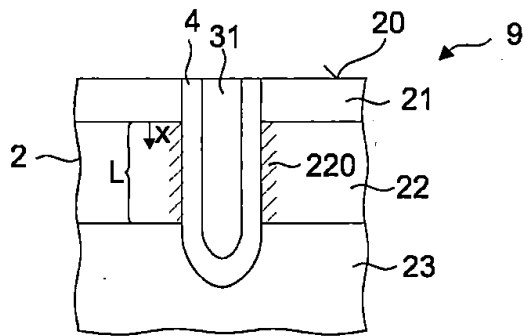
40

50

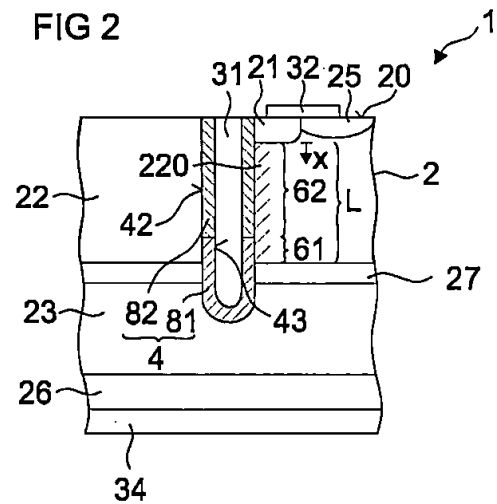
- 6 2 第 2 のセクション
- 6 3 中間セクション
- 6 4 遷移セクション
- 7 1 不均一なチャネルドーピングプロファイル
- 7 2 不均一なゲート電極仕事関数プロファイル
- 8 1 第 1 の材料
- 8 2 第 2 の材料
- 8 3 第 3 の材料
- 8 4 第 1 のゲート材料
- 8 5 第 2 のゲート材料
- ϵ_{ox} 比誘電率
- L ゲート絶縁体に沿ったチャネル領域の長さ
- V_{th} 閾値電圧
- x チャネル領域に沿った長さ方向

【図面】

【図 1】



【図 2】



10

20

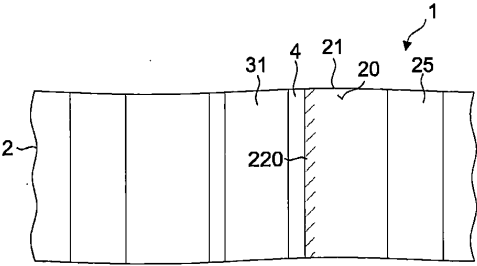
30

40

50

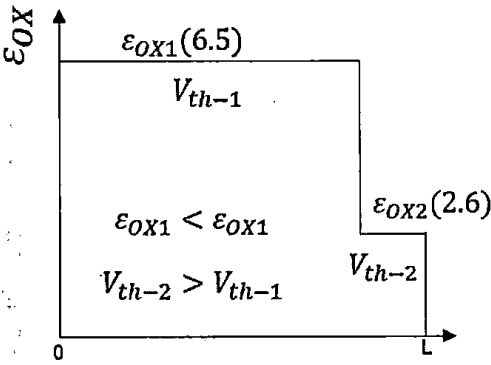
【図 3】

FIG 3



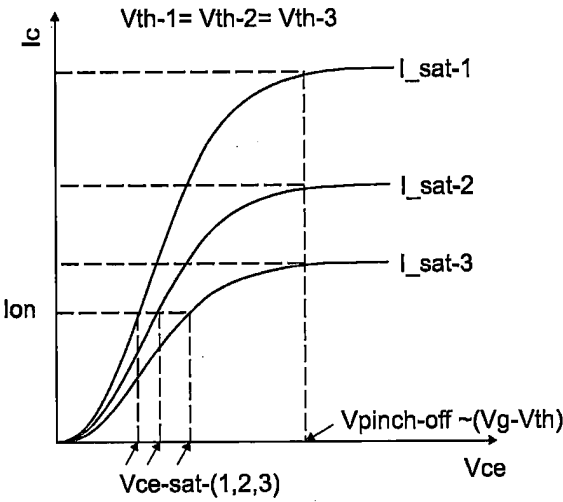
【図 4】

FIG 4



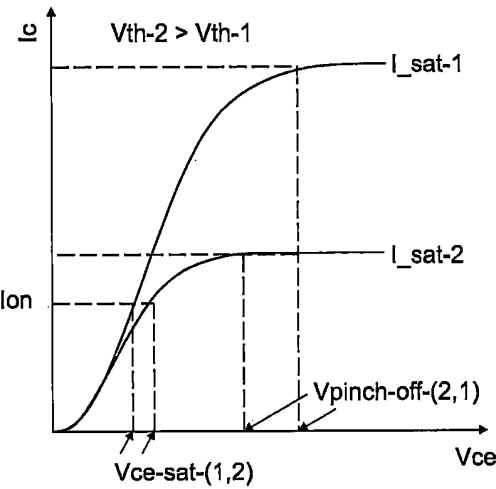
10

【図 5】



【図 6】

FIG 6



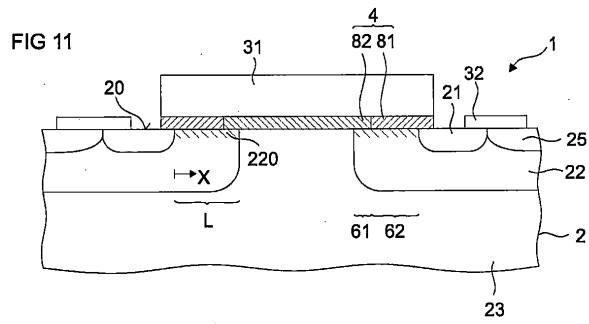
20

30

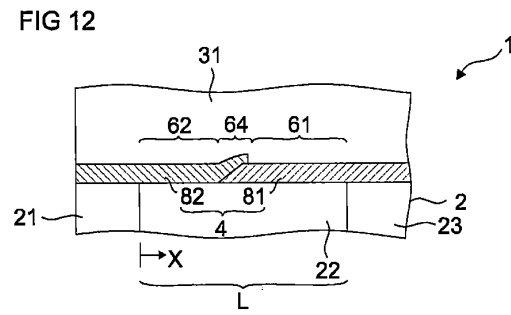
40

50

【図 1 1】

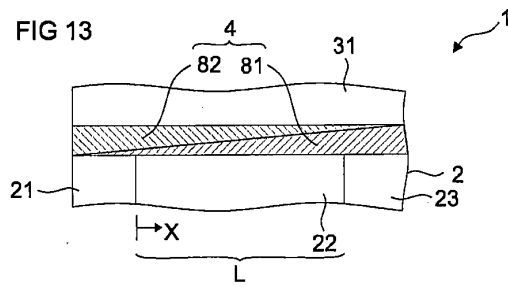


【圖 12】



10

【図 13】



20

30

40

50

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2022/069644

A. CLASSIFICATION OF SUBJECT MATTER

INV. **H01L29/51 H01L29/739 H01L29/78 H01L21/336**
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2016/064550 A1 (SUGIMOTO MASAHIRO [JP] ET AL) 3 March 2016 (2016-03-03)	1, 3-5, 7, 8, 10, 11, 14-16, 18
Y	paragraph [0016] - paragraph [0067]; figures 1-7 paragraph [0075]	2, 9, 12, 13, 19, 20
Y	US 2011/089483 A1 (REYNES JEAN MICHEL [FR] ET AL) 21 April 2011 (2011-04-21) paragraph [0023] - paragraph [0027]; figure 2 paragraph [0058] - paragraph [0061]; figure 8	2

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

28 October 2022

Date of mailing of the international search report

07/11/2022

Name and mailing address of the ISA/
European Patent Office, P.B. 5618 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Lantier, Roberta

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2022/069644

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 109 087 951 A (SHENZHEN NANSHUO MINGTAI TECH CO LTD) 25 December 2018 (2018-12-25)	9
A	abstract associated text; figures 1-3	1-8, 10-20
Y	US 2012/025874 A1 (SAIKAKU HIROTAKA [JP] ET AL) 2 February 2012 (2012-02-02) paragraph [0120] - paragraph [0124]; figure 7 paragraph [0127] - paragraph [0133]; figure 9 paragraph [0195] - paragraph [0199]; figure 21	12
Y	US 2021/111279 A1 (RYU SEI-HYUNG [US]) 15 April 2021 (2021-04-15) paragraph [0032] - paragraph [0041]; figures 1, 2A-2D	13
Y	EP 1 248 300 A2 (SCHINDENGEN ELECTRIC MFG CO LT [JP]) 9 October 2002 (2002-10-09) paragraph [0047] - paragraph [0053]; figures 22-25 paragraph [0054] - paragraph [0070]; figures 27-50	19, 20
A	J. ROBERTSON: "High dielectric constant oxides", THE EUROPEAN PHYSICAL JOURNAL APPLIED PHYSICS, vol. 28, no. 3, 2 December 2004 (2004-12-02), pages 265-291, XP055054404, ISSN: 1286-0042, DOI: 10.1051/epjap:2004206 table 2	1-15
A	US 2016/104794 A1 (TAKEUCHI YUICHI [JP] ET AL) 14 April 2016 (2016-04-14) paragraph [0028]; figure 1	13-20
A	US 2015/214362 A1 (OH TAE-KYUNG [KR]) 30 July 2015 (2015-07-30) paragraph [0045] - paragraph [0046]; figure 2A	14

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2022/069644

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2016064550 A1	03-03-2016	JP 2016054181 A US 2016064550 A1	14-04-2016 03-03-2016
US 2011089483 A1	21-04-2011	EP 2294621 A1 TW 201007848 A US 2011089483 A1 WO 2010001201 A1	16-03-2011 16-02-2010 21-04-2011 07-01-2010
CN 109087951 A	25-12-2018	NONE	
US 2012025874 A1	02-02-2012	CN 102347356 A DE 102011079747 A1 US 2012025874 A1 US 2015041850 A1	08-02-2012 02-02-2012 02-02-2012 12-02-2015
US 2021111279 A1	15-04-2021	CN 114556589 A EP 4042485 A1 KR 20220079636 A US 2021111279 A1 WO 2021071758 A1	27-05-2022 17-08-2022 13-06-2022 15-04-2021 15-04-2021
EP 1248300 A2	09-10-2002	EP 1248300 A2 JP 4073176 B2 JP 2002299619 A US 2002153558 A1 US 2005017294 A1	09-10-2002 09-04-2008 11-10-2002 24-10-2002 27-01-2005
US 2016104794 A1	14-04-2016	CN 105264667 A JP 6048317 B2 JP 2014236189 A US 2016104794 A1 WO 2014196164 A1	20-01-2016 21-12-2016 15-12-2014 14-04-2016 11-12-2014
US 2015214362 A1	30-07-2015	KR 20150090669 A US 2015214362 A1	06-08-2015 30-07-2015

フロントページの続き

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,N
E,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,
CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,IR,IS,IT,J
M,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY
,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,T
H,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW
ユバツハベーク、 1 2