(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
H03L 7/00

(45) 공고일자 2002년06월20일
(11) 등록번호 10-0340660
(24) 등록일자 2002년05월31일

(21) 출원번호 10-1999-7012192
(22) 출원일자 1999년12월23일
번역문 제출일자 1999년12월23일
(86) 국제출원번호 PCT/JP1998/02870
(86) 국제출원출원일자 1998년06월26일

(65) 공개번호 특2001-0014133
(43) 공개일자 2001년02월26일

(87) 국제공개번호 WO 1999/00903
(87) 국제공개일자 1999년01월07일

(81) 지정국 국내특허 : 대한민국, 미국, 일본,

(30) 우선권주장
1997-171470 1997년06월27일 일본(JP)
1997-248701 1997년09월12일 일본(JP)

(73) 특허권자
가부시키가이샤 히타치세이사쿠쇼
가나이 쓰토무
일본 도쿄토 치요다쿠 간다스루가다이 4쪼메 6반치

(72) 발명자
가또,가즈오
일본319-1106이바라끼껭나라궁도까이무라시라까따1693-6
사세,다까시
일본319-1225이바라끼껭히따찌시이시나자까쪼1쪼메19-1-104
호따,다까시
일본319-1224이바라끼껭히따찌시미나미꼬야쪼3-5-12
아오끼,히로까즈
일본192-0041도꾜도하찌오지시나까노까미쪼1-30-4레지덴스마스다401
구리따,고자부로
일본198-0024도꾜도오메시신마찌5-13-14

(74) 대리인
장수길
구영창

심사관 : 김준한

(54) 위상 동기 회로, 정보 처리 장치 및 정보 처리 시스템

요약

광대역에서 동작 가능한 PLL 회로를 실현하기 위해, PLL 회로를 발진기로부터의 출력을 비례 제어부를 통해 발진기로 궤환하는 루프와, 발진기로부터의 출력을 적분 제어부를 통해 발진기로 궤환하는 루프의 2개의 루프에 의해 형성한다. 비례 제어부는 발진기의 출력 주파수를 제어하기 위한 것으로, 입력 신호와 출력 신호와의 차로부터 제어 신호를 생성한다. 또한, 적분 제어부는 발진기의 출력 신호의 위상을 제어하는 것으로, 입력 신호와 출력 신호의 위상차로부터 제어 신호를 생성한다. 또한, PLL 회로에 전류 제어형 발진기를 적용하여 위상을 동기시키기 위한 적분 제어부를 위상 비교기, 챠지 펌프 회로, V/I 변환 회로, 및 T/I 변환기로 구성한다. 그리고, 제어 전극을 순방향 바이어스시킨 전류 스위치와, 전류 스위치의 저 전압측 전극에 출력이 접속된 상보 쌍성 출력의 전류 스위치 구동용 전압 스위치로 구성한 전류 스위치 회로를 챠지 펌프 회로, 및 T/I 변환 회로의 전류 스위치에 적용한다.

대표도

도 1

색인어

위상 동기 회로, 정보 처리 장치, 정보 처리 시스템, 전류 스위치, 위상 동기 루프 회로, 전류 제어형 발진기

명세서

기술분야

본 발명은 제어 발진기(VCO/CCO)의 선형화 제어를 행한 위상 동기 루프(PLL) 회로 및 그것을 이용한 정보 처리 시스템에 관한 것으로 마이크로프로세서에 내장 집적화된 클럭 발생 회로 응용에 적합한 기술이다. 또한, 본 발명은 전류 스위치 회로에 관한 것으로, 특히 위상 동기 루프(PLL) 회로, 아날로그 · 디지탈(A/D) 변환 회로, 또는 디지탈 · 아날로그(D/A) 변환 회로 등, 고속 아날로그 스위치를 필요로 하는 회로에 적당한 전류 스위치 회로에 관한 것이다.

배경기술

위상 동기 루프 회로(이하 PLL 회로라고 칭함.)는 최근 마이크로프로세서의 내장 클럭 발생 수단으로서 다용되고 있고, 그 동작 주파수도 마이크로프로세서의 응용에 따라 광범위, 또한 고주파화하고 있다.

이와 같이 PLL 회로를 광범위하게 동작시키기 위해서는 동작 주파수에 비례한 어떤 바이어스 발생, 제어 수단이 필요하다. 그 실현 수단으로서, 종래부터 몇개의 기술의 개시가 이루어지고 있다.

예를 들면, 특평개4-37219호 공보에는, 동작 주파수가 소정치로부터 이동한 점에서는 PLL 회로에 있어서의 루프 필터 출력 전압도 이동하기 때문에, 루프 필터 전압을 검출하여 항상 Vcc/2로 제어하는 바이어스 제어를 가함에 따라 안정된 동작을 실현하는 기술이 기재되어 있다. 또한, 특개평2-230821호 공보, 특개평8-139597호 공보에서는, PLL 회로 중의 전류 제어 발진기(이하, CCO라고 칭함.)의 동작점 설정을 CCO와 동일한 지연 특성을 갖는 복사품 회로를 이용하여 설정하는 방법으로서, 입력동작 주파수에 비례한 CCO의 동작 설정을 행하고, 안정된 동작을 실현하는 것이 기재되어 있다.

그러나 상기된 종래 기술에서는, PLL 회로를 광범위하게 동작시키기 위해 필요한 조건으로서의 CCO의 입출력 특성을 직선적이라고 간주하여 회로를 구성하고, 제어하고 있다. 그러나, 일반적으로 고주파 영역에 있어서의 CCO의 입출력 특성은 비선형 특성이고, 이 경우 중심 주파수의 설정점이나 CCO의 제어 이득도 비선형이 되기 때문에 광범위에 걸쳐 동작시키면 PLL의 제어계의 주요 파라메터가 최적 설계치로부터 벗어나 안정 동작시킬 수 없다. 따라서, 안정된 동작을 시키기 위해 CCO의 직선성이 좋은 저주파측에 제한하여 동작시켜야된다는 문제가 있었다.

또한, 일반적으로 PLL 회로는 입력 신호와 발진기의 발진 신호와의 위상차에 따라 발진기를 제어하는 것이지만, 이 제어를 행하기 위해서는 입력 신호와 발진 신호와의 주파수차가 어느 일정한 범위로부터 벗어나면 PLL 회로로서의 기능을 다하지 않는다. 즉, 입력 신호와 발진 신호와의 주파수차가 제한된 범위에서 밖에 PLL 회로를 적용할 수 없다고 하는 문제가 있었다.

한편, 이 분야에 있어서의 LSI 기술은 해마다 미세화, 저 전압화, 고주파화가 진전되기 때문에 CCO 특성의 포화, 그 밖의 비선형성도 해마다 증대하여 PLL 회로에서의 광범위 동작 설계의 요구 실현을 현저하게 곤란한 것으로 하고 있다.

또한, 종래부터 PLL 회로, A/D 변환 회로, 또는 D/A 변환 회로등의 고속의 아날로그 스위치를 필요로 하는 회로에, 종속 스위치 회로나 저임피던스의 레벨 시프트 구동단을 갖는 전류 스위치 회로를 이용할 수 있다. 레벨 시프트 구동단을 갖는 전류 스위치 회로에 대해서는, 제이 그레임의 「개량된 D/A 변환기는 변환 시간을 개선함」EDN Magazine, 1971년 3월 15일 호, 39-41페이지 (J. Grame 'Monolithic D/A Improves Conversion Time' EDN Magazine, March 15, pp. 39-41)에 구체예가 기재되어 있다.

그런데, 상기 종속 스위치 회로는 스위치·오프시의 기생 용량에 기인하는 시상수때문에, 스위치·오프 시간을 충분히 단축할 수 없다. 이 때문에, 스위치의 고속화를 충분히 꾀할 수 없다.

또한, 상기 레벨 시프트 구동단을 갖는 전류 스위치 회로에서는, 레벨 시프트 구동단이 복잡(직렬 소자수가 많음)하여 소자의 변동의 영향을 받기 쉽다. 이 때문에, 레벨 시프트 구동단을 에미터 폴로워로 구성하고, 상기 구동단을 고 전압 동작시키도록 하고 있다. 따라서, 레벨 시프트 구동단을 갖는 전류 스위치 회로에서는, LSI의 저 전압화를 꾀하는 데 적합하지 않다. 저 전압 동작시키고자 하면, 스위칭 신호에 대해 에미터 전류의 감소 방향의 구동 임피던스가 상기 전류의 증가 방향의 구동 임피던스보다도 높아져 스위칭 시간이 비대칭으로 길어져 버린다. 이 때문에, 스위치의 고속화를 충분히 꾀할 수 없다.

< 발명의 개시

본 발명은, 이러한 문제에 감안하여 행해진 것으로서, 그 제1 목적은 CCO의 비선형성에 기초한 중심 주파수 설정의 어긋남이나 루프의 제어 이득의 불안정 요인을 제거하고, 최적의 제어 루프 파라메터를 유지한 상태에서 광범위 동작 가능한 PLL 회로를 실현하는 것에 있다. 이것은, 입력되는 제1 클럭 신호와 위상이 동기하는 제2 클럭 신호를 생성하기 위한 제1 귀환 회로와, 입력되는 상기 제1 클럭 신호와 거의 같은 주파수의 제2 클럭 신호를 생성하는 제2 귀환 회로를 갖음으로써 달성할 수 있다.

또한, 입력 신호에 기초하여 출력 신호를 적분 제어하기 위한 제1 제어 신호를 생성하는 제1 제어 신호 생성부와, 입력 신호에 기초하여 출력 신호를 비례 제어하기 위한 제2 제어 신호를 생성하는 제2 제어 신호 생성부와, 제1 제어 신호와 제2 제어 신호에 기초하여 클럭 신호를 출력하는 발진기를 갖음으로써 달성할 수 있다.

즉, 위상차에 따라 입력 주파수와 출력 주파수의 위상의 동기를 취할 수 없는 경우라도, 우선 입력 주파수와 출력 주파수의 주파수의 차를 비례 제어에 의해 없앰에 따라, 위상의 동기를 얻을 수 있게 되어 광대역에서 안정된 동작을 실현할 수 있다.

또한, 본 발명의 제2 목적은 보다 고정밀도의 루프 제어를 행하기 위한 변환기를 제공하는 것에 있다. 이것은, 입력되는 신호에 기초하여 충방전을 행하는 CMOS 인버터와 용량으로 구성한 충방전 회로와 전류 미러 필터에 의해 구성한 변환 회로는, 입출력 특성의 직선성을 매우 높힐 수 있으므로 이 변환 회로를 사용하여 비례 제어부를 구성함으로써, 고정밀도의 제어를 행할 수 있다.

또한, 본 발명의 제3 목적은 광범위 동작 가능한 PLL 회로를 이용하여 동작환경에 따라 최적의 클럭 주파수로 동작하는 마이크로 컴퓨터를 제공하는 것에 있다. 이것은, 클럭 주파수에 기초하여 데이타의 처리를 행하는 정보 처리 장치와, 정보 처리 장치와 접속되고 내부 상태를 출력하는 회로를 갖는 정보 처리 시스템으로서, 정보 처리 장치는, 주변 회로로부터 출력되는 내부 상태에 기초하여 클럭 주파수를 가변함으로써 환경에 따른 최적의 동작을 실행하고, 상기 정보 처리 장치는 입력 신호와 출력 신호의 위상차로부터 제1 제어 신호를 생성하는 제1 제어 신호 생성부와, 입력 신호와 출력 신호와의 주파수의 차로부터 제2 제어 신호를 생성하는 제2 제어 신호 생성부와, 상기 제1 제어 신호와 상기 제2 제어 신호에 기초하여 클럭 신호를 출력하는 발진기를 포함하는 클럭 생성부를 갖는 시스템을 실현할 수 있다.

본 발명의 제4 목적은 스위치의 온/오프 쌍방향 모두 스위치 시간을 단축 가능한 전류 스위치 회로를 제공하는 것에 있다. 또한, 본 발명의 다른 목적은 저 전압 동작이 가능한 전류 스위치 회로를 제공하는 것에 있다. 이것은 제어 전극을 순방향 바이어스시킨 전류 스위치와, 상기 전류 스위치의 저 전압측 전극에 출력이 접속된 상보 쌍성(complementary) 출력의 상기 전류 스위치 구동용 전압 스위치를 전류 스위치가 구비됨에 따라 달성할 수 있다.

여기서, 전류 스위치로서는, 예를 들면 MOS 트랜지스터나 바이폴러형 트랜지스터, 또는 IGBT 등의 반도체 스위치가 적용 가능하다. 이 전류 스위치는 정전류 회로를 구성하도록 해도 된다.

또한, 상보 쌍성 출력의 전압 스위치로서는, 예를 들면 CMOS 인버터나 바이폴라 상보 에미터 폴로워 등이 적용 가능하다.

본 발명은 상기 구성에 따라, 전압 스위치의 입력에 「개방」방향의 제어 신호가 인가되면, 상기 전압 스위치의 출력은 순방향 바이어스되어 있는 전류 스위치의 저 전압측 전극 전압을 상기 전류 스위치를 차단하는 방향으로 변화시킨다. 이에 따라, 전류 스위치는 급속히 차단된다.

한편, 전압 스위치의 입력에 「폐쇄」방향의 제어 신호가 인가되면, 상기 전압 스위치의 출력은 전류 스위치의 저 전압측 전극 전압을 도통시키는 방향으로 변화시킨다. 이에 따라, 전류 스위치는 급속히 도통된다.

여기서, 본 발명에서는 전류 스위치의 구동단으로서, 상보 쌍성 출력 특성의 전압 스위치를 이용하고 있다. 이 상보 쌍성 출력 특성의 전압 스위치는 고저(高低) 양출력 레벨 모두 저출력 임피던스가 되므로, 스위치의 온/오프 쌍방향 모두 스위치 시간을 충분히 단축할 수 있다.

또한, 전류 스위치의 구동단을 상보 쌍성 출력 특성을 갖는 전압 스위치로 구성하고 있으므로, 구동단의 직렬 소자수를 적게 할 수 있다. 이 때문에, 저 전압으로 동작시킬 수 있다.

도면의 간단한 설명

도 1은 본 발명의 광대역 PLL 회로의 기본 구성을 도시한 도면.

도 2는 본 발명의 광대역 PLL 회로의 구성을 도시한 도면.

도 3은 본 발명의 광대역 PLL 회로의 비례 제어부와 발진기의 입출력 특성을 도시한 도면.

도 4는 본 발명의 광대역 PLL 회로의 비례 제어부의 기본 구성을 도시한 도 면.

도 5는 본 발명의 전류 변환 회로와 발진 회로의 회로 구성을 나타낸 도면.

도 6은 본 발명의 F/I 변환기의 회로 구성을 도시한 도면.

도 7A 및 7B는 각각 도 6에서 도시된 F/I 변환기의 입출력 특성을 나타낸 도 면.

도 8은 본 발명의 다른 F/I 변환기의 구성을 나타낸 도면.

도 9는 본 발명의 광대역 PLL 회로의 상세한 구성을 블럭으로 도시한 도면.

도 10은 본 발명의 광대역 PLL 회로의 회로 구성을 도시한 도면.

도 11은 본 발명의 광대역 PLL 회로의 입출력 특성을 나타낸 도면.

도 12는 본 발명의 광대역 PLL 회로의 다른 구성을 도시한 도면.

도 13은 본 발명의 광대역 PLL 회로를 적용한 마이크로프로세서의 회로 구성을 도시한 도면.

도 14는 도 13의 배터리 상태 검출 회로의 회로 구성을 도시한 도면.

도 15는 2전원으로 동작하는 마이크로프로세서에 있어서의 PLL 회로의 제1 배치 전원 영역을 나타내는 도면.

도 16은 도 15의 구체적인 마이크로프로세서의 회로 구성을 도시한 도면.

도 17은 2전원 동작 마이크로프로세서에 있어서의 PLL 회로의 제2 배치 전원 영역을 나타내는 도면.

도 18은 도 17의 구체적인 마이크로프로세서의 회로 구성을 나타내는 도면.

도 19는 본 발명의 광대역 PLL 회로를 프로세서 시스템에 적용한 구성을 도시한 도면.

도 20은 본 발명에서 적용 가능한 다른 발진기의 일례를 나타내는 도면.

도 21은 본 발명에서 적용 가능한 다른 발진기의 일례를 나타내는 도면.

도 22은 본 발명에서 적용 가능한 다른 발진기의 일례를 나타내는 도면.

도 23은 본 발명의 전류 스위치 회로의 개략 구성도.

도 24는 도 23에 도시된 전류 스위치 회로의 입출력 동작 파형을 나타내는 도면.

도 25는 본 발명의 광대역 PLL 회로에 전류 스위치를 적용한 경우의 개략 구성도.

도 26은 본 발명의 전류 스위치 회로가 적용된 전류 가산형의 D/A 변환 회로의 개략 구성도.

도 27은 본 발명의 다른 전류 스위치 회로의 개략 구성도.

도 28은 도 27에 도시된 본 발명의 제2 실시예의 변형예를 나타내는 도면.

도 29는 본 발명의 다른 전류 스위치 회로의 개략 구성도.

도 30은 본 발명의 다른 전류 스위치 회로의 개략 구성도.

< 발명을 실시하기 위한 최량의 형태

도 1에 본 발명의 광대역 PLL 회로를 실현하기 위한 기본 구성을 도시한다. 이것은 비례 제어부(3000), 적분 제어부

(2000), 발진기(100)로 구성되고, 발진기(100)로부터의 출력을 비례 제어부(3000)를 통해 발진기(100)로 궤환하는 루프와, 발진기(100)로부터의 출력을 적분 제어부(2000)를 통해 발진기(100)로 궤환하는 루프와의 2개의 루프를 형성하고 있다. 구체적으로는, 발진기(100)는 비례 제어부(3000)에 의해 입력 신호 Sin과 발진기의 출력 신호 Sv로부터 생성되는 제어 신호 S1과, 적분 제어부(2000)에 의해 입력 주파수 Sin과 발진기(100)의 출력 주파수 Sv로부터 생성되는 제어 신호 S2와의 신호에 의해 출력 신호 Sv가 제어된다.

본 발명의 광대역 PLL 회로에서 비례 제어부(3000)는 발진기(100)의 출력 주파수를 제어하기 위한 것으로, 입력 신호 Sin과 출력 신호 Sv와의 차로부터 제어 신호 S1을 생성한다. 또한, 적분 제어부(2000)는 발진기(100)의 출력 신호의 위상을 제어하는 것으로, 입력 신호 Sin과 출력 신호 Sv와의 위상차로부터 제어 신호 S2를 생성한다.

이와 같이 구성한 광대역 PLL 회로는 우선 비례 제어부(3000)에 의해 발진기(100)의 출력 신호 Sv가 입력 신호 Sin의 주파수가 동기하고, 이어서 적분 제어부(2000)에 의해 출력 신호 Sv가 입력 신호 Sin의 위상에 동기한다.

따라서, 입력 신호와 출력 신호와의 주파수의 차가 큰 경우라도, 안정된 동작을 행할 수 있다.

이하, 본 발명의 광대역 PLL 회로에 대해 구체적으로 설명하기로 한다.

도 2는 보다 구체적인 광대역 PLL 회로의 구성을 도시한 것이다. 이 광대역 PLL 회로는, 발진기(100)로서 전류 제어형 발진기(이하, CCO라고 칭함.)를 적용한 것으로, 도 1에 도시된 비례 제어부(3000)를 2개의 F/I 변환기(300, 400)와 전류 가산 회로(200)에 의해 구성하고, 적분 제어부(2000)를 위상 비교기(700), 챠지 펌프 회로(800)에 의해 구성한 것이다. 또한, CCO100의 출력 주파수 fv는 듀티비를 조정하기 위한 플립플롭 회로(F/F : 150) 및 분주기(600)를 통해 비례 제어부(3000), 적분 제어부(2000)로 귀환되도록 구성되어 있다.

이 광대역 PLL 회로에서, 적분 제어부(2000)에 의한 루프 동작에 대해 설명하기로 한다. 위상 비교 회로(700)에서 입력 주파수 fin 및 귀환 주파수 fFB의 위상을 비교하고, 챠지 펌프 회로(800)에서 위상차에 따른 전류를 발생시키고, 전류 가산기(900)를 통한 전류 신호로 CCO100을 제어한다. CCO100으로부터 출력되는 신호는 F/F150 및 분주기(600)에 의해 1/N로 분주되어 다시 위상 비교 회로(700)로 입력되고, 최종적으로 출력 단자(25)의 위상과 입력 신호의 위상이 동기한다.

또한, 비례 제어부(3000)에 의한 루프 동작에 대해 설명하기로 한다. 입력 단자(10)로부터 입력된 입력 주파수 fin의 입력 신호는 직선성이 우수한 F/I 변환기(400)에 의해 설정전류 Ic로 변환되고, 전류 가산 회로(200)에서 증폭되어 제어 전류 Iv가 되어 CCO100에 입력된다. CCO100은, 제어 전류 Iv에 따라 출력 주파수 fv의 출력 신호를 출력한다. 이 출력 신호는 F/F150과 분주 회로(600)에 의해 1/N으로 분주되어 F/I 변환기(300)에 입력되어 출력 전류 Io를 출력한다. 이에 따라, 이 제어계는 Ic Io 되는 점에서 평형하고, 그 때에 분주 회로(600)의 출력 단자(25)의 주파수는 입력 주파수 fin과 같아진다.

여기서 입력측의 F/I 변환기(400) 및 귀환측의 F/I 변환기(300)의 이득을 각각 K1(㎒/㎂), K2(㎒/㎂)로 하면 각 F/I 변환기(300, 400)의 입출력간에는 다음 관계식이 성립한다.

수학식 1

$$Ic = K1 \cdot fin$$

$$Io = K2 \cdot (fv/N)$$

또한 전류 가산 회로(200)의 제어 이득이 충분히 크다고 하면 Ic=Io이 되기 때문에 수학식 2와 같다.

수학식 2

$$K1 \cdot fin = K2 \cdot (fv/N)$$
$$fv = (K1/K2) \cdot fin$$

수학식 2로부터 2개의 F/I 변환기(300, 400)를 동일 상수의 동일 회로로 구성하면 K1/K2=1이 성립하고, 이 경우 fv=N · fin이 된다. 즉 수학식 2에 나타낸 바와 같이 입, 출력 주파수의 관계는 K1/K2의 비에 따라 결정되기 때문에 K1, K2가 동일 특성이면 주파수/전류 특성에 비선형성이 있어도 전체의 특성은 선형화되게 된다.

수학식 2에서 나타낸 바와 같이, 이 제어계는 통상의 PLL에 의한 위상 제어와 다르고, 주파수 비례 제어이므로 응답, 주파수 정밀도 모두 F/I 변환기(300, 400)에 의해서만 결정되게 되므로 고속, 고정밀도로 제어할 수 있다.

여기서, 분주 회로(600), F/I 변환기(300, 400)의 입출력 특성은 선형 동작이 보증되어 있기 때문에, CCO100 단체(單體)의 특성이 비선형이라도 광대역 PLL 회로로의 입력 주파수 fin과 CCO100의 출력 주파수 fv는 주파수가 높아져도 비례 관계가 된다. 또한, 입력 주파수 fin과 귀환 주파수 fFB와의 주파수차가 커도, 비례 제어부(3000)를 포함하는 루프에 의해 고속으로 귀환 주파수 fFB를 입력 주파수 fin로 설정할 수 있으므로 PLL의 기능을 발휘할 수 있다.

이 밖에 도 2에 도시된 광대역 PLL 회로는

(1) 입력 주파수 fin에 비례하여 정확히 CCO100의 출력 주파수(중심 주파수) fv를 설정할 수 있다.

(2) 분주 회로(600)를 이용하여 보다 높은 한계적인 발진 영역에서 발진시킬 수 있다.

(3) 2개의 F/I 변환기(300, 400)를 쌍으로 이용하기 때문에 오차나 드리프트등이 있는 경우라도 특성은 양자(兩者)의 비가 되어 단체의 경우보다도 오차는 저감된다.

(4) 항상 F/I 변환기(300, 400)의 정밀도에 가까운 범위에서 CCO30의 중심 주파수가 거의 정확히 설정되기 때문에, PLL 회로로서의 인입 시간이 단축된다라고 하는 이점을 갖는다.

도 3은 CCO100 단체의 입력 전류 Iv - 출력 주파수 fv 특성과 선형화 제어 입력 전류 Ic - 출력 주파수 fv 특성을 나타낸 것이다.

도 3의 A는 CCO100 단체에서의 입출력 특성을 나타낸 것으로, CCO100의 이득 fv/Iv는 전류가 커짐에 따라 포화에 의해 점차로 직선성이 저하하고, 1000㎒ 부근에서는 저주파의 1/10이하로 직선성이 저하하고 있다.

도 3의 B는 도 4에 도시된 회로의 입출력 특성을 나타낸 것이다.

도 4의 회로는 도 2에 도시된 광대역 PLL 회로 중, CCO100에 대한 선형화 제어부의 구성을 나타낸 것이다. 이 제어계는 CCO100의 출력 주파수 fv를 입출력 특성의 직선성이 좋은 F/I 변환기(300)를 통해 귀환하는 구성으로 하고 있다. 입력 단자(15)를 통해 입력 전류원(500)으로부터의 입력된 설정전류 Ic는 전류 가산 회로(200)에 의해 귀환된 F/I 변환기의 출력 전류 Io과 가산된다. 전류 가산 회로(200)에 의해 가산된 전류는 제어 전류 Iv로서 CCO100에 입력되고, CCO100은 이 제어 전류 Iv에 따른 주파수 fv의 출력 신호를 출력한다. 여기서, 전류 가산 회로(200)는 Ic를 정극성, Io를 부극성으로서 입력하고, 그 차 (Ic - Io)를 제어 신호 Iv로 하고 있으므로, 이 제어계는 Ic - Io=0이 되는 상태로 제어된다.

이 제어계의 입출력 특성은 도 3의 B와 같은 특성이 되고, CCO100의 직선 출력 범위는 외견상 확대된다. 즉, 도 4에 도시된 회로의 제어계에 따르면 제어 이득 fv/Ic는, 거의 일정한 값을 취하고, 감소가 수% 이내라고 했듯이 직선성이 매우 우수한 것이 된다. 이와 같이 입출력 특성의 직선성이 높은 F/I 변환기(300)에 의해 신호를 귀환하는 구성으로 함에 따라, 입력인 설정전류 Ic와 출력 주파수 fv와의 관계는 CCO100의 특성에는 영향받지 않고, 선형화할 수 있다.

이와 같이 광대역 PLL 회로는 입출력 특성이 광범위에 걸쳐 직선성이 유지되는 F/I 변환기(300)를 이용하여 출력 신호를 귀환하는 구성으로 하기 때문에 회로 전체로서의 입출력 특성은 광범위에 걸쳐 직선성이 유지된다.

도 5는 도 4에 도시된 전류 가산 회로(200)와 CCO100의 상세 구성을 도시한 것이다. 도 5에 있어서, 점선 내에 도시된 회로가 전류 가산 회로(200)이다. 전류 가산 회로(200)는 NMOS 트랜지스터쌍 Q8 및 Q9, PMOS 트랜지스터 Q10, 및 소용량의 캐패시터 C4로 구성된다. 전류 가산 회로(200)는 2개의 입력 단자(15, 30)와 하나의 출력 단자(35)를 가지며 다음과 같이 동작한다.

입력 단자(15)에 설정전류 Ic를 입력하고, 입력 단자(30)에는 F/I 변환기(300)의 출력 전류 Io를 입력하면 Ic, Io의 대소 관계에 따라 트랜지스터 Q9의 드레인 전위가 변화한다. 구체적으로는 Ic< Io 이면 트랜지스터 Q9의 드레인 전위가 상승하고, IcIo 이면 트랜지스터 Q9의 드레인 전위가 하강한다. 따라서, IcIo이면 출력 단자(35)의 제어 전류 Iv는 증가하고, Ic< Io 이면 출력 단자(35)의 제어 전류 Iv는 감소한다. 이 전류 가산 회로(200)의 전류 이득은 트랜지스터 Q9, Q10의 컨덕턴스를 gm9, gm10으로 하고, 트랜지스터 Q9의 임피던스를 γ9로 하면, 이득 ∝gm9·gm10·γ9가 되어 매우 높은 이득을 실현할 수 있다.

도 5에 있어서, CCO100은 트랜지스터쌍 Q21, Q31, Q22 Q2n, Q32 Q3n의 홀수단의 CMOS 인버터의 링 카운터로 구성하고 있다. 또한, 링 카운터의 각 단의 Vcc 측 및 GND 측에는 트랜지스터 Q11 Q1n, Q41 Q4n으로 이루어지는 정전류 회로가 삽입되어 있고, 이들 정전류 회로는 전류 미러 회로를 구성하는 트랜지스터 Q7, Q5를 통해 전류 가산 회로(200)의 출력 단자(35)와 접속된다.

이와 같이 전류 가산 회로(200)의 전류 이득이 매우 높으므로 CCO100은 제어 전류 Iv의 변화에 대해 매우 높은 감도로 CCO100의 출력 주파수 fv를 변화시킬 수 있다.

이어서 F/I 변환기(300)의 상세한 구성에 대해 설명하기로 한다.

도 6에 F/I 변환기(300)의 상세한 회로 구성을 나타낸다. 도 6에 도시된 F/I 변환기(300)는 CMOS의 푸시풀 인버터 Invl과 그 출력측의 캐패시터 Co로 충방전 회로를 구성하고 있고, 그 충전 전류는 트랜지스터 Q27 Q34에 이르는 다단의 전류 미러 회로의 필터를 통해 출력 단자(30)로부터 출력되는 구성으로 이루어져 있다.

인버터 Inv1의 전원측 전압은 항상 일정해지도록, 트랜지스터 차동쌍 Q21, Q22 및 트랜지스터 Q23, Q24, Q25, Q26 등으로 구성되는 차동 증폭기 Amp에서 부궤환 제어하고 있다. 또 캐패시터 C1은 V점의 급격한 전압 변화를 억제하기 위한 평활 캐패시터이다. 이와 같이 인버터 Inv1의 전원측 전압은 전류 미러 회로를 구성하는 트랜지스터 Q27, Q28의 게이트를 통해 부궤환 제어되므로, Vcc를 저항 R1, R2로 분압한 전압의 변동을 없애서 일정전압으로 할 수 있다.

이와 같이 구성된 F/I 변환기(300)의 동작에 대해 설명하기로 한다.

입력 단자(25)로부터 f가 되는 주파수의 펄스 전압이 입력되면, 인버터 Inv1은 입력이 하이(high) 레벨일 때에 인버터 출력은 로우(low)가 되어 캐패시터 Co는 0(V)이 된다. 입력이 로우 레벨일 때에 인버터 Invl의 출력은 하이가 되어 캐패시터 Co는 V(V)로 충전된다. 이하, 주파수 f에서 인버터가 로우/하이를 반복하면, 캐패시터 Co는 0-V 간 충방전을 반복한다. 따라서, V 점으로부터 인버터에 공급되는 전류 I는 I=Co·V·f가 되어 주파수 f에 비례한 펄스 전류가 된다. 이러한 방식으로 얻어진 펄스 전류는 파고치가 매우 높아, 귀환 신호로서 알맞지 않다. 그래서, 이 펄스 전류를 평활화하여 거의 완전한 직류 전류로 하기 위해 트랜지스터 Q27 Q34로 이루어지는 다단의 전류 미러 회로의 일차측(Q27,

Q29, Q33)과 이차측(Q28, Q30, Q34) 사이의 직선성이 넓은 동작 전류 밀도에 걸쳐 유지되도록, 일차측과 이차측의 대칭성을 좋게 하고, 또한 반환 노드로부터 본 임피던스를 높히고, 각각의 고임피던스의 노드(B점, C점)에 용량 C2, C3과 같이 평활 캐패시터를 삽입한다. 이와 같이 구성된 전류 미러 회로의 트랜지스터 Q27에 흐른 펄스 전류는 Q28, Q29를 흘러 C2에서 평활화되고, Q30, Q33을 흘러 C3에서 더욱 평활화되어 최종적으로 Q34의 출력 단자(30)로부터 거의 완전한 직류가 되어 출력된다.

이 구성에 따르면, 광범위에 걸쳐 입력에 비례한 출력을 얻을 수 있다. 도 7A 및 도 7B에 상술된 F/I 변환기(300)의 입출력 특성을 나타낸다. 도 7A 및 도 7B는 전원 전압 Vcc=2.5V, V 점의 전압=1.5V인 경우에 있어서의 입출력 특성으로, 입력 주파수 f 및 캐패시터 Co에 비례한 출력 전류 Io를 얻을 수 있는 것을 알 수 있다. 입력 주파수 f에 대한 직선성도 매우 우수하고, 10 100㎒의 범위에서 0.5% 이내의 직선성을 얻을 수 있다. 또한, 도 6의 F/I 변환기(300)의 필터는 리플, 응답의 점에서도 우수하고, 10㎒ 입력시에도 리플이 0.05%, 95.5%의 설정(settling)이 5μs 이내가 된다.

또한, 보다 제어 정도를 향상시키기 위해서는, 2개의 F/I 변환기(300, 400)의 특성을 동일하게 하면 되고, 예를 들면 도 6의 F/I 변환기로 도시된 바와 같이, 기준 분압 저항 R1, R2를 공통으로 하거나, 기준 캐패시터 Co를 다수개로 분할하여 배열하고, 배열한 기준 캐패시터를 교대로 2개의 F/I 변환기(300, 400)의 캐패시터에 할당하도록 함으로써, 캐패시터의 배치에 의한 의존성을 적게 할 수 있다.

또한, 두개의 F/I 변환기(300, 400)의 구성을 보다 간단히 하는 것은 저 전압화나 동작의 변동의 점에서도 유효하기 때문에, 보다 간단화된 F/I 변환기를 도 8에 도시한다.

도 8의 F/I 변환기는 도 6에서 이용한 차동 증폭기 Amp를 이용하지 않은 F/I 변환기이다. 이 F/I 변환기에 있어서는, 충방전 인버터 Inv1의 부하측의 캐패시터 Co의 타단은 충방전 인버터 Inv1의 전원 단자측과 함께 접속된 후, 트랜지스터 Q27, Q28의 쌍으로 이루어지는 제1 전류 미러 회로의 입력측에 접속된다. 또한 캐패시터 C1은 제1 전류 미러 회로의 입력측 트랜지스터에 병렬 접속된다. 또한 제1 전류 미러 출력은 트랜지스터 Q29, Q30에 대한 제2 전류 미러 회로에 접속되고, 제2 전류 미러 회로는 트랜지스터 Q33, Q34의 쌍으로 이루어지는 제3 전류 미러 회로에 접속되어 출력 단자(30)로 유도된다. 각 전류 미러의 1차측과 2차측사이에는 전류의 리플분을 저감시키기 위한 각 CR필터, R8과 C2, R9와 C3, R10과 C4를 이용할 수 있다. 이 접속 회로에서는, 제1 전류 미러 회로의 입력 트랜지스터에 흐르는 신호 전류의 변화를 비교적 적게 할 수 있고, 따라서 인버터 Inv1의 전원측 단자 전압을 증폭기에서 정전압화하지 않은 경우라도 비교적 양호한 직선성(10 100㎒에서 2%정도)을 얻을 수 있다.

이와 같이 구성된 F/I 변환기는 입력 단자(25)에 온/오프의 교번 전압이 입력되면, 인버터 Inv1을 통해 캐패시터 Co는 Vcc-Vd(Vd : Q27의 다이오드 순방향 전압)로 충전되어 트랜지스터 Q27에는 펄스형의 전류가 흐른다. 그리고 트랜지스터 Q28에는 리플이 저감된 이차 전류가 흐른다. 또한 제2, 제3 전류 미러 회로에 의해 평활되어 출력 단자(30)로부터 입력 주파수에 비례한 직류 출력을 얻을 수 있다. 도 8에 도시된 회로에서는 차동 증폭기를 이용하지 않기 때문에 보다 낮은 전원 전압으로 동작시킬 수 있다.

이상의 F/I 변환기는 캐패시터 Co의 충방전 인버터 Inv1이 전원측에 있으므로 제1 전류 미러 회로를 PMOS 회로에서 폴드 백(fold back)하고 있지만, 충방전 인버터 Inv1을 접지측으로 한 경우에는, 제1 전류 미러 회로를 PMOS 회로로 변경하여 차례로 폴드해도 성립된다.

또한, 도 8의 전류 미러를 이용한 필터는 앞의 도 5와 마찬가지로 3단 구성으로 도시했지만, CR의 시상수를 크게 하여 1 단당 리플 감쇠량을 크게 하면, 1 단이라도 좋다.

이상 설명한 각 부의 구성에 기초하여, 도 2에 도시된 광대역 PLL 회로를 보다 구체적으로 나타낸 회로를 도 9에 도시한다.

입력 단자(10)에 입력된 입력 주파수 fin의 입력 신호는 위상 비교기(700)에 입력되고, VCO 블럭으로부터 귀환되는 주파수 fFB의 신호와의 위상을 비교하여 업 펄스(TU) 및 다운 펄스(TD)를 출력한다. 이 업 펄스(TU) 및 다운 펄스(TD)는 챠지 펌프 회로(800)에 입력되어 이에 의해 위상차에 따른 신호가 출력되고, 필터 캐패시터 CF에 의해 전압 VF로 변환된 후, VCO 블럭으로 입력된다

챠지 펌프 회로(800)로부터 출력된 전압 VF는 V/I 변환기(900)에서 전류로 변환되어 입력 제어 전류 △I1로서 전류 가산 회로(200)에 입력된다. 또한, 계수 회로(910)로부터 V/I 변환기(900)로 F/I 변환기(400)의 출력이 입력되지만, 이것은 V/I 변환(900)을 조정하기 위한 것이다.

이 전류 가산 회로(200)에는, 또한 F/I 변환기(400)를 통해 입력 주파수 fin에 상당하는 설정전류 Ic와, F/I 변환기(300)를 통해 플립플롭(FF : 150)의 출력 주파수 fo에 상당하는 출력 전류 Io가 입력된다. 전류 가산 회로(200)에서는, 이들 입력되는 전류를 가산하고, CCO100의 제어 전류 Iv'를 출력한다.

한편, 위상 비교기(700)로부터 출력되는 업 펄스(TU) 및 다운 펄스(TD)는 그대로 VCO 블럭의 입력이 되고, T/I 변환기(950)에 의해 안정화를 위한 리드 신호 전류 △I2로 변환된다. 또한, T/I 변환 회로(950)는 변환을 위한 조정 신호로서, 제어 전류 Iv'를 계수 회로 b2를 통해 입력되도록 하고 있다.

최종적으로, 전류 가산 회로(200)에 의해 가산된 제어 전류 Iv'와 리드 신호 전류 △I2가 전류 가산 회로(110)에서 가산되어 CCO100의 제어 전류 Iv로서 CCO100으로 입력된다.

이와 같이 구성한 광대역 PLL 회로는 PLL의 위상 인입 동작에 앞서, 2개의 F/I 변환기(300 및 400)의 전류차에 의해 CCO100의 출력 주파수 fv가 F/I 변환기의 동작 속도 및 정밀도에 따라 고속 또한 정확하게 설정된다.

그 후, 입력 단자(10)의 입력 주파수 fin과 출력 단자(21)의 출력 주파수 fo 사이에 존재하는 주파수차나 위상차가 분주 회로(600), 위상 비교기(700), 챠지 펌프 회로(800), 필터 CF, V/I 변환기(900), 전류 가산 회로(200), CCO100의 순환형 루프로 구성하는 부궤환 샘플 제어계에 의해 정밀하게 적분 제어되고, 입출력사이의 주파수차, 위상차는 거의 0이 된다. 또한, 위상차가 거의 0과 동일한 정상 상태에서 위상 비교기(700)의 출력에서 발생되는 매우 좁은 업(TU) ,다운(TD) 펄스는 적분 제어 외에, 별도 리드(비례) 제어로서 T/I 변환기(950)를 통해 CCO100의 입력에 더해지고, 시스템의 안정화의 덤핑(dumping) 동작이 된다. 또, CCO100에 대한 제어 이득의 직선화를 위해, V/I 변환기(900)의 기준은 설정전류 Ic측, T/I 변환기(950)의 기준은 Iv'측으로부터 취하고 있다. 이것은, PLL 회로의 제어에 바람직한 다음 이점을 실현하고 있는 것을 의미한다. 첫째는 CCO100의 출력 주파수의 대소에 비례하여 자동적으로 CCO의 제어하는 범위가 정해지는 것이고, 둘째는 CCO100에 포화 등의 비선형성이 있어도, 그것은 CCO100에 입력되는 제어 전류 Iv에 반영되므로 고속의 신호의 제어 전류도 선형 보정된다.

도 9의 각 블럭의 상세 회로를 도 10에 도시한다. 단 도 9의 위상 비교기(700)와 챠지 펌프부(800)는 여기서는 생략하고 있다. 도 10에서는 입, 출력측의 F/I 변환기(400, 300)의 구성 및 특성은 먼저 도 6, 도 7A 및 도 7B에 설명한 것과 동일하다. CCO100의 링 카운터 Amp1 Ampn은 보다 고주파 동작이 가능한 차동 증폭기로 구성하고 있다. 링 카운터 Amp의 차동 출력은 출력 버퍼(120)를 통해 발진 주파수 fv의 신호를 출력한다. 또, 출력 버퍼(120)는 Q51 Q55로 이루어지는 차동 싱글-엔드(single-ended) 변환단, 인버터 증폭기 Inv3, Inv4로 구성하고 있다. V/I 변환기(900)는 트랜지스터 Q41 Q44 및 바이어스 인버터 Inv2로 이루어지는 차동 증폭단으로 구성하고 있어, 그 출력은 트랜지스터 Q8의 드레인측에서 설정전류 Ic에 가산된다. 또한, T/I 변환기(950)는 트랜지스터 Q71 Q76되는 회로로 구성하고 있어, 그 기준 바이어스는 전류 가산 회로(200)의 트랜지스터 Q11로부터 주어지고 있다. 그리고 T/I 변환기(950)의 입력은 단자(51, 52)로부터 주어지고, 출력은 전류 가산 회로(200)의 트랜지스터 Q13에 가해지고 있다. 전류 가산 회로(200)의 상세한 구성 및 동작에 대해서는 도 5와 동일하지만, 트랜지스터 Q12 및 Q13의 접속점에 T/I 변

환 회로(950)의 출력이 접속됨으로써 전류 가산기(110)를 나타내고 있다.

V/I 변환부(900)의 기능은 광대역 PLL 회로의 위상 오차의 적분량에 따른 제어 전류를 발생시켜 발진기 CCO에 더하는 것이다. 그 구체적인 동작에 대해 진술하면, 챠지 펌프(800)의 출력측의 필터 캐패시터 CF의 단자 전압 VF(위상차의 적분 전압)은 Q41 Q45의 차동 증폭기에서 전류로 변환되고, 트랜지스터(71, 72)의 전류 미러를 통해 CCO100의 제어 전류 Iv에 더해진다.

광대역 PLL 회로의 위상 제어에 있어서 시스템의 안정화에 필요한 리드 신호 발생은 T/I 변환부(950)에 의해 발생된다. 구체적으로는 트랜지스터 Q72, Q75의 정전류 회로와 스위치 트랜지스터 Q73, Q76으로 구성되어 있다. 단자(51, 52)에 위상 비교기(700)로부터의 업(TU) 및 다운(TD) 펄스 신호에 따라 Q73, Q76은 온되고, 그 기간의 펄스 전류는 상술된 차동의 V/I 변환기(900)의 출력 전류에 가산되어 CCO100의 제어 전류가 된다.

도 11에 광대역 PLL 회로의 선형화 귀환 제어의 제어 범위 설정 특성예를 나타낸다. 입력 및 귀환측의 F/I 변환기(300, 400)의 비교 귀환 제어에 의해 도 11에 도시된 바와 같이, CCO100에 비선형성이 있는 경우에도 입력 주파수의 fin의 고(fin(H)), 저(fin(L)) 모두 직선적으로 발진 주파수 fv의 중심을 설정할 수 있다. 또한, 제어 입력의 ±△I 발생의 기준을 CCO100의 제어 전류 Iv를 기초로 하고 있으므로, 발진 주파수의 제어 범위 ±△f(L), ±△f(H)는 각각의 주파수 fv(L), fv(H)에 비례한 범위에서 정규화된다. 이와 같이 CCO100의 가변 주파수 범위 △f를 중심 주파수의 설정치에 비례하여 설정할 수 있는 것은, 광대역 PLL 회로에서 누설 노이즈등의 영향을 받기 쉬운 루프 필터 등의 다이나믹 회로가 분담하는 가변 신호 범위를 필요 최소한으로 설계할 수 있고, PLL 회로에 의한 제어의 S/N 비향상의 점에서 바람직하다.

또한, 지금까지는 광대역 PLL 회로에 대해 전류 제어형 발진기 CCO와 F/I 변환기에 의해 설명해 왔지만, 이것은 전압 제어형 발진기 VCO와 주파수 - 전압 변환기(F/V)에 의해서도 마찬가지로 구성할 수 있다.

도 12는 전압 제어형 발진기 VCO와 F/V 변환기에 의해 구성한 광대역 PLL 회로를 나타낸 것이다. 비례 제어부(3000)에 적용하는 F/V 변환기(310, 410)는 모두 F/I 변환기(300, 400)의 출력에 저항을 접속한 구성으로 하고 있다. 이것은, F/V 변환기(310, 410)의 입출력 특성의 직선성을 보상하기 위함이다.

이와 같이, 전압 제어 발진기 VCO로도 광대역 PLL 회로를 실현할 수 있지만, 저 전압 동작을 실현하기 위해서는, 전류 제어형 발진기 CCO와 F/I 변환기에 의해 구성한 광대역 PLL 회로쪽이 유효하다.

이상 설명된 바와 같이 비선형 특성을 갖는 발진기에 의해 광대역 PLL 회로를 실현하는 본 발명의 기술은, PLL 회로로서 동작 대역을 극한까지 높일 수 있으므로 응용 범위가 넓어진다. 특히, 첨단적인 마이크로프로세서에서는 소자의 미세화, 동작의 저 전압화, 고주파화가 해마다 동시에 진행하고, 발진기의 비선형성은 현저히 커진다. 따라서, 이러한 마이크로프로세서에 내장된 클럭 발생용의 PLL 회로로서 본 발명의 광대역 PLL 회로를 적용하는 것은 특히 유효하다.

도 13은 클럭 발생 회로로서 광대역 PLL 회로를 내장한 마이크로프로세서의 구성을 나타낸 것이다. 이 마이크로프로세서는, 클럭을 출력하기 위한 발진기(1010)와, 발진기(1010)의 발진 주파수를 제어하는 발진기 제어부(CPG : 1030)와, 발진기(1010)로 발진된 클럭 신호에 기초하여 데이타의 처리를 행하는 논리부(1220)와, 논리부(1220)와 발진기 제어부(1030)사이에 접속된 내부 버스(1230)로 구성되어 있다. 발진기(1010)는 광대역 PLL 회로(1011, 1021), 선택기(1013, 1014, 1017, 1023, 1024), 분주기(1012, 1022, 1027), 버퍼(1026), 수정 발진기(1025)로 구성되어 있다. 단자 XTAL, EXTAL 사이에 접속되는 수정 발진기(1025), 또는 단자 EXTAL에 외부 접속되는 펄스 발생기 중 어느 하나의 기준 클럭을 선택기(1017)로 선택하고, 선택된 기준 클럭은 분주기(1027)에서 분주된 후에 광대역 PLL 회로(1021)에 입력된다. 광대역 PLL 회로(1021)로부터의 출력은, 선택기(1023, 1013)에 입력됨과 동시에, 버퍼(1026)를 통해 출력 단자 CKIO 및 PLL 회로(1011)에 입력된다. 광대역 PLL 회로(1011)로부터의 출력은 선택기(1013, 1023)로 입력된다. 이와 같이 선택기(1013, 1023)는 2개의 광대역 PLL 회로(1011, 1021)의 출력을 수신

하여 어느 한쪽을 선택한다. 선택기(1013, 1023)에서 선택된 신호는 각각 분주기(1012, 1022)로 입력된다. 분주기(1012, 1022)는 입력된 신호를 3개의 다른 주파수의 신호로 분주하는 것이다. 분주기(1012)에 의해 분주된 신호는 선택기(1014)에 의해, 어느 하나가 선택되어 내부 클럭 Iφ가 된다. 분주기(1022)에 의해, 분주된 신호는 선택기(1024)에 의해 어느 하나가 선택되어 주변 클럭 Pφ가 된다. 또한, 각각의 분주기(1012, 1022)로부터의 출력은 각각 PLL 회로(1011, 1021)에서 궤환된다.

CPG 제어부(1030)는 단자 MD0 2의 결합에 의한 외부로부터의 모드 제어 정보와 마이크로프로세서로부터 소프트웨어적으로 설정된 주파수 제어 레지스터(FRQCR : 1032)의 정보에 의해 클럭 주파수 제어 회로(1031)에서 선택기(1013, 1014, 1017, 1023, 1024)를 제어함과 함께, PLL 회로(1011, 1021)의 주파수 체배율, 내부 클럭의 분주비, 주변 클럭의 분주비를 제어한다. 또한 PLL 스탠바이(standby), PLL 인에이블, 외부 클럭의 출력 인에이블 등의 제어를 행한다.

또한 CPG 제어부는 배터리 상태 검출 회로(1050)를 구비하고 있다. 이 배터리 상태 검출 회로(1050)는 배터리의 상태를 검출하고, 이 배터리의 상태에 따라 클럭 주파수를 제어하기 위한 값을 FRQCR1032로 설정한다. 이 설정에 기초하여, 발진기(1010)의 분주기(1027)를 제어하고, 클럭의 주파수를 제어한다.

도 14는 배터리 상태 검출 회로(1050)의 구성을 도시한 것이다. 배터리 상태 검출 회로(1050)는 정전류원(1051), 다이오드(1052), 높은 임계치 V_{TH} 를 갖는 인버터(1053), 낮은 임계치 V_{TL} 을 갖는 인버터(1054), 디코더(1055)로 구성된다. 두개의 인버터(1053, 1054)의 입력에는 정전류원(1051)으로 바이어스된 다이오드(1052)의 순방향 강하 전압이 기준 전압 VREF로서 입력되고, 기준 전압 V_{REF} 와 배터리 BAT의 전압 상태의 비교에 의해 3가지 상태를 취할 수 있다. 즉, $V_{TH} \geq V_{REF}$, $V_{TH} < V_{REF} \geq V_{TL}$, $V_{TL} < V_{REF}$ 의 상태이다. 이 상태는 2진화 신호로서 추출되고, FRQCR 레지스터(1032)에 설정함으로써, 클럭 주파수의 선택이 가능해진다. 이와 같이 하여, 광범위 동작의 PLL을 적용하여 동작 클럭 주파수를 온라인으로 최저값으로 선택할 수 있게 된다. 또, 이 배터리 상태 검출 회로(1050)는 마이크로프로세서의 외부에 있어도 되고, 이 경우는 배터리 상태 검출 회로(1050)의 출력을 단자 MD0 2를 통해 입력한다.

이에 따라, 예를 들면 배터리의 잔량이 적어진 경우에, 마이크로프로세서의 클럭 주파수 낮춤으로써 배터리의 사용 시간을 연장시킬 수 있다.

여기서는, 마이크로프로세서의 주변 회로로서 배터리의 상태를 검출하는 구성에 대해 설명했지만, CPG 제어부에 마이크로프로세서에 접속되는 주변 회로의 동작 상태 또는 내부 상태를 검출하는 검출 회로를 구비함에 따라, 주변 회로의 동작 상태 또는 내부 상태에 따라 클럭 주파수를 가변함으로써, 목적에 따른 마이크로프로세서의 운용을 행할 수 있다.

이어서, PLL부와 프로세서 중핵부가 상이한 전원 전압으로 동작하는 프로세서에 PLL 회로를 적용한 경우에 대해 설명하기로 한다. 예를 들면, 프로세서 내에서 3.3V와 1.8V의 각각 다른 전원 전압으로 동작하는 영역이 있는 경우, 클럭 발생 회로 내의 PLL 회로를 동작시키는 영역에 따라 전원 전압 레벨의 변환을 행하기 위한 인터페이스 회로가 필요해진다.

도 15는 클럭 발생용 PLL 회로를 외부와의 인터페이스 회로에 이용하는 전원과 동일한 3.3V 전원 영역에 배치한 경우를 나타낸 것이다. 구체적으로는 도 16에 도시된 바와 같이 3.3V와 1.8V의 동작 신호의 레벨 변환 인터페이스를 점선으로 나타낸 부분에 레벨 변환 인버터(1061 1068)를 배치한다. 이 레벨 변환 인버터(106 1068)는 논리 임계값을 사용하는 트랜지스터의 치수를 변경함으로써 실현할 수 있다. 이와 같이, PLL 회로를 3.3V 영역에서 동작시키면, 기존의 실적이 있는 3.3V 동작의 PLL 회로를 사용할 수 있다.

이어서, PLL 회로를 도 17과 같이 논리부와 동일 코어의 1.8V 전원 영역에 배치한 경우에 대해 설명하기로 한다. 도 18은 이 경우의 구성을 도시한 것으로, 점선 부분에 레벨 변환 인터페이스(1066 1068, 1071 1074)를 배치한다. 이 경우는 PLL이 낮은 1.8V로 동작하기 때문에 저소비 전력이고, 논리부 코어와 동일 전압/프로세스이므로 동작 마진 확보가 용이하고, 코어부와 일체화할 수 있으므로 IP화(ASIC 화)하기 쉽다.

또한, 지금까지는 프로세서 내에서 다른 전원 영역을 갖는 경우에 기존의 PLL 회로를 이용한 경우에 대해 설명하였다. 그러나 기존의 PLL 회로는 이미 설명된 바와 같이 사용할 수 있는 범위가 좁고, 각각의 전원에 따라 PLL 회로를 만들어야한다. 이에 대해, 본 발명의 광대역 PLL 회로는 이미 설명된 바와 같이 광대역에서 동작 가능하고, 이와 같이 다른 전원 영역을 갖는 프로세서에 대해서도 광대역 PLL 회로의 구성을 바꾸지 않고 적용할 수 있다.

이어서, 도 13에서 도시된 마이크로프로세서를 이용하여 구성한 마이크로 컴퓨터 시스템을 도 19에 도시한다. 이 마이크로 컴퓨터 시스템은 마이크로프로세서(1200)의 외부에 기준 클럭을 발진하는 발진기(1000)와, 이 기준 클럭을 각부에 공급(분배)하기 위한 클럭 분배계(1100)를 지니고, 이 분배계(1100)에 의해 분배되는 클럭을 도 13에 도시된 CKIO 단자로부터 받아 처리를 행하는 마이크로프로세서(1200), 클럭 분배계에 의해 분배된 클럭을 입력으로 하여 마이크로프로세서로부터의 결과를 버스(1500)로 출력하거나 또한 버스(1500)로부터 데이타를 수신하여 마이크로프로세서(1200)로 출력하는 인터페이스 회로(1400), 클럭 분배계로부터의 클럭을 수신하여 외부 기기와의 데이타의 교환을 행하는 입출력 기기(1601 160n)로 구성되어 있다. 이들 마이크로프로세서(1200), 인터페이스 회로(1400), 입출력 기기(1601 160n)는 각각 내부에 광대역 PLL 회로(1210, 1410, 1611 161n)을 지니고, 클럭 분배계로부터 분배된 클럭을 입력으로 하고 있다. 이에 따라, 마이크로프로세서(1200)에서는 클럭 분배계로부터 ㅅ쉰한 클럭에 마이크로프로세서 내부 동작의 클럭을 광대역 PLL 회로(1210)에 의해 동기시키고, 그것에 동기한 신호에 기초하여 메모리(1300)로의 액세스를 행하고, 논리부(1220)에서 논리 연산을 행한다. 동일하게 하여, 인터페이스 회로(1400), 입출력 기기(1601 160n)는 클럭 분배계로부터 수신한 클럭에 동기하여 데이타의 입출력을 행한다. 또한, 본 마이크로 컴퓨터 시스템에서는 마이크로프로세서를 하나밖에 도시하지 않았지만, 이것은 복수개 있어도 된다. 이 경우, 마이크로프로세서의 광대역 PLL 회로(1210)로의 클럭 입력은 도 13의 외부 클럭 입출력 단자 CKIO을 입력 모드로 선택함으로써 실현된다.

이러한 시스템에 광대역 PLL 회로를 이용함에 따라, 장치 내부의 클럭 스큐를 작게 함과 함께, 마이크로프로세서, 인터페이스 회로, 입출력 기기사이에서 클럭의 위상을 합치시킬 수 있으므로, 클럭 동기에 의한 데이타 전송이 단시간 또한 용이하게 행할 수 있다.

여기에 도시한 마이크로프로세서(1200), 인터페이스 회로(1400), 입출력 기기(1601 160n)는 각각 하나의 반도체 기판 상에 구성되는 것이다. 또한, 메모리(1300)를 포함하여 이들 모두를 1칩 상에 구성하는 경우는, 하나의 광대역 PLL 회로에서 마이크로프로세서(1200), 인터페이스 회로(1400), 입출력 기기(1601 160n)에 클럭을 분배하도록 구성해도 좋다.

이상 설명된 바와 같이, 입출력 특성의 직선성이 높은 F/I 변환기 또는 F/V 변환기를 이용하여 제어계를 구성함으로써 발진기의 특성에 의존하지 않고 선형 제어를 행하는 것을 가능하게 하고, 발진기의 특성이 불분명해도 광대역 PLL 회로를 실현할 수 있다.

본 발명의 광대역 PLL을 실현하기 위해서는, 발진기의 비선형성이 커도, 그 특성이 단조로운 증가 또는 감소하는 특성이면 된다. 따라서, 광대역의 발진 특성을 갖지만 제어 입력에 대한 출력의 비선형성이 지나치게 크거나 감도가 너무 높아 종래는 가변 발진기로서의 이용이 곤란하던 각종 발진기를 사용하여 광대역 PLL 회로를 실현할 수 있다.

이하에서, 본 발명에 이용할 수 있는 발진기에 대해 설명하기로 한다.

도 21에 기판 전압 제어의 링 카운터에 의한 가변 발진 회로를 나타낸다. 도 21에 있어서도 이미 도시된 도 6과 동일 또는 등가인 것에는 동일 부호를 병기한다. 본 발진기는 전류 가산 회로(200), 링 카운터(240), 전류 가산 회로(200)

와 링 카운터(240)를 접속하기 위한 제어 인터페이스 회로(230)로 구성되어 있다. 인터페이스 회로(230)는 전압 증폭단을 구성하는 트랜지스터 Q71과 전류 미러쌍의 PMOS 트랜지스터 Q72 Q74, NMOS 트랜지스터 Q75, Q76, 및 저항 R6, R7로 구성하고 있다. 링 카운터(240)를 구성하는 인버터단의 PMOS 트랜지스터 Q21 Q2n의 기판 전극은 인터페이스 회로(230)의 저항 R7에 접속되고, 마찬가지로 NMOS 트랜지스터 Q31 Q3n의 각 기판 전극도 인터페이스 회로(230)의 저항 R6에 접속되어 있다.

이러한 구성에 있어서의 본 가변 발진 회로의 동작은 다음과 같다.

전류 가산 회로(200)에 있어서, 설정전류 Ic와 F/I 변환기(300)로부터의 출력 전류 Io는 차를 취할 수 있고, IcIo이면 단자(30)의 전압은 낮고, 트랜지스터 Q71은 차단 내지 매우 저 전류가 되어 인터페이스 회로(230)의 전류 미러 회로에는 거의 전류가 흐르지 않는다. 따라서 인터페이스 회로(230)의 저항 R6, R7의 전압 강하는 거의 0이 되고, 링 카운터(240)의 각 트랜지스터는 기판 바이어스가 없어 상대적으로 높은 주파수로 발진한다. 이어서, Ic≤Io 이면 전류 가산 회로(200)의 단자(30)의 전압은 상승하고, 인터페이스 회로(230)의 트랜지스터 Q71에 전류가 흘러 전류 미러 회로의 각 트랜지스터 Q72 Q74, Q75, Q76은 순방향 바이어스되어 전류가 흐른 결과, 저항 R6, R7은 전압 강하, 즉 기판 전압이 생겨 링 카운터(240)의 회로 전류가 감소하고, 발진 주파수는 저하한다. 따라서, 전류 가산 회로(200)와 트랜지스터 Q71로 이루어지는 전류 가산의 이득이 충분히 높고, 링 카운터(240)의 출력이 F/I 변환기(도시하지 않음)를 통해 전류 가산 회로(200)의 단자(30)에 부궤환되어 있는 상태에서는, Ic=Io이 되어 비선형의 발진 특성은 선형화된다. 도 22는 다른 발진기를 도시한 것으로, 링 카운터(240)의 주파수 가변 수단으로서, 전원 전압을 가변하는 회로를 갖고 있다. 이 회로는 전류 가산 회로(200)의 전류 Ic, Io의 대소에 따라 트랜지스터 Q71의 저항 R5의 단자 전압이 변화하고, 복수 트랜지스터 Q771 Q77n로 이루어지는 소스 폴로워의 출력 전압을 변경시켜 링 카운터(240)의 발진 주파수를 변화시킨다. 전원 전압을 변화시킨 링 카운터(240)의 출력은 전류 전압 비례하여 각 인버터단의 임계치도 변화하기 때문에, 외부에 안정된 출력 진폭을 추출하기 위해서는, 어떠한 레벨 시프트가 필요해진다. 도 15의 회로에서는 출력단 인버터 Inv5를 결합 용량 Cc와 다이오드 D11, D12로 이루어지는 비선형 저항 바이어스를 이용한 교류 증폭 회로로 실현하고 있다.

도 20에, 또 다른 발진기의 회로를 도시한다. 도 20에 있어서는, 링 카운터를 구성하는 인버터단은 증폭기로서의 트랜지스터 Q31을 다이오드 Q31'의 병렬 회로로 구성하고, 인버터단에는 정전류 트랜지스터 Q11을 통해 정전류 Iv가 급전된다. 다음단 이후에도 동일한 구성이고 홀 수단으로 링 카운터를 구성하고 있다. 이 인버터단의 동작은 트랜지스터 Q31이 오프 상태에서는, Q11의 정전류는 다이오드 Q31'로 흐르고, 출력 전압은 다이오드에서 클램프되어 있다. 계속해서 Q31이 온이 되면 전류는 다이오드 Q31'로부터 트랜지스터 Q31로 전환하고, 출력 전압은 접지 전압이 되고, 온/오프에 따라 1 다이오드분의 진폭을 얻을 수 있다.

이 회로의 출력 진폭은 다이오드에 의해 리미트(limit)되기 때문에, 진폭은 제어 전류 Iv에 정비례하지 않고, Iv의 평방근(밀리 Iv)에 비례한다. 따라서 출력 주파수의 평방근(밀리)의 특성이 되고, 비선형성이 크므로 실용 범위는 제약되지만, 본 발명의 선형화 CCO 기술에 의해 실용화 대역을 광대역화할 수 있는 CCO의 적합예가 된다. 도 15의 CCO로서의 이점으로서, (1) 직렬 트랜지스터수가 적으므로 저 전압 동작이 용이하고, (2) 출력 전압을 접지측에서 다이오드 클램프하고 있으므로 전원 전압 노이즈 및 영향을 저감시킬 수 있는 것 등을 들 수 있다.

이상과 같이, 본 발명에서는 발진기의 비선형성이 커도, 또한 발진 출력의 진폭이 변화하는 경우라도 광대역 PLL 회로를 실현할 수 있어 다음과 같은 이점이 있다.

(1) CCO의 비선형성을 선형화할 수 있기 때문에 사용할 수 있는 주파수 범위가 2 3배 넓어진다.

(2) 부궤환 제어에 의한 선형화 기술이므로 비선형성의 세부의 불분명해도 널리 적용할 수 있다(응용 범위가 넓어 설계 용이).

(3) LSI의 미세화, 저 전압화, 고주파화에 따르는 비선형 보정을 할 수 있으므로 이들의 진전에 대응하기 쉽다.

(4) 입출력 주파수에 정확히 대응한 시스템의 파라메터 관리를 할 수 있으므로 광범위 동작(예를 들면 주파수 범위 10배)의 PLL을 실현할 수 있고, 적은 PLL의 종류로 응용 범위가 넓어지기 때문에 경제적이다.

(5) PLL의 중심 주파수 설정을 정확히 할 수 있기 때문에, 인입 시간을 단축할 수 있다.

(6) 정확한 중심 주파수를 설정할 수 있으므로, 가변 제어 범위를 필요 최소범위로 할 수 있고, 제어계의 노이즈, 지타 등을 적게 할 수 있다.

(7) V/I 변환을 차동으로 움직이고 있으므로, 특성 변동이나 프로세스 변동의 영향을 저감시킬 수 있어 고정밀도화한다.

이상 설명된 바와 같이, 본 발명에 따르면, 발진기의 특성에 상관없이 부궤환 제어에 의해 선형 제어를 가능하게 하고, 광범위하게 동작 가능한 PLL 회로를 실현할 수 있다.

또한, 이 PLL 회로를 사용함에 따라 소비 전력을 대폭 저감시키는 시스템을 구성할 수 있다.

이어서, 이미 설명한 광대역 PLL 회로에 적용할 수 있는 전류 스위치에 대해 설명한다. 또한, 이 전류 스위치는 그 외에도 일반의 PLL 회로, A/D 변환 회로, 또는 D/A 변환 회로에도 적용할 수 있다.

도 23은 본 발명의 제1 실시예인 전류 스위치 회로의 개략 구성도이다.

여기서, Q110은 전류 스위치로서 기능하는 MOS 트랜지스터, Q120은 바이어스 전류 Is를 흘리는 MOS 다이오드, Inv13은 MOS 트랜지스터 Q110 구동용의 전압 스위치로서 기능하는 CMOS 인버터, 그리고 참조 번호(14)는 부하이다.

MOS 트랜지스터 Q110의 게이트는 바이어스 전류 Is를 흘리는 MOS 다이오드 Q120과 접속되어 있다. 이에 따라, MOS 트랜지스터 Q110의 게이트에 순방향 바이어스 전압이 인가된다. 또한, MOS 트랜지스터 Q110의 드레인은 부하(14)에 접속되어 있다. 또, MOS 트랜지스터 Q110 및 MOS 다이오드 Q120은 MOS 트랜지스터 Q110의 도통시에 바이어스 전류 Is와 동일한 전류를 흘리는 전류 미러 회로를 구성하고 있다.

CMOS 인버터 Inv13은 상보 쌍성 출력 회로이고, 고저 양출력 레벨 모두 저출력 임피던스가 된다. 이 CMOS 인버터 In-v13의 출력은 MOS 트랜지스터 Q110의 소스(저 전압측 전극)에 접속되어 있다. 또한, 이 CMOS 인버터 Inv13의 전원측 전극은 각각 접지 GND, 전원 Vcc에 접속되어 있다.

여기서는, 부하(14)를 싱크 전류 Ios 및 소스 전류 Io's의 쌍방에 대응할 수 있는 일반성이 있는 회로에서 나타내기 위해 전류 미러 회로로 구성하고 있다. 단, 부하(14)는 전류 미러 회로에 한정되는 것이 아니다.

상기 구성의 전류 스위치 회로에서는 입력(16)에 입력된 제어 신호의 전압치 Vi에 의해 변화하는 CMOS 인버터 Inv13의 출력 레벨에 따라 MOS 트랜지스터 Q110이 개폐한다.

즉, 제어 신호의 전압치 Vi가 0인 경우, CMOS 인버터 Inv13의 출력은 Vcc레벨이 된다. 이 경우, MOS 트랜지스터 Q110의 소스 게이트 사이는 역바이어스 상태가 되기 때문에, MOS 트랜지스터 Q110은 차단 상태가 된다.

한편, 제어 신호의 전압치 Vi가 Vcc 레벨로 변화하면, CMOS 인버터 Inv13의 출력은 0레벨이 된다. 이 경우, MOS 트랜지스터 Q110은 순방향 바이어스 상태가 된다. 이 때문에, MOS 트랜지스터 Q110은 도통 상태가 되어 회로 전류 Io(Is와 대략 같음)가 흐른다.

이에 따라, Vcc 레벨의 제어 신호의 인가 시간에 대응한 시간만큼, 부하(14)에 전류가 흐른다.

도 24는 도 23에 도시된 전류 스위치 회로를 Vcc=2.5V의 CMOSLSI로 구성한 경우에, 상기 회로의 입출력 동작 파형이 어떻게 될지 시뮬레이트한 결과를 나타내는 도면이다. 또, 동작 조건은 바이어스 전류 Is=10μA, 제어 신호의 펄스 폭 ti=1ns, 상기 펄스 폭의 상승/하강 시간=100ps이다.

본 실시예의 전류 스위치 회로에서는, CMOS 인버터 Inv13의 출력 임피던스가, 고저 양출력 레벨 모두 저임피던스가 된다. 이 때문에, MOS 트랜지스터 Q110을 흐르는 회로 전류 Io의 스위칭 과도기간에는, 상승 및 하강 모두 CMOS 인버터 Inv13의 출력 전압이 MOS 트랜지스터 Q110의 바이어스 전압 폭(0V VD(=MOS 다이오드 Q12의 양단간 전압))을 가로질러 변화하는 기간에 거의 한정된다. 이 때문에, 매우 짧은 설정 시간을 실현할 수 있다.

또, 도 24에 있어서 회로 전류 Io의 스위칭 과도 기간에서의 노이즈분은 CMOS 인버터 Inv13을 구성하는 MOS 트랜지스터의 게이트-드레인 간의 기생 용량으로의 입력 파형의 미분 노이즈이다. 상승 및 하강의 전류 노이즈는 1회의 스위치·온으로 MOS 트랜지스터 Q110을 흐르는 전류의 이상적인 값 Is·ti 곱에 대해 오차분이 되지만, Is=10μA, ti=1ns라는 작은 동작 조건에 있어서도, 그 오차분은 1 2% 정도에 지나지 않는다.

본 실시예에서는, 구동단으로서 출력 레벨이 고, 중, 저레벨 모두 저출력 임피던스인 상보 쌍성 출력의 CMOS 인버터 Inv13을 이용하고 있다. 또한, CMOS 인버터 Inv13의 출력을 전류 스위치인 MOS 트랜지스터 Q110의 소스(저 전압측 전극)에 접속하여 MOS 트랜지스터 Q110을 구동함으로써 CMOS 인버터 Inv13의 출력을 MOS 트랜지스터 Q110의 게이트(고 전압측 전극)에 접속하여, MOS 트랜지스터 Q110을 구동하는 경우에 비해 MOS 트랜지스터 Q110의 피제어 단자에 생기는 기생 용량이 작아지도록 하고 있다.

이와 같이 함으로써, 전류 스위치 구동의 설정 시간은 일반적으로 스위칭 트랜지스터의 기생 용량에 의한 과도 시간에 의존하므로, 구동단의 출력 임피던스를 상승 및 하강 모두 작게 할 수 있고, 이에 따라 MOS 트랜지스터 Q110의 설정 시간을 단축할 수 있고, 따라서 전류 스위치를 고속으로 동작시킬 수 있다. 예를 들면, MOSLSI에서는 ㎓동작, 파워 회로에서는 ㎒ 동작이 가능해진다.

또한, 본 실시예에서는, 전류 스위치를 소스 구동하므로 전류 스위칭을 게이트 구동한 경우에 비해, 출력측으로의 미러 효과나 구동의 과도 노이즈를 작게 할 수 있다. 이 때문에, 스위칭 제어의 정밀도를 높일 수 있다.

또한, 본 실시예에서는 구동단에 상보 쌍성 출력 회로를 이용하고 있으므로, 구동단의 전원에 대한 직렬 소자수를 적게 할 수 있다. 이 때문에, 저 전압 동작이 가능해지고, 구동 전력을 낮출 수 있다. 예를 들면, MOSLSI에서는 1V 정도의 전원 전압으로 동작이 가능해진다.

기타, 본 실시예는 회로가 간단하고, 동작이 확실하다는 등의 많은 이점을 갖는다.

이어서, 본 발명의 광대역 PLL 회로의 챠지 펌프 회로(800), T/I 변환기(950)에 전류 스위치를 적용한 구성을 도 25에 도시한다. 또한, 도 25에 도시된 구성은 도 9에 도시된 V/I 변환기(900)의 출력을 전류 가산기(100)에 입력하도록 구성한 것이다. 또한, 도 9에 도시된 계수 회로 b2(960)를 통해 T/I 변환 회로에 입력되는 조정 신호는 생략하고 있다.

위상 비교 회로(700)의 입력 단자(211, 212) 각각에 입력된 신호의 위상차에 대응하여, 출력 단자(213)에 도 25의 A부에 도시된 바와 같은 UP의 위상차 펄스 신호가 출력되면, 이 펄스 신호에 의해 챠지 펌프 회로(800)의 CMOS 인버터 Inv222의 출력이 MOS 트랜지스터 Q221의 소스에 인가된다. 이에 따라, MOS 트랜지스터 Q221이 이 펄스 신호의 펄스 폭(위상차 펄스 폭)의 기간만큼 도통하여 캐패시터 CF220을 충전한다. 캐패시터 CF220의 전압 증가분은 V/I 변환 회로(23) 및 전류 가산 회로(25)를 통해 CCO100에 입력된다. CCO100은 이것을 수신하여 발진 주파수 fv를 증가시킨다.

또한, 출력 단자(213)로부터 출력된 UP의 위상차 펄스 신호에 따라, T/I 변환 회로(950)의 CMOS 인버터 Inv242의 출력이 MOS 트랜지스터(241)의 소스에 인가된다. 이에 따라, MOS 트랜지스터 Q241이, 위상차 펄스 폭의 기간만큼 도통하여 전류 가산 회로(110)의 리드 제어 입력에 전류를 가하는 방향의 시스템의 안정화 리드 제어 신호를 인가한다.

한편, 위상 비교 회로(700)의 입력 단자(211, 212) 각각에 입력된 신호의 위상차에 대응하여 출력 단자(214)에 도 25의 B부에 도시된 바와 같은 DOWN의 위상차 펄스 신호가 출력되면, 이 펄스 신호에 따라 챠지 펌프 회로(800)의 CMOS 인버터 Inv224의 출력이 MOS 트랜지스터 Q223의 소스에 인가된다. 이에 따라, MOS 트랜지스터 Q223이 위상차 펄스 폭의 기간만 도통하여 캐패시터 CF220을 방전한다. 캐패시터 CF220의 전압 감소분은 V/I 변환 회로(900) 및 전류 가산 회로(100)를 통해, CCO100에 입력된다. CCO100은 이것을 수신하여 발진 주파수 fv를 감소시킨다.

또한, 출력 단자(214)로부터 출력된 DOWN의 위상차 펄스 신호에 의해, T/I 변환 회로(950)의 CMOS 인버터 Inv244의 출력이 MOS 트랜지스터(243)의 소스에 인가된다. 이에 따라, MOS 트랜지스터 Q243이 위상차 펄스 폭의 기간만큼 도통하여 전류 가산 회로(110)의 리드 제어 입력에 전류를 방출하는 방향의 시스템의 안정화 리드 제어 신호를 인가한다.

도 25에 도시된 본 실시예의 전류 스위치 회로를 적용한 광대역 PLL 회로에서는, 전류 스위치의 동작이 고속이고 또한 전류 펄스 출력의 충방전의 대칭성이 좋기 때문에, 아무런 보정도 없이 협펄스(예를 들면 100ps이하) 동작이 가능해진다. 따라서, PLL로서 수100㎒ 수㎓의 동작도 가능해진다. 또한, 각 전류 스위치의 구성이 간단하고 또한 저 전압(예를 들면 2V 이하) 동작이 가능하기 때문에, 일반의 PLL 회로에 적용해도 최근의 고속 마이크로프로세서의 클럭 발생기에 필요한 저 전압 광대역 PLL을 실현할 수 있다.

또, 당연하지만, 도 25에 도시된 광대역 PLL 회로를 구성하는 MOS 트랜지스터, MOS 다이오드, 및 CMOS 인버터는 하나의 LSI로 제조하는 것이 가능하다.

이어서, 본 발명의 제1 실시예인 전류 스위치 회로를 D/A 변환 회로에 적용한 경우에 대해 설명하기로 한다.

도 26은 본 발명의 제1 실시예인 전류 스위치 회로가 적용된 전류 가산형의 D/A 변환 회로의 개략 구성도이다.

도 26에 도시된 D/A 변환 회로는 입력이 되는 디지탈 신호의 비트 MSB LSB 각각에 대응하도록 2진으로 웨이티드가 이루어진 복수의 전류 스위치 회로(MOS 트랜지스터 Qx, CMOS 인버터 Invx, 단 $1 \leq x \leq n$, n은 입력 디지탈 신호의 비트수)를 구비하여 구성되어 있다.

각 전류 스위치 회로의 MOS 트랜지스터 Qx는 드레인이 귀환 저항 Rf를 갖는 연산 증폭기 Amp310의 (-)입력측 단자에 접속되고, 또한 게이트가 공통적으로 접속되고, 또한 소스가 대응하는 CMOS 인버터 Invx의 출력에 접속되어 있다. 또, 각 MOS 트랜지스터 Qx의 게이트는 기준 전류 Is를 흘리는 MOS 다이오드 Q320에 의해 바이어스되는 전류 미러 회로를 구성하고 있다.

각 전류 스위치 회로의 CMOS 인버터 Invx에는 입력이 되는 디지탈 신호의 대응하는 비트가 입력된다. 각 CMOS 인버터 Invx의 전원은 GND와 -VD 이다. VD의 값은, 기준 바이어스용의 MOS 다이오드 Q320의 동작 전압보다도 약간 큰 값일 필요가 있다. 그러나, 전류 바이어스 회로를 이용하고 있으므로 -VD의 안정도는 나빠도 된다.

이어서, 도 26에 도시된 D/A 변환 회로의 동작에 대해 설명하기로 한다.

예를 들면, 입력 디지탈 신호의 MSB가 「H」라고 한다. 이 경우, MSB에 대응하는 전류 스위치 회로의 CMOS 인버터 Inv1의 출력이 -VD가 된다. 이에 따라, 전류 스위치 Q100은 도통하여 연산 증폭기 Amp310의 (-)입력 공통선으로부터 MSB에 따른 전류 IMSB가 흐른다. 따라서, 연산 증폭기 Amp310의 출력 단자에는, Rf · IMSB되는 출력 전압이 발생한다.

여기서는, 일례로서, 입력 디지탈 신호 중, MSB의 비트 입력 동작에 대해 설명했지만, 다른 비트의 입력 동작에 대해서도 동일하다.

도 26에 도시된 D/A 변환 회로에서는 동작 속도가 매우 고속인 본 실시예의 전류 스위치 회로를 적용하고 있으므로, 연산 증폭기 Amp310이 반전 출력인 것과 함께, 설정을 짧게 할 수 있다. 따라서, 고속의 D/A 변환기를 비교적 간단한 구성으로 또한 염가로 제공하는 것이 가능해진다.

또, 당연한 일이지만, 도 26에 도시된 D/A 변환 회로를 구성하는 MOS 트랜지스터, MOS 다이오드, 및 CMOS 인버터는 하나의 LSI로 제조되는 것이 가능하다.

이어서, 본 발명의 제2 실시예에 대해 설명하기로 한다. 도 27은 본 발명의 제2 실시예인 전류 스위치 회로의 개략 구성도이다.

도 27에 도시된 전류 스위치 회로는 스위칭 전원등의 기본 회로가 되는 고 전압 파워 스위칭 회로이다.

여기서, Q410은 전류 스위치로서 기능하는 파워 MOS 트랜지스터(FET), Inv42는 파워 MOS 트랜지스터 Q410 구동용의 전압 스위치로서 기능하는 상보 인버터, Inv43은 인버터 Inv42 구동용의 CMOS 인버터이다.

파워 MOS 트랜지스터 Q410은 게이트가 순방향 바이어스 전원 Vb에 접속되고, 드레인이 컨버터 트랜스포머(45)를 통해 고 전압 전원 Vs(예를 들면 +120V)로 접속되고, 그리고 소스가 상보 인버터 Inv42의 출력에 접속되어 있다.

상보 인버터 Inv42는 저 전압의 파워 MOS 트랜지스터 Q470 및 Q480으로 구성된 상보 쌍성 출력 회로이다. 파워 MOS 트랜지스터 Q470 및 Q480의 드레인은 공통적으로 접속되고, 그것이 상보 인버터 Inv42의 출력으로 되어 있다. 또한, 파워 MOS 트랜지스터 Q470 및 Q480의 게이트는 공통적으로 접속되고, 그것이 상보 인버터 Inv42의 입력으로 되어 있다. 또한, 파워 MOS 트랜지스터 Q470의 소스는 전원 Vcc에 접속되고, 파워 MOS 트랜지스터 Q480의 소스는 접지 GND되어 있다.

CMOS 인버터 Inv43에는 전원으로서 Vcc 및 접지 GND가 공급되어 있다.

여기서, 각 파워 MOS 트랜지스터의 용량을 예시하면, Q410은 200V/10A, Q470 및 Q480은, 전원의 동기 정류 용도의 15V/10A 등이다. 또한, 각 인버터에 공급되는 전원 Vcc 및 바이어스 전원 Vb는 전류 스위치인 파워 MOS 트랜지스터 Q410의 비포화 동작 게이트 전압 VGon에 대해 VGon< Vb< Vcc가 되도록 선택하고 있다. 예를 들면, VGon=4V, Vb=6V, Vcc=8V이다.

상기 구성의 전류 스위치 회로에서는, CMOS 인버터 Inv43의 입력 단자(49)에 고주파의 펄스 신호가 인가되면, 상보 인버터 Inv42의 출력에는 전원 Vcc 및 접지 GND 사이의 전위차를 진폭으로 하는 펄스 신호가 나타난다. 파워 MOS 트랜지스터 Q410은 이것을 수신하여 상보 인버터 Inv42의 출력이 GND측 전위일 때에 도통하고, Vcc측 전위일 때에 차단된다.

본 실시예에 있어서, 파워 MOS 트랜지스터 Q410의 소스측의 기생 용량은 적지 않다. 그러나, 상보 인버터 Inv42의 출력 임피던스는 「L」출력시는 파워 MOS 트랜지스터 Q480의 온저항이 되고, 「H」출력시는 파워 MOS 트랜지스터 Q470의 온저항이 된다. 그리고, 중간 출력에서는 파워 MOS 트랜지스터 Q470 및 Q480의 다이오드 저항의 병렬이 되기 때문에 모든 레벨에 있어서도 저출력 임피던스가 된다.

이 때문에, 파워 MOS 트랜지스터 Q410의 기생 전하를 상보 인버터 Inv42의 모든 출력 레벨에 있어서도 급속히 방전시킬 수 있다. 따라서, 전류 스위치 회로로서의 동작은 거의 이상적인 구동이 되어 고속화된다.

예를 들면, Vs=+120V, VGon=4V, Vb=6V, Vcc=8V 라고 한 전압 조건에 있어서, 스위칭 주파수 1 10㎒에서의 동작이 가능해진다. 이에 따라, 컨버터 트랜스포머(45)나 평활 캐패시터등을 소형화할 수 있다. 본 실시예의 전류 스위치 회로는 초음파 드라이버 등으로의 응용에도 적당하다.

또, 본 실시예의 전류 스위치 회로에서 전류 스위치가 되는 파워 MOS 트랜지스터 Q410의 게이트에 인가되는 순방향 바이어스가 정전압인 경우, 상기 전류 스위치 구동용의 상보 쌍성 출력의 전압 스위치는 더욱 다용한 변형이 가능하다.

도 28은 도 27에 도시된 본 발명의 제2 실시예의 변형예를 나타내는 도면이다.

도 28에 도시된 변형예에서는, 도 27에 도시된 제2 실시예에 있어서, 저 전압의 파워 MOS 트랜지스터 Q470 및 Q480으로 구성된 상보 인버터 Inv42를 대신하여, 바이폴러형 트랜지스터 Q510, Q520에서 이루어지는 상보 에미터 폴로워 Drv50을 이용하고 있다. 상보 에미터 폴로워 Drv50을 이용함에 따라, MOS 인버터를 이용한 경우보다도, 또한 저출력 임피던스화를 꾀할 수 있고, 이에 따라 전류 스위치의 스위칭 속도를 향상시키는 것이 가능해진다.

이어서, 본 발명의 제3 실시예에 대해 설명하기로 한다.

도 29는 본 발명의 제3 실시예인 전류 스위치 회로의 개략 구성도이다. 또, 도 29에 있어서 도 23에 도시된 제1 실시예의 것과 동일 기능을 갖는 것에는, 동일 부호를 붙이고 있다.

도 29에 도시된 제3 실시예의 전류 스위치 회로가 도 23에 도시된 제1 실시예의 전류 스위치 회로와 다른 점은, CMOS 인버터 Inv13의 Vcc 측 전원 전극과 전원 Vcc 사이에 전원 강하용의 MOS 다이오드 Q60을 삽입한 것이다. 그 밖의 구성은 도 23에 도시된 제1 실시예의 것과 동일하다.

본 실시예에 따르면, CMOS 인버터 Inv13의 출력의 차단 레벨을 필요 최소한 레벨로 설정하여 구동 노이즈의 발생을 저감시킬 수 있다. 전류 스위치 회로를 구성하는 각 MOS 트랜지스터의 임계치가 작아지고 콘덕턴스 gm이 향상하면, 구동 전압 진폭은 필요 최소한으로 되므로 회로의 저소 전력화나 저노이즈화에 유효하다. 그 밖의 효과는, 제1 실시예의 것과 동일하다.

또, 본 실시예에 있어서, 전원 강하용의 MOS 다이오드 Q60을 대신하여, 그 밖의 전압 강하 수단을 이용하는 것도 가능하다.

이어서, 본 발명의 제4 실시예에 대해 설명하기로 한다.

도 30은 본 발명의 제4 실시예인 전류 스위치 회로의 개략 구성도이다. 또, 도 30에 있어서 도 23에 도시된 제1 실시예의 것과 동일 기능을 갖는 것에는, 동일 부호를 붙이고 있다.

도 30에 도시된 제4 실시예의 전류 스위치 회로가 도 23에 도시된 제1 실시예의 전류 스위치 회로와 다른 점은, CMOS 인버터 Inv13의 출력과 접지 GND 사이에 출력 레벨의 최대치를 제한하기 위한 MOS 다이오드 Q62을 삽입한 것이다. 그 밖의 구성은, 도 1에 도시된 제1 실시예의 것과 동일하다.

본 실시예에 있어서도, 상기 설명된 본 발명의 제3 실시예와 마찬가지로, CMOS 인버터 Inv13의 출력의 차단 레벨을 필요 최소한 레벨로 설정하여 구동 노이즈의 발생을 저감시킬 수 있다. 그 밖의 효과는, 제1 실시예의 것과 마찬가지다.

또, 본 실시예에서는, CMOS 인버터 Inv13을 구성하는 PMOS 트랜지스터의 사이즈와 MOS 다이오드 Q62의 사이즈를 조절함으로써 차단 레벨을 임의로 설정할 수 있지만, 반면, MOS 다이오드 Q62에 의한 전력 소비가 증가한다.

또한, 본 실시예에 있어서, MOS 다이오드 Q62를 대신하여 그 밖의 진폭 조절 수단을 이용하여 CMOS 인버터 Inv13의 출력의 차단 레벨을 조절하도록 해도 된다.

또, 상기된 각 실시예에서는 전류 스위치로서 MOS 트랜지스터를 이용한 것에 대해 설명했지만, 본 발명에 이용하는 전류 스위치는 MOS 트랜지스터에 한정되는 것이 아니다. 예를 들면, 바이폴러형 트랜지스터라도 좋다. 또한, 파워 전류 스위치로서는 IGBT나 그 밖의 반도체 스위치를 적용하는 것이 가능하다.

또한, 상기된 각 실시예에서는 전압 스위치로서 CMOS 인버터, 또는 2개의 바이폴러형 트랜지스터로 되는 상보 에미터 폴로워를 이용한 것에 대해 설명했지만, 본 발명에서 이용하는 전압 스위치는 고저 양레벨 모두 저출력 임피던스를 갖는 상보 쌍성 출력 회로이면 된다.

이상 설명된 바와 같이, 본 발명의 전류 스위치 회로에 따르면 스위치의 온/오프 쌍방향 모두 스위치 시간을 단축할 수 있다. 또한, 저 전압 동작이 가능해진다.

(57) 청구의 범위

청구항 1.

위상 동기 회로에 있어서,

입력되는 제1 클럭 신호와 위상이 동기하는 제2 클럭 신호를 생성하기 위한 제1 귀환 회로와,

입력되는 상기 제1 클럭 신호와 거의 같은 주파수의 상기 제2 클럭 신호를 생성하는 제2 귀환 회로

를 포함하는 것을 특징으로 하는 위상 동기 회로.

청구항 2.

제1항에 있어서,

상기 제2 귀환 회로는 상기 제1 클럭 신호를 제1 전류로 변환하는 제1 변환 회로와, 상기 제2 클럭 신호를 제2 전류로 변환하는 제2 변환 회로와, 상기 제1 전류와 상기 제2 전류를 가산하는 전류 가산 회로를 갖는 것을 특징으로 하는 위상 동기 회로.

청구항 3.

제1항에 있어서,

상기 제2 귀환 회로는 상기 제1 클럭 신호를 제1 전압으로 변환하는 제1 변환 회로와, 상기 제2 클럭 신호를 제2 전압으로 변환하는 제2 변환 회로와, 상기 제1 전압과 상기 제2 전압을 가산하는 전압 가산 회로를 갖는 것을 특징으로 하는 위상 동기 회로.

청구항 4.

위상 동기 회로에 있어서,

입력 신호에 기초하여 출력 신호를 적분 제어하기 위한 제1 제어 신호를 생성하는 제1 제어 신호 생성부와,

입력 신호에 기초하여 출력 신호를 비례 제어하기 위한 제2 제어 신호를 생성하는 제2 제어 신호 생성부와,

상기 제1 제어 신호와 상기 제2 제어 신호에 기초하여 클럭 신호를 출력하는 발진기

를 포함하는 것을 특징으로 하는 위상 동기 회로.

청구항 5.

제4항에 있어서,

상기 제1 제어 신호 생성부는 상기 입력 신호와 상기 출력 신호의 위상차로부터 상기 제1 제어 신호를 생성하고, 상기 제2 제어 신호 생성부는 상기 입력 신호와 상기 출력 신호의 주파수의 차로부터 상기 제2 제어 신호를 생성하는 것을 특징으로 하는 위상 동기 회로.

청구항 6.

제4항 또는 제5항에 있어서,

상기 제1 제어 신호 생성부는 입력 신호를 제1 전류로 변환하는 제1 변환 회로와, 출력 신호를 제2 전류로 변환하는 제2 변환 회로와, 상기 제1 전류와 상기 제2 전류를 가산하는 전류 가산 회로를 갖는 것을 특징으로 하는 위상 동기 회로.

청구항 7.

제4항 또는 제5항에 있어서,

상기 제1 제어 신호 생성부는 입력 신호를 제1 전압으로 변환하는 제1 변환 회로와, 출력 신호를 제2 전압으로 변환하는 제2 변환 회로와, 상기 제1 전압과 상기 제2 전압을 가산하는 전압 가산 회로를 갖는 것을 특징으로 하는 위상 동기 회로.

청구항 8.

제6항에 있어서,

상기 제1 및 제2 변환 회로는 입력되는 신호에 기초하여 충방전을 행하는 CMOS 인버터와 용량에 의해 구성한 충방전 회로와, 복수의 전류 미러 회로를 폴드(fold)하여 접속한 전류 미러 필터를 갖는 것을 특징으로 하는 위상 동기 회로.

청구항 9.

정보 처리 장치에 있어서,

입력 신호와 출력 신호의 위상차에 기초하여 제1 제어 신호를 생성하는 제1 제어 신호 생성부와, 입력 신호와 출력 신호와의 주파수 차로부터 제2 제어 신호를 생성하는 제2 제어 신호 생성부와, 상기 제1 제어 신호와 상기 제2 제어 신호에 기초하여 클럭 신호를 출력하는 발진기를 갖는 클럭 생성부와,

상기 클럭 생성부로부터 출력되는 상기 클럭 신호를 제어하는 클럭 제어부와,

상기 클럭 생성부에서 생성된 상기 클럭 신호에 기초하여 데이타를 처리하는 논리부

를 포함하는 것을 특징으로 하는 정보 처리 장치.

청구항 10.

제9항에 있어서,

상기 클럭 제어부는 외부로부터의 제어 신호에 기초하여 상기 클럭 생성부로부터 출력되는 상기 클럭 신호를 제어하는 것을 특징으로 하는 정보 처리 장치.

청구항 11.

정보 처리 장치에 있어서,

입력되는 제1 클럭 신호와 위상이 동기하는 제2 클럭 신호를 생성하기 위한 제1 귀환 회로와, 입력되는 상기 제1 클럭 신호와 주파수가 일치하는 상기 제2 클럭 신호를 생성하는 제2 귀환 회로를 갖는 클럭 생성부와,

상기 클럭 생성부로 입력되는 상기 제1 클럭 신호를 제어하는 클럭 제어부와,

상기 제2 클럭 신호에 기초하여 데이타를 처리하는 논리부

를 포함하는 것을 특징으로 하는 정보 처리 장치.

청구항 12.

제11항에 있어서,

상기 클럭 제어부는 외부로부터의 제어 신호에 기초하여 상기 제1 클럭 신호를 제어하는 것을 특징으로 하는 정보 처리 장치.

청구항 13.

정보 처리 장치에 있어서,

입력되는 제1 클럭 신호와 위상이 동기하는 제2 클럭 신호를 생성하기 위한 제1 귀환 회로와, 입력되는 상기 제1 클럭 신호와 주파수가 일치하는 상기 제2 클럭 신호를 생성하는 제2 귀환 회로를 갖는 클럭 생성부와,

상기 클럭 생성부로부터 출력되는 상기 제2 클럭 신호에 기초하여 동작하는 복수의 회로와,

상기 복수의 회로 중 상기 클럭 생성부와 다른 전원으로 동작하는 회로에 상기 제2 클럭 신호를 전파하기 위한 인터페이스

를 갖는 것을 특징으로 하는 정보 처리 장치.

청구항 14.

삭제

청구항 15.

클럭 주파수에 기초하여 데이타의 처리를 행하는 정보 처리 장치와, 상기 정보 처리 장치와 접속되어 내부 상태를 출력하는 전원 회로를 갖는 정보 처리 시스템에 있어서,

상기 정보 처리 장치는 상기 전원 회로로부터 출력되는 내부 상태에 기초하여 클럭 주파수를 가변으로 하고,

상기 정보 처리 장치는 입력 신호와 출력 신호의 위상차로부터 제1 제어 신호를 생성하는 제1 제어 신호 생성부와, 입력 신호와 출력 신호와의 주파수의 차로부터 제2 제어 신호를 생성하는 제2 제어 신호 생성부와, 상기 제1 제어 신호와 상기 제2 제어 신호에 기초하여 클럭 신호를 출력하는 발진기를 포함하는 클럭 생성부를 갖는 것을 특징으로 하는 정보 처리 시스템.

청구항 16.

정보 처리 시스템에 있어서,

클럭 주파수에 기초하여 데이타의 처리를 행하는 정보 처리 장치와, 상기 정보 처리 장치와 접속되어 내부 상태를 출력하는 전원 회로를 갖는 정보 처리 시스템에 있어서,

상기 정보 처리 장치는 상기 전원 회로로부터 출력되는 내부 상태에 기초하여 클럭 주파수를 가변으로 하고,

상기 정보 처리 장치는 입력되는 제1 클럭 신호와 위상이 동기하는 제2 클럭 신호를 생성하기 위한 제1 귀환 회로와, 입력되는 상기 제1 클럭 신호와 주파수가 일치하는 상기 제2 클럭 신호를 생성하는 제2 귀환 회로를 갖는 클럭 생성부를 포함하는 것을 특징으로 하는 정보 처리 시스템.

청구항 17.

제15항 또는 제16항에 있어서,

상기 정보 처리 장치는 상기 전원 회로의 잔량에 기초하여 클럭 주파수를 가변으로 하는 것을 특징으로 하는 정보 처리 시스템.

청구항 18.

전류 스위치 회로에 있어서,

제어 전극을 순방향 바이어스시킨 전류 스위치와,

상기 전류 스위치의 저 전압측 전극에 출력이 접속된, 상보 쌍성 출력의 상기 전류 스위치 구동용 전압 스위치

를 포함하는 것을 특징으로 하는 전류 스위치 회로.

청구항 19.

제18항에 있어서,

상기 전류 스위치는 도통시에 일정전류를 흘리는 정전류 회로를 구성하고 있는 것을 특징으로 하는 전류 스위치 회로.

청구항 20.

제18항 또는 제19항에 있어서,

상기 전압 스위치는 전원측 전극이 전압 강하 수단을 통해 전원에 접속되어 있는 것을 특징으로 하는 전류 스위치 회로.

청구항 21.

제18항 또는 제19항에 있어서,

상기 전압 스위치는 출력이 진폭 조절 수단에 접속되어 있는 것을 특징으로 하는 전류 스위치 회로.

청구항 22.

제18항 또는 제19항에 있어서,

상기 전류 스위치는 MOS 트랜지스터인 것을 특징으로 하는 전류 스위치 회로.

청구항 23.

제18항 또는 제19항에 있어서,

상기 전압 스위치는 CMOS 인버터인 것을 특징으로 하는 전류 스위치 회로.

청구항 24.

입력된 2개의 신호의 위상차에 따라, 2개의 출력 단자중 어느 한쪽으로부터 위상차 신호를 출력하는 위상 비교 회로와, 상기 위상 비교 회로로부터 출력된 위상차 신호에 따라 캐패시터를 충방전하여 제어 전압 신호를 생성하는 챠지 펌프 회로와, 상기 챠지 펌프 회로에서 생성된 제어 전압 신호에 따라 발진 주파수를 조절하는 발진기를 포함한 위상 동기 루프 회로에 있어서,

상기 챠지 펌프 회로는 상기 위상 비교 회로의 한쪽 출력 단자로부터 출력된 위상차 신호에 따라, 상기 캐패시터를 충전하는 제1 전류 스위치 회로와, 상기 위상 비교 회로의 다른 출력 단자로부터 출력된 위상차 신호에 따라 상기 캐패시터를 방전하는 제2 전류 스위치 회로를 구비하고,

상기 제1 및 제2 전류 스위치 회로는 제어 전극을 순방향 바이어스시킨 전류 스위치와, 상기 전류 스위치의 저 전압측 전극에 출력이 접속된, 상보 쌍성 출력의 상기 전류 스위치 구동용 전압 스위치

를 포함하는 것을 특징으로 하는 위상 동기 루프 회로.

청구항 25.

입력 디지탈 신호의 비트 MLB LSB 각각에 대응하여 설치된 복수의 전류 스위치 회로를 포함한 디지탈/아날로그 변환 회로에 있어서,

상기 복수의 전류 스위치 회로 각각은

제어 전극을 순방향 바이어스시킨 전류 스위치와,

상기 전류 스위치의 저 전압측 전극에 출력이 접속된 상보 쌍성 출력의 상기 전류 스위치 구동용 전압 스위치를 구비하고,

또한, 상기 전압 스위치에 입력된 비트의 신호에 따라 상기 전류 스위치가 해당 비트에 따른 전류가 흐르도록 2진으로 가중되는

것을 특징으로 하는 디지탈/아날로그 변환 회로.

청구항 26.

제7항에 있어서,

상기 제1 및 제2 변환 회로는 입력되는 신호에 기초하여 충방전을 행하는 CMOS 인버터와 용량에 의해 구성한 충방전 회로와, 복수의 전류 미러 회로를 폴드하여 접속한 전류 미러 필터를 갖는 것을 특징으로 하는 위상 동기 회로.

청구항 27.

제20항에 있어서,

상기 전류 스위치는 MOS 트랜지스터인 것을 특징으로 하는 전류 스위치 회로.

청구항 28.

제20항에 있어서,

상기 전압 스위치는 CMOS 인버터인 것을 특징으로 하는 전류 스위치 회로.

청구항 29.

제21항에 있어서,

상기 전류 스위치는 MOS 트랜지스터인 것을 특징으로 하는 전류 스위치 회로.

청구항 30.

제21항에 있어서,

상기 전압 스위치는 CMOS 인버터인 것을 특징으로 하는 전류 스위치 회로.

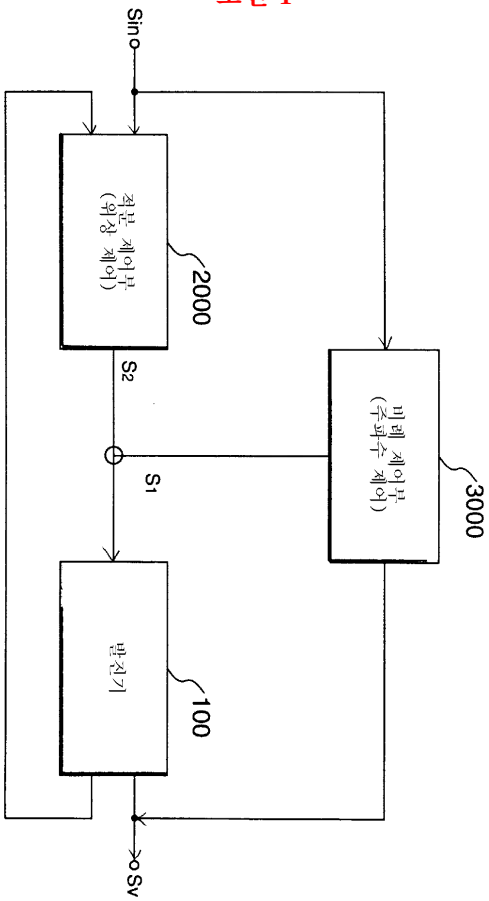
청구항 31.

제22항에 있어서,

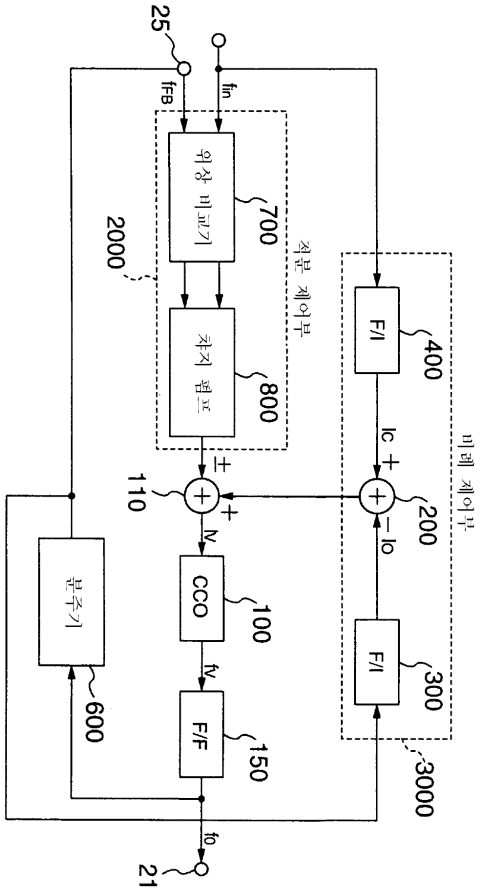
상기 전압 스위치는 CMOS 인버터인 것을 특징으로 하는 전류 스위치 회로.

도면

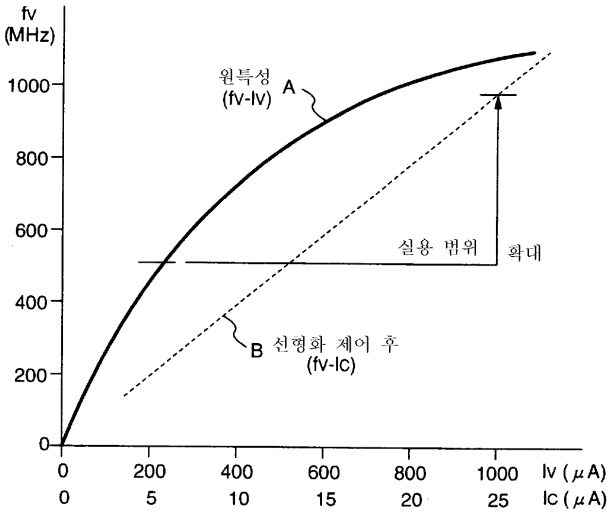
도면 1



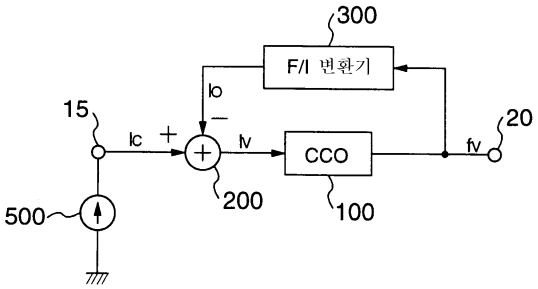
도면 2


25
fFB
fin
위상 비교기
700
적분 제어부
2000
차지 펌프
800
F/I
400
비례 제어부
Ic
+
110
+
−
200
Io
N
CCO
100
분주기
600
fV
F/F
150
F/I
300
3000
fo
21

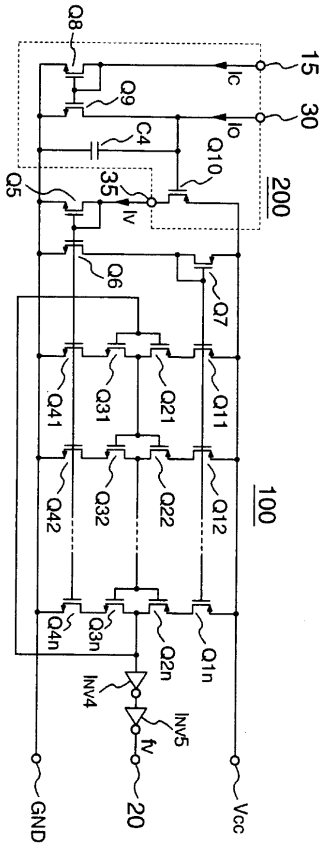
도면 3


fv
(MHz)
1000
800
600
400
200
0
원특성
(fv-Iv)
A
실용 범위
확대
B 선형화 제어 후
(fv-Ic)
0
200
400
600
800
1000
Iv (μA)
0
5
10
15
20
25
Ic (μA)

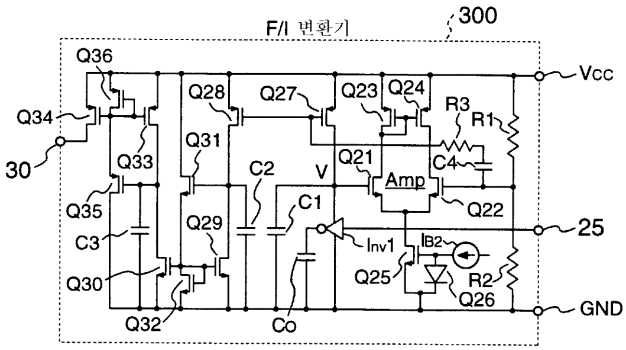
도면 4


300
F/I 변환기
Io
15
Ic
+
−
Iv
CCO
fv
20
500
200
100

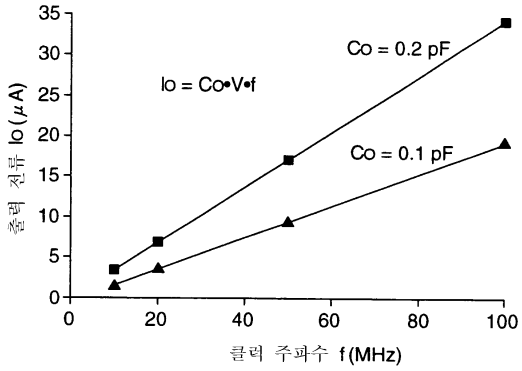
도면 5


Q8
15
Ic
Q9
30
Io
C4
Q10
Q5
35
Iv
200
Q6
Q7
Q41
Q31
Q21
Q11
Q42
Q32
Q22
Q12
100
Q4n
Q3n
Q2n
Q1n
INV4
INV5
fv
GND
20
Vcc

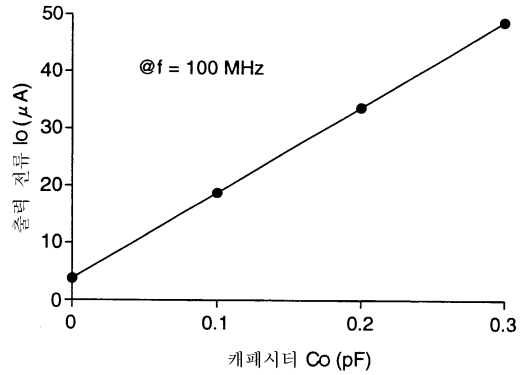
도면 6


F/I 변환기
300
Q36
Vcc
Q34
Q28
Q27
Q23
Q24
R3
R1
30
Q33
Q31
C2
V
Q21
C4
Amp
Q35
C1
Q22
C3
Q29
Inv1
IB2
25
Q25
R2
Q30
Q26
GND
Q32
Co

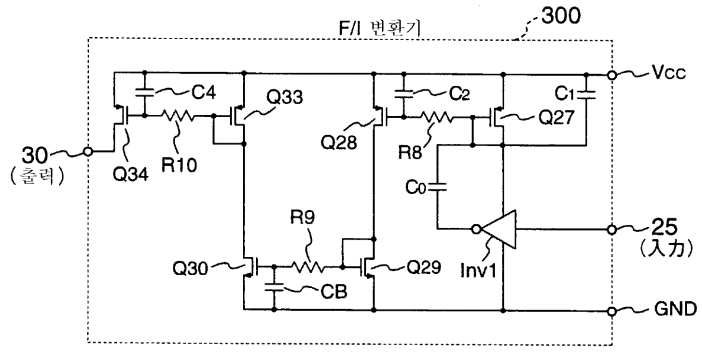
도면 7A



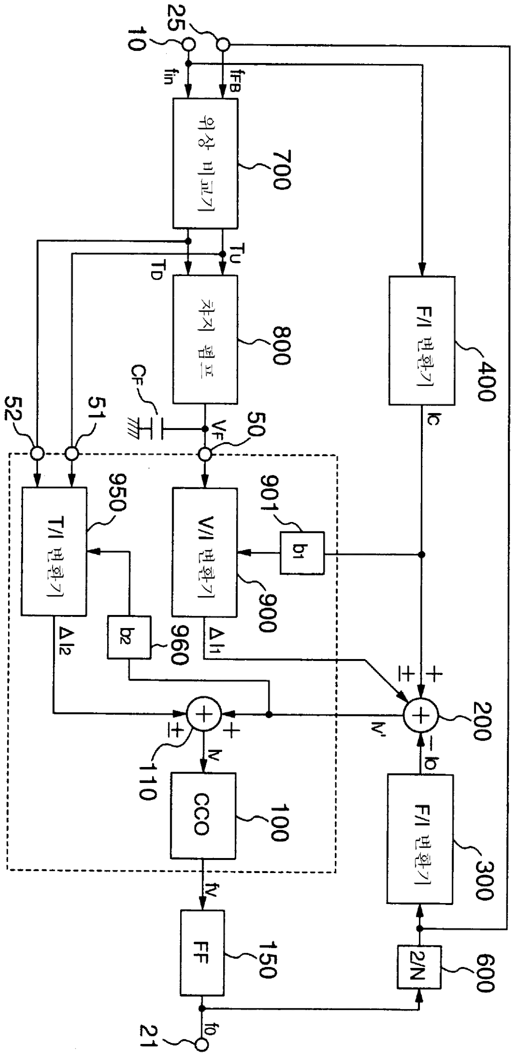
도면 7B



도면 8

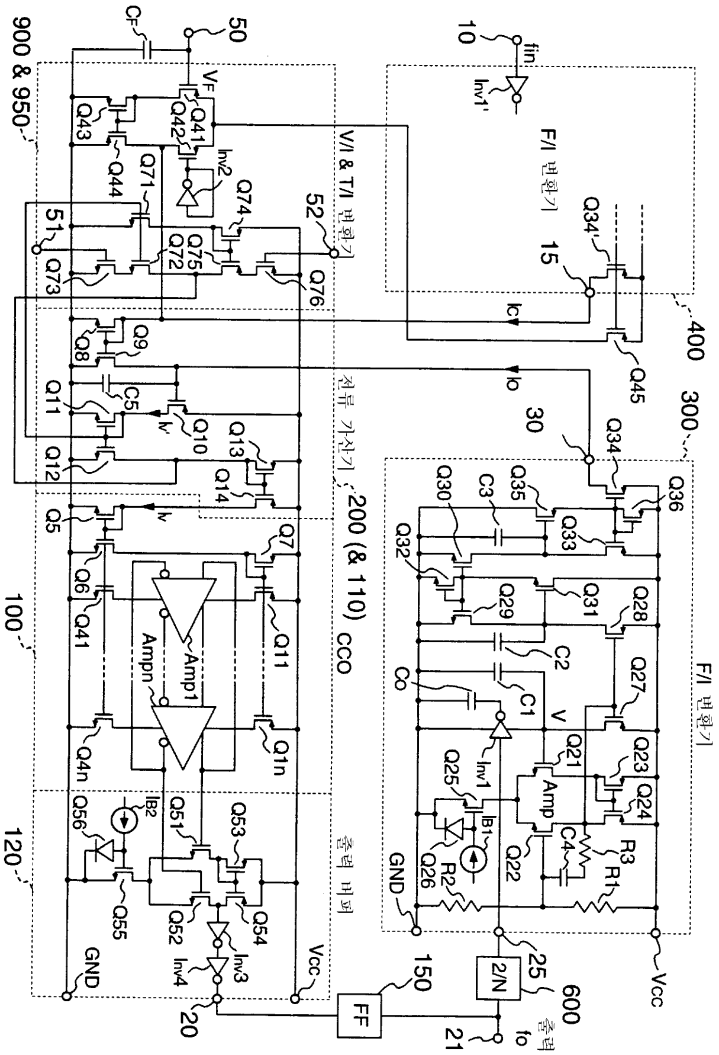


도면 9

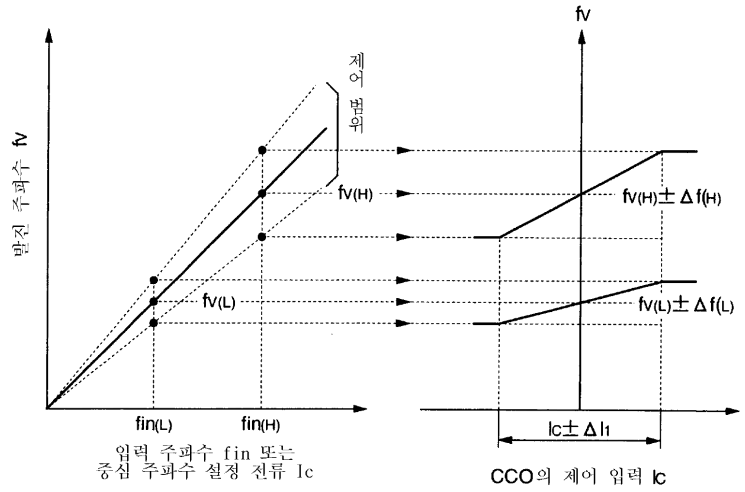


위상 비교기
차지 펌프
F/I 변환기
V/I 변환기
T/I 변환기
F/I 변환기
CCO
FF
2/N
b1
b2
10
25
700
800
400
50
51
52
901
900
950
960
200
110
100
300
150
600
21

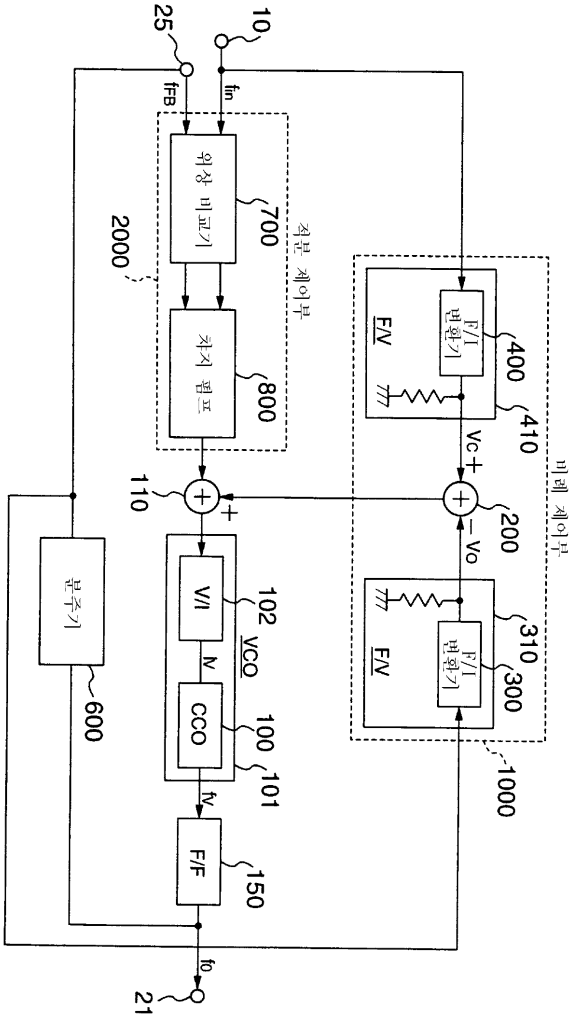
도면 10


fin
Inv1'
F/I 변환기
Q34'
15
Ic
400
Q45
300
Io
30
Q34
Q36
Q35
Q33
C3
Q30
Q32
Q29
Q31
Q28
C2
Co
C1
Q27
V
Q21
Q23
Q24
Inv1
Q25
Amp
C4
R3
R1
B1
R2
Q26
Q22
GND
Vcc
2/N
25
600
출력
fo
150
FF
21
50
CF
VF
Q41
Q42
Q43
Q44
Inv2
Q71
Q74
Q75
Q72
Q73
Q76
51
52
V/I & T/I 변환기
900 & 950
Q9
Q8
Q11
C5
Q10
Q13
Q14
Q12
전류 가산기
200 (& 110)
CCO
Q5
Q7
Q6
Q41
Ampn
Amp1
Q11
Q1n
Q4n
100
120
IB2
Q56
Q51
Q53
Q54
Q55
Q52
Inv3
Inv4
GND
Vcc
20
출력 버퍼

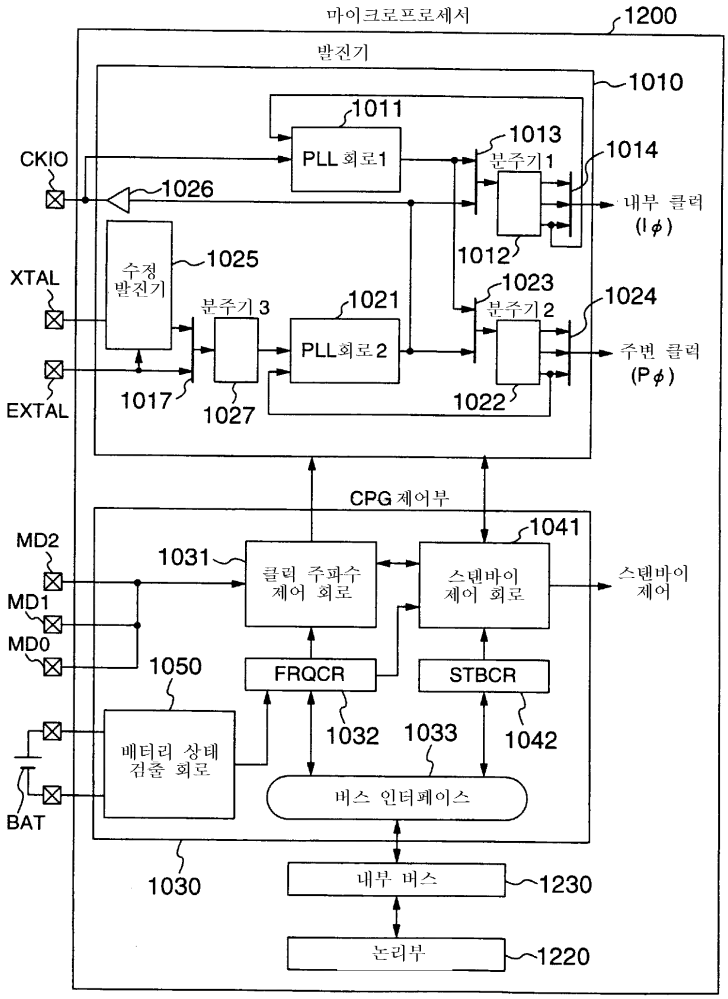
도면 11


fv
제어 범위
발진 주파수 fv
fv(H)
fv(L)
fv(H)±Δf(H)
fv(L)±Δf(L)
fin(L)
fin(H)
Ic±ΔIc
입력 주파수 fin 또는
중심 주파수 설정 전류 Ic
CCO의 제어 입력 Ic

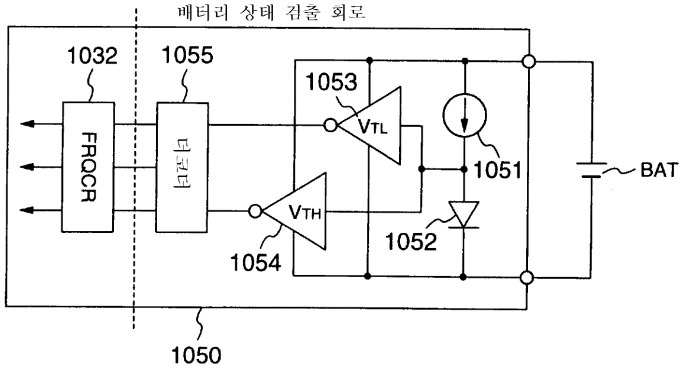
도면 12


25
10
fFB
fin
위상 비교기
700
적분 제어부
2000
차지 펌프
800
110
+
분주기
600
V/I
102
VCO
N
CCO
100
101
fv
F/F
150
fo
21
F/V
F/I 변환기
400
410
Vc
+
200
−
Vo
F/V
F/I 변환기
310
300
비례 제어부
1000

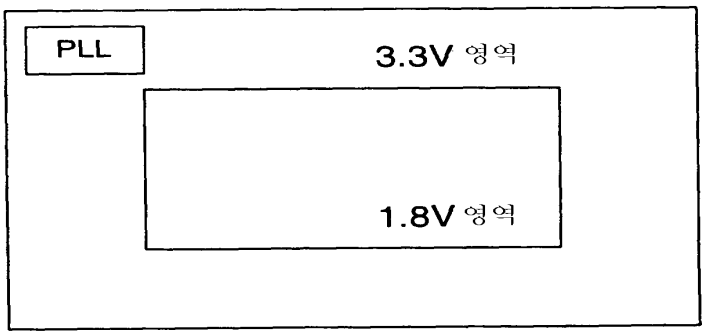
도면 13


마이크로프로세서
1200
발진기
1010
1011
PLL 회로1
1013
분주기1
1014
CKIO
1026
내부 클럭
(Iφ)
1012
XTAL
수정
발진기
1025
분주기 3
1021
PLL회로2
1023
분주기2
1024
주변 클럭
(Pφ)
EXTAL
1017
1027
1022
CPG 제어부
1041
MD2
1031
클럭 주파수
제어 회로
스탠바이
제어 회로
스탠바이
제어
MD1
MD0
1050
FRQCR
STBCR
1032
1033
1042
배터리 상태
검출 회로
BAT
버스 인터페이스
1030
내부 버스
1230
논리부
1220

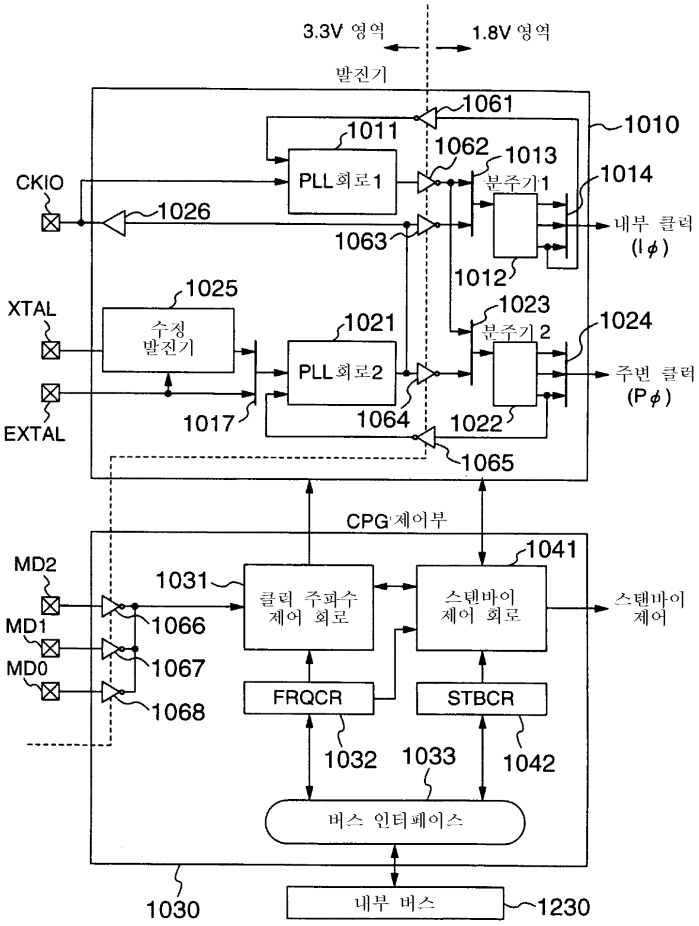
도면 14


배터리 상태 검출 회로
1032
1055
1053
FRQCR
다코더
VTL
1051
BAT
VTH
1052
1054
1050

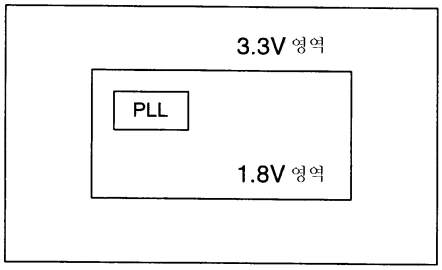
도면 15


PLL
3.3V 영역
1.8V 영역

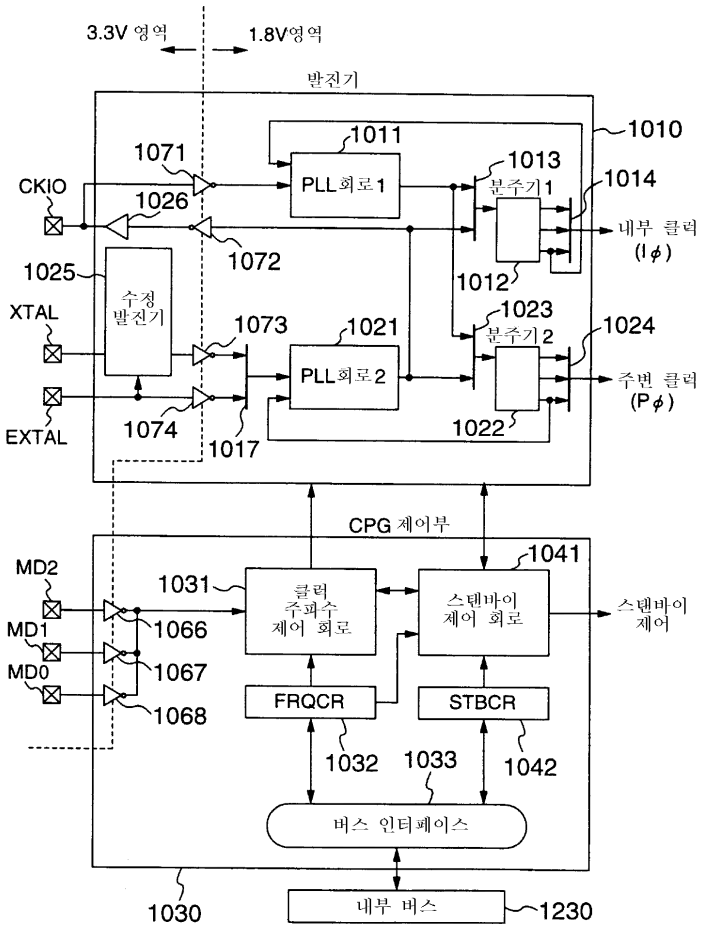
도면 16


3.3V 영역
1.8V 영역
발진기
1061
1010
1011
1062
1013
PLL회로1
분주기1
1014
CKIO
1026
내부 클럭
(Iφ)
1063
1012
1025
1023
XTAL
수정
발진기
1021
분주기2
1024
PLL회로2
주변 클럭
(Pφ)
EXTAL
1017
1064
1022
1065
CPG제어부
1041
MD2
1031
클럭 주파수
제어 회로
스탠바이
제어 회로
스탠바이
제어
MD1
1066
MD0
1067
1068
FRQCR
STBCR
1032
1033
1042
버스 인터페이스
1030
내부 버스
1230

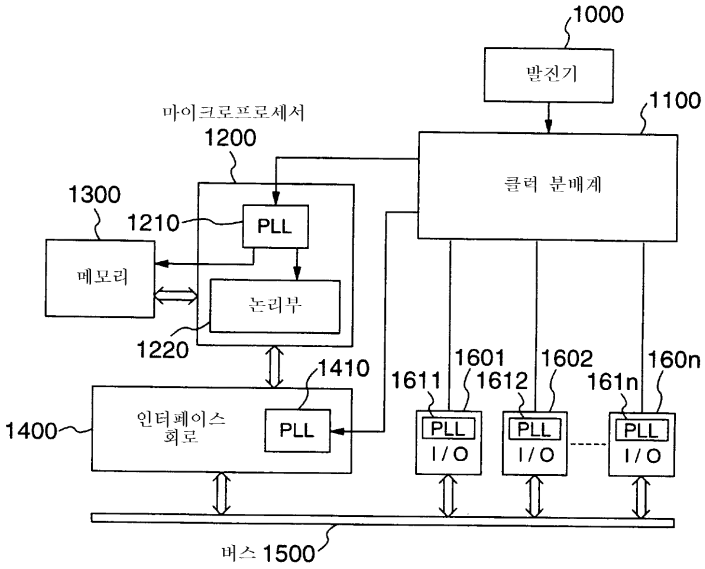
도면 17


3.3V 영역
PLL
1.8V 영역

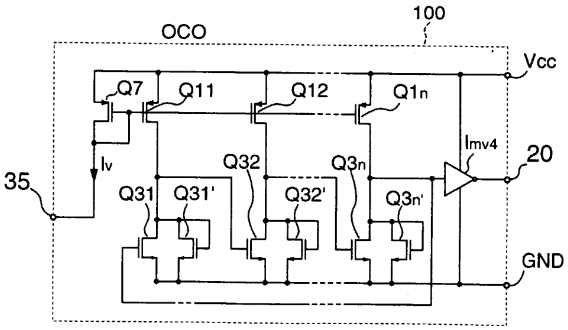
도면 18


3.3V 영역
1.8V영역
발진기
1010
1011
1071
PLL회로1
1013
분주기1
1014
CKIO
1026
내부 클럭
(Iφ)
1072
1025
수정
발진기
1012
XTAL
1073
1021
1023
분주기2
1024
PLL회로2
주변 클럭
(Pφ)
EXTAL
1074
1017
1022
CPG 제어부
1041
MD2
1031
클럭
주파수
제어 회로
스탠바이
제어 회로
스탠바이
제어
MD1
1066
MD0
1067
1068
FRQCR
STBCR
1032
1033
1042
버스 인터페이스
1030
내부 버스
1230

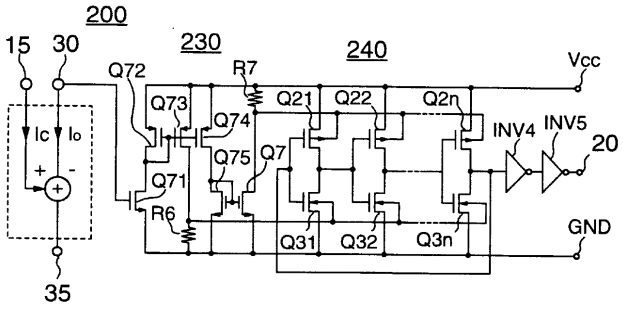
도면 19



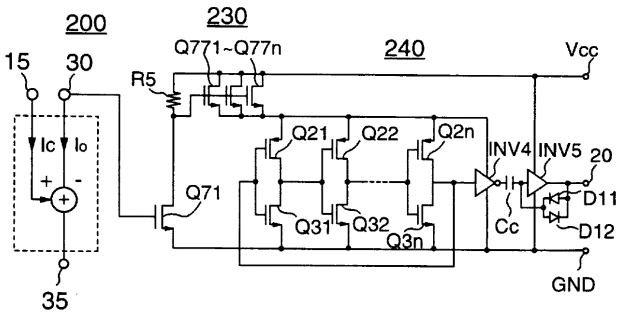
도면 20



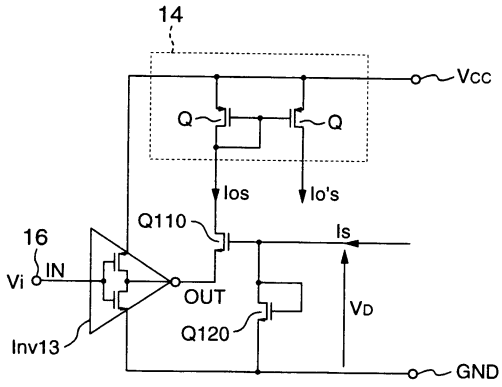
도면 21



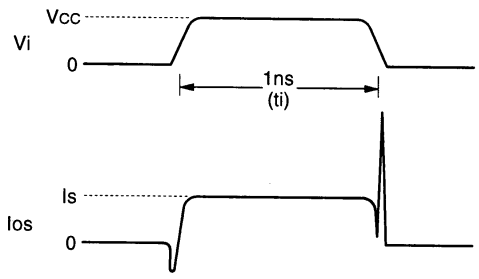
도면 22



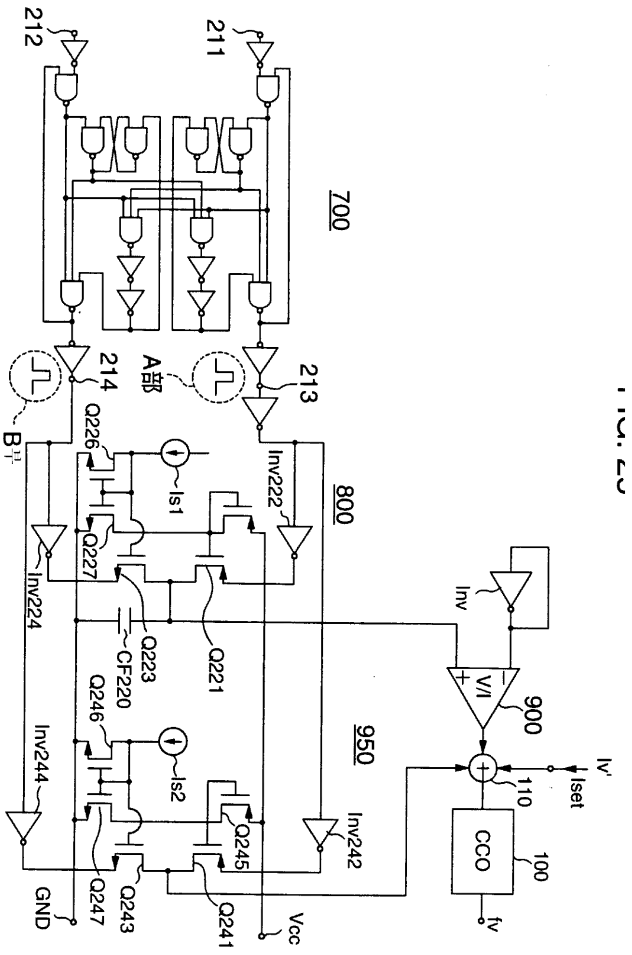
도면 23



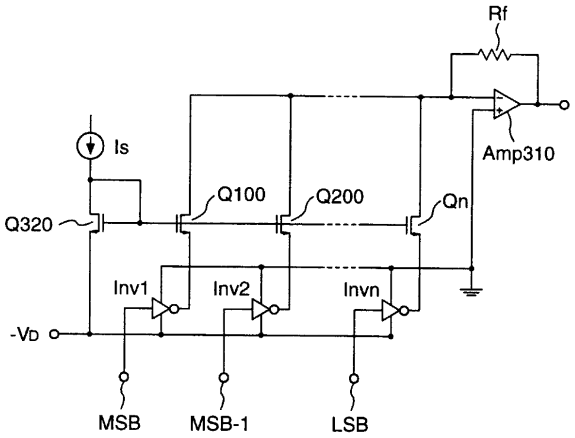
도면 24



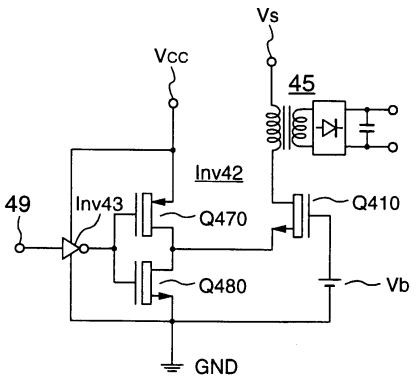
도면 25


212
211
700
214
A部
213
B部
Q226
Is1
Inv222
800
Q227
Inv224
Q223
CF220
Q221
Inv
V/I
900
Q246
Is2
950
Inv244
Q245
Inv242
Iv'
Iset
110
CCO
100
Iv
GND
Q247
Q243
Q241
Vcc

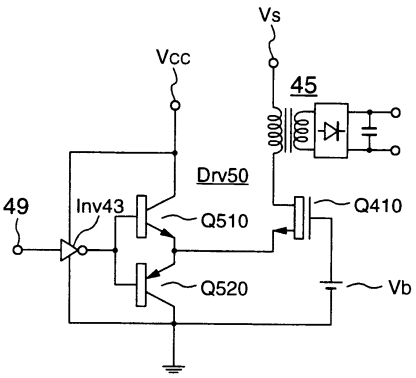
도면 26



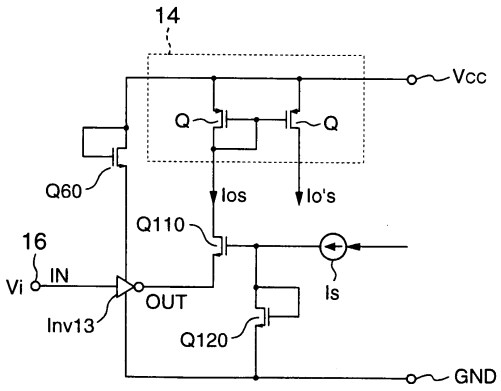
도면 27



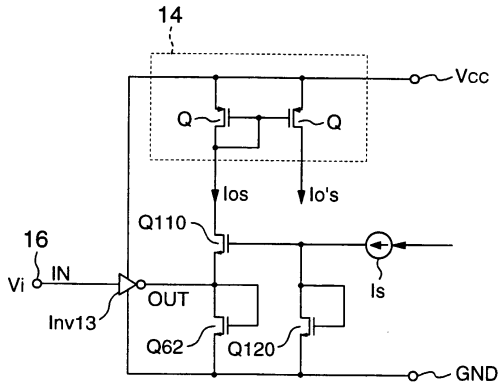
도면 28



도면 29


14
Vcc
Q
Q
Q60
Ios
Io's
Q110
16
Vi
IN
OUT
Is
Inv13
Q120
GND

도면 30


14
Vcc
Q
Q
Ios
Io's
Q110
16
Vi
IN
OUT
Is
Inv13
Q62
Q120
GND