

[19]中华人民共和国国家知识产权局

[51]Int. Cl<sup>7</sup>

H01L 29/78

H01L 27/105

# [12] 发明专利说明书

H01L 21/335 H01L 21/8239

[21] ZL 专利号 95120238.3

[45]授权公告日 2000年6月7日

[11]授权公告号 CN 1053296C

[22]申请日 1995.12.7 [24]颁证日 2000.1.22

[21]申请号 95120238.3

[30]优先权

[32]1994.12.8 [33]JP [31]305046/1994

[32]1995.2.10 [33]JP [31]022615/1995

[73]专利权人 三菱电机株式会社

地址 日本东京

[72]发明人 木村广嗣 西村正 鹤田孝弘

有本和民 山形整人 藤岛一康

[56]参考文献

US4,512,073 1985.4.23

审查员 赵百令

[74]专利代理机构 中国国际贸易促进委员会专利商标事务所

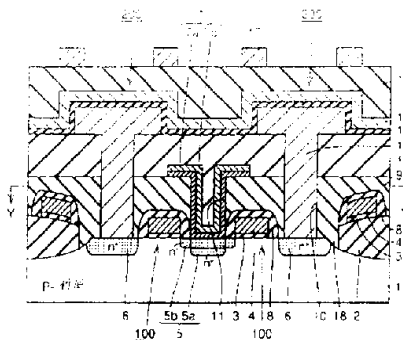
代理人 杜日新

权利要求书 3 页 说明书 37 页 附图页数 52 页

[54]发明名称 半导体器件及其制造方法

[57]摘要

在一种半导体器件及其制造方法中,在邻接第二杂质区(6)的端部设置一隔离绝缘膜(2),还带有延伸到半导体衬底(1)的凹槽。这就去掉了存在于隔离绝缘膜端部的晶体缺陷,因而防止了从存储结点(10)在此部分的漏电流。因此,在邻接杂质区的隔离氧化膜的端部的凹槽构造去掉了在此区域的晶体缺陷,于是消除了漏电的可能性。



ISSN 1008-4274

# 权 利 要 求 书

---

1.一种半导体器件，其特征在于包括：

一块具有一主表面的第一导电型半导体衬底；

在所述的半导体衬底的主表面内限定有源区的隔离绝缘膜；

在所述的主表面上在有源区形成的第一导电层，其间设有一绝缘膜；

在所述的隔离绝缘膜和第一导电层之间的主表面所形成的第二导电型杂质区；

在所述的具有达到杂质区的开口的半导体衬底的主表面上所形成的绝缘层；以及

通过开口电连接到所述的杂质区的第二导电层；其中

所述的隔离绝缘膜在所述的杂质区侧的端部有凹槽部，由所述的隔离绝缘膜的凹槽部提供的端部表面达到所述的半导体衬底；

所述的隔离绝缘膜的端部表面被所述的绝缘层覆盖；以及

所述杂质区没有任何部分到达隔离绝缘膜，并由绝缘层和第一导电型衬底将其与隔离绝缘膜分离，对杂质区无任何介入。

2.根据权利要求1所述的半导体装置，其特征在于还包括：

另一杂质区，与所述杂质区一起构成绝缘栅型场效应晶体管的一对源漏区；以及

一位线，通过所述绝缘层上设的第二开口，到达所述另一杂

质区，与所述另一杂质区电连接。

其中，

所述绝缘膜和所述第一导电层是所述绝缘栅型场效应晶体管的栅绝缘膜和栅电极，

所述第二导电层是电容的下电极。

3.根据权利要求2所述的半导体器件，其特征在于，

所述的位线是在所述的电容器的下电极与所述的半导体衬底之间的区域形成的。

4.根据权利要求2所述的半导体器件，其特征在于，

所述的电容器的下电极是在所述的位线和所述的半导体衬底之间的区域形成的。

5.一种制造半导体器件的方法，其特征在于包括以下各步骤：

用LOCOS法形成一将有源区限定在半导体衬底主表面内的隔离绝缘膜；

在所述的有源区的预定区形成预定形状的第一导电层，两者之间设有绝缘膜；

用所述的第一导电层和所述的隔离绝缘膜作掩模，将杂质引入所述的有源区的预定区来形成一杂质区；

形成一覆盖所述的半导体衬底并具有一使所述的杂质区侧的所述的隔离绝缘膜端部的预定区域露出来的开口的抗蚀膜；

用所述的抗蚀膜作掩模去掉所述的隔离绝缘膜端部的裸露区，在所述的隔离绝缘膜形成达到所述的半导体衬底的端表面；

形成一覆盖所述的隔离绝缘膜的端表面并具通至所述的杂质区的开口的绝缘层；以及

形成一通过所述的开口与所述的杂质区电连接的第二导电层。

6.根据权利要求 13 的制造半导体器件的方法，其中的去掉所述的隔离绝缘膜端部的裸露区的步骤是通过各向异性腐蚀完成的。



# 说 明 书

## 半导体器件及其制造方法

本发明涉及一种半导体器件及其制造方法，特别涉及在邻接杂质区的隔离绝缘膜的端部具有凹槽的半导体器件及其制造方法。

近些年来，由于信息设备如计算机的惊人的发展，使得对半导体存储器件的要求快速提高。与功能有关，要求器件具有大规模的存储容量及允许快速运作。根据这些要求，已开发了提高集成度、改善半导体存储器件的响应和可靠性的技术。

已知 DRAM（动态随机存取存储器）作为一种能随机输入、输出存储信息的半导体存储器件。一般，该 DRAM 由存储大量存储信息的存储区的存储单元阵列和用于外部输入和输出所要求的外围电路组成。

存储单元阵列设有多个存储单元，各存储着单个存储信息并被排列成矩阵形成。该存储单元由一个 MOS（金属·氧化物·半导体）晶体管和一个与之相连的电容器组成。因而被称为一晶体管和一电容器型。因为此类型的存储单元结构简单，因而可容易提高存储单元阵列的集成度，而被广泛地用于大容量的 DRAM 中。图 81 是此种存储单元的剖面图，而图 82 是其平面图。图 81 表示沿图 82 的 X—X 线所取的截面图，图 82 表示沿图 81 的 Y—Y 线所取的视图。

图 81 和 82 所示的结构是位线被隐埋的隐埋位线叠式存储单



元。

参照图 81 和 82, 描述存储单元的结构如下。给一块比如由硅制成的 P 型半导体衬底 1, 在其主表面, 设置限定有源区比如  $\text{SiO}_2$  制成的元件隔离氧化膜 2。在有源区, 形成存储单元, 每个单元包括互相配对的一个转移栅晶体管 100 和一个叠式电容器 200。

转移栅晶体管 100 包括在半导体衬底 1 的主表面形成的第一和第二杂质区 5、6, 形成源、漏区, 还包括在半导体衬底 1 的主表面上形成比如由  $\text{SiO}_2$  制成的栅氧化膜 3 及在主表面上形成比如由多晶硅制成的栅电极 4, 其间带有栅氧化膜 3。第一杂质区 5 具有双层结构, 包括高浓度杂质区 5a 和低浓度杂质区 5b。第二杂质区由高浓度杂质区形成。栅电极 4 被比如由  $\text{SiO}_2$  制成的侧壁绝缘膜 8 覆盖。

半导体衬底 1 被比如由  $\text{SiO}_2$  形成的膜厚约  $8000\text{\AA}$  的第一层间氧化膜 9 覆盖。在第一层间氧化膜 9 形成露出第二杂质区 6 的存储结点接触孔 10 和露出第一杂质区 5 的位线接触孔 11。在位线接触孔 11 中, 形成与第一杂质区 5 连接的位线 7。位线 7 由厚约  $1000\text{\AA}$  的掺杂多晶硅膜 7a 和厚约  $1000\text{\AA}$  的硅化钨膜 7b 形成。

在第一层的氧化膜 9 上, 比如由  $\text{SiO}_2$  制成厚约  $1000\text{\AA}$ , 具有存储结点接触孔 10 的第二层的氧化膜 13。在存储结点接触孔 10 中, 形成比如由多晶硅制成的存储结点 (下电极) 12, 位于第二层的氧化膜 13 上, 还有厚约  $6000\text{\AA}$  的部分。在存储结点 12 的表面上面, 形成介质膜 14, 在其上再形成单元板极 (上电极) 15。存储结点 12、介质膜 14 及单元板极 15 形成了叠式电容器 200。在单元板极 15 上面, 形成互连层 17, 其间设有第三层间氧化膜 16。

接着，参照图 83 至 95 描述制造有此种结构的存储单元的方法如下。

首先参照图 83，在半导体衬底 1 的主表面的预定区域用 LOCOS 方法形成主件隔离氧化膜 2。然后，如图 84 所示，在半导体衬底 1 上的预定区域形成预定构形的栅电极 4，其间设有比如由  $\text{SiO}_2$  形成的栅氧化膜 3。

参照图 85，在半导体衬底 1 形成露出介于平行栅电极 4 之间的预定区的抗蚀膜 20。用抗蚀膜 20 作掩模，以约  $2.3 \times 10^{13}/\text{cm}^2$  的注入剂量，以约 35KeV 的注入能量将 n 型杂质如磷注入到半导体衬底 1 中，形成低浓度杂质区 5b。

参照图 86，在半导体衬底 1 上淀积  $\text{SiO}_2$ ，对它进行各向异性腐蚀，以致在栅电极 4 上形成侧壁 8。用侧壁 8 作掩模，以约  $4 \times 10^{13}/\text{cm}^2$  的注入剂量，以约 40KeV 的注入能量，使 n 型杂质如磷注入到半导体衬底 1 的主表面，形成高浓度杂质区 5a 和 6，如图 87 所示。因而，完成了由高浓度杂质区 5a 和低浓度杂质区 5b 形成的第一杂质区 5 以及由高浓度杂质区形成的第二杂质区 6。

参照图 88，在半导体衬底 1 的上方，用 CVD 方法，淀积厚约 8000Å 的比如由  $\text{SiO}_2$  制成的第一层间氧化膜 9。

参照图 89，在第一层间氧化膜 9 上，形成位于第一杂质区 5 上方具有开口的抗蚀膜 22。用抗蚀膜 22 作掩模，通自对准接触方法形成位线接触孔 11。

参照图 90，在去掉抗蚀膜 22 之后，在位线接触孔 11 内淀积各厚约 1000Å 的掺杂多晶硅膜 7a 和硅化钨膜 7b，并使之构成预定构形，形成位线 7。

参照图 91, 在第一层间氧化膜 9 上形成比如由  $\text{SiO}_2$  制成的厚约  $10000\text{\AA}$  的第二层间氧化膜 13。然后, 在第二层间氧化膜 13 上形成位于第二杂质区 6 上方具有开口的抗蚀膜 23。用抗蚀膜 23 作掩模, 通过自对准接触方法, 在第一和第二层间氧化膜 9 和 13 形成存储结点接触孔 10。

参照图 92, 在去掉抗蚀膜 23 之后, 在存储结点接孔 10 内淀积多晶硅等, 形成位于第二层间氧化膜 13 上的具有厚约  $6000\text{\AA}$  的部分的存储结点 12。

参照图 93, 在存储结点 12 的上方淀积介质膜 14 和单元板极 15。因而, 完成了由存储结点 12、介质膜 14 和单元板极 15 形成的叠式电容器 200。参照图 94, 在单元板极 15 上形成比如由  $\text{SiO}_2$  形成的第三层间氧化膜 16, 再在第三层间氧化膜 16 上形成具有预定构形的互连层 17, 因而完成如图 81 所示的存储单元。

上述的 DRAM, 通过电容器中存储的电荷而存储着数据。当存储比如“H”数据时, 就产生一个与从存储结点漏出电流相关的问题, 因而在 DRAM 中必须周期地执行刷新操作。虽然希望 DRAM 的刷新操作的周期长, 但目前由于存储单元中的电容器容量随着 DRAM 集成度的增加而减小的趋势, 有使刷新周期变短的趋势。所以, 纵然, DRAM 的集成度高, 为了维持刷新操作周期长, 则必须防止从存储结点泄漏电流。

参照图 95, 将描述关于从上述存储单元结构的存储结点, 泄漏电流的路径。

电流是可以从存储结点经过下列路径漏掉的:

(1) 通过第二杂质区 6 漏到半导体衬底 1。



(2) 通过栅电极 4 下的第二杂质区 6 漏到第一杂质区 5。

(3) 漏到单元板极 15。

在这些路径当中，通过第二杂质区 6 至半导体衬底 1 的路径 (1) 一是占主导的路径。到半导体衬底 1 的漏电与给 Pn 结施加反偏置时所引起的漏电相同。然而，在形成隔离氧化膜 2 的步骤和使杂质注入到第一和第二杂质区 5、6 的步骤中，在半导体衬底 1 产生了所称的晶体缺陷。若该晶体缺陷产生在 Pn 结，在该区就产生新的漏电路径。其结果，在电容器中所存储的电荷经由新的漏电路径放电，导致由 DRAM 保持的数据失效。

特别是，在隔离氧化膜 2 的边缘部，即所称的鸟嘴 2a 部将产生许多晶体缺陷 2b。通过旨在去掉注入杂质步骤后的缺陷缺陷的热处理，可去掉晶体缺陷 2b。然而，由于 DRAM 的集成度增高，该工艺必须在低温度下进行，以致难以完全去掉该晶体缺陷。

本发明之目的在于，提供一种半导体存储器件及其制造方法，其中在邻接漏区的隔离氧化膜的端部形成凹槽，以便从此区去掉晶体缺陷，防止可能的漏电流。

本发明的另一目的在于，防止结漏电流的产生同时防止窄沟道效应，并改善刷新特性及耐软误差性。

本发明的又一目的在于，防止由于在光刻时的图形的重叠误差和尺寸误差在导电层之间出现短路。

本发明的再一个目的在于，防止结漏电流的产生同时提高结击穿电压。

根据本发明的一种方案的半导体器件包括：一块半导体衬底、一隔离绝缘膜、第一导电层、杂质区、一绝缘膜以及第二导电层。

其中的半导体衬底具有一主表面；其隔离绝缘膜是为限定半导体衬底主表面的有源区而设置；其第一导电层形成在主表面上，两者之间设有一绝缘膜；其杂质区形成在隔离绝缘膜和第一导电层之间的主表面，达到预定深度；其绝缘层形成在半导体衬底的主表面上并有通达杂质区的开口；其第二导电层通过开口与杂质区电连接。该隔离绝缘膜在杂质区侧的端部具有凹槽部，由该隔离绝缘膜凹槽部提供的端表面到达半导体衬底。该隔离绝缘膜的端表面被绝缘层覆盖。

在根据本发明的一个方案的半导体器件中，在隔离绝缘膜靠杂质区侧的端部的凹槽部的构造防止了在靠近隔离绝缘膜的晶体中产生缺陷，因而可防止由于这些晶体缺陷引起的从杂质区至半导体衬底的漏电流。

其结果，在采用此种结构的半导体器件中使漏电流减小了，因而能够改善半导体器件运作的可靠性。

此外，该隔离绝缘膜的端表面被绝缘层覆盖。因而，开口不设置在隔离绝缘膜的端表面附近。所以，借助于在开口所形成的第二导电层就防止了在杂质区和半导体衬底之间的短路的发生。

根据本发明的另一方案的一种半导体器件包括：一块半导体衬底、一隔离绝缘膜、一对杂质区、一栅电极、一绝缘层、一电容器的下电极以及一位线。其中的半导体衬底具有一主表面；其隔离绝缘膜是为限定半导体衬底主表面的有源区而设置；其杂质区对其间以预定的间隔形成在有源区，使沟道区夹在当中，并形成源、漏区；其栅电极形成在沟道区上，其间设有栅绝缘膜；其绝缘层覆盖着半导体衬底，并具有露出一对杂质区之一的第一开口和露出一对

杂质区的另一个的第二开口；其电容器的下电极经过第一开口与一杂质区电连接；其位线经过第二开口与另一杂质区电连接。该隔离绝缘膜在其靠杂质区侧的端部具有凹槽部，由该隔离绝缘膜的凹槽部所提供的端表面达到半导体衬底。而该隔离绝缘膜的端表面又被绝缘层所覆盖。

在依本发明另一方案的半导体器件中，在隔离绝缘膜靠杂质区侧的端部的凹槽构造消除了隔离绝缘膜端部附近的晶体缺陷，因而也防止由于这些晶体缺陷引起的通过第二导电类型的杂质区到半导体衬底的漏电流。

其结果，在采用此种结构的半导体器件中减小了从下电极来的漏电流，可使 DRAM 中的刷新操作周期延长，还可进一步改善半导体器件运作的可靠性。

此外，该隔离绝缘膜的端部是被绝缘层覆盖的。所以，第一开口不能设置在隔离绝缘膜的端表面附近。于是，可防止由于在第一开口中所形成电容器下电极引起在杂质区和半导体衬底之间的短路的发生。

一种制造依本发明的一方案的半导体器件的方法，包括以下各步骤：

首先，通过 LOCOS 法形成一隔离绝缘膜，将有源区限定在半导体衬底主表面预定区内。然后，在该有源区的预定区域形成具有预定形状的第一导电层，两者间设有一绝缘膜。用第一导电层和隔离绝缘膜作掩模，通过把杂质引入到有源区的预定区域形成一杂质区。形成一覆盖半导体衬底的抗蚀膜，该膜具有一开口，露出隔离绝缘膜与杂质区接触的端部中的预定区域。用此抗蚀膜作掩模，去

掉隔离绝缘膜端部的裸露区域，在隔离绝缘膜中形成达到半导体衬底的端表面的开口。接着，在半导体衬底的主表面形成一绝缘层，覆盖隔离绝缘膜的端表面，并具有通到杂质区的开口。此后，形成第二导电层，通过开口与杂质区电连接。

根据制造依本发明的一方案的半导体器件的方法，设置去掉隔离绝缘膜端部的预定区域的步骤。由于去掉了隔离绝缘膜的端部，而同时消除了隔离绝缘膜端部附近的晶体缺陷。所以，使得制造那种可防止由于晶体缺陷引发的从杂质到半导体衬底漏电流的半导体器件是可行。

其结果，在用此法所制得的半导体存储器件中减小了漏电流，因而可改善半导体器件运作的可靠性。

再有，绝缘膜是这样形成的，使之覆盖住隔离绝缘膜的端部。所以开口不形成在隔离绝缘膜端部附近。于是可防止在杂质区和半导体衬底之间由于开口内形成第二导电层，而出现的短路。

一种根据本发明的又一个方案的半导体器件包括：一块第一导电类型的半导体衬底、一元件隔离绝缘层、用元件隔离的第一导电类型的杂质区、第二导电类型的第一杂质区、一绝缘层、第二导电类型的第二杂质区、一侧壁绝缘层以及导电层。其中的半导体衬底具有一主表面并有第一杂质浓度；其元件隔离绝缘层形成在半导体衬底的主表面；其用于元件隔离的杂质区是与元件隔离绝缘层的下侧相接触的；其第一杂质区形成在半导体衬底的主表面，并被其间的预定区与用于元件隔离的杂质区分隔开；其绝缘层形成于半导体衬底的主表面上，并具有通至第一杂质区和预定区表面部分的开孔；所形成的第二杂质区具有一与第一杂质区和位于孔底表面的预

定区相重叠并与用于元件隔离的杂质区相接触的部分；此第二杂质区具有比第一杂质浓度还高的第二杂质浓度。其侧壁绝缘层覆盖着开孔的侧壁；其导电层通过开孔与第一和第二杂质区电连接。

制造依本发明的又一方案的半导体器件的方法，包括以下步骤：

首先，在具有第一杂质浓度的第一导电类型的半导体衬底的主表面形成一元件隔离绝缘层及与该元件隔离绝缘层下侧相接触的第一导电类型的用于元件隔离的杂质区。在半导体衬底主表面形成第二导电类型的第一杂质区，并其间设有预定区域与用于元件隔离的杂质区分隔开。然后，在半导体主表面形成一绝缘层，该层具一通至第一杂质区和预定区表面部的开孔。此后，形成一具有比第一杂质浓度还高的第二杂质浓度的第二导电类型的第二杂质区，该区具有一与第一杂质区相重叠部分和位于开孔底表面的与用于元件隔离的杂质区相接触的预定区。形成一侧壁绝缘层，使之覆盖开孔的侧壁。接着形成一导电层，该层通过开孔与第一和第二杂质区电连接。

在根据本发明的半导体器件及其制造方法中，与待形成源、漏区的第一杂质区相接触的第二杂质区是这样形成的，使之与用于元件隔离的杂质区相接触。所以在第二杂质区和用于元件隔离的杂质区之间的半导体衬底不存在相对低的杂质浓度的分布区。因而，使得由第二杂质区和用于元件隔离的杂质区所形成的 Pn 结部分的耗尽层在其工作时不致向元件隔离杂质区侧延伸很深。所以，减小了由耗尽层内存在晶体缺陷而产生的漏电流。

此外，因为可减小 DRAM 中的漏电流，而使得电容器的电荷

保持特性良好。所以，可使刷新特性和抗软误差性良好。

而且，因为用于元件隔离的杂质区是与导电类型相反的第二杂质区接触的，使得用于元件隔离的杂质区到元件形成区的扩散也被抑制，因而防止了窄沟道效应。

根据本发明一优选方案的半导体器件，还包括：一对第二导电层。其绝缘层具有第一和第二绝缘层。这对第二导电层是这样形成的，使它们相互平行地延伸第一绝缘层上，其间设有开孔，第二绝缘层被形成于第一绝缘层上，使之覆盖那对第二导电层。

制造根据本发明一优选方案的半导体器件的方法，还包括：形成一对第二导电层的步骤。其绝缘层具有第一和第二绝缘层。形成的这对第二导电层是相互平行地延伸在第一绝缘层上。第二绝缘层形成在那对第二导电层上。所形成的孔通过该对第二导电层，使之通至第一杂质区和预定区的表面部。

在根据本发明的一优选方案的半导体器件及其制造方法中，所形成的开孔穿过相互平行延伸的一对第二导电层之间。所以，由于在形成开孔的光刻过程中，掩模的重叠误差或图形的尺寸误差，可能使开孔的位置偏移。在此种情况下，从孔的侧壁可能露出第二导电层的侧壁，所形成的导电层如存储结点填入开孔中，可能使第二导电层变成短路。然而，在此种半导体器件中，形成了覆盖孔的侧壁的侧壁绝缘层。于是，即使第二导电层的侧壁从开孔侧壁露出来，也能被侧壁绝缘层覆盖。所以，防止了在侧壁绝缘层形成之后所形成的导电层和第二导电层之间短路的出现。

根据本发明的另一优选方案的半导体器件还包括：形成于半导体衬底主表面的第二导电类型的第三杂质区，使之覆盖与开孔底表

面的导电层相接触并与第一杂质区电连接的区域。该第三杂质区具有比第二杂质浓度还高的第三杂质浓度。

一种制造依本发明另一优选方案的半导体器件的方法还包括：在半导体衬底的主表面形成具有比第二杂质浓度还高的第三杂质浓度的第二导电类型的第三杂质区的步骤，通过在其侧壁形成有侧壁绝缘层的开孔引入离子，使之与第一杂质区相接触。形成一导电层，使之与第三杂质区相接触。

在依本发明的另一优选方案的半导体器件及其方法中，在导电层与半导体衬底相互接触的区域形成相对高的杂质浓度的第三杂质区。所以，降低了导电层与结成为源、漏区的第一杂质区之间的接触电阻。

此外，由于设置了第三杂质区，可把第二杂质区的浓度设定得比较低。于是，可提高在第二杂质区与元件隔离杂质区之间的结部的结击穿电压。因而，可降低与导电层的接触电阻，同时改善了结击穿电压。

根据本发明的再一个优选方案的半导体器件还包括在一对第二导电层上所形成的腐蚀阻断绝缘层。该腐蚀阻断绝缘层是由不同于第一和第二绝缘层的材料形成的。第二绝缘层是这样形成的，使之覆盖那对第二导电层和腐蚀阻断层。

一种制造根据本发明的又一方案的半导体器件的方法还包括在一对第二导电层上用不同于第一和第二绝缘层的材料形成腐蚀阻断绝缘层的步骤。

在根据本发明的又一优选方案的半导体器件及其制造方法中，在第二导电层上形成腐蚀阻断绝缘层。这个腐蚀阻断绝缘层是由不

同于绝缘层的材料形成的。所以当腐蚀绝缘层形成开孔时，几乎不腐蚀该腐蚀阻断绝缘层。于是，其至于是掩模的重叠误差等使开孔形成到第二导电层之上，也能防止由腐蚀阻断绝缘层所覆盖的导电层的上表面从开孔露出来。所以，防止了在通过此开孔将与底层形成接触的导电层与第二导电层之间短路的出现。

通过下面的结合附图对本发明的详细说明，将会使本发明的上述的和其它的目的、特点、方案以及优点变得更加清楚。

图 1 是表示本发明实施例 1 的半导体器件的剖面图；

图 2 是表示本发明实施例 1 的半导体器件的平面图；

图 3—15 分别表示制造本发明实施例 1 的半导体器件的方法的第 1—第 13 步骤；

图 16 是表示本发明实施例 2 的半导体器件的剖面图；

图 17 是表示本发明实施例 2 的半导体器件的平面图；

图 18—24 分别表示制造本发明实施例 2 的半导体器件的方法的第 6—第 12 步骤；

图 25 是表示本发明实施例 3 的半导体器件的剖面图；

图 26 是表示本发明实施例 3 的半导体器件的平面图；

图 27—34 分别表示制造本发明实施例 3 的半导体器件的方法的第 7—第 14 步骤；

图 35 是表示本发明实施例 4 的半导体器件的剖面图；

图 36 是表示本发明实施例 4 的半导体器件的平面图；

图 37—44 分别表示制造本发明实施例 4 的半导体器件的方法的第 6—第 13 步骤；

图 45 是表示为防止源、漏区与衬底之间出现短路的常规结构



的示意剖面图；

图 46 是表示沿图 35 的  $A_4$ — $A_4$  的各个部位的杂质浓度分布曲线图；

图 47 是表示沿图 45 的  $B_4$ — $B_4$  的各个部位的杂质浓度分布曲线图；

图 48 是表示本发明实施例 5 的半导体器件的示意剖面图；

图 49 是表示沿图 48 的  $A_1$ — $A_1$  的各个部位的杂质浓度分布曲线图；

图 50 是表示沿图 48 的  $B_1$ — $B_1$  的各个部位的杂质浓度分布曲线图；

图 51—64 是按进行的步序表示制造根据本发明实施例 5 的半导体器件的方法中的工艺的示意剖面图；

图 65 是表示根据本发明实施例 6 的半导体器件结构的示意剖面图；

图 66 是表示沿图 65 的  $A_2$ — $A_2$  的各个部位的杂质浓度分布曲线图；

图 67 是表示沿图 65 的  $B_2$ — $B_2$  的各个部位的杂质浓度分布曲线图；

图 68 和 69 是按进行的步序制造根据本发明实施例 6 的半导体器件的方法的工艺中的示意剖面图；

图 70 是表示根据本发明实施例 7 的半导体器件结构的示意剖面图；

图 71—79 是按进行的步序制造本发明实施例 7 的半导体器件的方法的工艺中的示意剖面图；

图 80 是表示成对的位线互连的两侧壁如何从接触孔露出来的示意剖面图；

图 81 是表示已有技术的半导体器件的剖面图；

图 82 是表示已有技术的半导体器件的平面图；

图 83—94 分别表示制造已有技术的半导体器件的方法的第 1—第 12 步骤；

图 95 示意地表示了已有技术的半导体器件的缺点。

(实施例 1)

本发明的第 1 实施例，将参照图 1 和 2，说明于下。图 1 是本实施例存储单元的剖面图，图 2 则是其平面图。图 1 是沿图 2 的线 X—X 截取的一个剖面，而图 2 则表示沿图 1 的线 Y—Y 取得的视图。

由于图 1 所示的存储单元的剖面结构基本上与图 45 所示的存储单元结构一样，所以除本实施例的不同部分外，下面将不再详述此结构。

本实施例的存储单元备有一个槽 18，位于每一隔离氧化膜 2 的邻接于转移栅晶体管 100 的第 2 杂质区 6 的端部。槽 18 填以第 1 层间氧化膜 9。

由于在隔离氧化膜 2 端部的预定位置采取槽 18 的措施，由 P 型半导体衬底 1 与  $n^+$  杂质区亦即第 2 杂质区 6 形成的 Pn 结，与现有技术对比就不会延伸到含有许多晶体缺陷的隔离氧化膜 2 的端部。因此，就能消除从存储节点 12 通过第 2 杂质区 6 到半导体衬底 1 的漏电的可能性。

因此，可以增长该存储单元刷新操作的周期，而存储单元也就

有较高的性能和较高的可靠性。

下面将参照图 3 至 15 说明上述存储单元的制造方法。

首先参照图 3, 通过 LOCOS 法, 使隔离氧化膜 2 形成在 P 型半导体衬底 1 的主表面预定区域。接着, 如图 4 所示, 由例如多晶硅层制成的, 具有预定结构的栅电极 4, 形成于半导体衬底 1 的预定区域, 其间还有由例如  $\text{SiO}_2$  制成的栅氧化膜 3。

参照图 5, 进行加工处理, 形成抗蚀膜 20, 露出在半导体衬底 1 上彼此平行排列的两栅电极 4 之间的预定区域。用抗蚀膜 20 作掩模, 把 n 型杂质, 诸如磷, 以约  $2.3 \times 10^{13}/\text{cm}^2$  的注入剂量和约 35KeV 注入能量, 注入到半导体衬底 1 中, 形成低浓杂质区 5b。

参照图 6, 将  $\text{SiO}_2$  淀积在半导体衬底 1 上, 并对其进行各向异性蚀刻, 结果侧壁 8 形成在每个栅电极 4 上面。再以侧壁 8 作为掩模, 把杂质, 诸如磷, 以约  $4.0 \times 10^{13}/\text{cm}^2$  的注入剂量和约 40KeV 的注入能量, 注入到半导体衬底 1 主表面中, 形成高浓杂质区 5a 和 6, 如图 7 所示。于是, 就完成由高浓杂质区 5a 和低浓杂质区 5b 形成的第一杂质区 5 和由高浓杂质区形成的第 2 杂质区 6。通过上述各步骤, 在半导体衬底 1 上, 完成转移栅晶体管 100。

参照图 8, 把抗蚀膜 21 形成在半导体衬底 1 上。该抗蚀膜 21 有一个开口, 露出邻接于第 2 杂质区 2 的隔离氧化膜 2 的端部。用抗蚀膜 21 作为掩模, 在  $\text{C}_4\text{F}_8$  的气氛中, 进行各向异性蚀刻, 结果除去该隔离氧化膜的端部而形成槽 18。本步骤也除去了在形成隔离氧化膜 2 过程中产生于隔离氧化膜 2 端部的晶体缺陷。

参照图 9, 用 CVD 法, 使由例如  $\text{SiO}_2$  制作的, 厚度约  $8000\text{\AA}$  的第 1 层间氧化膜 9, 淀积在半导体衬底 1 表面上。

参照图 10, 在第 1 层间氧化膜 9 上, 形成抗蚀膜 22, 而该膜 22 在位于上述第 1 杂质区 5 之上具有一个开口。用抗蚀膜 22 作为掩模, 用自对准接触法, 形成位线接触孔 11。

参照图 11, 除去抗蚀膜 22 后, 把厚度约  $1000\text{\AA}$  的掺杂多晶硅膜 7a 和厚度约  $1000\text{\AA}$  的硅化钨膜 7b 淀积在位线接触孔 11 中, 并刻制成一种预定图形, 形成位线 7。

参照图 12, 把由例如  $\text{SiO}_2$  制成的厚约  $1000\text{\AA}$  第 2 层间氧化膜, 形成在第 1 层间氧化膜 9 上。然后, 将抗蚀膜 23 形成在第 2 层间氧化膜 13 上, 而该膜 23 具有的开口部位位于第 2 杂质区 6 上。用抗蚀膜 23 作为掩模, 通过自对准接触孔法, 使存储节点接触孔 10, 形成在第 1 和第 2 层间氧化膜 9 和 13 上。

参照图 13, 除去抗蚀膜 23 后, 淀积多晶硅之类在存储接触孔 10 中, 形成存储节点 12, 而位于第 2 层间氧化膜 13 之上具有厚度约为  $6000\text{\AA}$  的部分。

参照图 14, 把介质膜 14 和单元板极 15 淀积在存储节点 12 上。从而, 完成由存储节点 12, 介质膜 14 和单元板极 15 构成的层叠型电容 200。

参照图 15, 然后, 在单元板极 15 上形成例如由  $\text{SiO}_2$  制作的第 3 层间氧化膜 16, 再在第 3 层间氧化膜 16 上形成预定构形的互连层 17, 从而完成图 1 所示的本实施例存储单元。

根据上述本实施例的制造存储单元的方法, 可以随着除去隔离氧化膜 2 的端部, 形成槽 18, 同时除去晶体缺陷。因此, 这种存储单元结构能够减少由 P 型半导体衬底 1 和  $n^+$  杂质区, 即第 2 杂质区 6 所形成的 Pn 结中的缺陷, 与现有技术比较, 则在结构的隔

离氧化膜 2 的端部产生许多晶体缺陷。

(实施例 2)

下面将参照图 16 和 17 说明本发明的第 2 实施例。图 16 是本实施例存储单元的剖面图，图 17 则是其平面图。图 16 表示沿图 17 线 X—X 截取的剖面，而图 17 则表示沿图 16 线 Y—Y 取得的视图。

由于图 16 所示的存储单元剖面结构基本上与图 1 所示实施例 1 的存储单元一样，故除与本实施例的不同部分外，下面都不再详述此结构。

本实施例的存储单元不同于实施例 1 单元之处在于，提供存储节点 12 的存储接触孔 10 包括槽 18。由于这种结构，与现有技术对照，由 P 型半导体衬底 1 和  $n^+$  杂质区，即第 2 杂质区 6 构成的 Pn 结不会延伸到含有许多晶体缺陷的隔离氧化膜 2 的端部。因此，能够消除从存储节点 12 经过第 2 杂质区 6 到半导体衬底 1 的电流泄漏可能性。

因此，可使本存储单元的刷新操作周期增长，存储单元就可以具有较高的性能和高可靠性。还有，可使存储节点 12 的单位电阻减小。

接着，下面将参照图 18 至 24，说明制造第 2 实施例的存储单元方法。从开始步骤至形成高浓杂质区 5a 和 6 的步骤的工艺与结合第 1 实施例已经说明的从图 3 到图 7 的步骤完全一样，故此下面不再加以说明。

参照图 18，通过 CVD 法，淀积例如由  $\text{SiO}_2$  制作的，厚度约  $8000\text{\AA}$  的第 1 氧化膜 9，盖在半导体衬底 1 上。

参照图 19, 使位于第 1 杂质区 5 上具有开口的抗蚀膜 22, 形成在第 1 层间氧化膜 9 上。用抗蚀膜 22 作为掩模, 借助于自对准接触孔法, 形成位线接触孔 11。

参照图 20, 除去抗蚀膜 22 后, 使厚度约  $1000\text{\AA}$  的掺杂多晶硅膜 7a 和厚度约  $1000\text{\AA}$  的硅化钨膜 7b 淀积在位线接触孔 11 中, 剖制成预定构形图形, 而形成位线 7。

参照图 21, 使例如由  $\text{SiO}_2$  制成的厚度约  $10000\text{\AA}$  的第 2 层间氧化膜 13, 形成在第 1 层间氧化膜 9 上。然后, 在第 2 层间氧化膜 13 上, 形成具有开口的抗蚀膜 23, 由每个开口位于第 2 杂质区 6 与隔离氧化膜 2 的端部之后。用抗蚀膜 23 作为掩模, 在  $\text{C}_4\text{F}_8$  气氛中, 进行各向异性蚀刻。采用自对准接触孔法。因此, 使存储接触孔 10 形成于第 1 和第 2 层间氧化膜 9 和 13 以及隔离绝缘膜 2 的端部, 而形成槽 18。

参照图 22, 除去抗蚀膜 23 后, 在存储节点接触孔 10 中, 淀积多晶硅之类物质, 形成节点 12, 而位于第 2 层间氧化膜 13 上则具有厚度约为  $6000\text{\AA}$  的部分。本步骤中, 存储节点 12 的部分就形成在槽 18 内。

参照图 23, 淀积介质膜 14 和单元板极 15, 盖在存储节点 12 上。从而完成由存储节点 12, 介质膜 14 和单元板极 15 构成的层叠型电容 200。

参照图 24, 于是, 在单元板极 15 上形成例如由  $\text{SiO}_2$  制成的第 3 层间氧化膜 16, 再在第 3 层间氧化膜 16 上, 形成具有预定构形的互连层 7, 从而完成图 16 所示的本实施例的存储单元。

根据本第 2 实施例存储单元的制造方法, 槽 18 与形成存储节

点接触孔 10 同时形成。因此，制造步骤的数目可以少于实施例 1 制造方法的步骤数目，故此，可以降低用于制造步骤的成本。

### (实施例 3)

下面将参照图 25 和 26，说明本发明的第 3 实施例。虽然第 1 和第 2 实施例已经结合埋入位线的层叠型存储单元进行说明，但下面仍将结合层叠型存储单元说明第 3 实施例。图 25 是第 3 实施例存储单元的剖面图，而图 26 则为其平面图。图 25 示出沿图 26 的线 X—X 截取的剖面图，图 26 则示出沿图 25 的线 Y—Y 取得的视图。

参照各图，第 3 实施例的存储单元的结构与第 1 实施例相同，只是位线 7 形成于层叠型电容 200 之上。类似于实施例 1，槽 18 形成于隔离氧化膜 2 邻接第 2 杂质区 6 的端部。位线 7 例如由多晶硅制作的聚焊盘 (Polypad) 7c，例如由钨制成的阻挡金属层 7d 及例如由铝制成的金属层 7e 构成。

如上所述，本第 3 实施例的存储单元结构，类似于第 1 实施例，在隔离氧化膜 2 端部处，备有槽 18。由于有这样的结构，由 P 型半导体衬底 1 和 n+ 杂质区，即第 2 杂质区 6 形成的 Pn 结，与现有技术相比，不会延伸到含有许多缺陷的隔离氧化膜 2 的端部。因此，可以消除电流从存储节点 12 经过第 2 杂质区 6 到半导体衬底 1 泄漏的可能性。

所以，可使存储单元的刷新操作周期增长，存储单元就可以具有较高性能和高可靠性。

接着，下面将参照图 27 到 34，说明制造第 3 实施例的存储单元的方法。

从开始步骤到形成槽 18 的步骤，工艺都与已结合第 1 实施例说过的图 3 步骤到图 8 步骤相同，故此，下面不再说明。

参照图 28，使例如由多晶硅制作并连到第 1 杂质区 5 的聚焊盘 7c 形成在半导体衬底 1 之上。接着，用 CVD 法，把例如由  $\text{SiO}_2$  制成，厚度约  $8000\text{\AA}$  的第 1 层间氧化膜 9，淀积在半导体衬底 1 上方。

参照图 29，在第 1 层间氧化膜 9 上，形成具有开口的抗蚀膜 24，而每个开口都位于第 2 杂质区 6 上。用抗蚀膜 24 作为掩模，借助于自对准接触孔法，使存储接触孔 10 形成在第 1 层间氧化膜 9 上。

参照图 30，除去抗蚀膜 24 后，在第 1 层间氧化膜 9 上，把多晶硅淀积在存储节点接触孔 10 中，以形成厚度约  $6000\text{\AA}$  的存储节点 12。

参照图 31，在存储节点 12 上方，淀积介质膜 14 和单元板极 15，从而，完成由存储节点 12、介质膜 14 和单元板极 15 构成的层叠型电容 200。

参照图 32，在单元板极 15 上，形成的例如由  $\text{SiO}_2$  制作的厚度约  $1000\text{\AA}$  的第 2 层间氧化膜 13。此后，在第 2 层间氧化膜 13 上，形成具有开口的抗蚀膜 25，而开口则位于第 1 杂质区 5 上。用抗蚀膜 25 作为掩模，通过自对准接触孔法，在第 1 和第 2 层间氧化膜 9 和 13 处，形成与聚焊盘 7c 相通的位线接触孔 11。

参照图 33，除去抗蚀膜 25 后，在存储接触孔 11 内，淀积例如由钨制作的阻挡金属层 7d，及在阻挡金属层 7d 上，淀积例如由铝制作的金属层 7e。从而，完成由聚焊盘 7c、阻挡金属层 7d 和金



属层 7e 构成的位线 7。

参照图 34, 在金属层 7c 上, 形成例如由  $\text{SiO}_2$  制作的第 3 层间氧化膜 16, 而且还在第 3 层间氧化膜 16 上, 形成预定构形的互连层, 因而完成图 25 所示的存储单元。

根据制造本第 3 实施例存储单元的方法, 可以与用于形成槽 18 的除去隔离氧化膜 2 的邻接于第 2 杂质区 6 的端部的加工之同时除去晶体缺陷。所以, 与现有技术相比, 本存储单元结构, 在由 P 型半导体衬底 1 和  $n^+$  杂质区, 即第 2 杂质区 6 形成的 Pn 结中, 可以减小晶体缺陷, 而在现有技术的 Pn 结中, 则在隔离氧化膜 2 的端部产生许多晶体缺陷。

#### (实施例 4)

下面将参照图 35 和 36, 说明本发明的第 4 实施例。类似于第 3 实施例, 下面将结合层叠型存储单元, 说明第 4 实施例。图 35 是第 4 实施例的存储单元剖面图, 图 36 则是其平面图。图 35 示出沿图 36 线 X—X 截取的剖面图, 而图 36 则示出沿图 35 线 Y—Y 取得的视畔。

参照各图, 第 4 实施例存储单元结构与第 3 实施例不同之处在于, 提供存储节点 12 的存储接触孔 10 包括槽 18。由于此结构, 类似于第 2 实施例, 由 P 型半导体衬底 1 和  $n^+$  杂质区, 即第 2 杂质区 6 形成的 Pn 结, 与现有技术不同, 不会延伸到含有许多晶体缺陷的隔离氧化层 2 的端部。因此, 能够消除电流从存储节点 12 经过第 2 杂质区 6 到半导体衬底 1 的泄漏可能性。所以, 能使存储单元的刷新操作周期增长, 并且存储单元能有较高的性能和高可靠性。就是说, 可使存储节点 12 的单位电阻减少。

接着，下面将参照图 37 到 44，说明制造第 4 实施例存储单元的方法。自开始步骤至形成高浓杂质区 5a 和 6 的步骤的工艺，都与结合第 1 实施例已说过的图 3 步骤到图 7 中的步骤相同，故此下面不再说明。

参照图 37，在半导体衬底 1 上，形成例如由多晶硅制成，且连到第 1 杂质区 5 的聚焊盘 7c。参照图 38，于是通过 CVD 法，淀积例如由  $\text{SiO}_2$  制成，厚约  $8000\text{\AA}$  的第 1 层间氧化膜 8，盖在半导体衬底 1 上。

参照图 39，在第 1 层间氧化膜 9 上，形成具有开口的抗蚀膜 24，而每个开口位于第 2 杂质区 6 和隔离氧化膜 2 的端部上面。用抗蚀膜 24 作为掩模，在  $\text{C}_4\text{F}_8$  气体的气氛中，通过自对准接触孔法，施行各向异性蚀刻，同时形成存贮接触孔 10 和槽 18。

参照图 40，在存贮节点接触孔 10 中，淀积多晶硅，在第 1 层间氧化膜 9 上形成厚度约  $6000\text{\AA}$  的存贮节点 12。与此同时，多晶硅填满了槽 18。

参照图 41，淀积介质膜 14 和单元板极 15，盖在存贮节点 12 上。从而完成由存贮节点 12、介质膜 14 和单元板极 15 构成的层叠型电容 200。

参照图 42，在单元板极 15 上，形成例如由  $\text{SiO}_2$  制成的厚度约  $10000\text{\AA}$  的第 2 层间氧化膜 13。此后，在此第 2 层间氧化膜 13 上，形成具有开口的抗蚀膜 25，而开口位于第 1 杂质区 5 之上。用抗蚀膜 25 作为掩模，通过自对准接触孔法，使位线接触孔 11 形成于第 1 和第 2 层间氧化膜 9 和 13 中。

参照图 43，除去抗蚀膜 25 后，在位线接触孔 11 中，淀积例

如钨制作的阻挡金属层 7d, 又在阻挡金属层 7d 上, 淀积例如铝制作的金属层 7e。从而, 完成由聚焊盘 7c、阻挡金属层 7d 和金属层 7e 构成的位线 7。

参照图 44, 在金属层 7e 上, 形成例如由  $\text{SiO}_2$  制作的第 3 层间氧化膜 16, 又在此第 3 层间氧化膜 16 上, 形成预定构形的互连层 17, 结果, 完成图 35 所示的存储单元。

根据本第 4 实施例, 按类似于第 2 实施例的相同步骤, 进行存储节点接触孔 10 的成形和槽 18 的成形。因此, 可使制造步骤数目少于第 1 实施例的制造方法的步骤数目, 因而可以降低制造步骤的费用。

在上述的第 2 和第 4 实施例中, 需要考虑的是, P 型半导体衬底 1 和 n 型杂质区 6 会因存储节点 12 而变成短路, 如图 16 和 35 所示。

一种用于防止 n 型第 2 杂质区 6 和 P 型半导体衬底 1 之间短路的技术, 示于例如美国专利公告号 5208470 中。在该引用文献中, 揭示了一种方法, 其中, 在接触孔 10 形成之后, 通过该孔 10 注入杂质, 形成一个杂质区, 盖住接触孔 10 的底壁。

图 45 是用以说明结构的示意剖面图, 在此结构中, 将如上述引用文献所述的方法应用于图 16 所示结构。参照图 45, 通过利用这个方法, 可以形成 n 型杂质区 50, 以致包住接触孔 10 的底壁。通过这样形成的 n 型杂质区 50, 就可以防止因存储节点 12 而在 n 型第 2 杂质区 6 和 P 型半导体衬底 1 之间的短路发生。于是, 其中形成了这种 n 型杂质区 50 的半导体器件, 就能正常工作。

这种半导体器件各部分的杂质浓度分布示于图 46 和 47。

图 46 和 47 是表示沿图 45 的线  $A_4-A_4$  和  $B_4-B_4$  的杂质浓度分布曲线图。

参照图 45 到 47, 砷 (AS) 以  $1 \times 10^{18}$  到  $1 \times 10^{19} \text{cm}^{-3}$  的浓度导入 n 型第 2 杂质区 6, 而磷 (P) 以  $1 \times 10^{18}$  到  $1 \times 10^{19} \text{cm}^{-3}$  的浓度导入 n 型杂质区 50。此外, 硼 (B) 以  $1 \times 10^{14}$  到  $1 \times 10^{15} \text{cm}^{-3}$  的浓度导入 P 型半导体衬底 1 且以  $1 \times 10^{17} \text{cm}^{-3}$  到  $1 \times 10^{18} \text{cm}^{-3}$  的浓度引入元件隔离杂质区 55。

由于除上面说明过的部分外, 结构部分实际上都类似于图 16, 同样的构件以相同的标号表示, 对此不再作说明。

在如图 45 所示的半导体器件中, 预防窄沟道效应已导致结漏电流的增大。下面将详细说明这个问题。

在如图 45 所示的半导体器件中, 设置元件间隔离杂质区 55, 以便增强相邻元件间的电绝缘作用。这个元件隔离杂质区 55 是这样形成的, 使该区 55 不能过份地扩展到元件区一侧。就是防止由在元件隔离区 55 中的杂质扩散到元件区一侧而引起的晶体管窄沟道效应。因此, 在元件隔离杂质区 55 和 n 型杂质区 50 之间的区域 S (图中为 350) 处的 P 型半导体衬底 1 具有相当低的杂质浓度分布。

也就是说, 作为防止窄沟道效应的有效方法, 可以采用形成在例如 Nishihara et al., IEDM' 88Tech. Digest. PP. 100 - 103 (1988) 揭示的反向阱。然而, 当形成反向阱时, n 型杂质区 50 与反向阱间的区域 S 应大于在图 45 中所示的结构。

根据第 1 和第 4 实施例不能完全除去的晶体缺陷还留在 n 型杂质区 50 和元件隔离杂质区 55 之间的区域 S 内。

当半导体器件进行工作时，电压加在 n 型杂质区 6、50 和 P 型半导体衬底 1 之间。结果，在包括 n 型杂质区 6、50 和 P 型半导体衬底 1 的 Pn 结处，形成耗尽层 58。由于把 P-型半导体衬底 1 中的杂质浓度，如上所述，设置得相当低，所以这个耗尽层 58 特别宽阔地扩展到 P 型半导体衬底 1 侧。于是，留在元件隔离杂质区 55 和 n 型杂质区 50 之间的区域 S 处的晶体缺陷 350 便被并入该耗尽层 58 中。

一般，当晶体缺陷出现在耗尽层区内时，众所周知，在晶体的缺陷中就产生载流子，引起结漏电流的产生。结果，并入了耗尽层 58 的晶体缺陷 350 会产生结漏电流，使保持载体特性的电荷减少。由于电容的电荷不可能保持这种程度，当采用 DRAM 时，就必须使存储单元的存储内容的重写周期缩短，而降低了刷新的特性。这就是说，对电容的存储电荷而论消除由于  $\alpha$  粒子辐照产生电子-空穴对的抗软错误能力也降低了。

下面对抑制其中归因于留着晶体缺陷的漏电流的半导体器件，作说明，而作为实施例 5 到 7 予以提供。

#### (实施例 5)

参照图 48，形成元件隔离氧化膜 303，以便使一个 P 型硅衬底 301 表面分开。一个元件隔离杂质区 305，形成在 P 型硅衬底 301 而与该元件隔离氧化膜 303 底边接触。在由元件隔离氧化膜 303 隔开的 P 型硅衬底 301 的一个区域上，形成一个 nMOS 晶体管 310。

该 nMOS 晶体管 310 具有一对源/漏区 307 和 307，一个栅氧化膜 309 及一个栅电极层 311。一对 n 型源/漏区 307 和 307，彼此以预定的距离，形成于 P 型硅衬底 301 的表面。栅电极层 311，形

成在这一对 n 型源/漏区 307 和 307 间的区域上面，且其间有一栅氧化膜 309。还形成绝缘层 331，用以盖住栅电极层 311 的侧面和顶面。

在 P 型硅衬底 301 的表面上，全面地形成第 1 层间绝缘层 315，覆盖住该 nMOS 晶体管 310。在此第 1 层间绝缘层 315 的预定区域，形成互相平行延伸的多根位线互连线 317。还在第 1 层间绝缘层 315 上，形成第 2 层间绝缘层 319，盖住这些位线互连线 317。

在第 1 和第 2 层间绝缘层 315 和 319，形成到达 n 型源/漏区 307 表面部分的接触孔 321，且穿过成对的位线互连线 317、317 之间。这样设置此接触孔 321 的开口直径，使之大于图 45 所示的接触孔 10 的开口直径。

接着形成一个 n 型杂质区 313，以覆盖接触孔 321 的底面。此 n 型杂质区 313 具有一个局部与 n 源/漏区 307 相重叠并形成与元件隔离杂质区 305 接触的区域。再形成侧壁绝缘层 323，盖住接触孔 321 的侧壁。形成电容 330，通过这个接触孔 321，而与 n 型源/漏区 307 进行电连接。

电容 330 具有一个存储节点 325、一个电容介质膜 327 及一个单元板极 329。存储节点 325，通过接触孔 321 与 n 型源/漏区 307 和 n 型杂质区 313 接触，且所形成的存储节点 325 伸到第 2 层间绝缘层 319 上。在第 2 层间绝缘层 319 上，形成单元板极 329，与其间的电容介质膜 327 一起，以便覆盖存储节点 325。

参照图 48 到 50，硼以不低于  $1 \times 10^{14} \text{ cm}^{-3}$  且不高于  $1 \times 10^{15} \text{ cm}^{-3}$  的浓度，引入 P 型硅衬底 301。对元件隔离杂质区 305，硼以

不低于  $1 \times 10^{17} \text{cm}^{-3}$  且不高于  $1 \times 10^{18} \text{cm}^{-3}$  的浓度被引入。对于 n 型源/漏区 307，砷以不低于  $1 \times 10^{18} \text{cm}^{-3}$  且不高于  $1 \times 10^{19} \text{cm}^{-3}$  的浓度导入。此外，磷以不低于  $1 \times 10^{18} \text{cm}^{-3}$  且不高于  $1 \times 10^{19} \text{cm}^{-3}$  的浓度，导入 n 型杂质区 313。

下面，将说明根据本实施例，制造半导体器件的方法。

首先，参照图 51，通过常规的 LOCOS，形成包括元件隔离氧化膜 303 和元件隔离杂质区 305 的元件隔离区。由于这种 LOCOS，当形成元件隔离区时，在该元件隔离氧化膜 303 的端部的下侧，就形成晶体缺陷。此后，既可用 P 型衬底 301 的氧化也可用 CVD（化学汽相淀积）法，形成栅氧化膜 309。

参照图 52，形成把杂质引入其中的多晶硅（此后称之为掺杂多晶硅）的导电层 311，或形成一种金属，诸如 AL（铝）、W（钨）、TI（钛），或其合金的导电层 311，再在该导电层 311 上，形成氧化硅膜、氮化硅膜之类的一层绝缘膜 331a，成为一叠层。然后，经光刻，通过干法蚀刻，诸如 RIE（反应离子蚀刻法）之类，把导电层 311 和绝缘层 331a 刻成图形，而形成栅电极层 311。

参照图 53，用栅电极层 311 和元件隔离氧化膜 303 作为掩模，以加速电压为 30Kev，剂量为  $5 \times 10^{13} / \text{cm}^2$ ，进行砷注入。结果，形成一对 n 型源/漏区 307，307，以便把栅电极层 311 下部夹在中间。这一对 n 型源/漏区 307，307，栅绝缘层 309 及栅电极层 311，形成一个 nMOS 晶体管 310。

用于砷离子注入的上述条件，加速电压可在从 5 到 50kev 的范围，剂量可在从  $1 \times 10^{13}$  到  $5 \times 10^{14} / \text{cm}^2$  的范围，意指并不只限于上述确定的条件。

参照图 54, 用 CVD 法, 在表面上, 整个地淀积上氧化硅膜、氮化硅之类的绝缘层, 然后, 用 RIE 法, 对整个表面, 进行各向异性蚀刻。其结果, 形成一种侧壁绝缘层 331b, 覆盖着栅电极层 311 的侧壁。

参照图 55, 用 CVD 法, 在表面上, 整个地形成氧化硅膜、氮化硅膜之类的第 1 层间绝缘层 315。借助于诸如形成厚膜之类的方法, 可以制成相当平坦的这种第 1 层间绝缘层 315 的上表面, 随后使之减薄而获得所希望的厚度, 或在其层叠后加热该膜 (即, 进行回流)。

还有, 通过光刻法, 形成一种抗蚀剂图形 (未示出), 用以形成位线接触孔。用该抗蚀剂图形作为掩模, 通过 RIE 之类的干法蚀刻, 在第 1 层间绝缘层 315 上, 形成位线接触孔 (未示)。随后, 除去了该抗蚀剂图形。

参照图 56, 再在第 1 层间绝缘层 315 上, 形成打算做位线的导电层 317a。在此导电层 317a 之上, 通过光刻法, 形成所希望形状的抗蚀剂图形 341a。利用此抗蚀剂图形作为掩模, 对导电层 317a 施行诸如 RIE 的各向异性蚀刻。

参照图 57, 通过上述各向异性蚀刻法, 形成位线互连线 317。随后, 或在氧 ( $O_2$ ) 气氛等离子体中灰化, 或浸渍在  $H_2SO_4$  溶液中, 除去抗蚀剂图形 341a。

参照图 58, 用 CVD 法, 形成氧化硅膜、氮化硅膜之类的第 2 层间绝缘层 319。还可以通过诸如形成厚膜的方法, 使此第 2 层间绝缘层 319 的上表面作成相当平坦, 然后使之减薄以获得所希望的厚度, 或在成叠层后加热该膜, 如同第 1 层间绝缘层 315 的情况。



参照图 59, 用光刻法, 在第 2 层间绝缘层 319 上, 形成所希望形状的抗蚀剂图形 341b。用此抗蚀剂图形作为掩模, 使第 1 和第 2 层间绝缘层 315 和 319 经过 RIE 法的各向异性干法蚀刻。随后除去该抗蚀剂图形 341b。

参照图 60, 由上述蚀刻法, 形成了一个接触孔 321, 它穿过互相平行延伸的位线之间, 抵达 n 型源/漏区 307 表面部分和 P 型硅衬底 301 的表面部分。

形成上述接触孔 321 时, 还除去了元件隔离氧化膜 303 的端部。

参照图 61, 以加速电压为 70keV, 剂量为  $8 \times 10^{13}/\text{cm}^2$ , 对整个表面进行磷离子注入。于是, 自对准地注入了磷离子, 形成覆盖接触孔 321 底面的 n 型杂质区 313。所形成的该 n 型杂质区 313, 具有一局部地与 n 型源/漏区 307 重叠的并与元件隔离杂质区 305 接触的区域。

上述注入磷的条件, 加速电压在 20—200keV 的范围, 剂量在  $1 \times 10^{13}—1 \times 10^{15}/\text{cm}^2$  的范围, 但并不限于上述条件。另外, 不仅可以用磷, 也可以用砷作为杂质源。

参照图 62, 再形成氧化硅膜、氮化硅之类的绝缘层, 对接触孔 321 的内壁表面和第 2 层间绝缘层 319 进行覆盖。对整个该绝缘层的表面, 施行 RIE 之类方法的各向异性干法蚀刻, 直到至少露出接触孔 321 的底壁为止。于是就能以自对准方式, 使侧壁绝缘层 313, 形成于接触孔 321 的侧壁处。

即使当由接触孔 321 的侧壁露出位线互连线 317 的侧面时, 该侧壁绝缘层 323 的形成, 也可以用该侧壁绝缘层 323 来盖住已露出

位线互连 317 的侧壁。

参照图 63, 在整个表面上形成由掺杂多晶硅层或金属诸如 Al、W、Pt (铂)、Cu (铜)、Ag (银) 或其合金的导电层。再在此导电层上, 用光刻法形成所希望形状的抗蚀剂图形 (未示)。用此抗蚀剂图形为掩模, 使该导电层经受 PIE 法之类的蚀刻。通过蚀刻, 形成存贮节点 25, 它通过接触孔 321 与 n 型源/漏区 307 表面部分及 n 型杂质区 313 表面部分接触, 它还伸向第 2 层绝缘层 319。随后除去抗蚀剂图形。

参照图 64, 所形成的电容介质膜 327 覆盖在存贮节点 325 的表面上。随后, 形成了由掺杂多晶硅或诸如 Al. w. Ti. Pt. Cu. Ag 等或其合金的导电层。通过光刻法, 在此导电层上, 形成所希望形状的抗蚀剂图形。用该抗蚀剂图形为掩模, 使该导电层经受 RIE 法之类的蚀刻。结果, 如图 48 所示, 形成与存贮节点 325 相对的单元板极 329 其间设有电容介质膜 327。存贮节点 325、电容介质膜 327 以及单元板极 329 一起形成电容 330。

如上所述, 本实施例中, 这样形成 n 型杂质区 313, 使其做成为与元件隔离杂质区 305 接触, 如图 48 所示。所以, 形成于元件隔离氧化膜 303 端部下边的缺陷 350 就处于 n 型杂质区 313 之中。这些 n 型杂质区 313 和元件隔离杂质区 305, 与 P 型硅衬底 301 比较, 具有较高的杂质浓度。于是, 就能明显地抑制在 n 型杂质区 313 和元件隔离杂质区 305 的 Pn 结部分处的耗尽层扩展。这样一来, 与图 45 的常规例情形比较, 显著减小了并入该耗尽层中的晶体 350 内的缺陷数目。所以, 能使因并入该耗尽层的晶体缺陷所产生的漏电流减小。

由于能使漏电流的产生减小，使电容 330 的电荷维持特性达到满意，结果也使由 nMOS 晶体管 310 和电容 330 构成的存储单元的刷新特性和抗软错误能力令人满意。

还有，在本实施例中，必须使接触孔 321 的开口直径，设置得大于图 45 所示例的直径，因为防止窄沟道效应时，n 型杂质区 313 和元件隔离杂质区 305 必须做成彼此相接触。这个接触孔 321 还要通过彼此平行延伸的两位线 317 而形成。因而，把接触孔 321 的开口直径做得较大时，就会使位线 317 的侧壁从接触孔 321 的侧壁处露了出来。

然而，在本实施例中，设置了侧壁绝缘层 323，盖住了接触孔 321 的侧壁。因此，即使从接触孔 321 的侧壁露出了位线 317 的侧壁时，该已露出的位线 317 侧壁会被侧壁绝缘层 323 盖住。所以，可以防止存贮节点 325 与位线 317 之间的短路出现。

#### (实施例 6)

首先，参照图 65，根据本实施例的半导体器件，不同于实施例 5 之处在于，n 型杂质区 413 的浓度不同，还附有一个 n 型杂质区 414。

详细点说，参照图 65 到 69，n 型杂质区 413，按不低于  $1 \times 10^{17} \text{cm}^{-3}$  且不高于  $1 \times 10^{18} \text{cm}^{-3}$  的浓度含磷。另外，n 型杂质区 414 形成于接触孔 321 的底壁，覆盖与存贮节点 325 接触的区域。该 n 型杂质区 414 按不低于  $1 \times 10^{18} \text{cm}^{-3}$  且不高于  $1 \times 10^{20} \text{cm}^{-3}$  的浓度含磷。就是说，这样来形成此 n 型杂质区 414，使其与实施例 5 的 n 型杂质区 313 比较，具有一种较高的杂质浓度。

由于上述结构的其他部分实际上都与实施例 5 的那个部分相

似，所以以相同的标号表示相同的构件，且不再作出有关的说明。

下面将说明根据本实施例的制造半导体器件的方法。

在根据本实施例的制造方法中，首先执行如图 51 到 60 所示的实施例 5 相同的工艺。随后，参照图 68，用 60keV 的加速电压和  $5 \times 10^{12}/\text{cm}^2$  的剂量，对表面，整个地施行磷离子注入。于是，在接触孔 321 的底面处，就以自对准的方式，形成了 n 型杂质区 413。

注入这种磷的条件，加速电压在从 20 到 200keV，剂量在从  $1 \times 10^{12}$  到  $1 \times 10^{13} \text{cm}^{-2}$  范围，意思是不限于上述条件。还有，不仅磷而且砷也可用作杂质源。

随后，通过施行与实施例 5 相似的工艺，在接触孔 321 的侧壁，形成侧壁绝缘层 323。

参照图 69，按加速电压为 80keV，剂量为  $5 \times 10^{14}/\text{cm}^2$ ，对表面，整个地施行磷离子注入。结果，接触孔 321 的底面形成了 n 型杂质区 414，以便覆盖从侧壁绝缘层 323 露出来的表面。这个 n 型杂质区 414 具有一个局部与 n 型源/漏区 307 重叠的区域。

用于注入磷的上述条件范围，加速电压从 20 到 200KeV，而剂量从  $1 \times 10^{13}$  到  $1 \times 10^{15}/\text{cm}^2$ ，意思是不限于上述条件。此外，不仅磷而且砷也可用作该杂质源。

随后，通过进行根据实施例 5 的图 63 和 64 所示的工艺，制成图 65 所示的半导体器件。

如上所述，在本实施例之中，n 型杂质区 414 是以新的方式加到与存贮节点 325 接触的区域。此 n 型杂质区 414，与实施例 5 的 n 型杂质区 313 相比较，具有较高杂质浓度。所以，比之实施例 5，降低了存贮节点 325 与 n 型杂质区 414 间的接触电阻。

还有，由于设置了 n 型杂质区 414，就不需要为 n 型杂质区 413 设置相当高的杂质浓度。可以把杂质浓度设定在低于实施例 5 的浓度。因此，能够改善 n 型杂质区 413 与元件隔离杂质区 305 的结部的结击穿电压。所以，改善结击穿电压同时，还可以降低与存储节点 325 的接触电阻。

而且，本实施例除了上面已说明的外，还具有与实施例 1 相同的效果。

#### (实施例 7)

参照图 70，根据本实施例的半导体器件，与实施例 5 的器件不同之处在于，它还有一个蚀刻阻断绝缘层 518。这种蚀刻阻断绝缘层 518，形成在位线互连 317 上，例如由氮化硅膜构成。

本实施例还示出一种结构，其中位线互连 317 的侧壁转向接触孔 521 的侧壁，并且接触孔 521 抵达蚀刻阻断绝缘层 518 的顶面部分。在此结构中，形成于接触孔 521 侧壁的侧壁绝缘层 523 的结构。也稍稍与实施例 5 的侧壁绝缘层 323 不同。

由于该结构的其余部分基本上与实施例 5 的相同，就以相同的标号来表示相同的构件，便不再给予说明。

现在将说明制造依照本实施例的半导体器件的方法。

在本实施例的制造方法中，首先进行类似于图 51 到 55 所示实施例 5 的工艺。随后，参照图 71，使导电层 317a 形成在第 1 层间绝缘层 315 上。再使，例如氮化硅膜 518a 形成在该导电层 317a 上。通过光刻法，在氮化硅膜 518a 上，形成所需形状的抗蚀剂图形 341a。用此抗蚀剂图形 341a 为掩模，使氮化硅膜 518a 和导电层 317a 经过 RIE 法之类的各向异性干法蚀刻。

参照图 72, 通过这种蚀刻, 形成位线互连 317。然后, 或者在氧 ( $O_2$ ) 气氛的等离子体中灰化, 或者浸渍在  $H_2SO_4$  溶液中, 除去抗蚀剂图形 341a。

参照图 73, 用 CVD 法, 形成氧化硅膜或氮化硅膜的第 2 层间绝缘层 319, 以覆盖位线互连 317 和绝缘层 518。可通过诸如淀积厚膜的方法, 使这个第 2 层间绝缘层 319 的顶面做成相当平坦, 然后, 使之减薄到所希望的厚度或在淀积之后对该膜进行加热。

参照图 74, 用光刻法, 把抗蚀剂图形 541b, 形成在第 2 层间绝缘层 319 上。此时, 抗蚀剂图形 541b 的图孔 542 可处于位线互连 317 之上。用此抗蚀剂图形 541b 为掩模, 首先使第 2 层间绝缘层 319, 经受 RIE 法的各向异性干法蚀刻。

参照图 75, 在  $CHF_3$  和 CO 混合气体的等离子气氛中, 通过, 例如磁控管 RIE 设备, 进行这种蚀刻。这个方法示于, 例如 Proceeding of Spring Seminar of the Japan Society of Applied Physics, 1994, 29 P-ZF-2P. 537。通过该方法, 当所加的 CO 量设定为 80% 时, 对氧化硅膜 ( $SiO_2$ ) / 氮化硅膜 ( $Si_3N_4$ ), 可获得 17 至 20 的蚀刻选择性比。

举例说, 如果从接触孔 521 已到达蚀刻阻断绝缘层 518 的顶面处到孔 521 到达 P 型硅衬底 301 处来计量蚀刻深度约为  $10\mu m$ , 以及如果蚀刻选择性为 17, 则用于该绝缘层 518 的所需厚度仅约  $0.06$  到  $0.07\mu m$ 。就是说, 当蚀刻阻断绝缘层 518 具有这个厚度时, 形成接触孔 521 时, 由于进行蚀刻, 就不会使位线 317 的顶面露出。

还有, 如 Monthly Semiconductor World 1993. 10, PP. 68—

75所示的高密度等离子体 RIE 设备和  $C_2F_6$  的组合，对氧化硅膜/氮化硅膜，也可以具有蚀刻选择（比）20。

通过进行如上所述的蚀剂，可使接触孔 521，形成在第 1 和第 2 层间绝缘层 315 和 319 之中。这个接触孔 521 从其侧壁，露出位线 317 的侧壁，且到达绝缘层 518 的顶面。另外，这个接触孔 521 的形成过程也已除去了元件隔离氧化膜 303 的端部。

参照图 76，按加速电压为 70keV，剂量为  $8 \times 10^{13}/cm^2$ ，对表面，整个进行磷离子注入。结果，以自对准方式，在接触孔 521 的底面，形成 n 型杂质区 313。这个 n 型杂质区 313 具有局部与 n 型源/漏区 307 叠合的并且形成与元件隔离杂质区 305 相接触的区域。

参照图 77，形成氧化硅膜、氮化硅膜之类的绝缘膜，再对这个绝缘膜的整个表面，用例如 RIE 法，施行各向异性的干法蚀刻。于是，在接触孔 521 的侧壁上，形成了侧壁绝缘层 523。此侧壁绝缘层 523 覆盖住在接触孔 521 的侧壁处已露出的位线互连 317 的侧壁。

参照图 78，形成包括掺杂多晶硅或金属，诸如 Al. W. Ti. Pt. Cu. Ag 等或其合金的导电层。在此电导层上，通过光刻法，形成所需形状的抗蚀剂图形（未示出）。用该抗蚀剂图形作为掩模，使导电层经受用 RIE 法之类的蚀刻。于是，形成了存贮节点 325，而存贮节点 325 经由接触孔 521 与 n 型源/漏区 307 进行电连接，并且伸向第 2 层间绝缘层 319。随后，除去该抗蚀剂图形。

参照图 79，形成电容介质膜 327，用以覆盖存贮节点 325 的表面。然后，形成包括掺杂多晶硅或金属，诸如 Al. W. Ti. Pt. Cu. Ag 等或其合金的导电层。在此导电层上，通过光刻法，形成具有

所需形状的抗蚀剂图形（未示出）。用这个抗蚀剂图形作为掩模，使导电层经过用 RIE 法之类的蚀刻，就形成了如图 70 所示的单元板极 329。

存贮节点 325、电容介质膜 327 及单元板极 329 构成一个电容 330。

如上所述，在本实施例中，在位线互连 317 上，设置蚀刻阻断绝缘层 518。该蚀刻阻断绝缘层 518，与第 1 和第 2 层间绝缘层 315 和 319 相比较，由具有不同蚀刻特性的材料构成。因此，当使蚀刻阻断绝缘层 518 经受蚀刻，用以形成在第 1 和第 2 绝缘层中的接触孔 521 时，该绝缘层 518 就难以被蚀刻去。于是，由于掩模之类叠合层，即使接触孔 521 形成在位线互连 317 上面，也可以阻止从接触孔 521 内露出位线互连 317 的顶面。因此，能够防止发生存贮节点 325 和位线互连 317 之间的短路。

在本实施例中，通过一个其中一对位线互连 317 和 317 中两者之一条侧壁转向接触孔 521 侧壁的例子进行说明，但是，也可以一对位线互连 317、317 两者的侧壁都转向接触孔 521a 侧壁。这样一来，就能防止两位线互连 317 之间的短路。

还有，在本实施例中，通过一个，其中采用氮化硅膜作为蚀刻阻断绝缘层 518 的例子进行说明，但是，蚀刻阻断绝缘层 518 可以是任何材料，只要保证对第 1 和第 2 层间绝缘膜 315、319 有足够大的蚀刻选择性。

此外，蚀刻阻断绝缘层 518 不限于单层结构，而可以具有多层的叠合结构。在此情况下，上层为一种导电材料（诸如掺杂多晶硅、TiSi，WSi，TiN 之类）可以保证对第 1 和第 2 层间绝缘层



315、319 的蚀刻选择性。下层可以是一种类似氧化膜，能保证绝缘的材料。

而且，在实施例 5 到 7 中，通过其中 nMOS 晶体管 10 的源/漏区 7 不具有 LDD（轻掺杂漏区）结构的构形进行说明，但也可以具有如图 80 所示的 LDD 结构。也就是，n 型源/漏区 307 具有双层结构，包括  $n^-$  杂质扩散区 307a 和  $n^+$  杂质扩散区 307b。

当应用这种 LDD 结构时，还要考虑到，在形成 n 型源/漏区 307 时在较高浓度下，进行离子注入的条件，用于形成构造 LDD 结构的杂质区，离子注入条件范围，加速电压从 30 到 80KeV，而剂量则从  $5 \times 10^{14}$  到  $1 \times 10^{16}/\text{cm}^2$ 。还有，不仅砷而且磷也都可用作杂质源。

在实施例中虽通过一种用氧化硅膜，作为栅绝缘层的 nMOS 晶体管进行说明，但是栅绝缘层不限于氧化硅膜。栅绝缘层可用任何材料，只要是绝缘材料就行。因而，晶体管 10 也不限于 MOS 晶体管，而可以是 MIS（金属—绝缘物—半导体）晶体管。

虽然已对本发明进行详细图解说明，但显然不用说，上述内容只是作为说明例而不是用来限制，本发明的精神和范围只受限于所附权利要求书的条款。

# 说明书附图

图.1

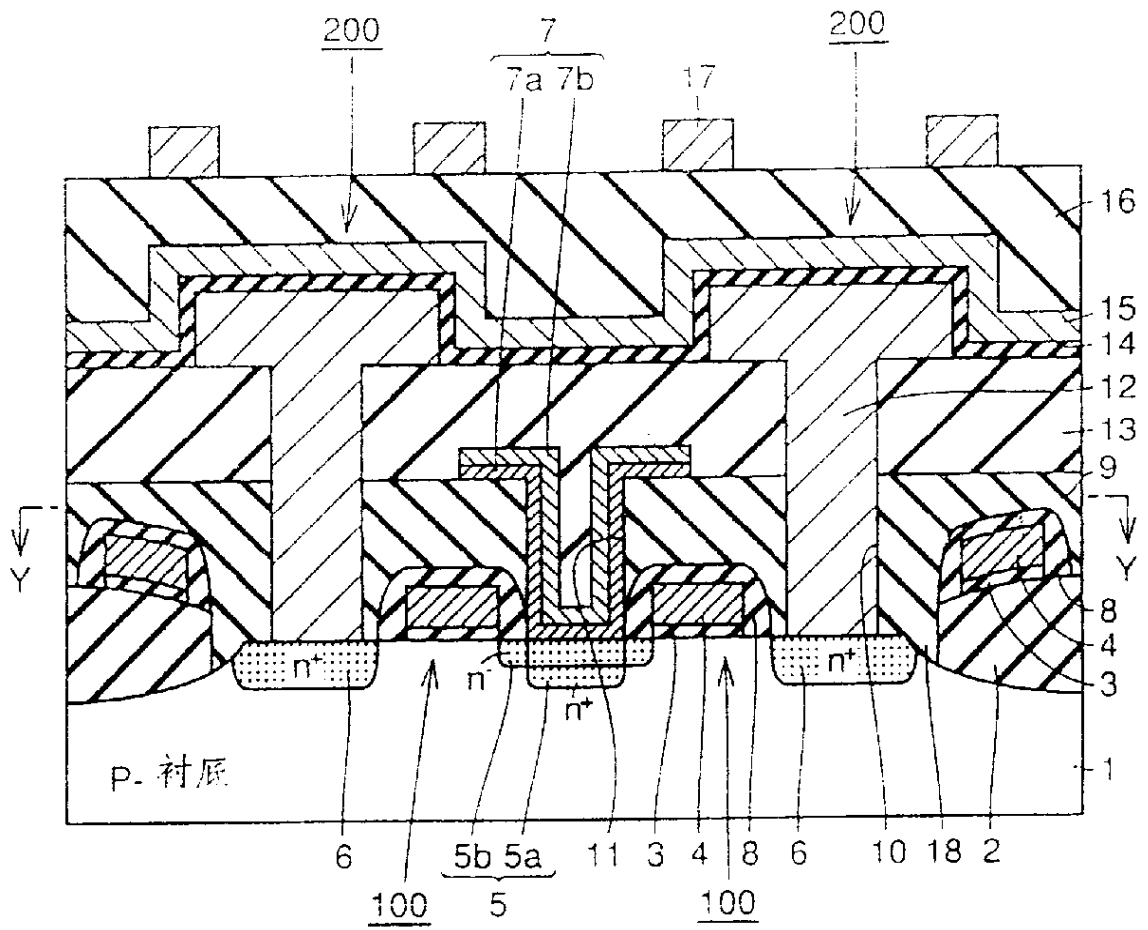


图.2

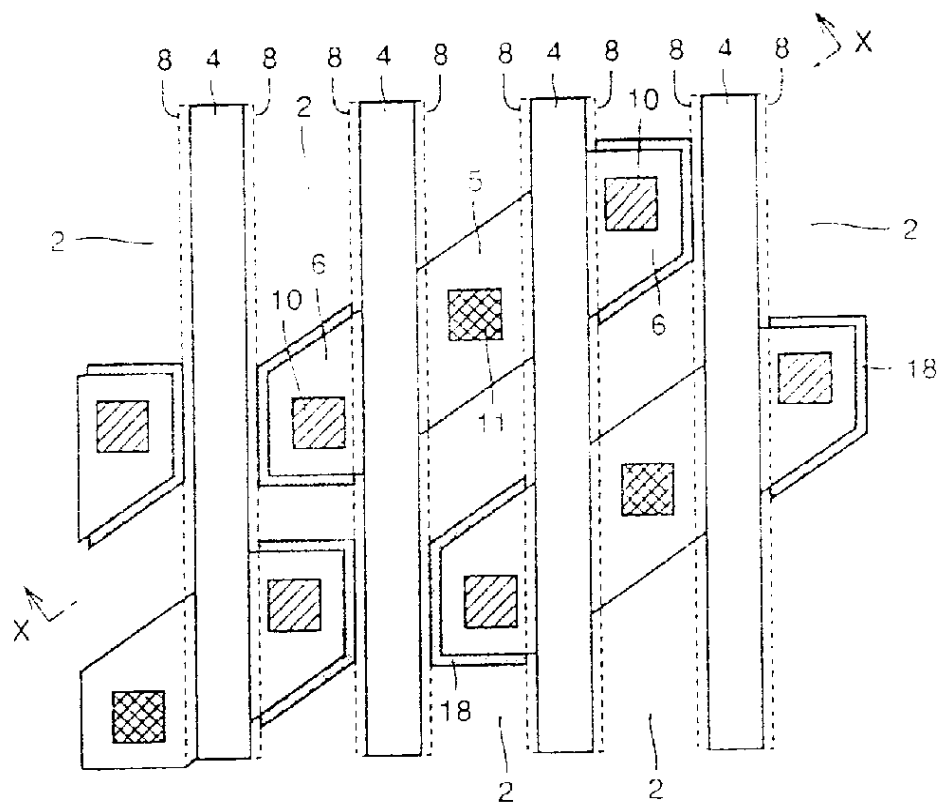


图.3

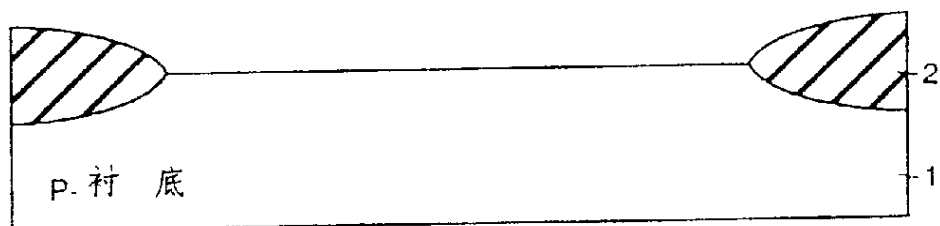


图.4

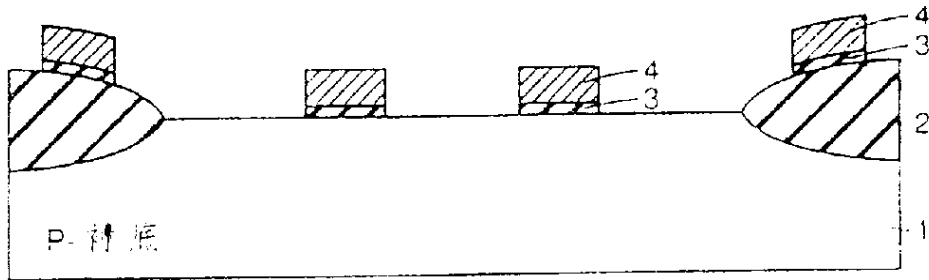


图.5

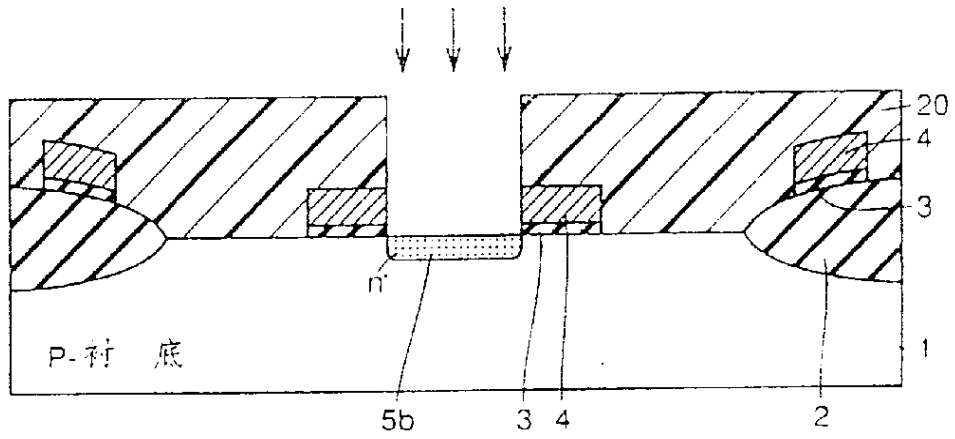


图.6

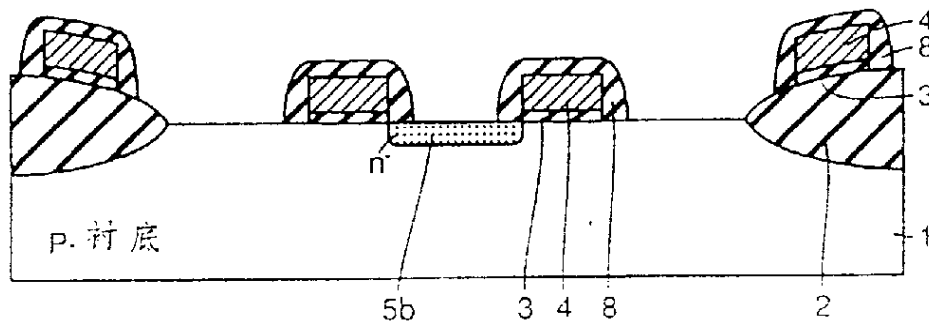


图.7

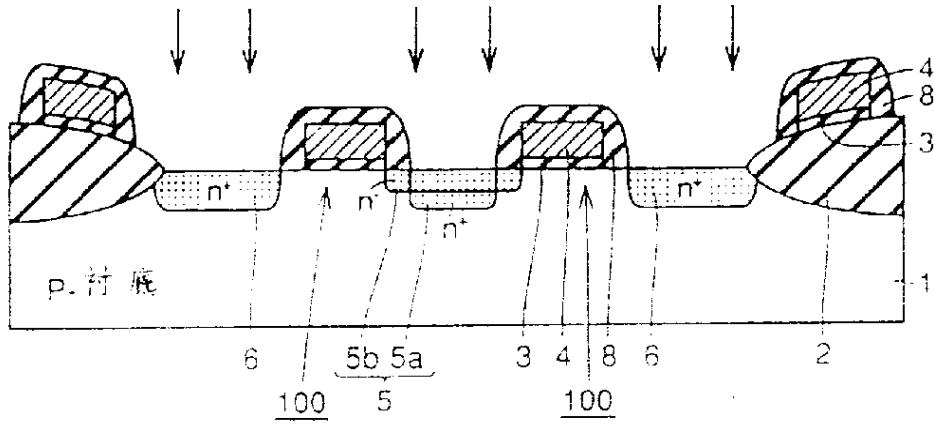


图8

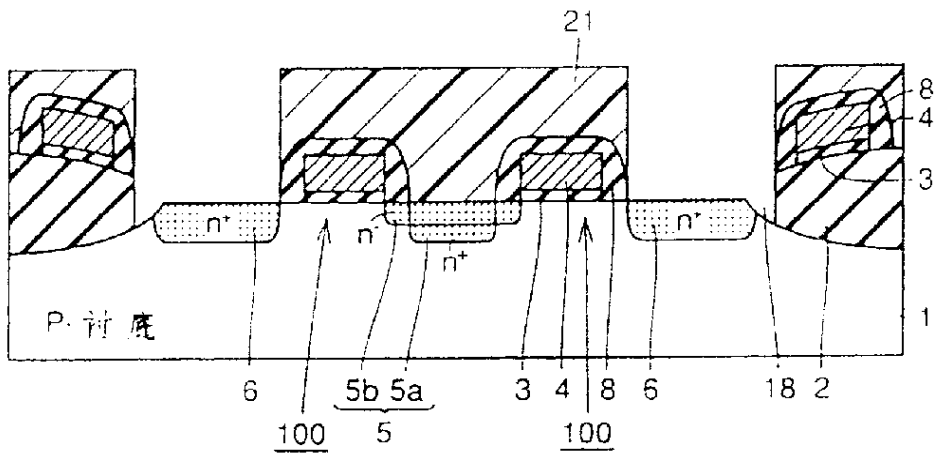


图9

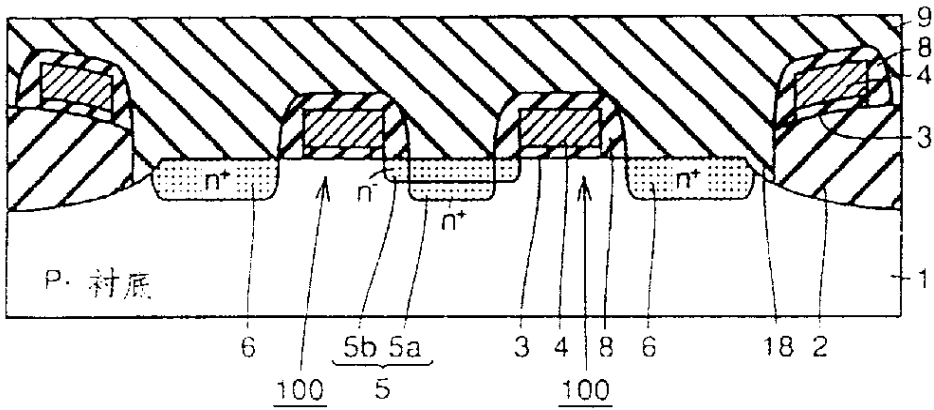


图 10

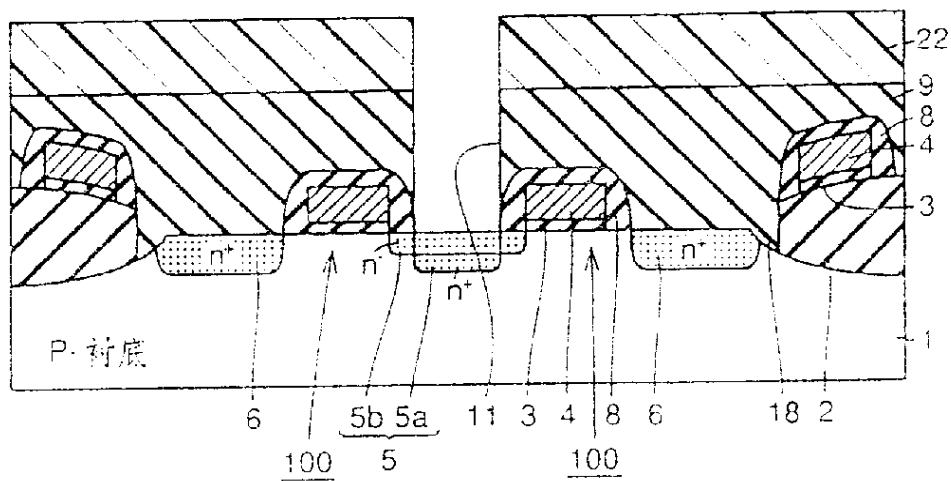


图.11

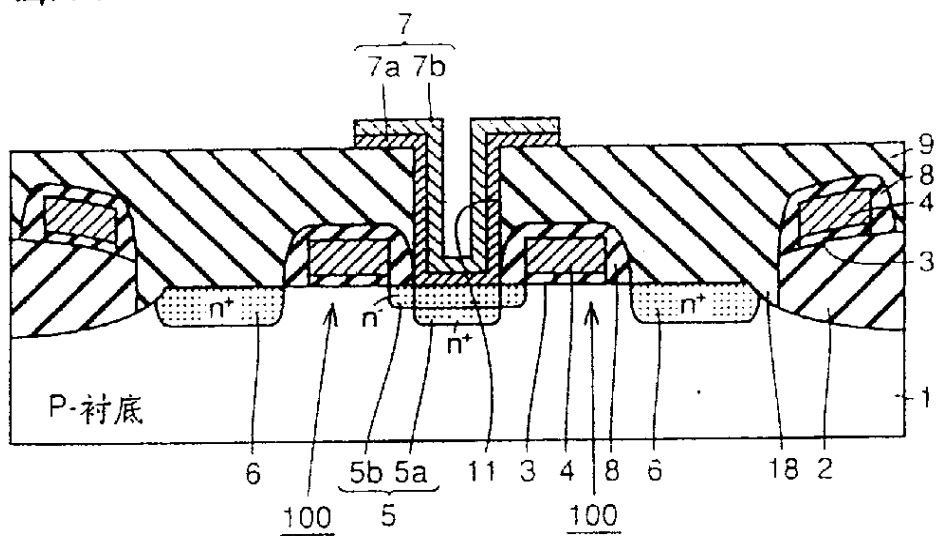


图.12

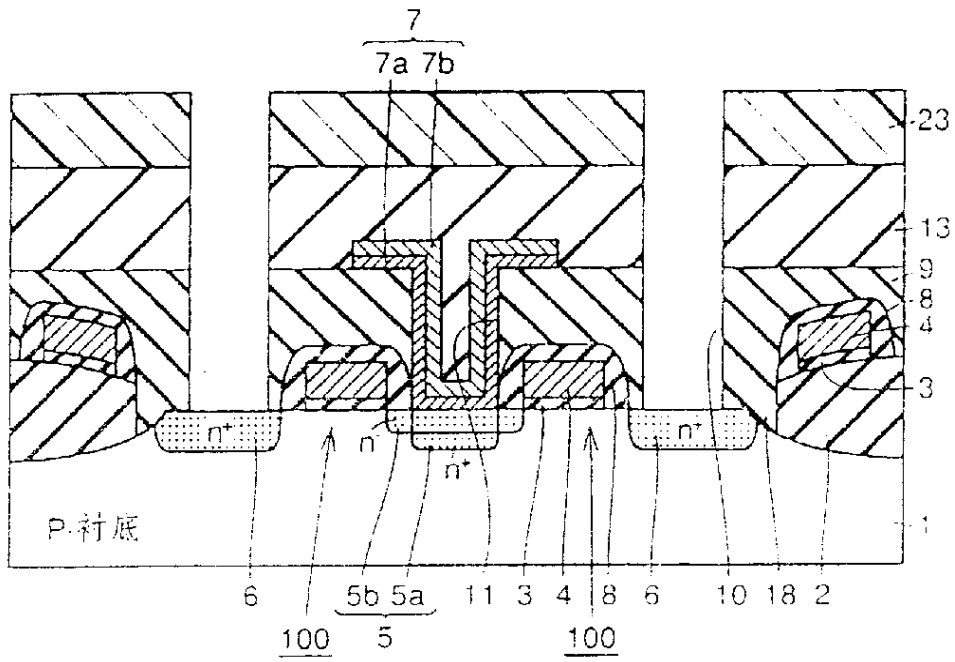


图.13

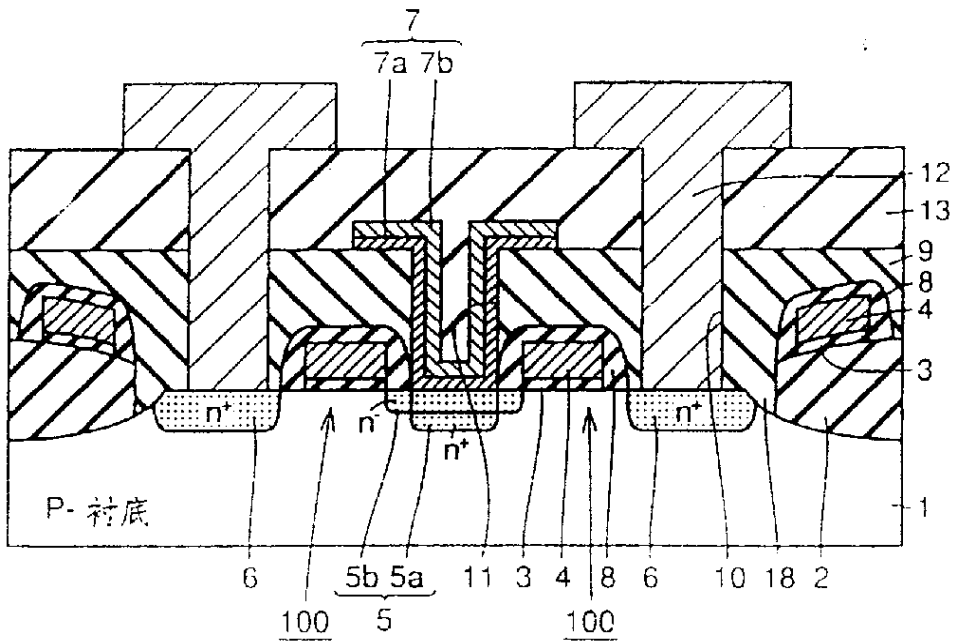


图 14

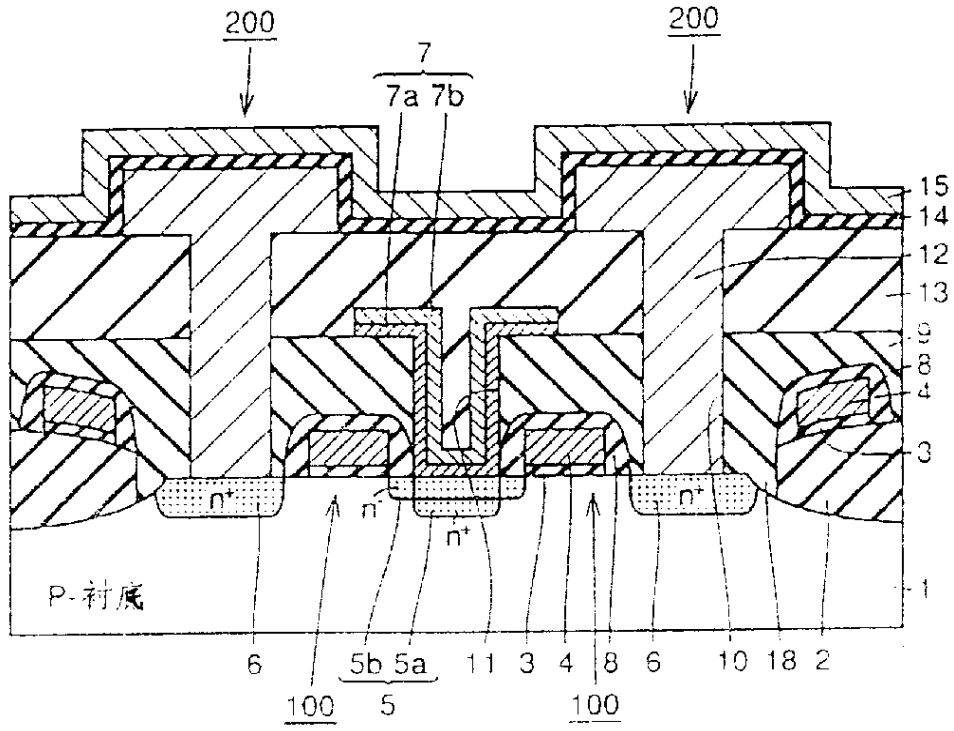


图 15

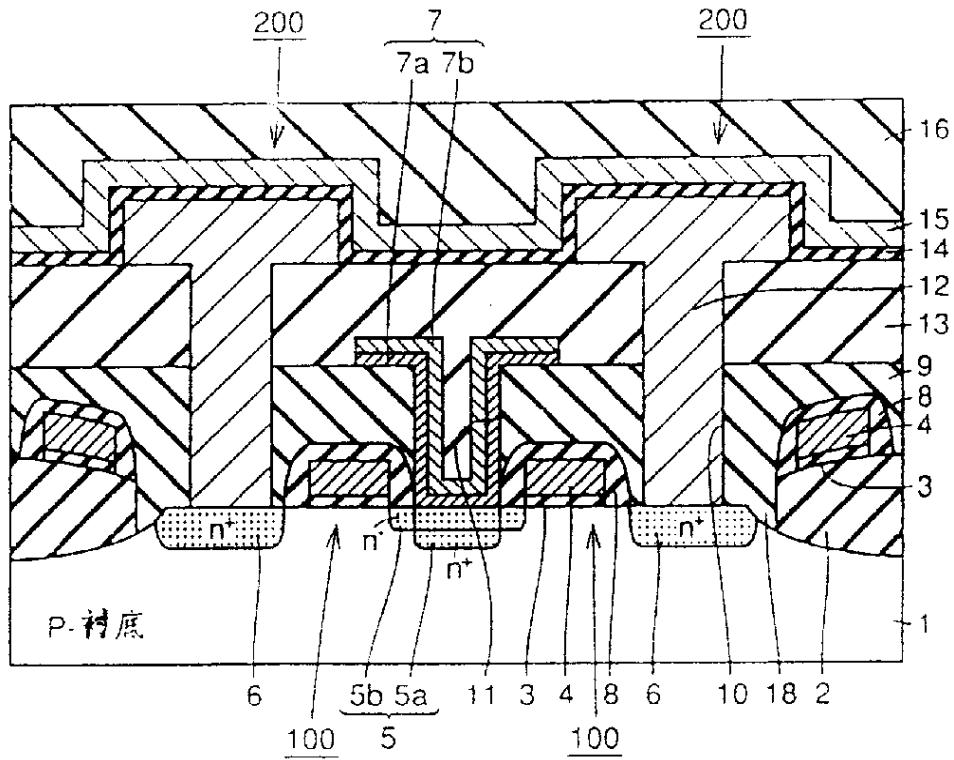




图.16

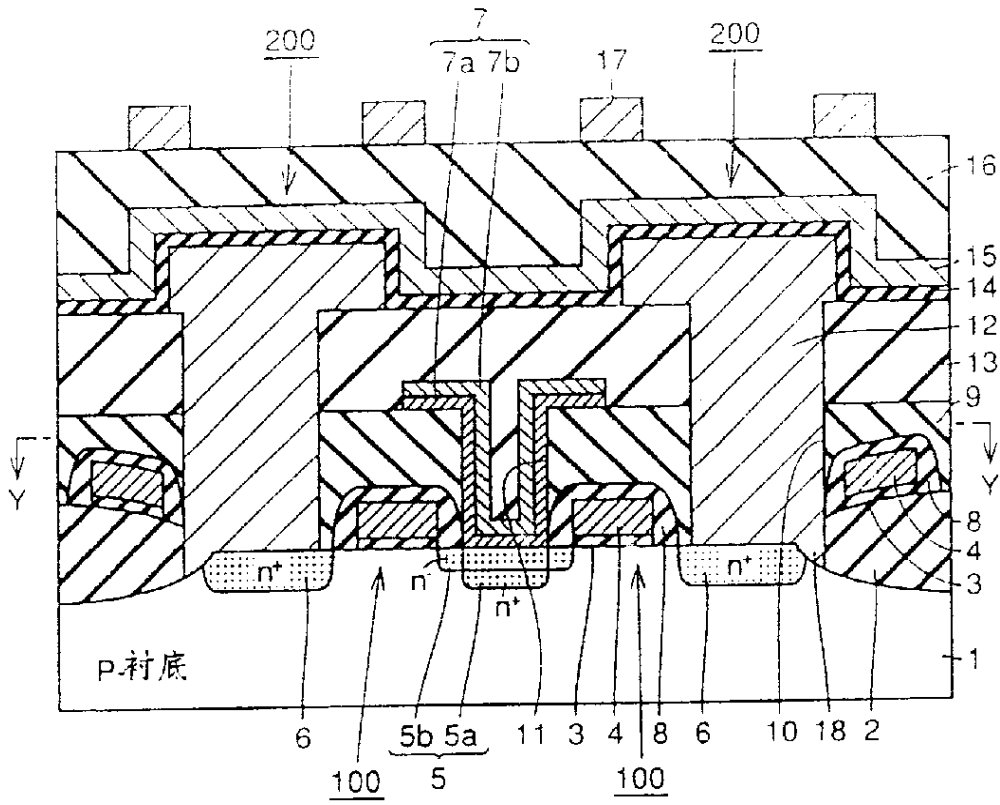


图.17

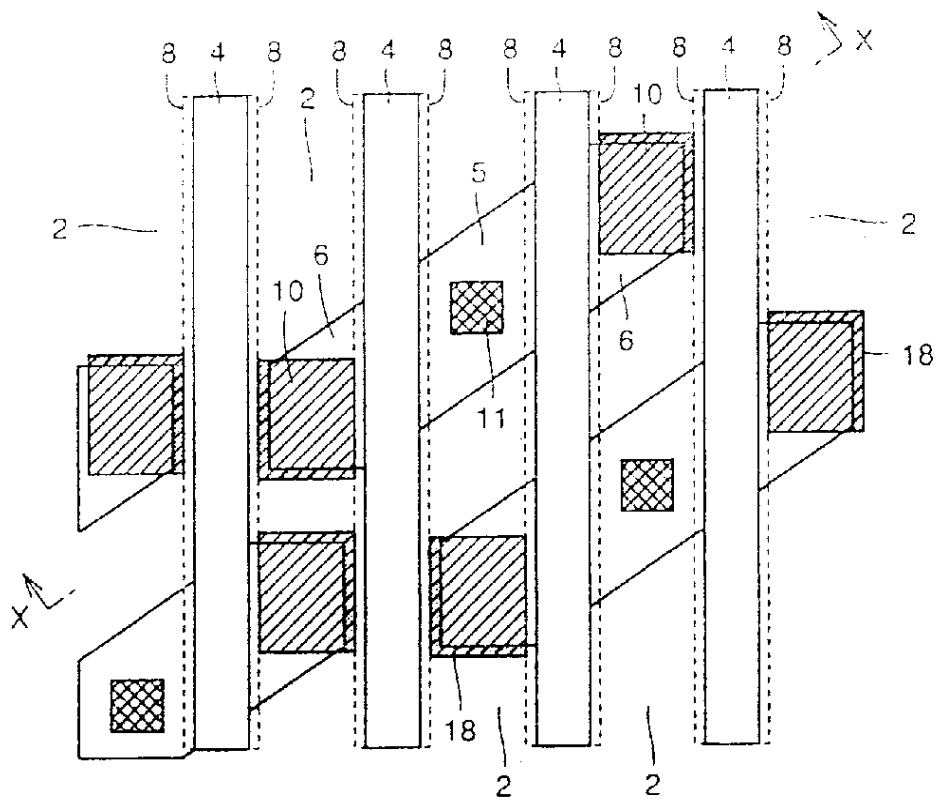


图.18

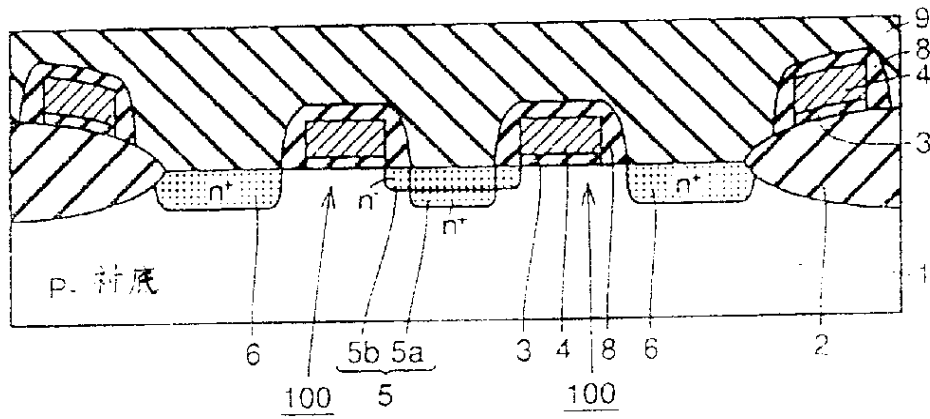


图.19

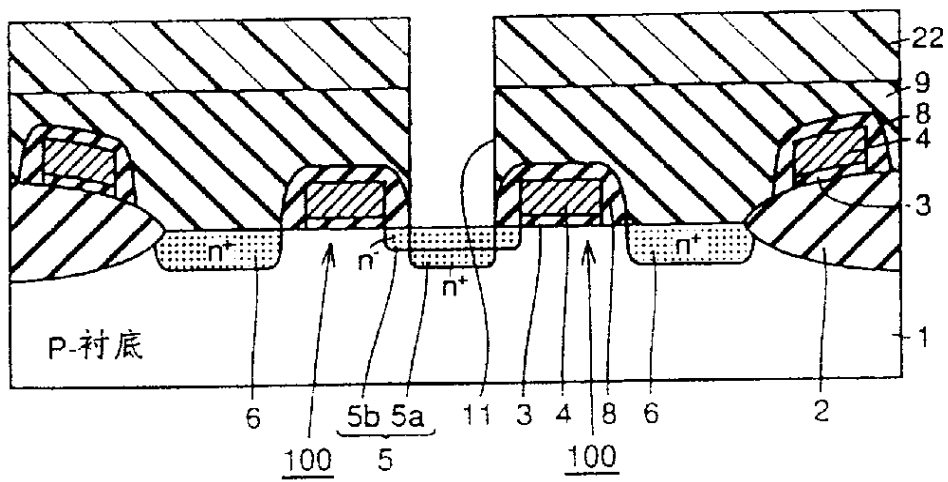


图.20

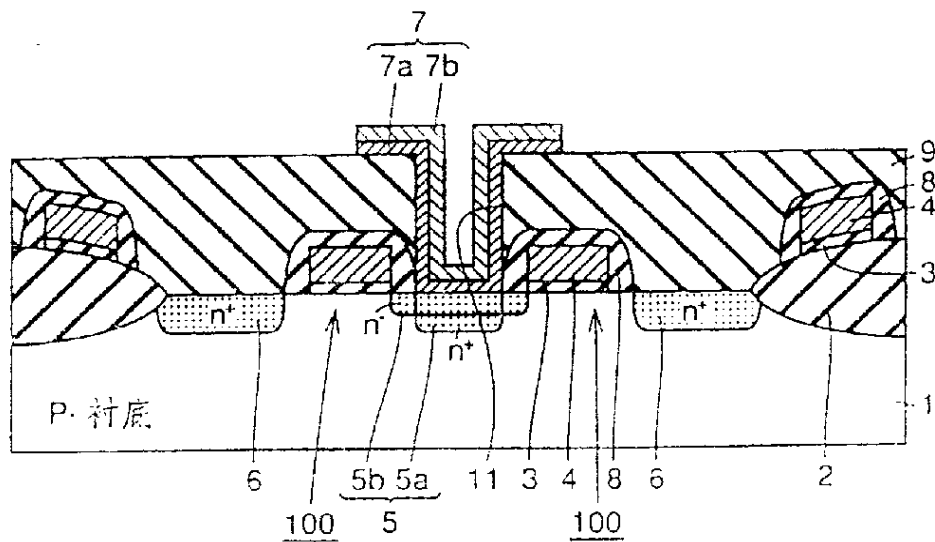


图.21

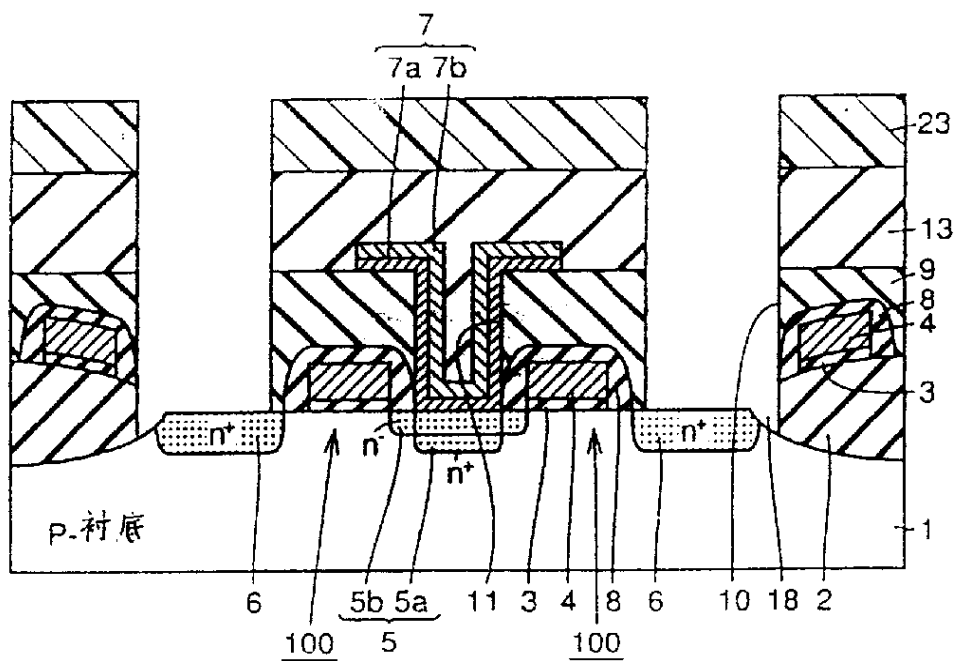


图.24

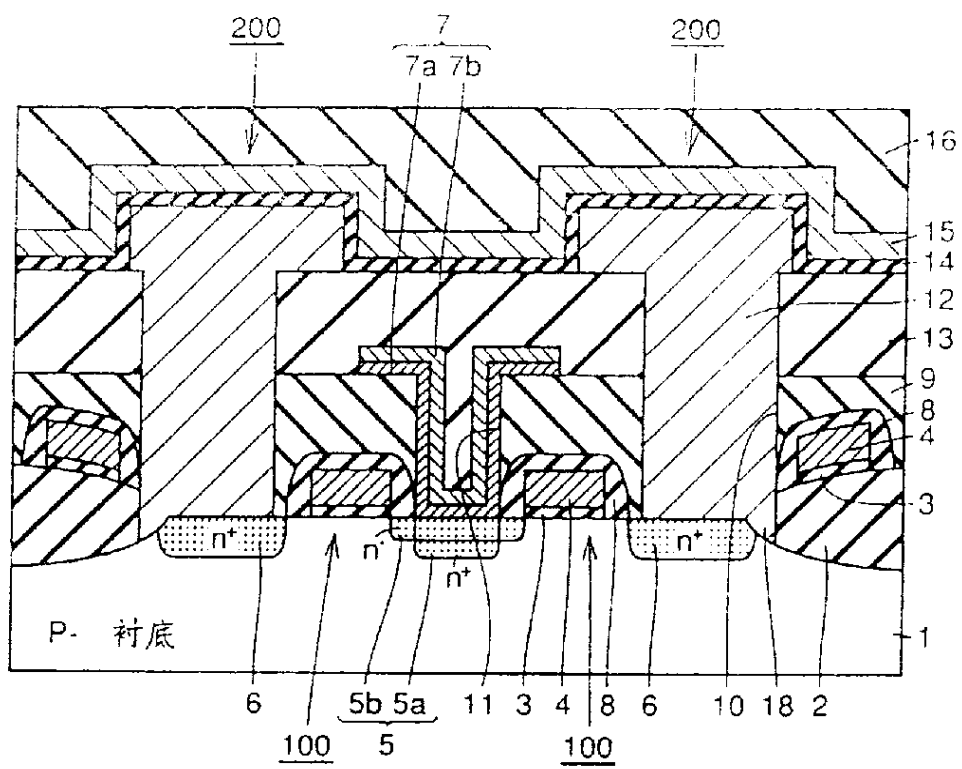


图.22

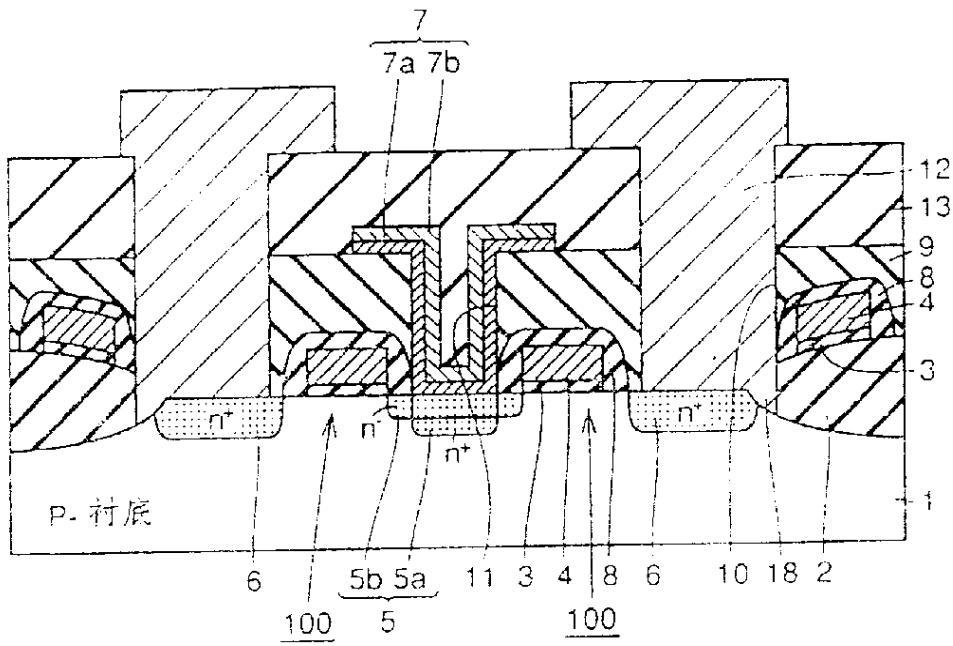


图.23

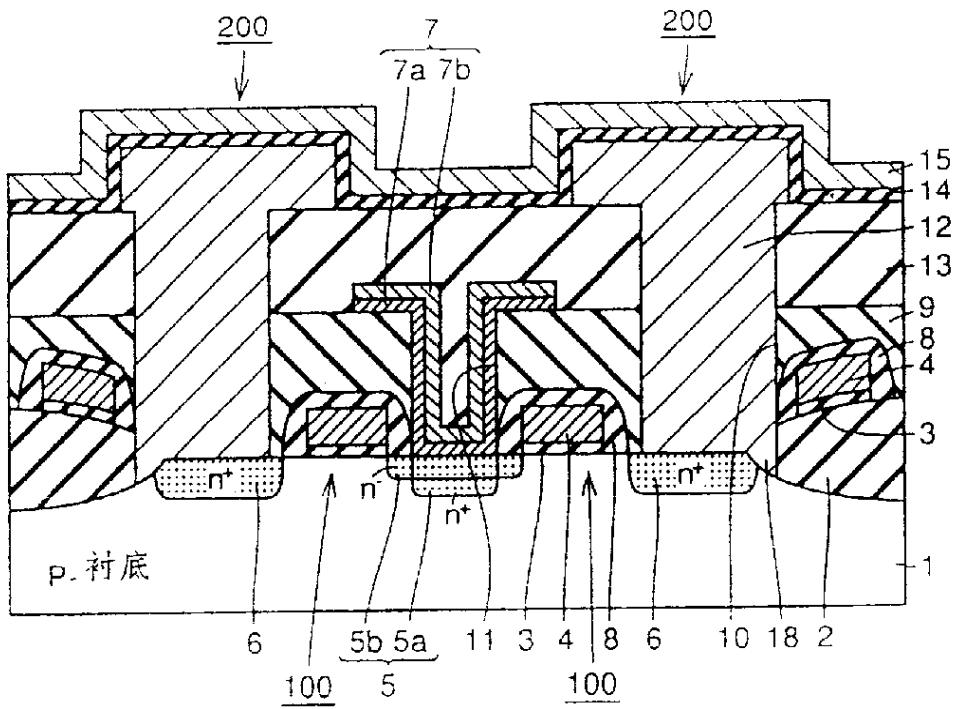


图25

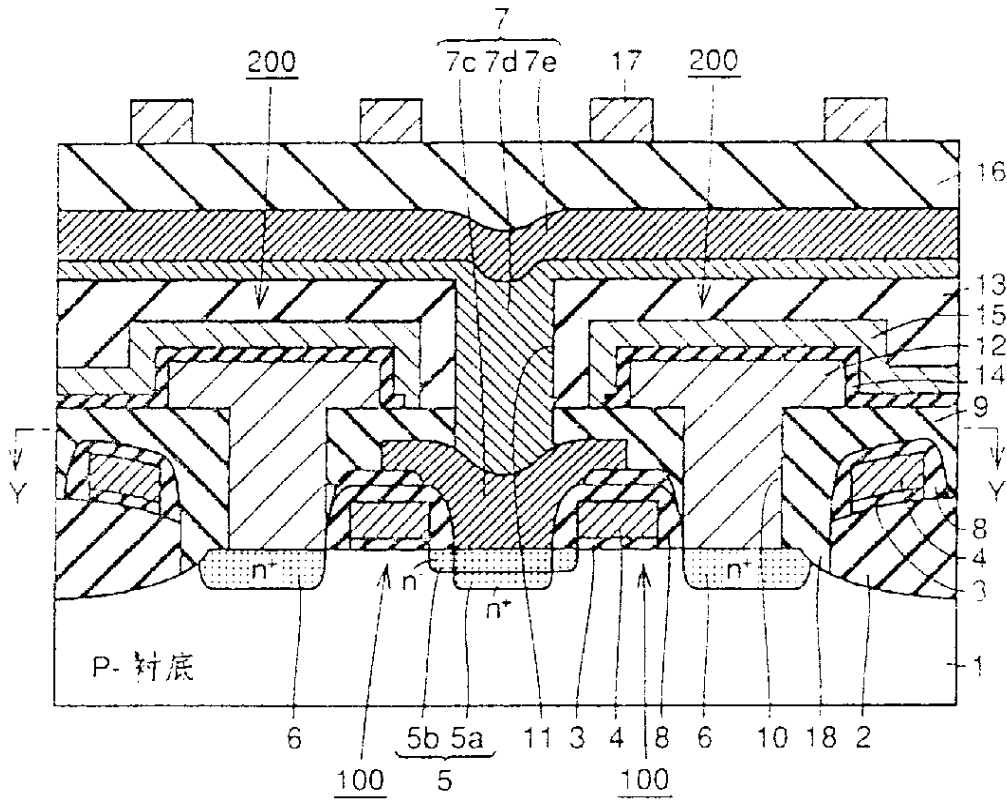


图.26

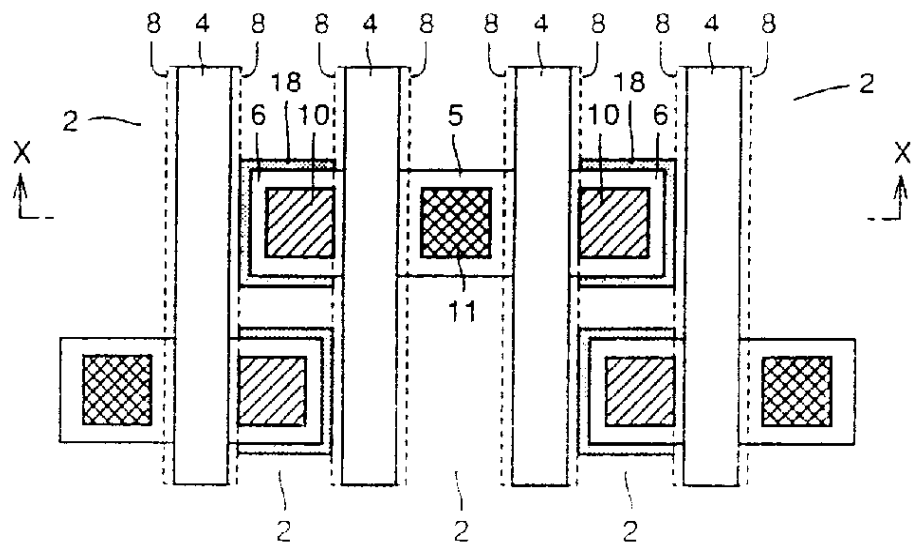


图.27

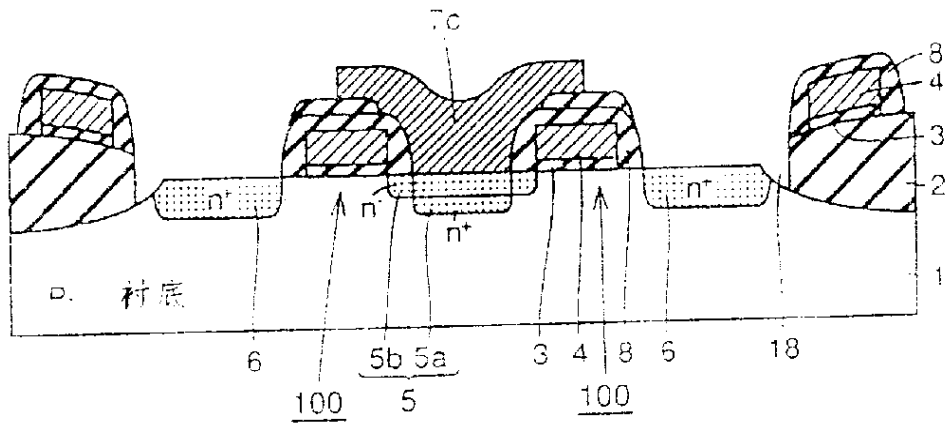


图.28

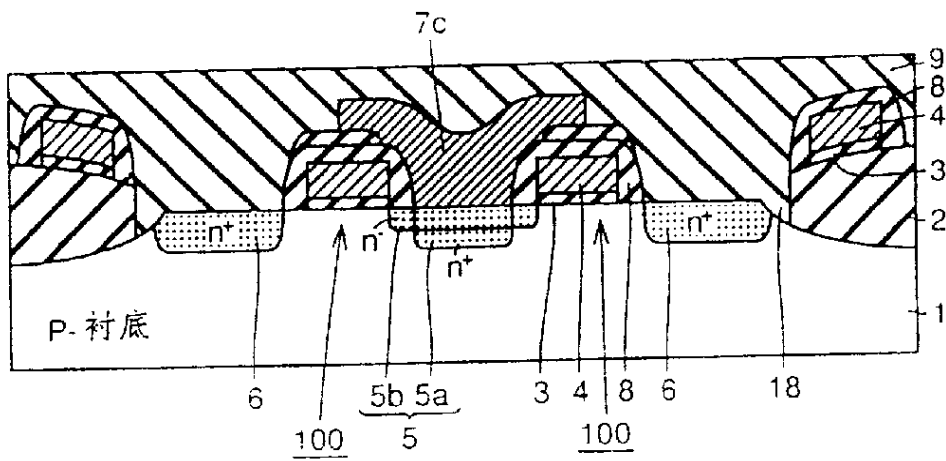




图.29

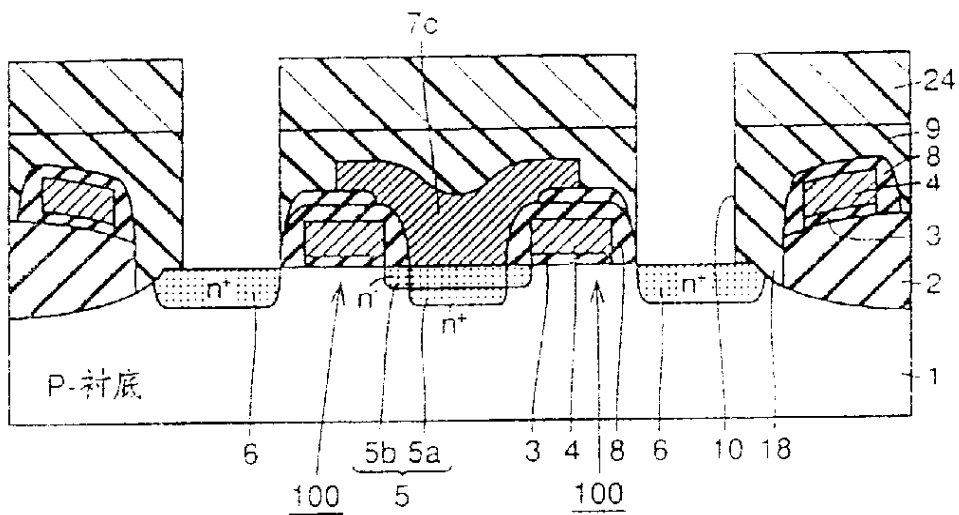


图.30

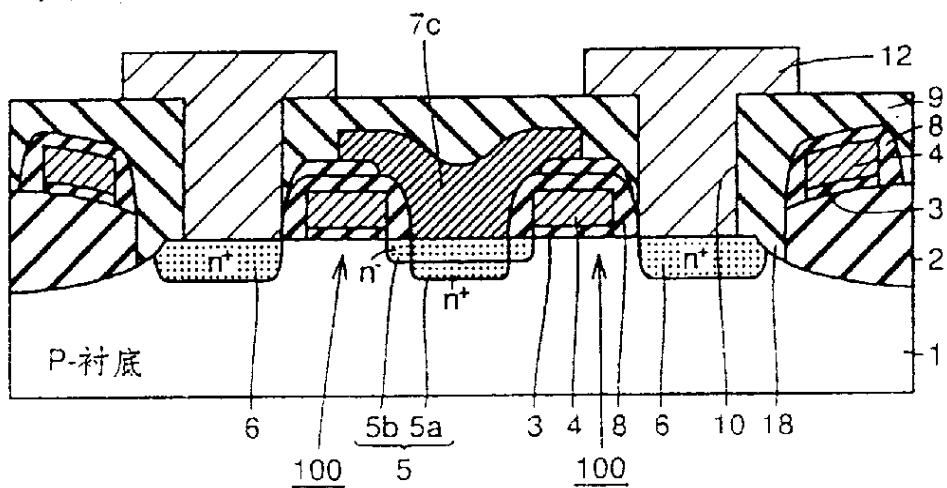


图.31

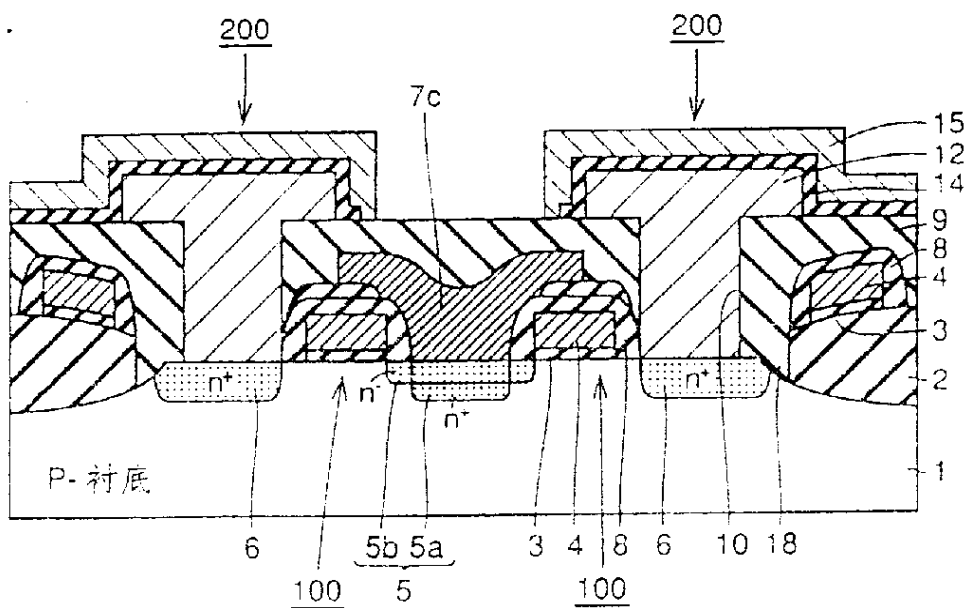


图.32

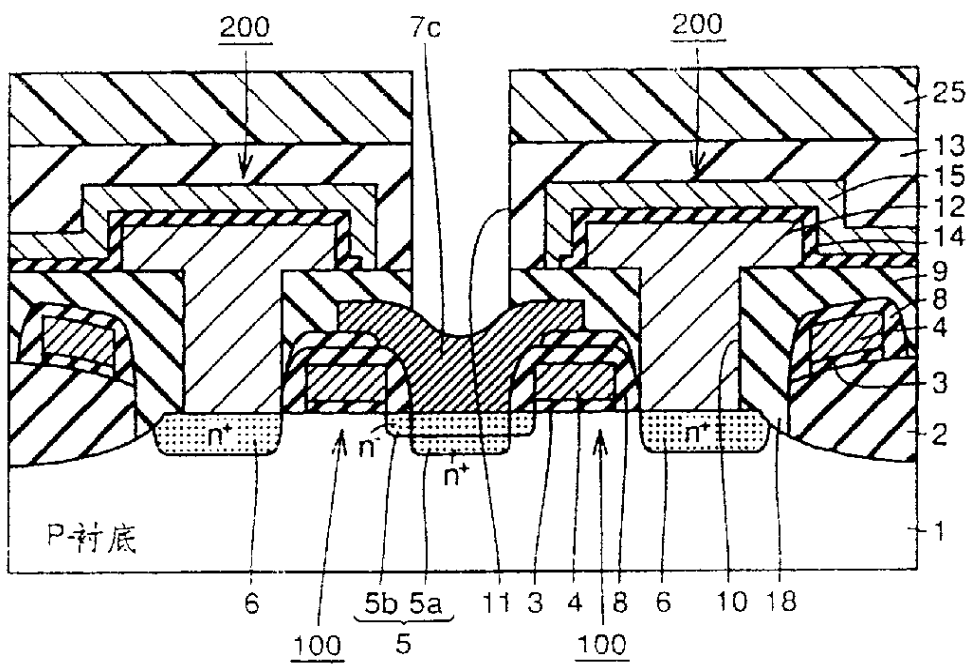


图33

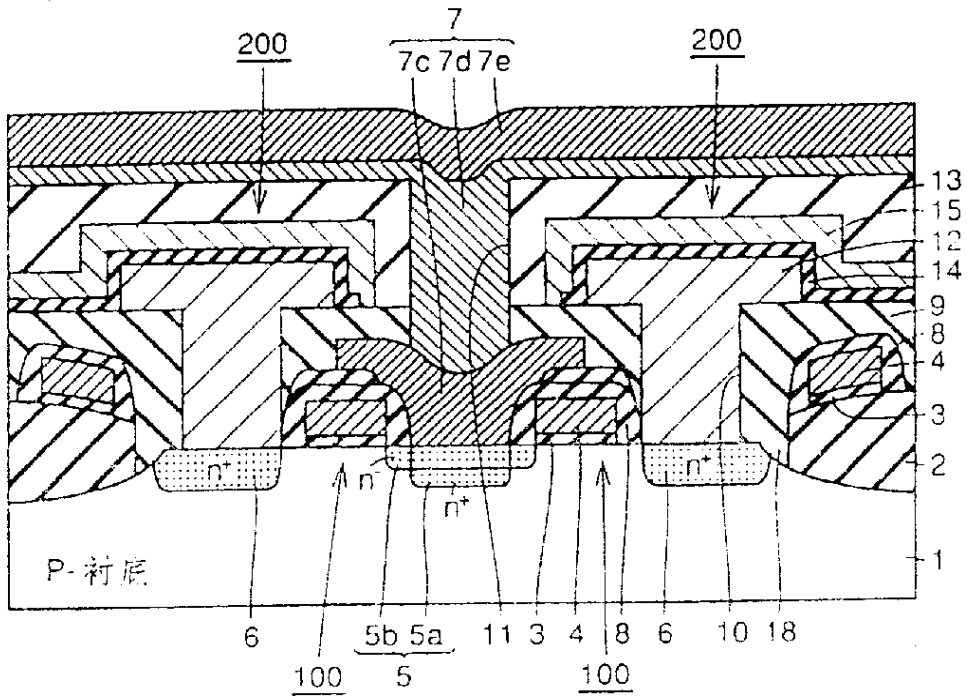


图.34

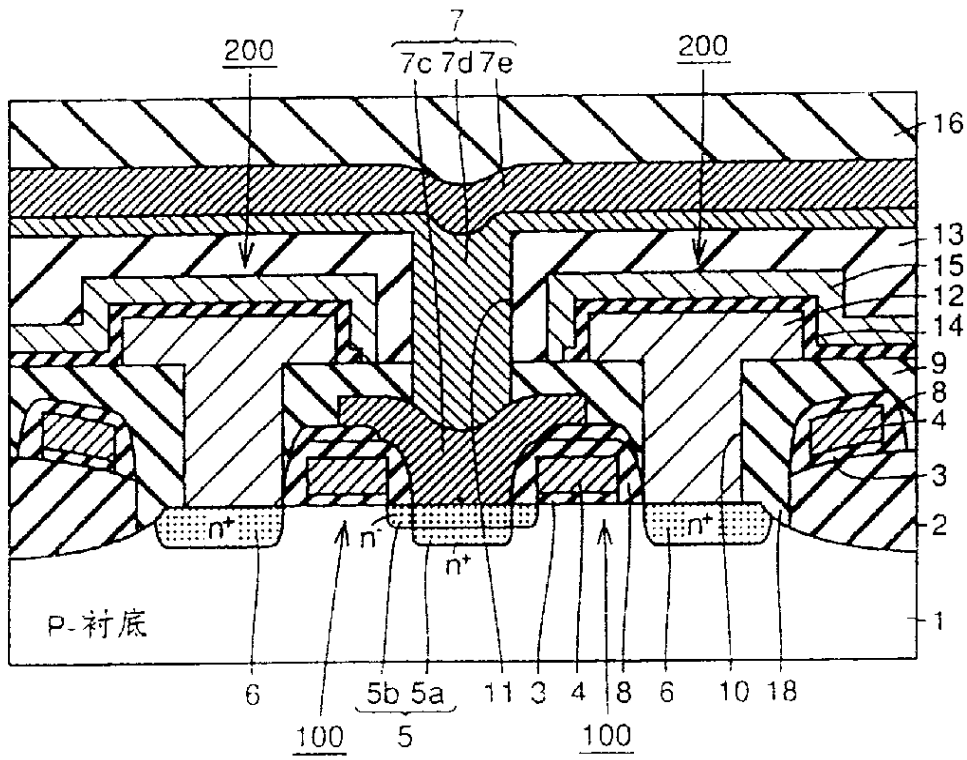


图.35

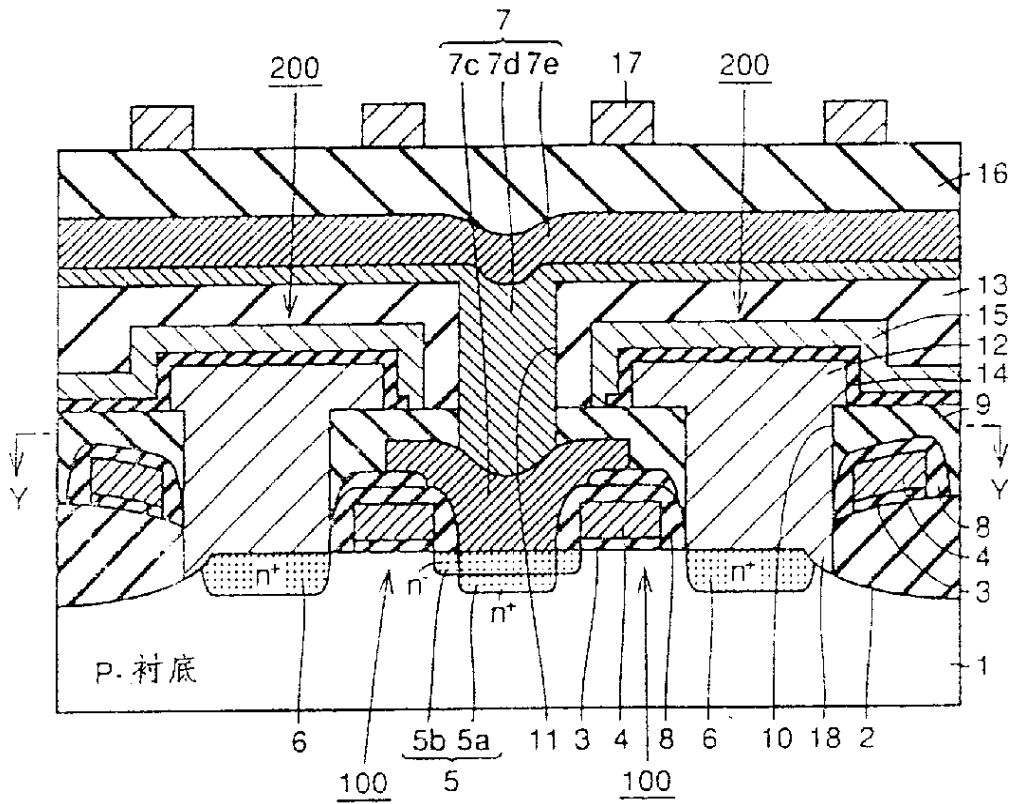


图.36

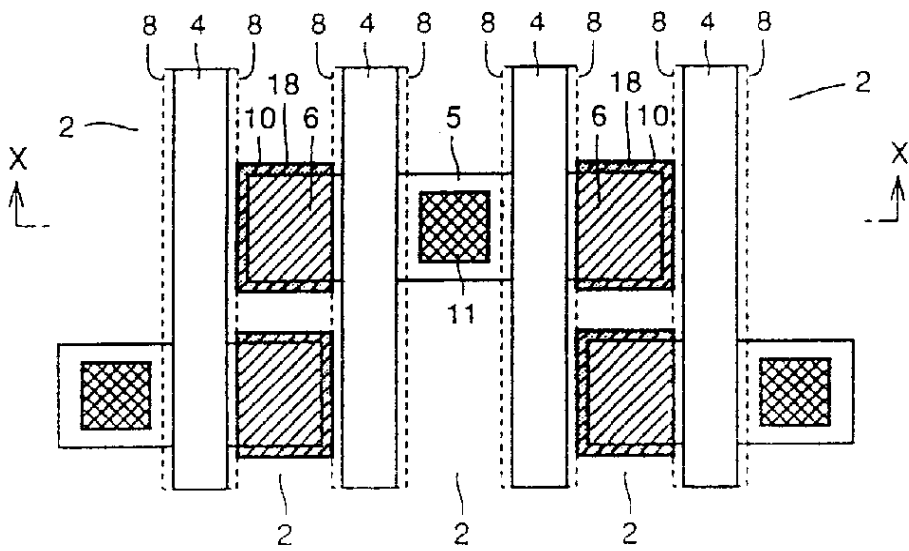


图.37

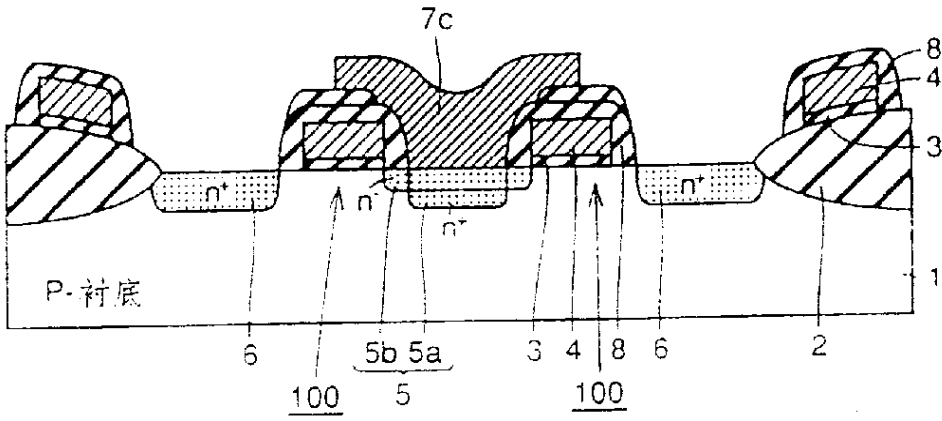


图.38

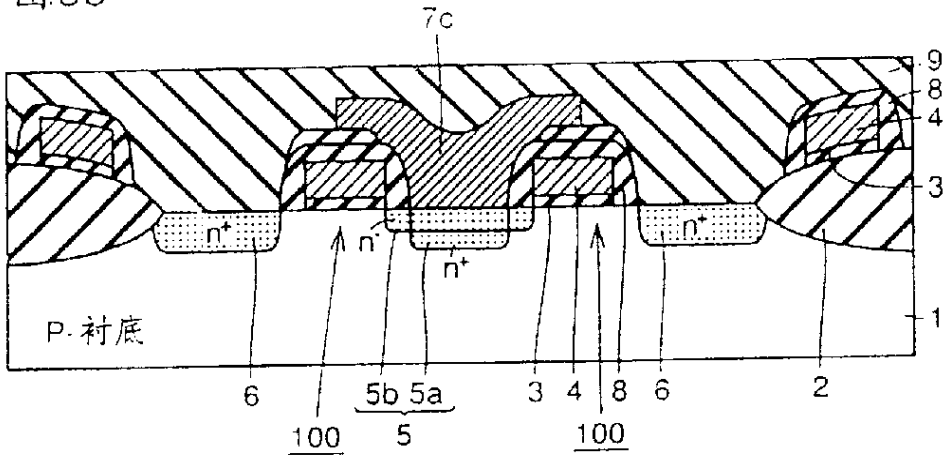


图.39

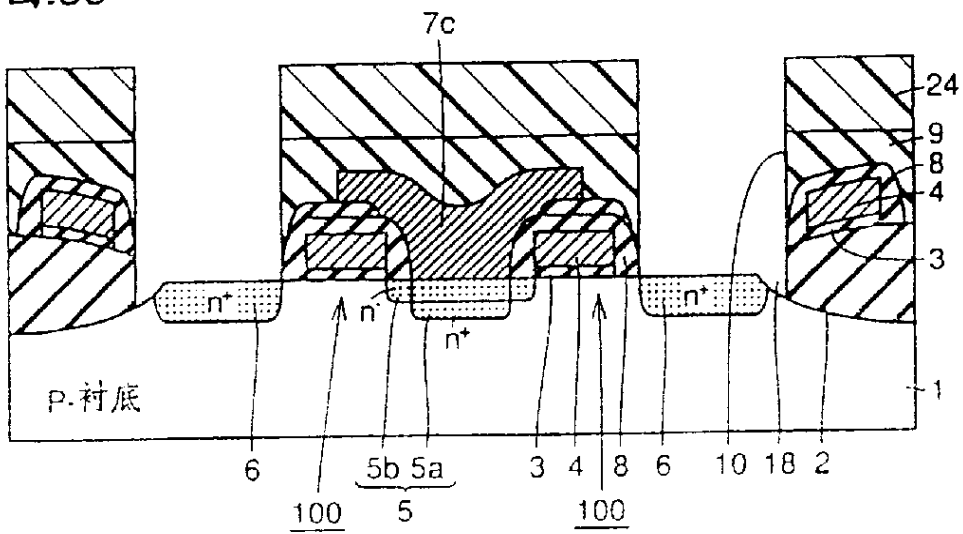


图.40

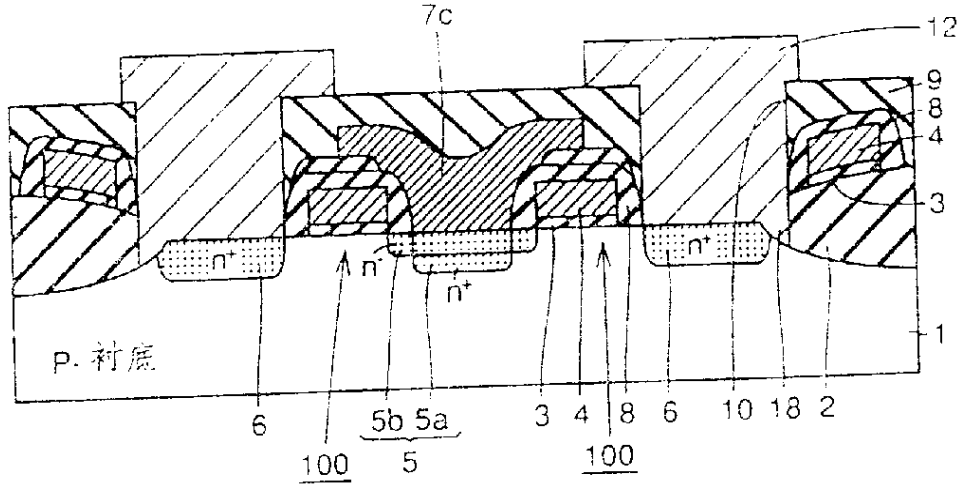


图41

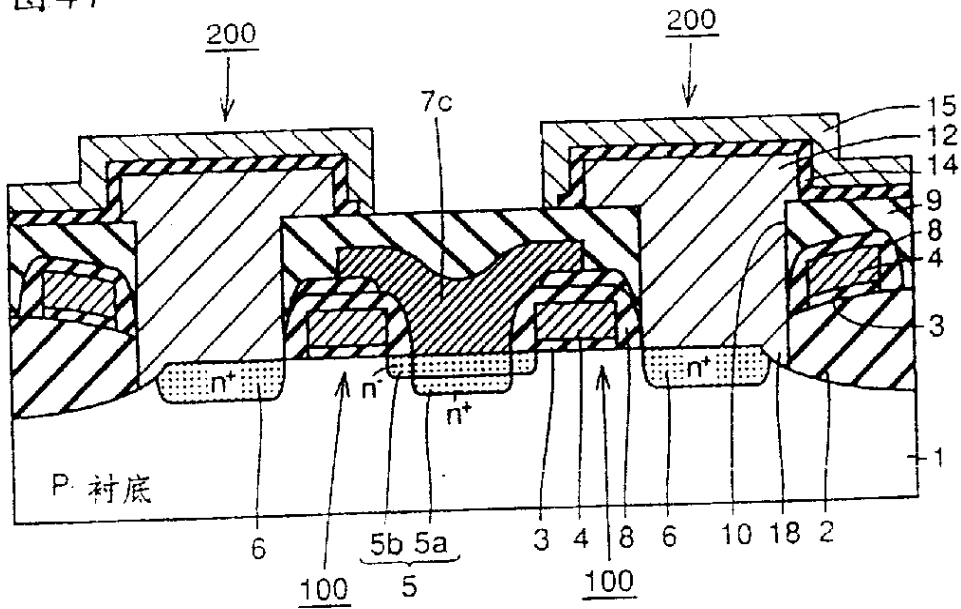


图42

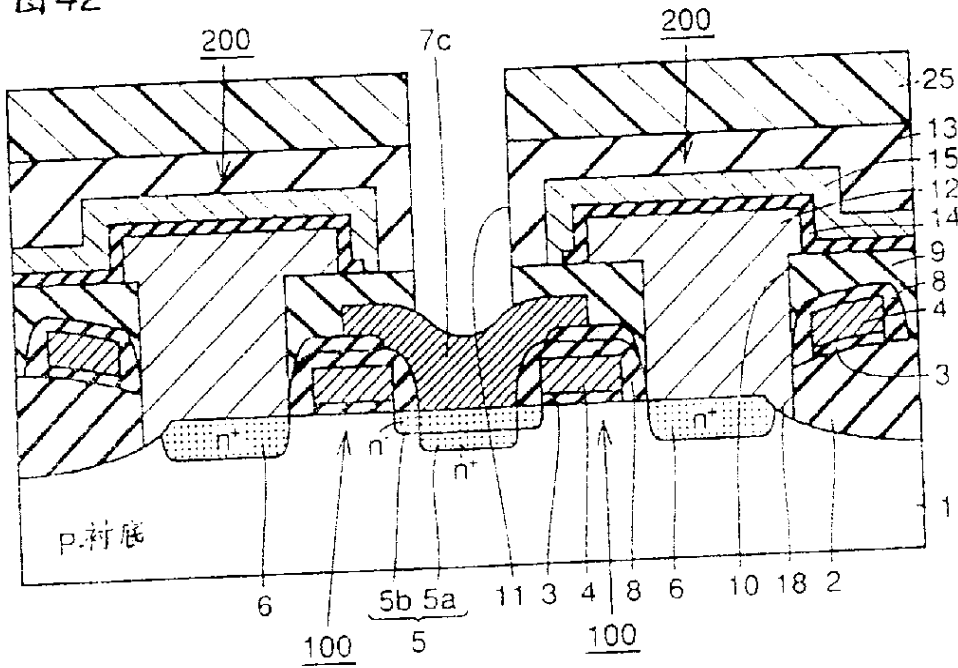


图.43

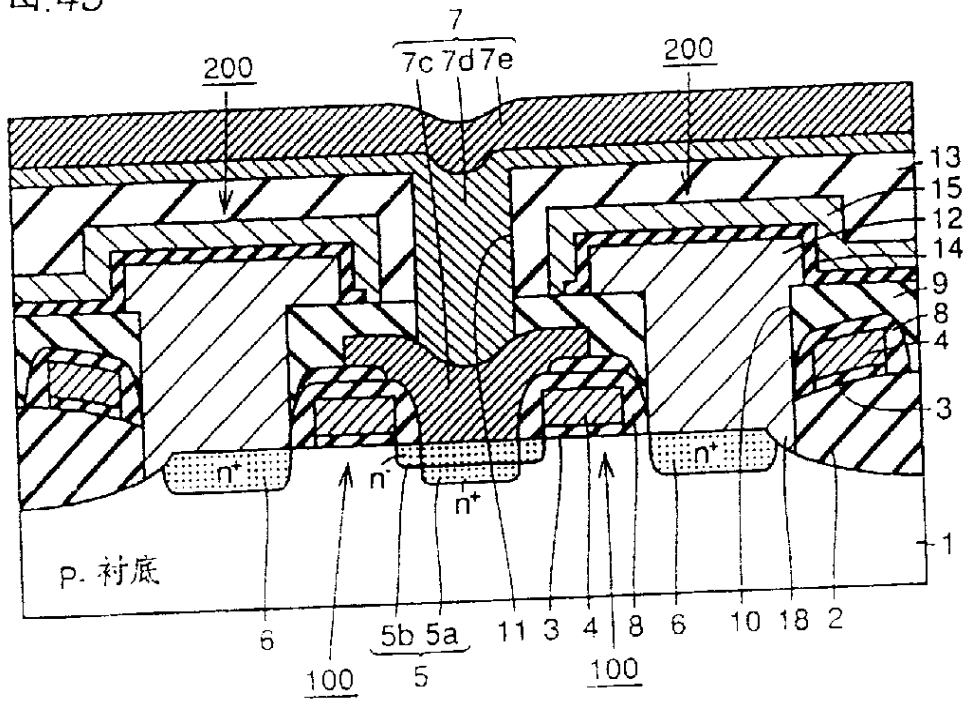


图.44

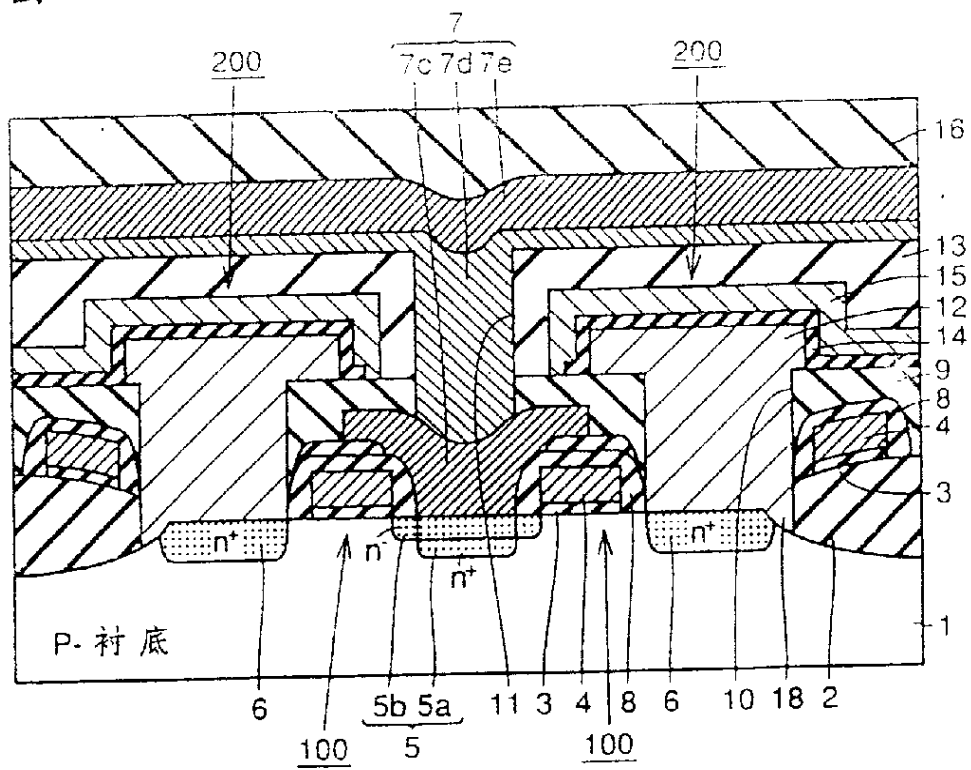




图.45

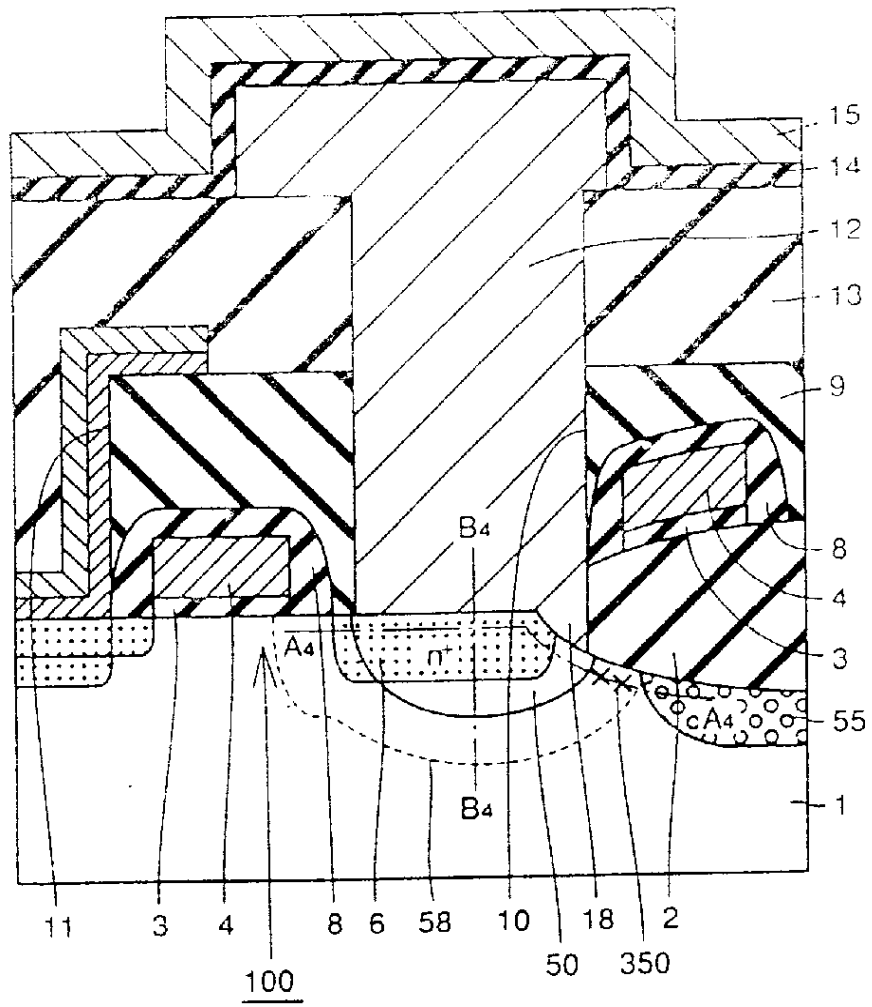


图46

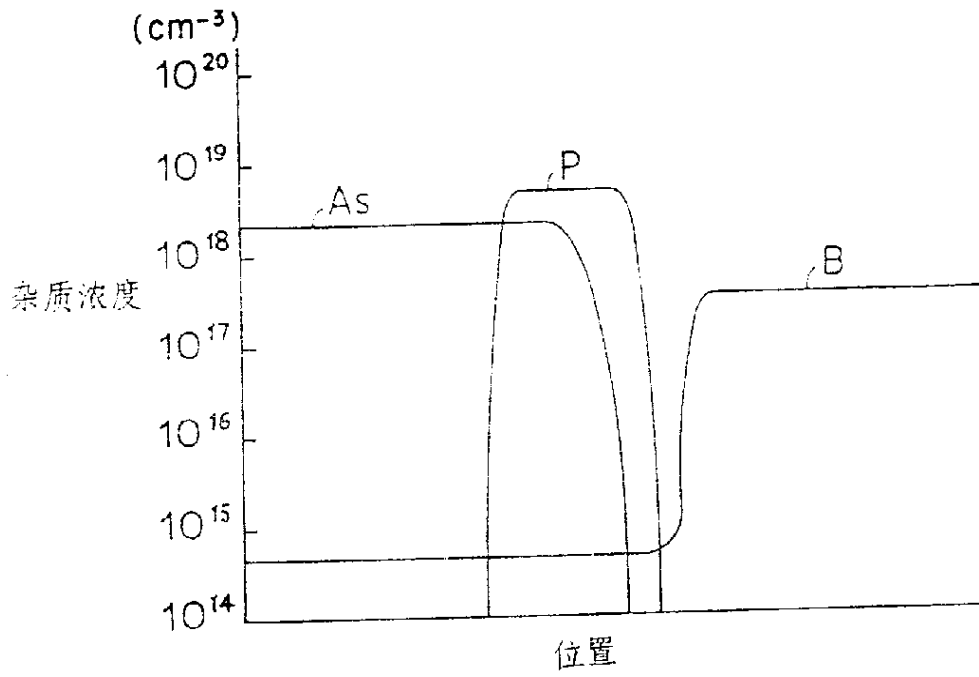


图47

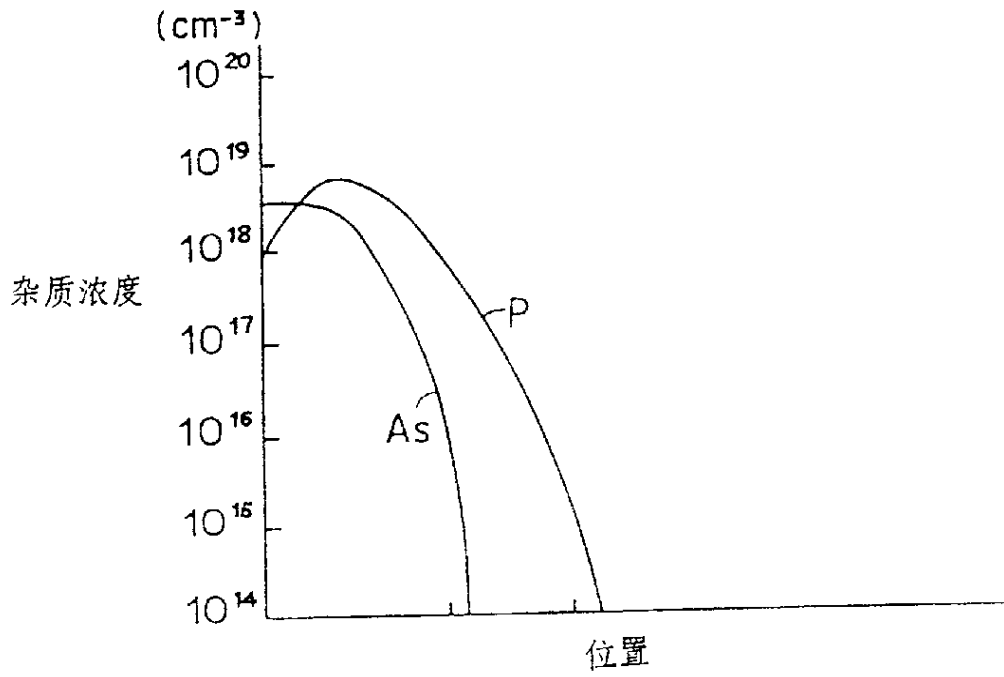


图.48

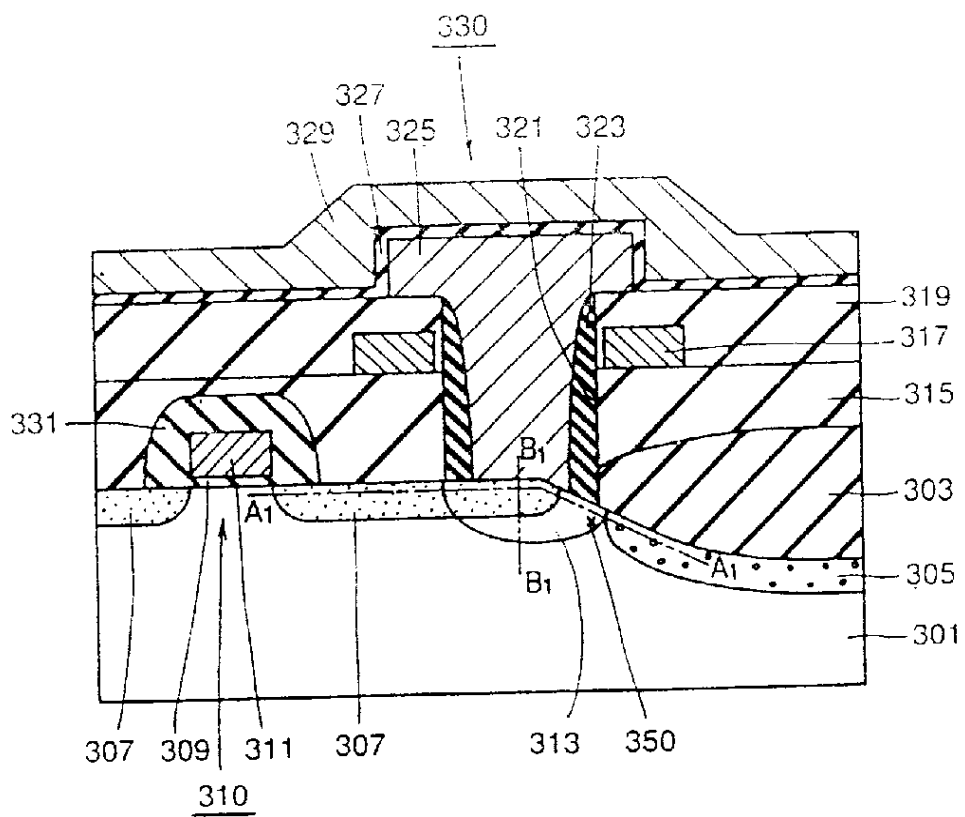


图.49

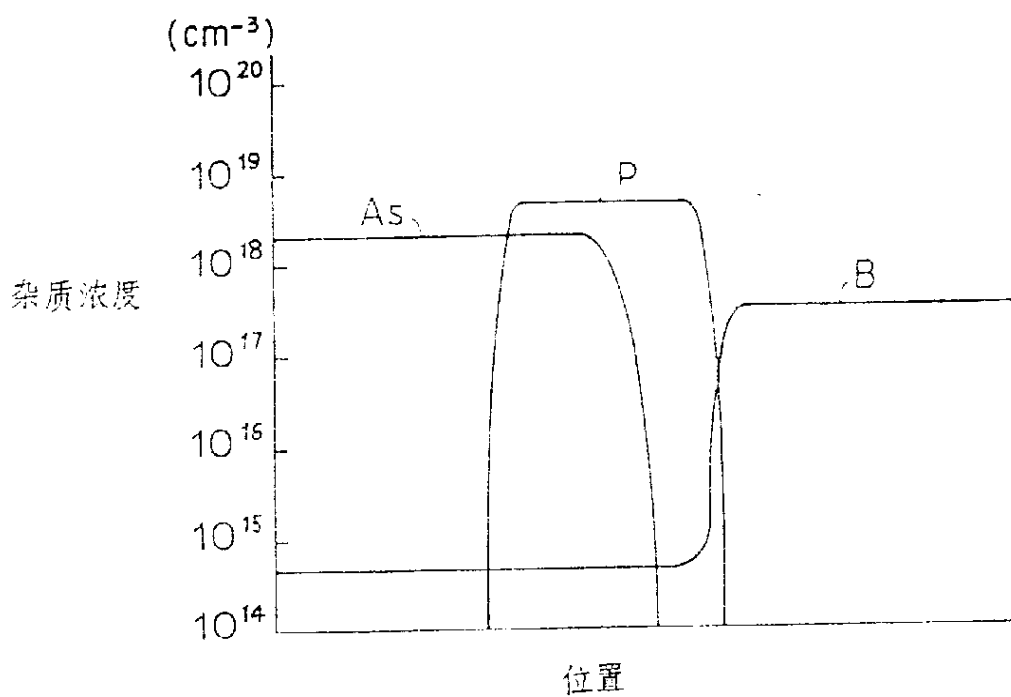


图.50

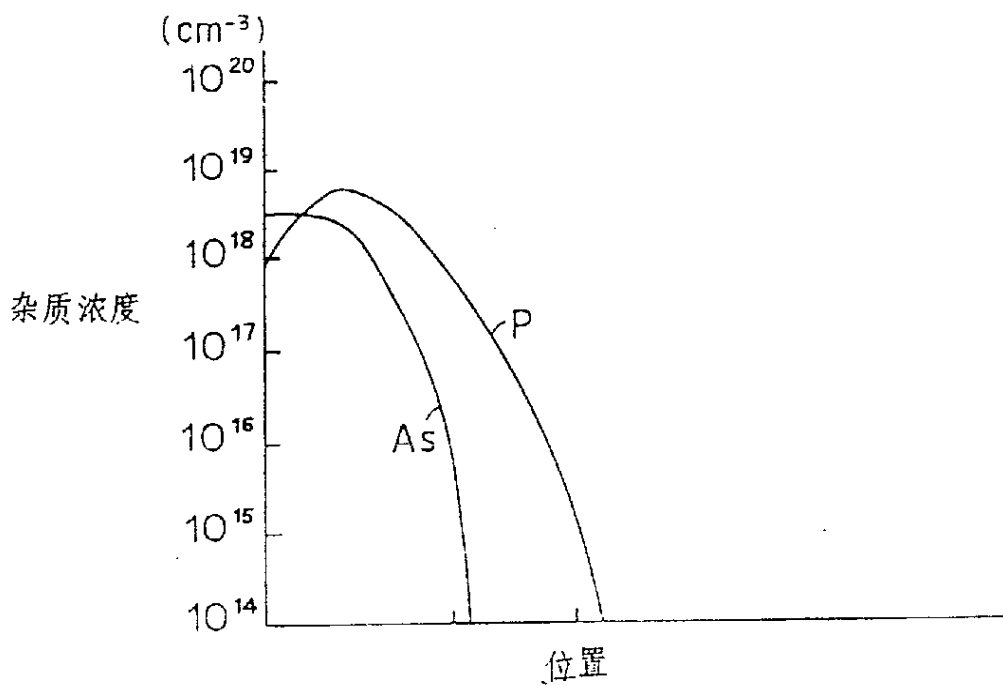


图.51

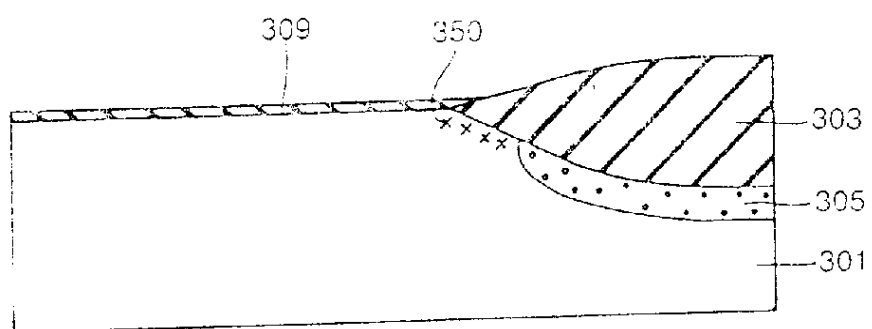


图.52

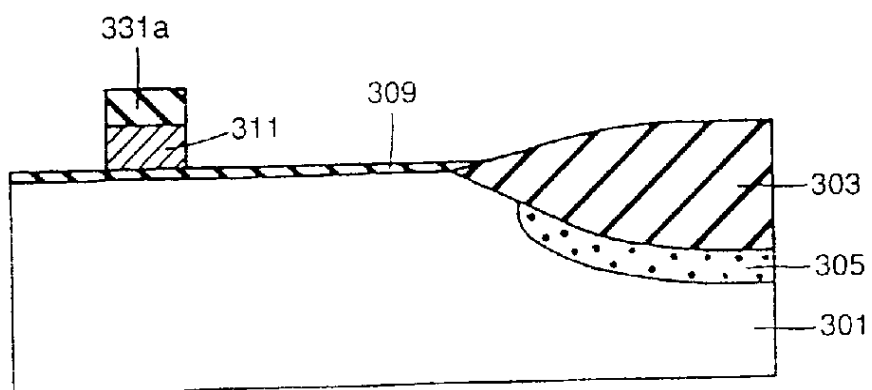


图.53

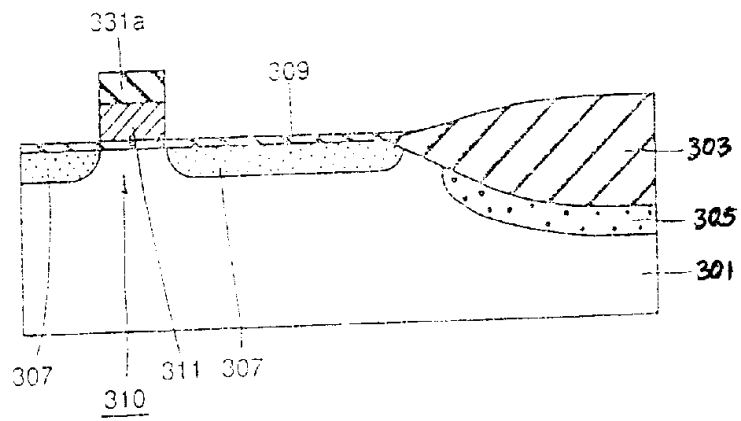


图.54

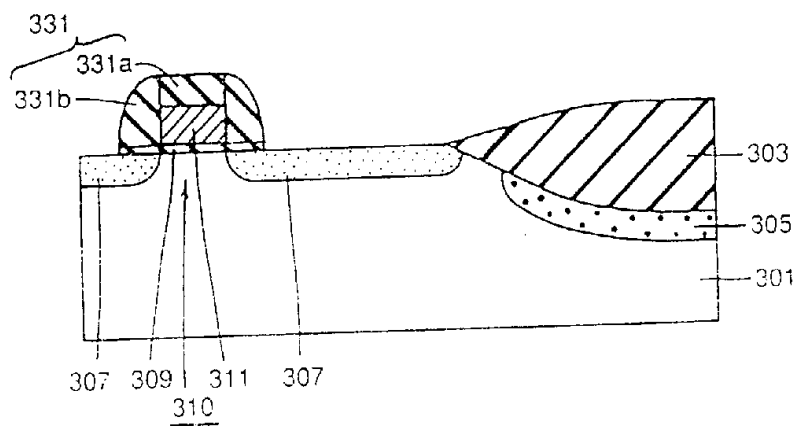


图.55

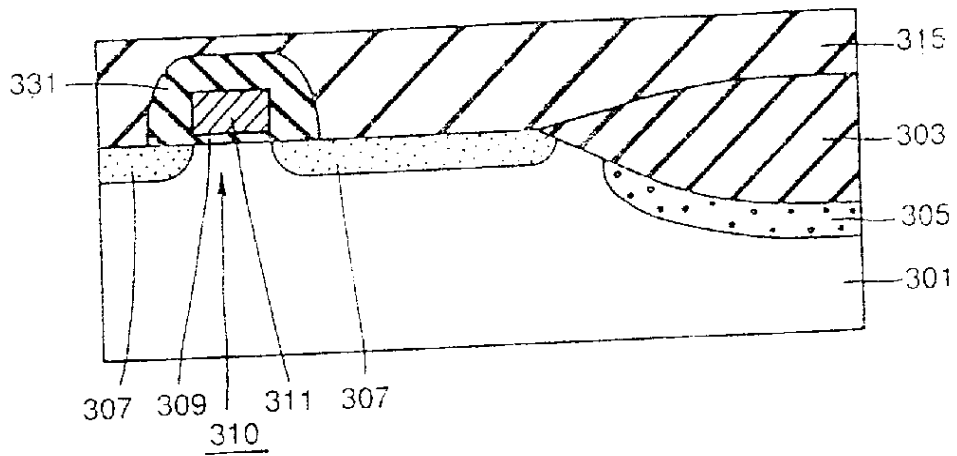


图.56

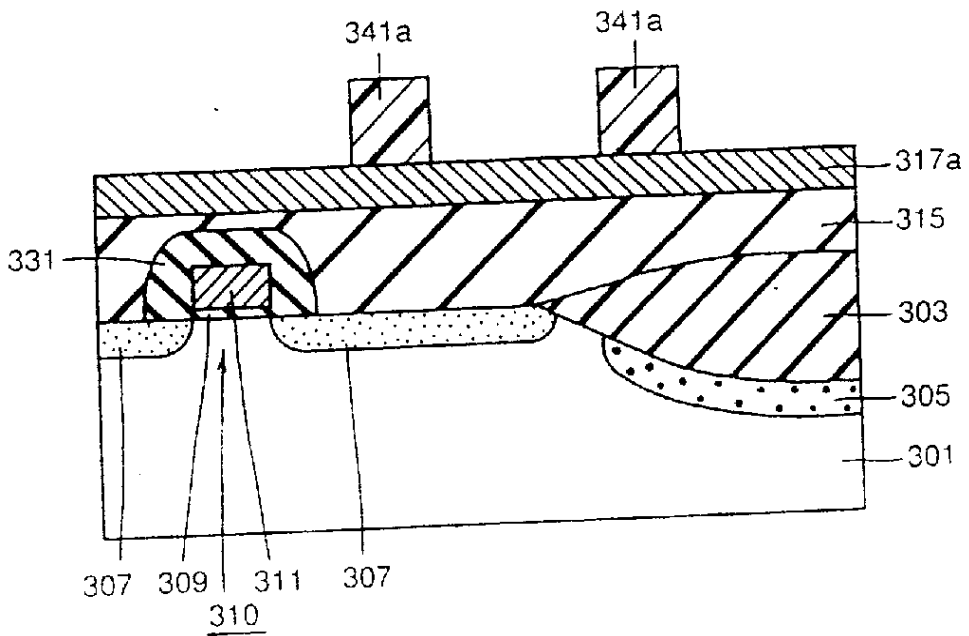


图.57

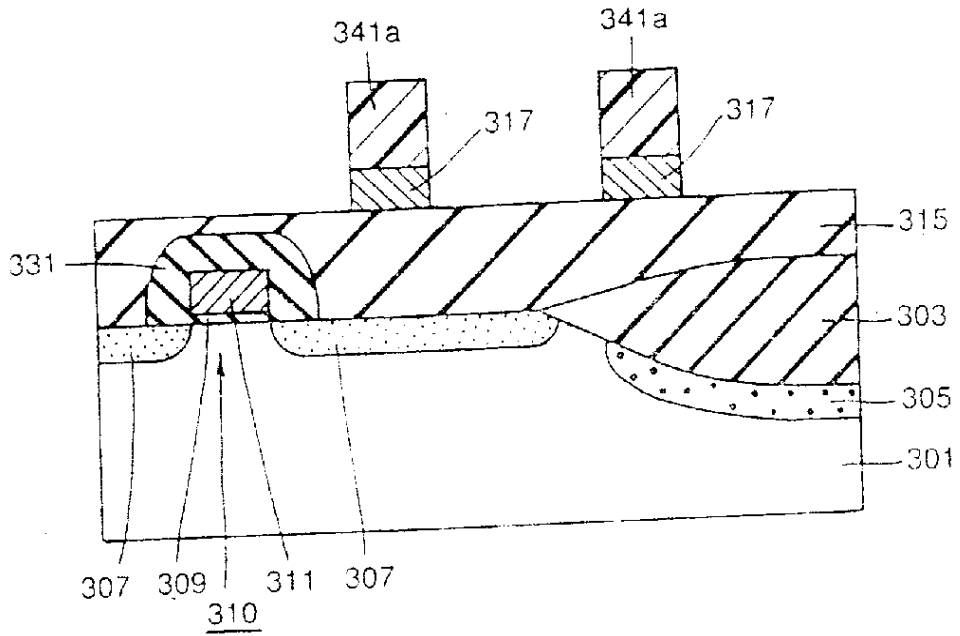


图.58

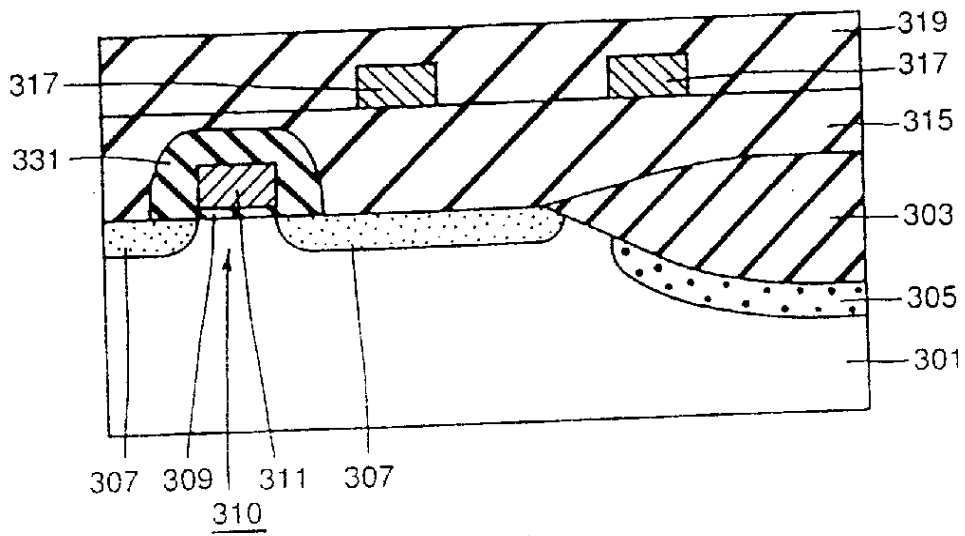




图.59

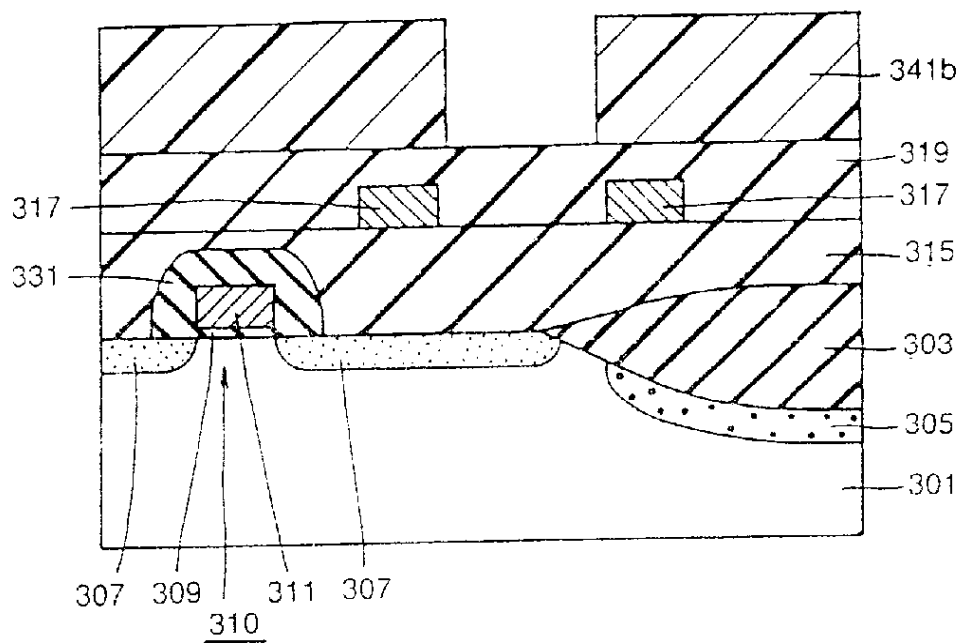


图.60

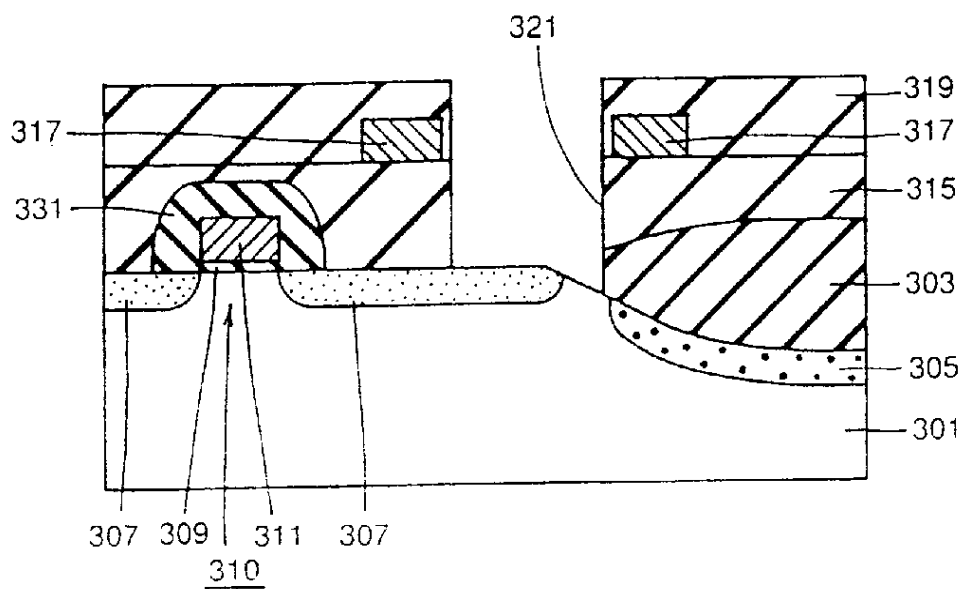


图.61

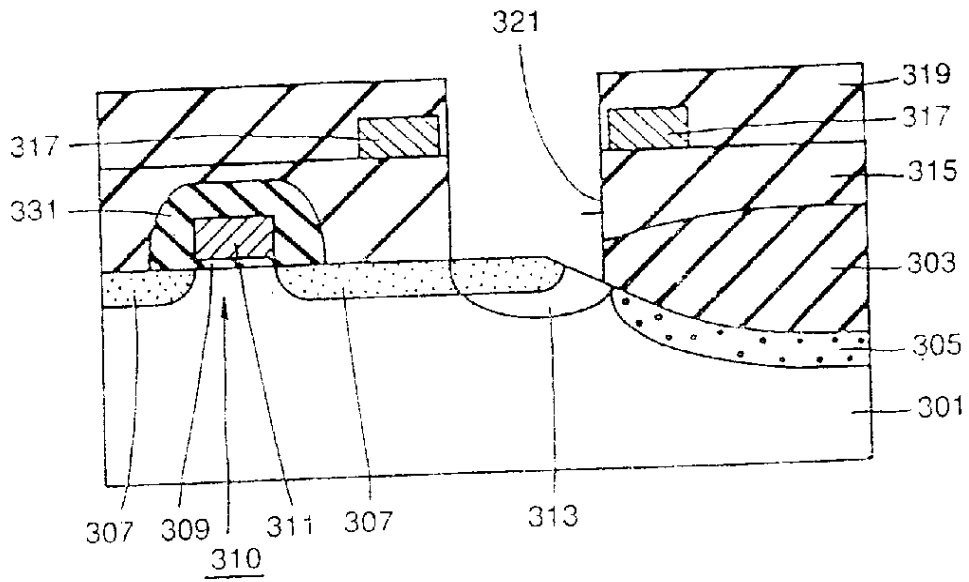


图.62

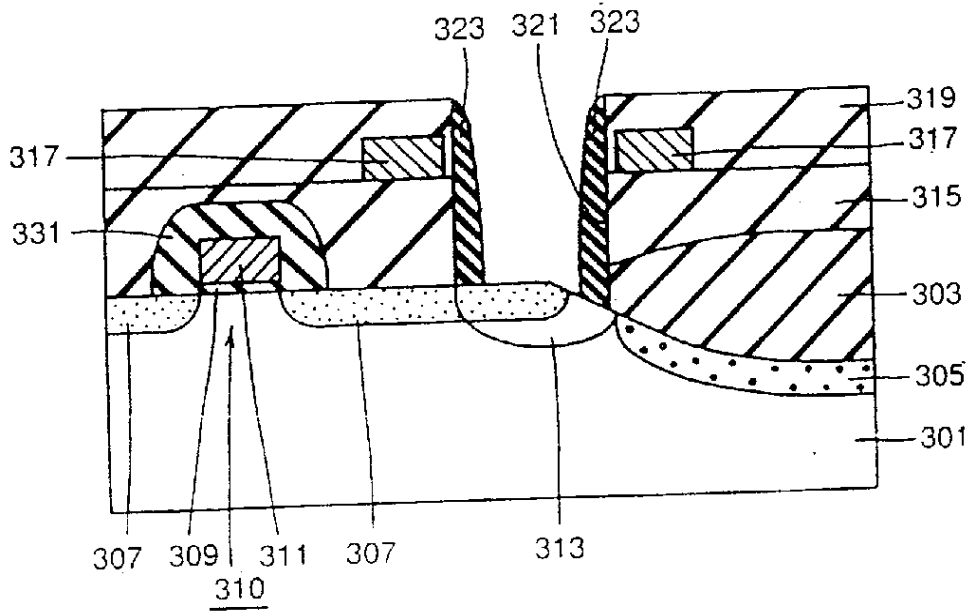


图.63

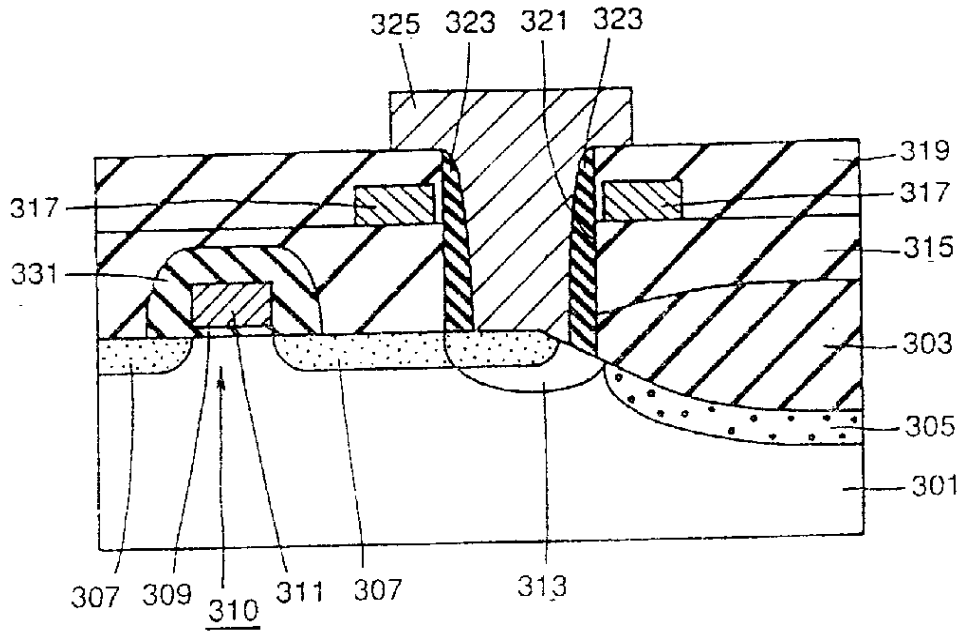


图.64

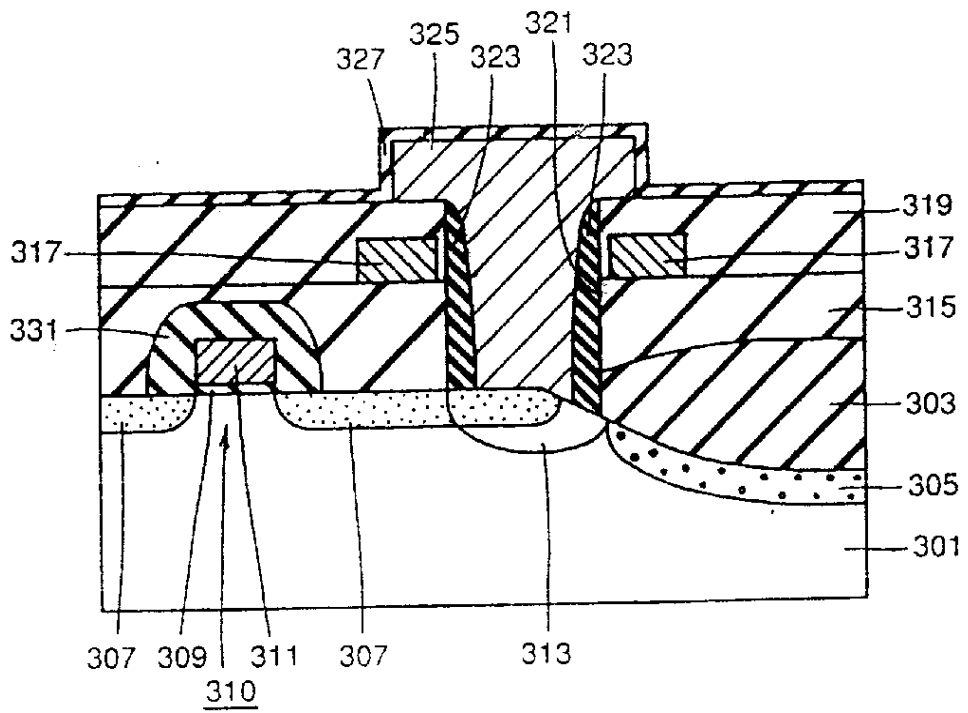


图.65

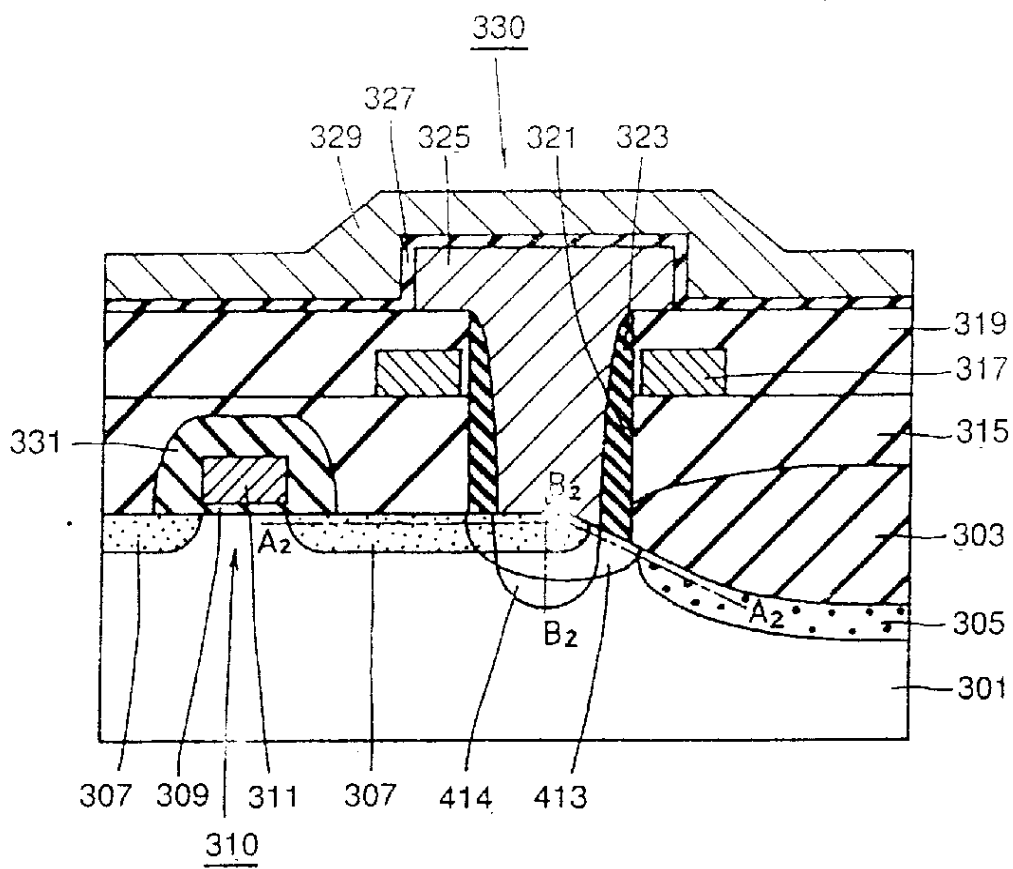


图.66

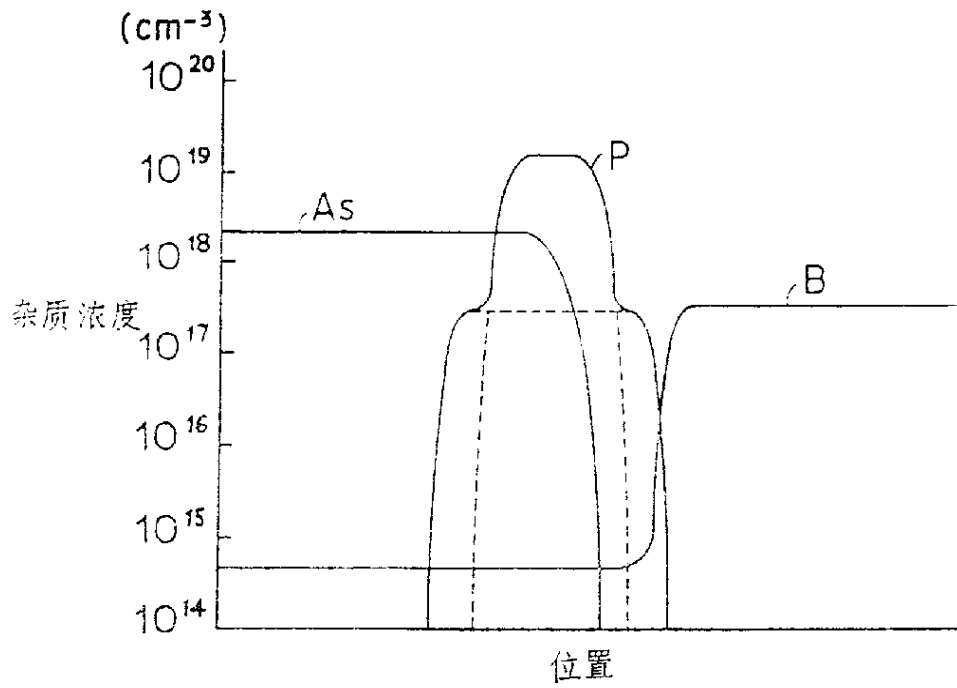


图.67

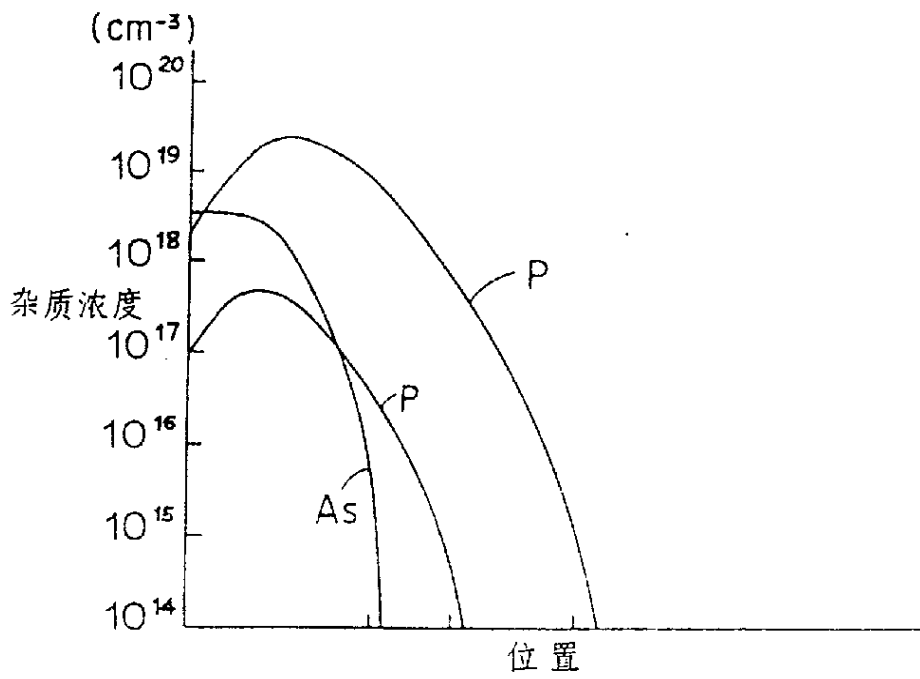


图.68

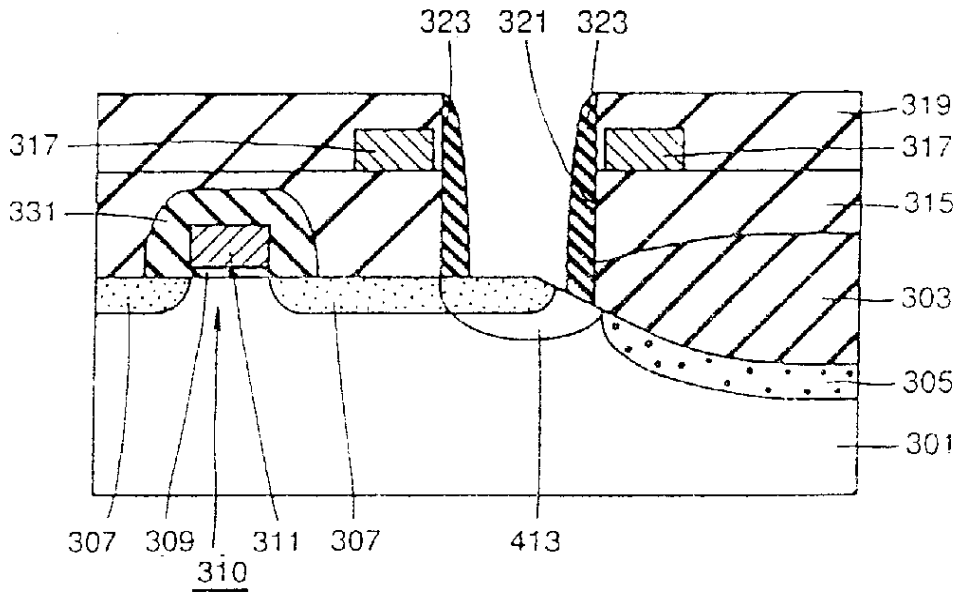


图.69

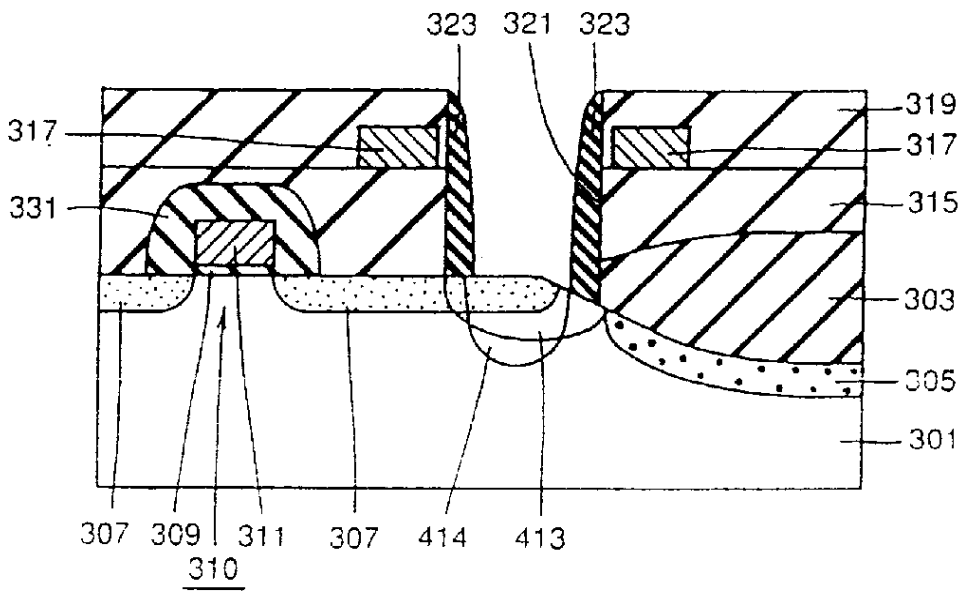


图.70

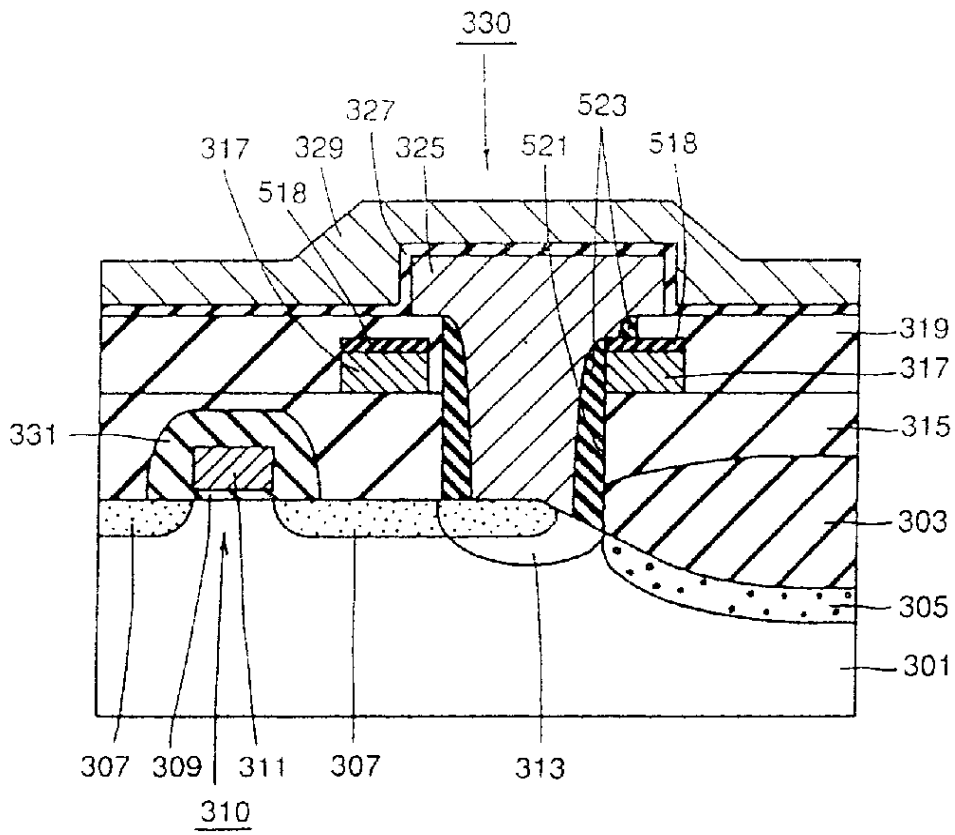


图.71

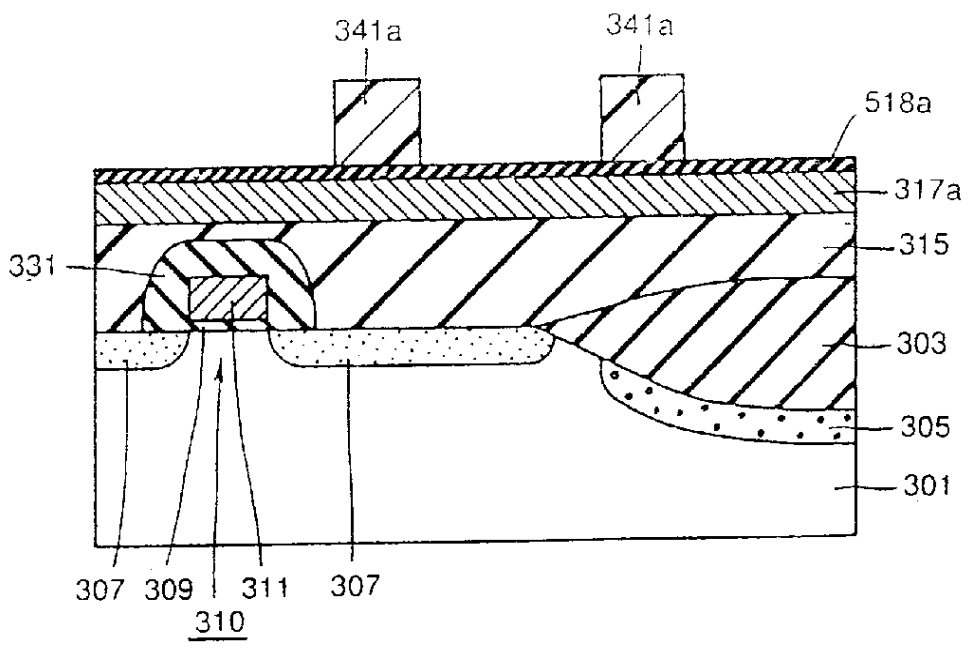




图.72

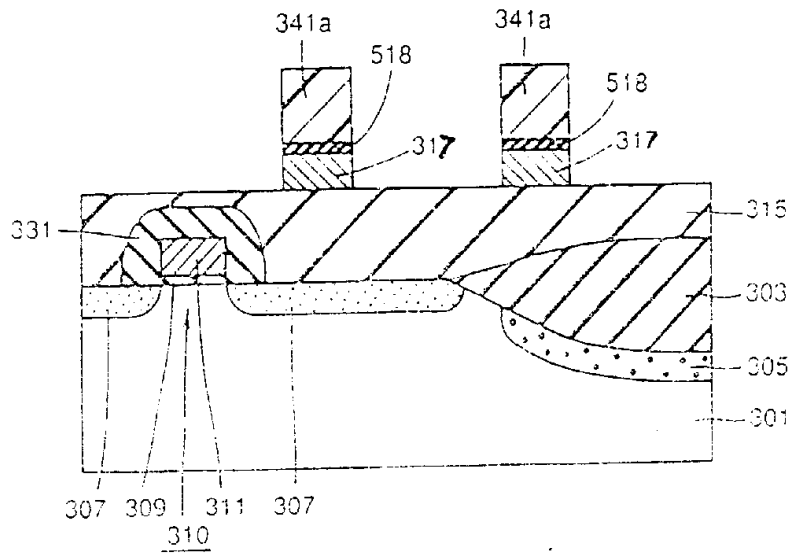


图.73

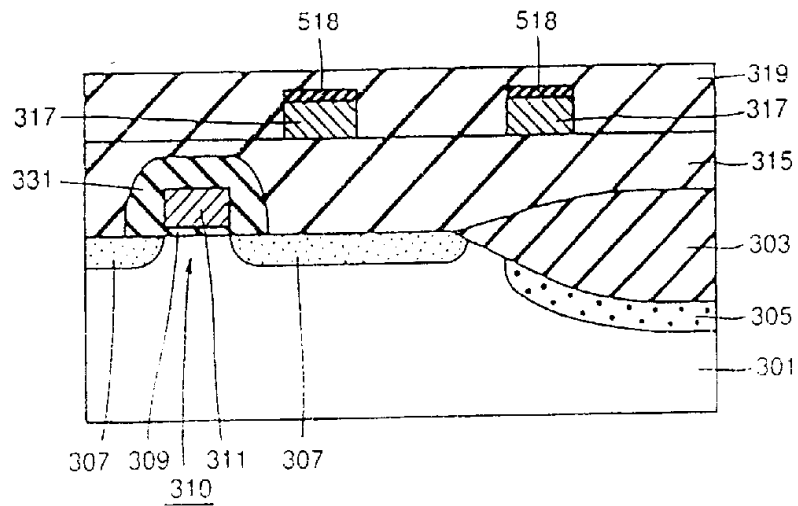


图.74

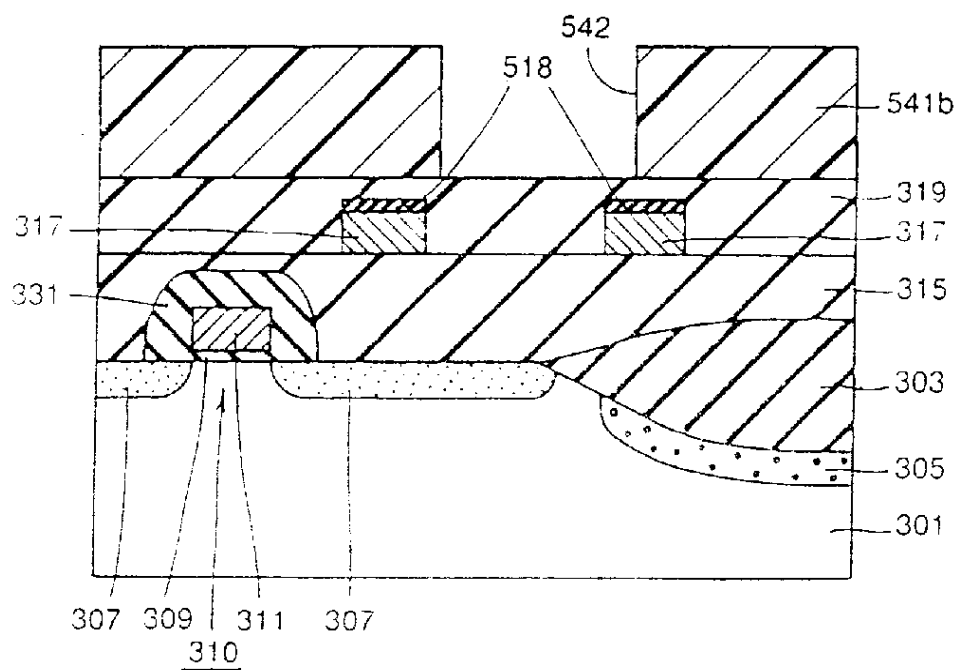


图.75

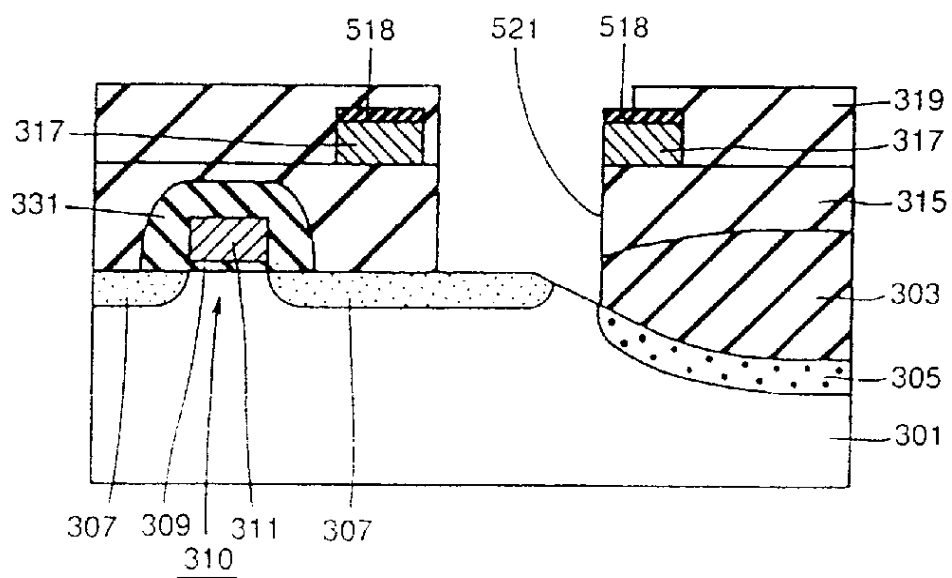


图.76

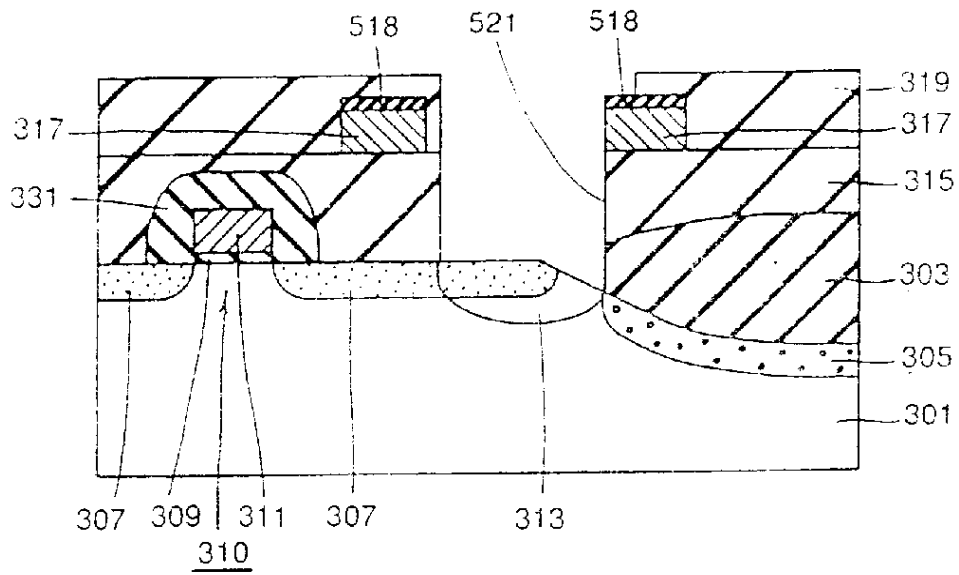


图.77

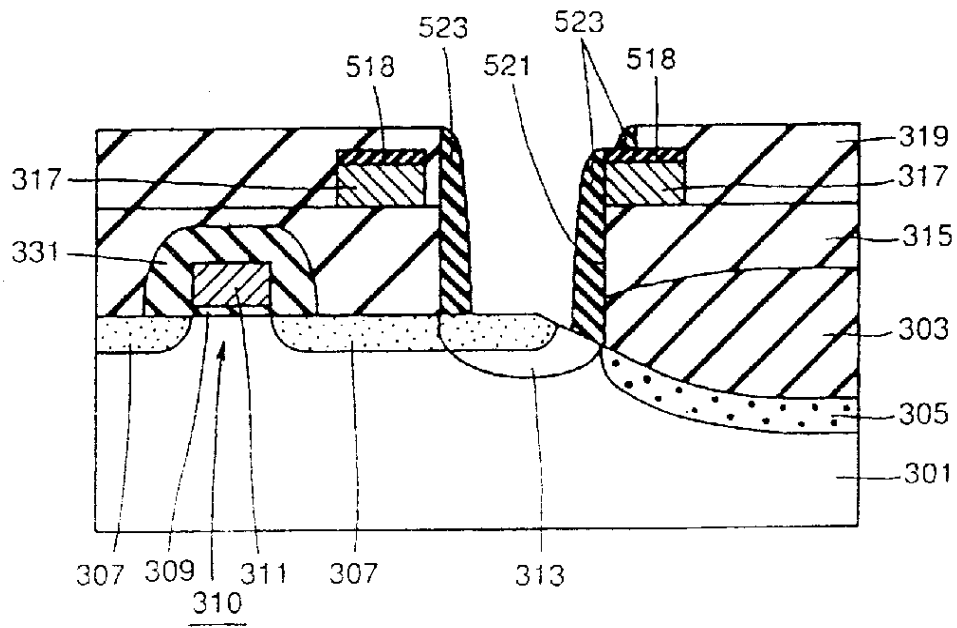


图.78

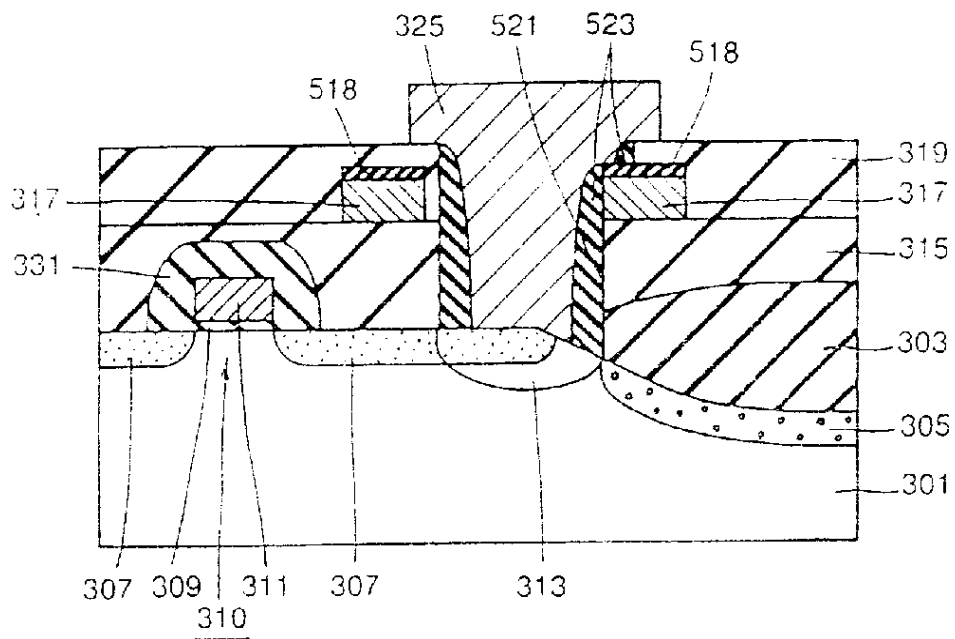


图.79

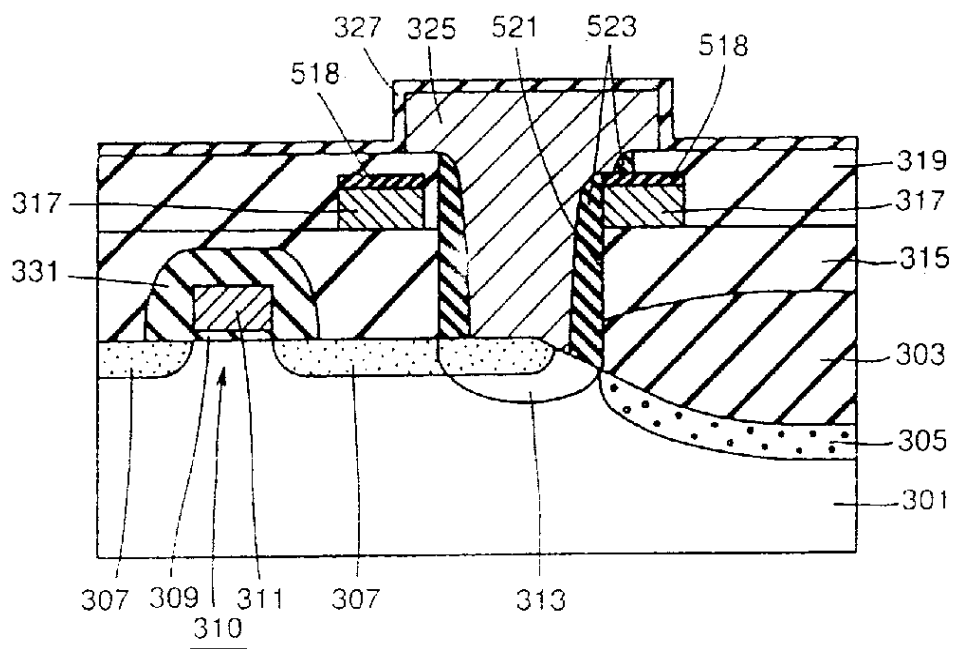


图.80

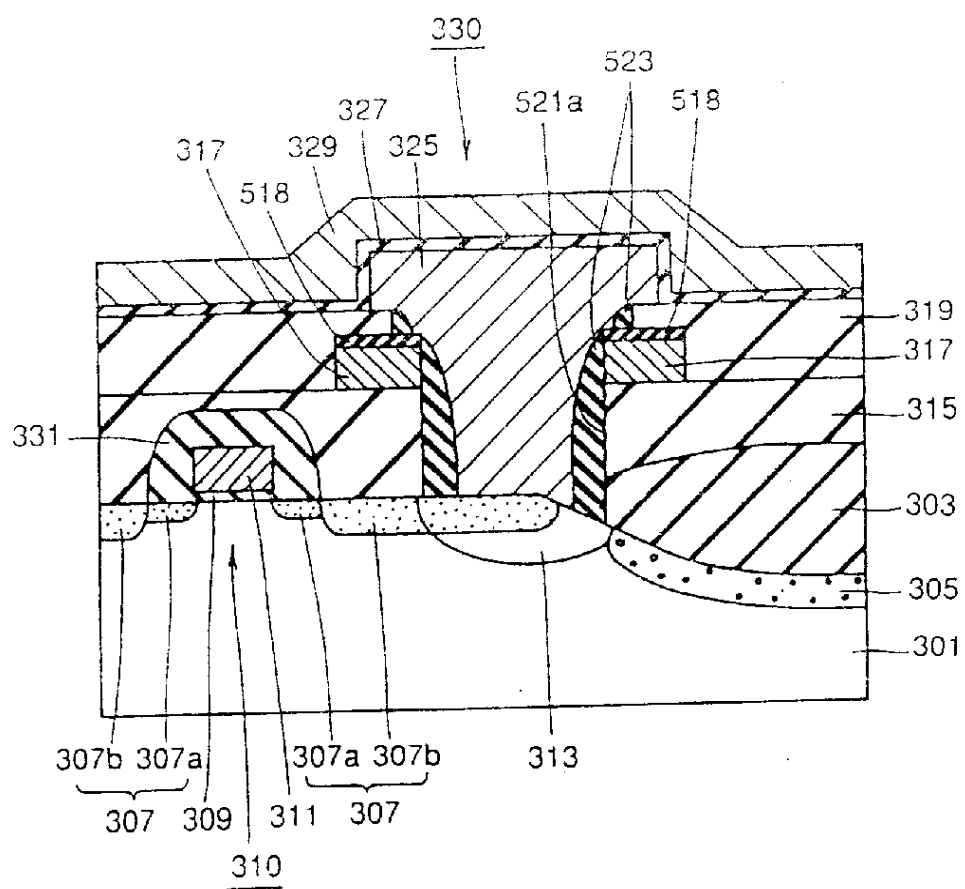


图81 现有技术

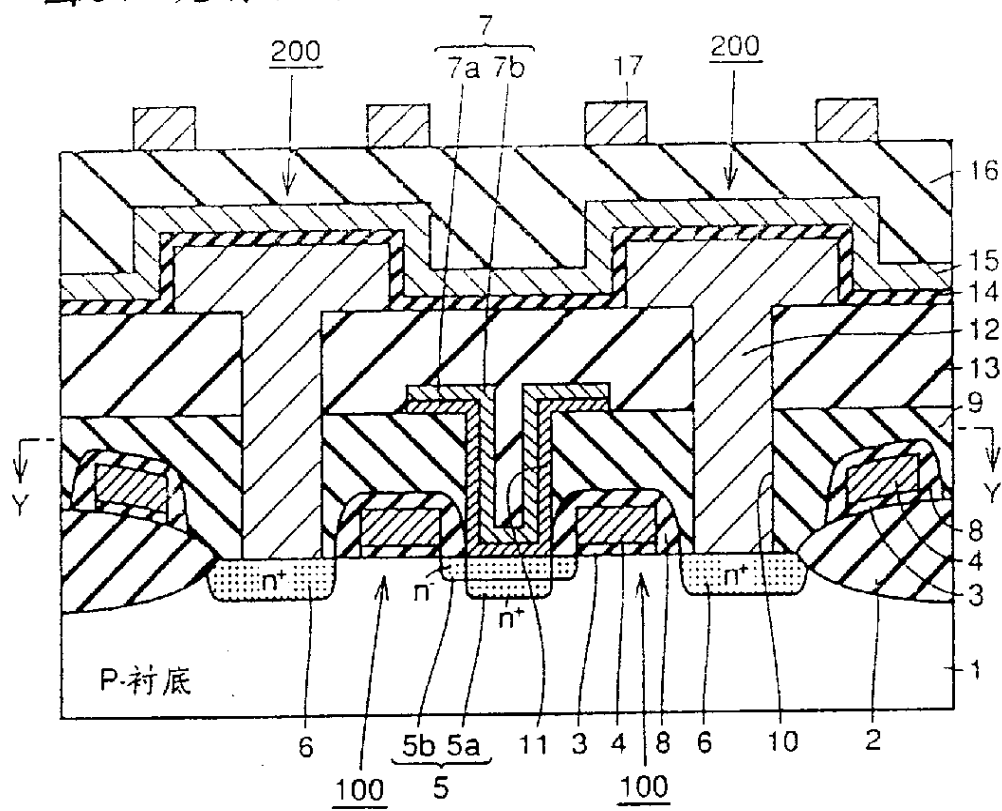


图82 现有技术

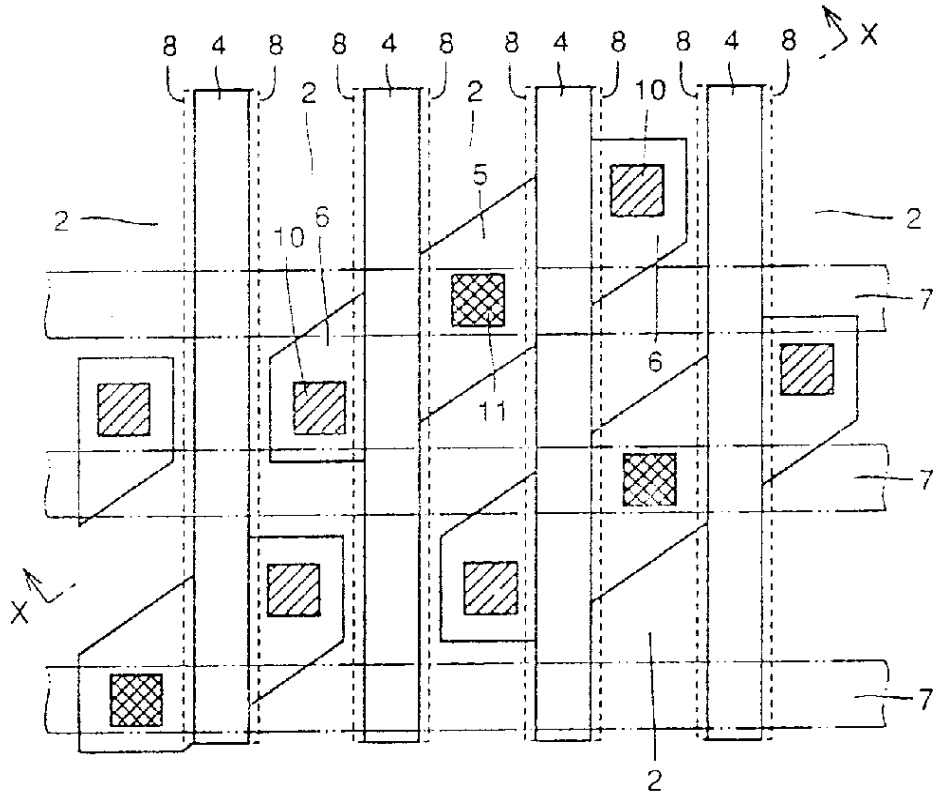


图83 现有技术

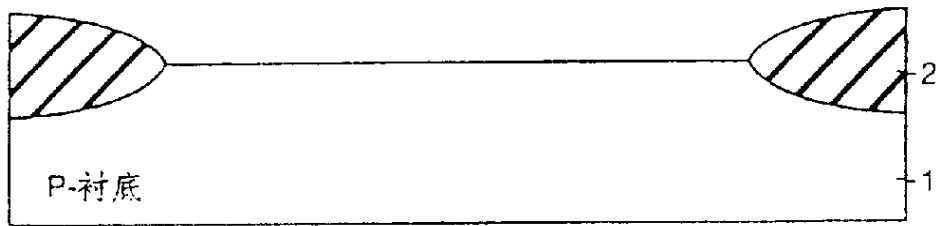


图.84 现有技术

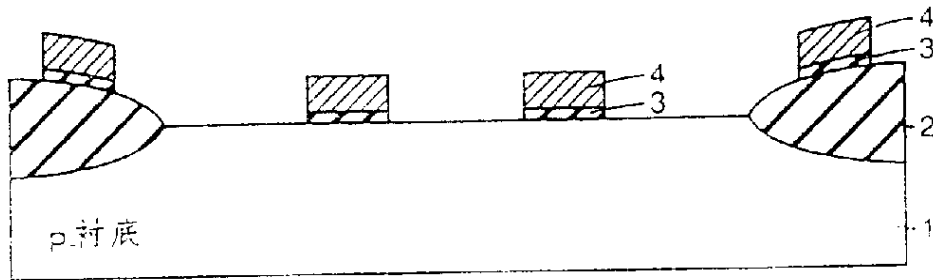


图.85 现有技术

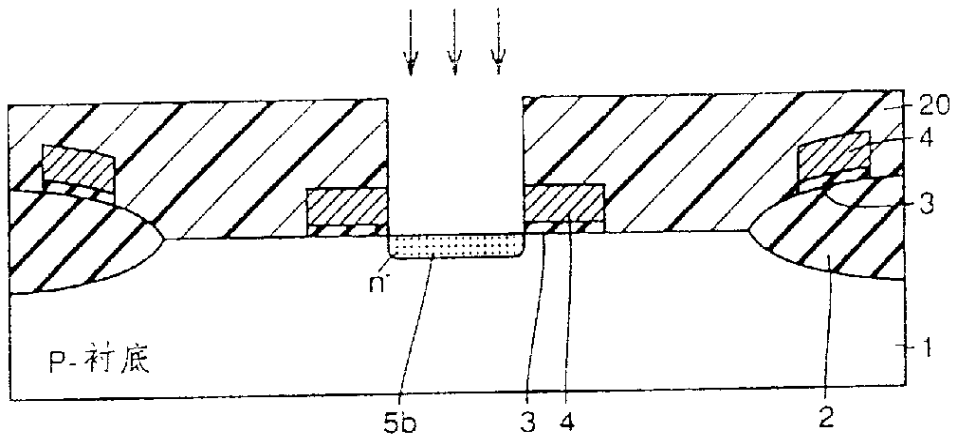


图.86 现有技术

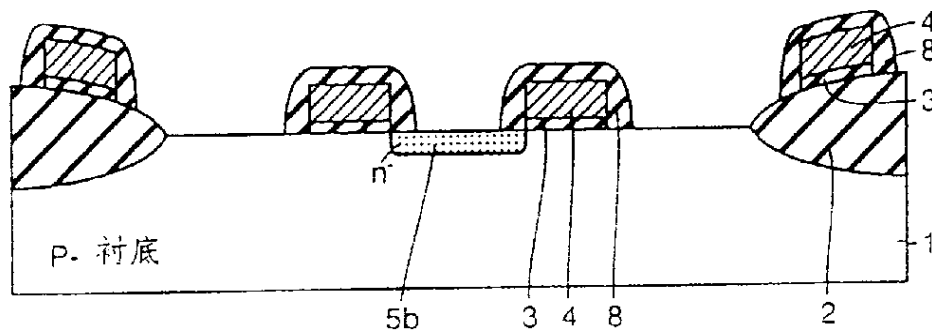




图87 现有技术

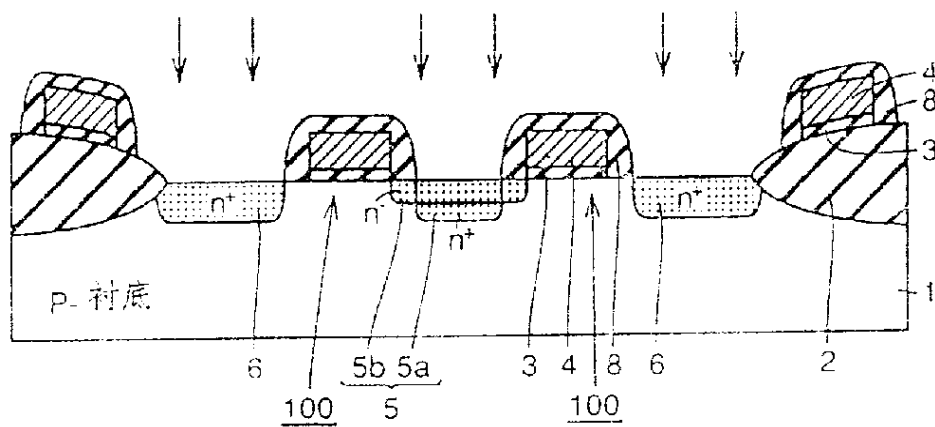


图88 现有技术

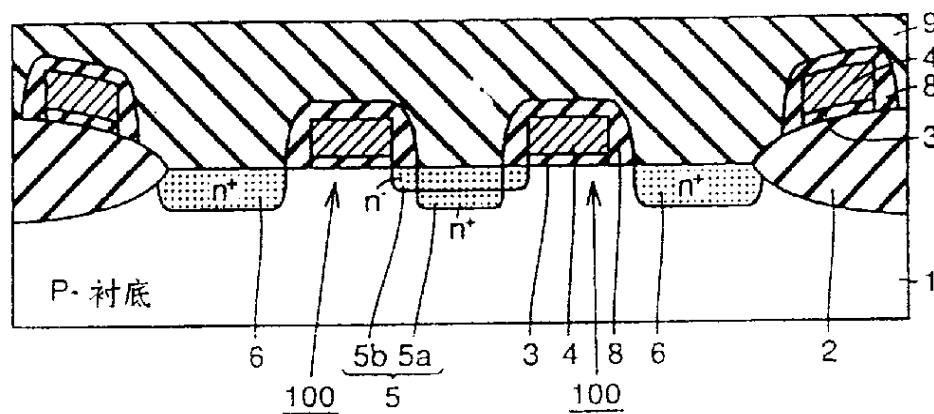




图.89 现有技术

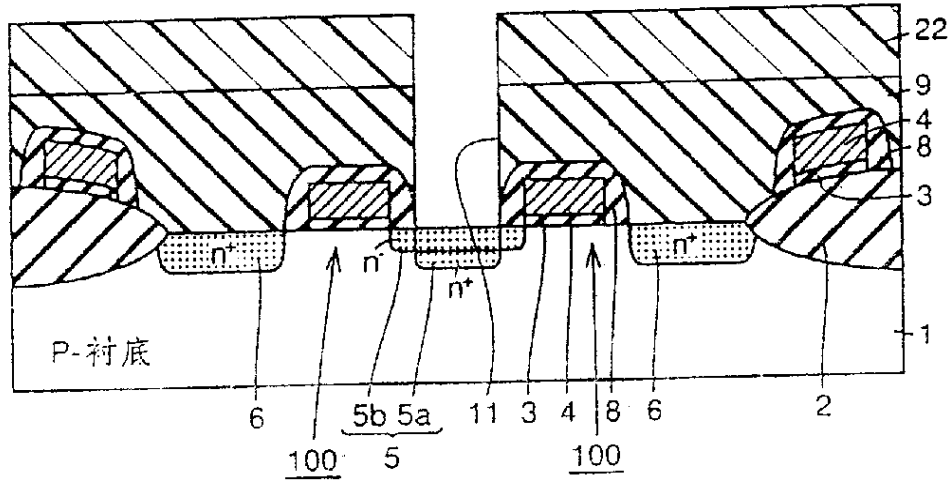


图.90 现有技术

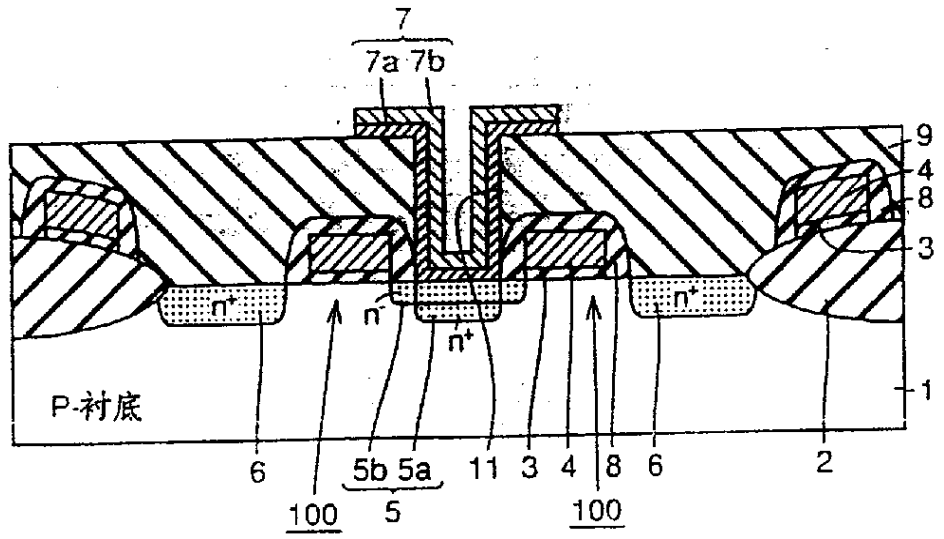


图.91 现有技术

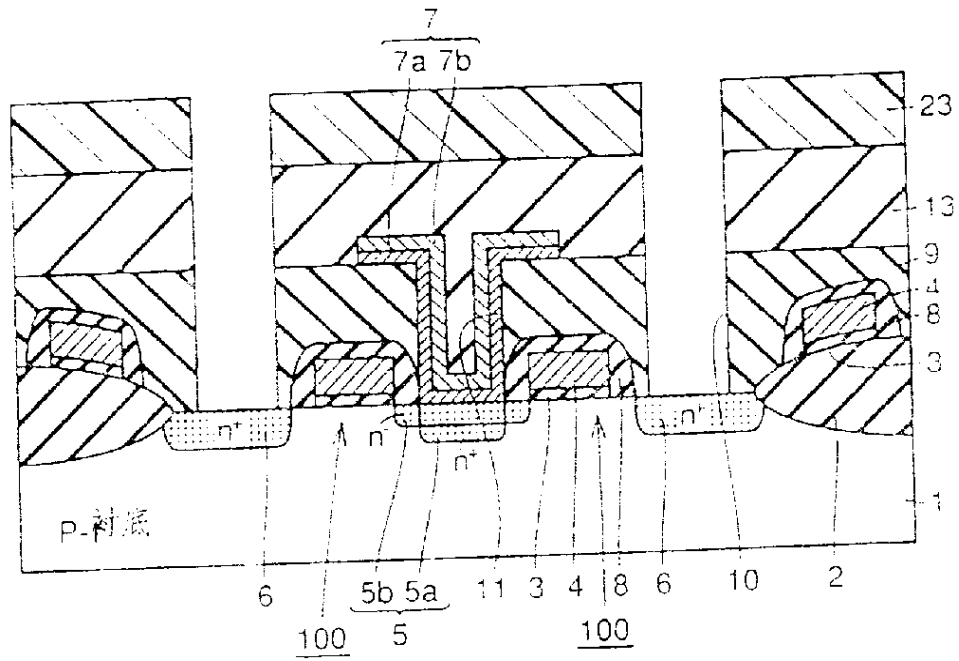


图92 现有技术

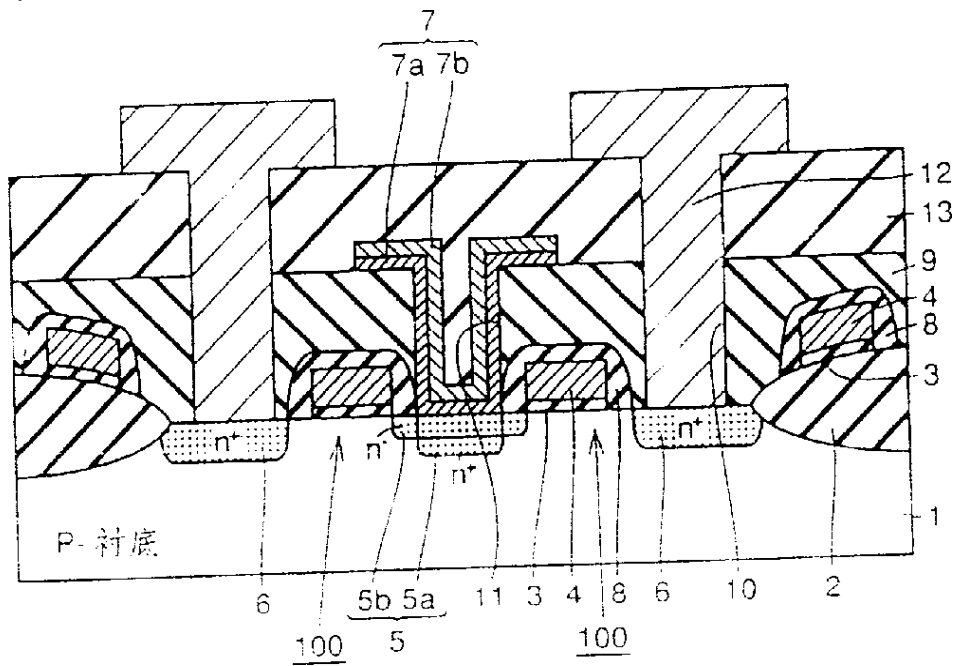


图.93 现有技术

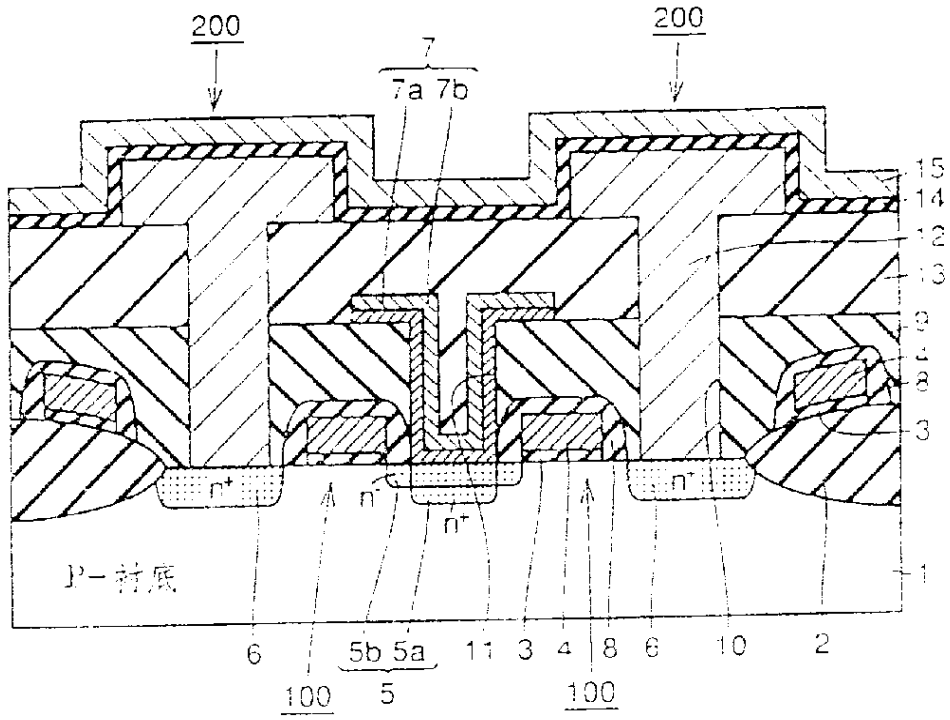


图94 现有技术

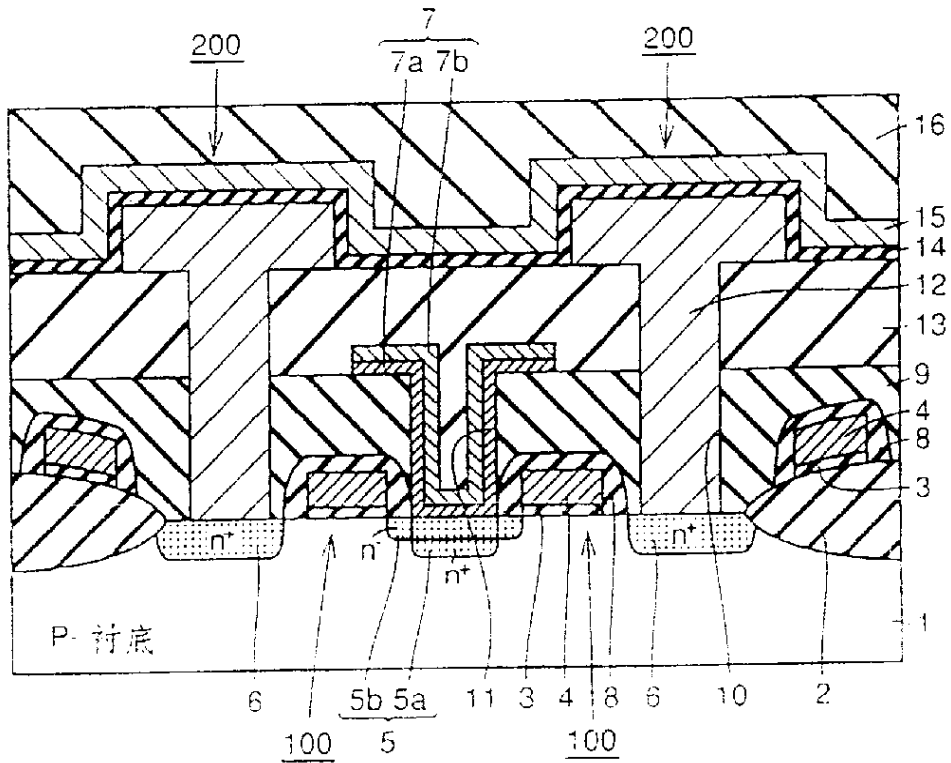


图95 现有技术

