

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200610077489.8

[51] Int. Cl.

H01L 21/60 (2006.01)

H01L 21/56 (2006.01)

H01L 25/00 (2006.01)

H01L 25/065 (2006.01)

H01L 23/498 (2006.01)

H01L 23/31 (2006.01)

[45] 授权公告日 2009 年 2 月 25 日

[11] 授权公告号 CN 100464400C

[22] 申请日 2006.5.8

[21] 申请号 200610077489.8

[73] 专利权人 硅品精密工业股份有限公司

地址 台湾省台中县

[72] 发明人 蔡芳霖 蔡和易 普翰屏 萧承旭

[56] 参考文献

US5222014A 1993.6.22

JP2002-231749A 2002.8.16

JP8-255998A 1996.10.1

TW475244B 2002.2.1

US6093969A 2000.7.25

TW250627B 2006.3.1

TW461060B 2001.10.21

TW240394B 2005.9.21

US2004/0262035A1 2004.12.30

审查员 刘利芳

[74] 专利代理机构 北京戈程知识产权代理有限公司

代理人 程伟

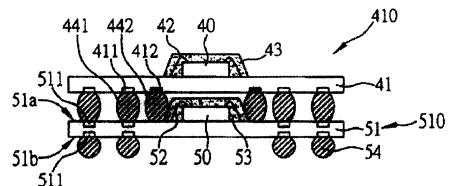
权利要求书 4 页 说明书 8 页 附图 6 页

[54] 发明名称

半导体封装件堆栈结构及其制法

[57] 摘要

本发明公开一种半导体封装件堆栈结构及其制法，该半导体封装件堆栈结构包括下层半导体封装件以及接置在该下层半导体封装件上的上层半导体封装件，该下层半导体封装件包括基板、接置并电性连接至该基板的半导体芯片以及形成在该基板上用于包覆该半导体芯片的封装胶体；该上层半导体封装件包括具有相对的第一表面及第二表面的基板、接置并电性连接至该基板第一表面的半导体芯片、形成于该基板第二表面的多条电性连接垫及假连接垫以及植设在该电性连接垫及假连接垫的焊球。本发明可避免半导体封装件堆栈时在回焊作业发生偏移问题、避免预设预焊锡材料造成制程成本及复杂程度增加等问题。



1. 一种半导体封装件堆栈结构的制法，其特征在于，该半导体封装件堆栈结构的制法包括：

提供具有相对的第一表面及第二表面的基板，且在该基板第二表面上设置有电性连接垫及假连接垫；

在该基板第一表面上设置并电性连接至少一半导体芯片；

在该基板第二表面的电性连接垫及假连接垫上植设焊球，构成上层半导体封装件；以及

将该上层半导体封装件接置在一已完成芯片封装的下层半导体封装件上，该下层半导体封装件具有基板、接置并电性连接至该基板的半导体芯片以及形成于该基板上用于包覆该半导体芯片的封装胶体，其中该上层半导体封装件是借由设在该电性连接垫的焊球电性连接至该下层半导体封装件的基板，并借由设在该假连接垫的焊球围束该下层半导体封装件的封装胶体，构成半导体封装件的堆栈结构。

2. 如权利要求 1 所述的半导体封装件堆栈结构的制法，其特征在于，该下层半导封装件的基板未接置芯片的一侧植设有焊球。

3. 如权利要求 1 所述的半导体封装件堆栈结构的制法，其特征在于，该上层半导体封装件的基板第二表面外围部分设有多个作为电性输入/输出的电性连接垫，同时在该基板第二表面的中央部分设有多个假连接垫，且该假连接垫是对应于下层半导体封装件的封装胶体位置周围。

4. 如权利要求 1 所述的半导体封装件堆栈结构的制法，其特征在于，该上层半导体封装件的基板第二表面上对应于下层半导体封装件的封装胶体各边设有至少一假连接垫。

5. 如权利要求 4 所述的半导体封装件堆栈结构的制法，其特征在于，该假连接垫是设在对应下层半导体封装件的封装胶体各边中间、各边的一端或各边的二端其中之一。

6. 如权利要求 1 所述的半导体封装件堆栈结构的制法，其特征在于，该上层半导体封装件的基板第二表面上预设的假连接垫，是连续设在对应下层半导体封装件的封装胶体角隅并延伸到该角隅两边，后

续在其上植设焊球时，对应下层半导体封装件的封装胶体的角隅形成一拦坝结构。

7. 如权利要求 1 所述的半导体封装件堆栈结构的制法，其特征在于，该假连接垫上的焊球尺寸选择小于或等于该电性连接垫上的焊球尺寸。

8. 如权利要求 1 所述的半导体封装件堆栈结构的制法，其特征在于，该下层半导体封装件的基板上接置有半导体芯片的那一面设有假连接垫，且它是对应于上层半导体封装件的基板第二表面的假连接垫位置。

9. 如权利要求 1 所述的半导体封装件堆栈结构的制法，其特征在于，该上层半导体封装件的假连接垫上的焊球包括有核心部分及外围部分，且该核心部分的熔点大于设在电性连接垫上的焊球熔点。

10.如权利要求 9 所述的半导体封装件堆栈结构的制法，其特征在于，该核心部分是金属铜、铅或高分子材料其中之一，该外围部分是焊锡材料。

11.如权利要求 1 所述的半导体封装件堆栈结构的制法，其特征在于，该上层半导体封装件的假连接垫上的焊球熔点，高于电性连接垫上的焊球熔点。

12.如权利要求 11 所述的半导体封装件堆栈结构的制法，其特征在于，该上层半导体封装件的假连接垫上的焊球是铅/锡比为 90/10 或 95/5 的高铅合金或锡/银/铜比为 96.5/3/.05 的无铅合金。

13.一种半导体封装件堆栈结构，该半导体封装件堆栈结构包括：

下层半导体封装件，该下层半导体封装件包括基板、接置并电性连接至该基板的半导体芯片以及形成在该基板上用于包覆该半导体芯片的封装胶体；以及

接置于该下层半导体封装件上的上层半导体封装件，该上层半导体封装件包括具有相对的第一表面及第二表面的基板、接置并电性连接至该基板第一表面的半导体芯片、形成于该基板第二表面的多条电性连接垫及假连接垫以及植设在该电性连接垫及假连接垫的焊球，其中该上层半导体封装件是借由设在该电性连接垫的焊球电性连接至该下层半导体封装件的基板，并借由设在该假连接垫的焊球围束该下层

半导体封装件的封装胶体。

14.如权利要求 13 所述的半导体封装件堆栈结构，其特征在于，该下层半导体封装件的基板未接置芯片的一侧植设有焊球。

15.如权利要求 13 所述的半导体封装件堆栈结构，其特征在于，该上层半导体封装件的基板第二表面外围部，分设有多个作为电性输入/输出的电性连接垫，同时在该基板第二表面的中央部分设有多个假连接垫，且该假连接垫是对应于下层半导体封装件的封装胶体位置周围。

16.如权利要求 13 所述的半导体封装件堆栈结构，其特征在于，该上层半导体封装件的基板第二表面上对应于下层半导体封装件的封装胶体各边设有至少一假连接垫。

17.如权利要求 16 所述的半导体封装件堆栈结构，其特征在于，该假连接垫是设在对应下层半导体封装件的封装胶体各边中间、各边的一端或各边的二端其中之一。

18.如权利要求 13 所述的半导体封装件堆栈结构，其特征在于，该上层半导体封装件的基板第二表面上所预设的假连接垫，是连续设在对应下层半导体封装件的封装胶体角隅并延伸至该角隅两边，供后续在其上植设焊球时，对应下层半导体封装件的封装胶体的角隅形成一拦坝结构。

19.如权利要求 13 所述的半导体封装件堆栈结构，其特征在于，该假连接垫上的焊球尺寸选择小于或等于该电性连接垫上的焊球尺寸。

20.如权利要求 13 所述的半导体封装件堆栈结构，其特征在于，该下层半导体封装件的基板上接置有半导体芯片的那一面设有假连接垫，且它是对应于上层半导体封装件的基板第二表面的假连接垫位置。

21.如权利要求 13 所述的半导体封装件堆栈结构，其特征在于，该上层半导体封装件的假连接垫上的焊球包括有核心部分及外围部分，且该核心部分的熔点大于设在电性连接垫上的焊球熔点。

22.如权利要求 21 所述的半导体封装件堆栈结构，其特征在于，该核心部分是金属铜、铅或高分子材料其中之一，该外围部分是焊锡材料。

23.如权利要求 13 所述的半导体封装件堆栈结构，其特征在于，该上层半导体封装件的假连接垫上的焊球熔点，高于电性连接垫上的焊

球熔点。

24.如权利要求 23 所述的半导体封装件堆栈结构，其特征在于，该上层半导体封装件的假连接垫上的焊球，是铅/锡比为 90/10 或 95/5 的高铅合金或锡/银/铜比为 96.5/3/.05 的无铅合金。

半导体封装件堆栈结构及其制法

技术领域

本发明是关于一种半导体封装件及其制法，特别是关于一种半导体封装件的堆栈结构及其制造方法。

背景技术

现今电子产品向多功能、高电性及高速运行的方向发展，为配合此发展方向，半导体业界莫不积极研发能够整合多个芯片或封装件的半导体装置，以满足电子产品的需求。

请参阅图 1，美国专利第 5,222,014 号一种半导体封装件的堆栈结构，其提供一上表面设置有焊垫 110 的球栅阵列(BGA)基板 11，在该球栅阵列基板 11 上接置半导体芯片 10，并形成包覆该半导体芯片 10 的封装胶体 13，以形成第一半导体封装件 101，然后再将另一完成封装的第二半导体封装件 102 通过焊球 14 接置并电性连接至该第一半导体封装件 101 的基板焊垫 110 上，形成一半导体封装件的堆栈结构。

上述半导体封装件堆栈结构中，当第二半导体封件通过焊球接置于该第一半导体封装件的基板焊垫上，并经回焊作业使其相互电性连接时，常因焊锡熔融软化，发生第二半导体封装件偏移现象，造成彼此电性连接的失败。

请参阅图 2，有鉴于此，美国专利第 6,828,664 号另一种半导体封装件堆栈结构，它是在第一半导体封装件 201 的基板焊垫上预先设置有预焊锡(pre-solder)材料 22，供第二半导体封装件 202 通过焊球 24 接置并回焊在该预焊锡材料 22 时，借由该预焊锡材料 22 与焊球 24 间的自动归位(self-alignment)功能，将该第二半导体封装件 202 定位在该第一半导体封装件 201 上。这种方式须在第一半导体封装件的基板焊垫上设置预焊锡材料，不仅增加制程成本，同时也提高制程的复杂性。

还请参阅图 3，中国台湾专利公告第 I250627 号则揭示另一种半导体封装件堆栈结构，它是将一完成芯片封装的第二半导体封装件 302

通过多个焊球34电性连接到第一半导体封装件301上，同时在该第一半导体封装件301的基板311及第二半导体封装件302的基板312间敷设红外光胶(IR胶)35，并进行红外线照射作业，通过该IR胶35将第二半导体封装件302固着在该第一半导体封装件301上。这种方式，仍须额外在在第一半导体封装件的基板敷设IR胶，同时还必须进行照射红外线，方可将该第二半导体封装件定位在该第一半导体封装件上，因而增加制程物复杂程度及成本。

因此，如何提供一种半导体封装件堆栈结构及其制法，半导体封装件间利用焊球进行电性连接与堆栈时，在回焊作业不会发生偏移问题，同时毋需在下层半导体封装件的基板焊垫预设预焊锡材料，或在上、下层半导体封装件的基板间敷设IR胶造成制程成本及复杂程度增加等问题，确为相关领域上迫切面对的课题。

发明内容

为克服上述现有技术的缺失，本发明的主要目的在于提供一种半导体封装件堆栈结构及其制法，避免半导体封装件堆栈时在回焊作业发生偏移问题。

本发明的另一目的在于提供一种半导体封装件堆栈结构及其制法，避免在下层半导体封装件的基板焊垫预设预焊锡材料造成制程成本及复杂程度增加等问题。

本发明的再一目的在于提供一种半导体封装件堆栈结构及其制法，避免现有在上、下层半导体封装件的基板间敷设IR胶及照射红外线造成制程成本及复杂程度增加等问题。

为达上述及其它目的，本发明的半导体封装件堆栈结构的制法，该半导体封装件堆栈结构的制法包括：提供具有相对的第一表面及第二表面的基板，且在该基板第二表面上设置有电性连接垫及假连接垫(Dummy pad)；在该基板第一表面上设置并电性连接至少一半导体芯片；在该基板第二表面的电性连接垫及假连接垫上植设焊球，构成上层半导体封装件；以及将该上层半导体封装件接置在一已完成芯片封装的下层半导体封装件上，该下层半导体封装件具有基板、接置并电性连接至该基板的半导体芯片以及形成于该基板上用于包覆该半导体

芯片的封装胶体，其中该上层半导体封装件是借由设在该电性连接垫的焊球电性连接至该下层半导体封装件的基板，并借由设在该假连接垫的焊球围束该下层半导体封装件的封装胶体，构成半导体封装件的堆栈结构。

另外，本发明设在该上层半导体封装件的假连接垫位置是对应于下层半导体封装件中的封装胶体位置周围，其中该假连接垫实际设置位置及数量可视制程需求加以变更，至少对应于该封装胶体的各边设有至少一假连接垫，如该假连接垫可设在对应封装胶体各边中间、一端或二端，也或连续设在对应封装胶体的角隅并延伸至该角隅两边，供后续在其上植设焊球并形成一定位装置。

本发明也提供一种半导体封装件堆栈结构，该半导体封装件堆栈结构包括：下层半导体封装件，该下层半导体封装件包括基板、接置并电性连接至该基板的半导体芯片以及形成在该基板上用于包覆该半导体芯片的封装胶体；以及接置于该下层半导体封装件上的上层半导体封装件，该上层半导体封装件包括具有相对的第一表面及第二表面的基板、接置并电性连接至该基板第一表面的半导体芯片、形成于该基板第二表面的多条电性连接垫及假连接垫(Dummy pad)以及植设在该电性连接垫及假连接垫的焊球，其中该上层半导体封装件是借由设在该电性连接垫的焊球电性连接至该下层半导体封装件的基板，并借由设在该假连接垫的焊球围束该下层半导体封装件的封装胶体。

本发明的半导体封装件堆栈结构及其制法，是先在半导体封装件堆栈结构的上层半导体封装件的基板第二表面上，同时设有作为电性输入/输出(I/O)的电性连接垫及假连接垫(Dummy pad)，其中该假连接垫的位置是对应于下层半导体封装件中的封装胶体位置，供后续在该基板第二表面的电性连接垫及假连接垫上植设焊球，进而将该上层半导体封装件接置于下层半导体封装件时，使该上层半导体封装件借由设在该电性连接垫的焊球电性连接至该下层半导体封装件，并借由设在该假连接垫的焊球围束该下层半导体封装件的封装胶体，进而提供该上、下层半导体封装件有效定位作用，避免现有技术中因半导体封装件堆栈时，在回焊作业发生偏移，甚而导致电性连接失败等问题。

再者，本发明用于定位上、下层半导体封装件的假连接垫上的焊

球是在植设电性连接垫的焊球时一起植设，毋需额外的制程步骤，现有技术在定位上、下层半导体封装件时，须在下层半导体封装件的基板焊垫预设预焊锡材料，供与上层半导体封装件的焊球连接所产生的自动归位来限制上、下层半导体封装件的相对位移，以及在上、下层半导体封装件的基板间敷设 IR 胶并照射红外线等额外制程步骤，与现有技术相比，本发明可避免现有技术所造成制程成本增加及制程步骤复杂化等问题。

附图说明

图 1 是美国专利第 5,222,014 号所的半导体封装件堆栈结构剖面示意图；

图 2 是美国专利第 6,987,314 号所的半导体封装件堆栈结构剖面示意图；

图 3 是中国台湾专利公告第 I250627 号的半导体封装件堆栈结构剖面示意图；

图 4A 至图 4D 是本发明的半导体封装件堆栈结构及其制法实施例 1 的剖面示意图；

图 5A 至图 5C 是对应图 4A 的基板不同实施形式的示意图；

图 6A 及图 6B 是本发明的半导体封装件堆栈结构实施例 2 中上层半导体封装件的基板底部示意图；

图 7 是本发明的半导体封装件堆栈结构实施例 3 的剖面示意图；

图 8 是本发明的半导体封装件堆栈结构实施例 4 的剖面示意图；
以及

图 9 是本发明的半导体封装件堆栈结构实施例 5 的剖面示意图。

具体实施方式

实施例 1

请参阅图 4A 至图 4D，它是本发明的半导体封装件堆栈结构的制法剖面示意图。

如图 4A 所示，提供具有相对的第一表面 41a 及第二表面 41b 的基板 41，且在该基板第二表面 41b 上设置有电性连接垫 411 及假连接垫

(Dummy pad)412，其中该基板 41 是为后续进行上、下层半导体封装件堆栈的上层半导体封装件的基板结构，它可例如是球栅阵列基板。

还请配合参阅图 5A，它是对应图 4A 的基板第二表面示意图，该基板第二表面 41b 的外围部分设有多个作为电性输入/输出(I/O)的电性连接垫 411，同时在该基板第二表面的中央部分设有多个假连接垫 412，且该假连接垫 412 是对应于下层半导体封装件中的封装胶体位置(如虚线所示)周围。

再者该假连接垫 412 实际设置位置及数量可视制程需求加以变更，至少对应于后续接置其上的下层半导体封装件的封装胶体各边设有至少一假连接垫 412，例如该假连接垫可设在对应下层半导体封装件的封装胶体各边中间(如图 5A 所示)，或各边的一端(如图 5B 所示)，或各边的二端(如图 5C 所示)等。

如图 4B 所示，还在该基板第一表面 41a 上设置并电性连接至少一半导体芯片 40；其中该半导体芯片 40 是以多条焊线 42 电性连接至该基板 41，接着即可在该基板第一表面 41a 上形成用于包覆该半导体芯片 40 及焊线 42 的封装胶体 43。

如图 4C 所示，在该基板第二表面 41b 的电性连接垫 411 及假连接垫 412 上植设相对的焊球 441,442，形成上层半导体封装件 410，其中该假连接垫 412 上的焊球 442 尺寸可与该电性连接垫 411 上的焊球 441 尺寸大至相同。

如图 4D 所示，将该上层半导体封装件 410 接置在一已完成芯片封装的下层半导体封装件 510 上。

该下层半导体封装件 510 具有基板 51、接置并电性连接至该基板 51 的半导体芯片 50 以及形成于该基板 51 上用于包覆该半导体芯片 50 的封装胶体 53。该下层半导体封装件 510 的基板 51 具有相对的第一表面 51a 及第二表面 51b，且在该第一及第二表面 51a,51b 上设有多个电性连接垫 511，该半导体芯片 50 是接置在该基板 51 第一表面 51a 上，并可通过多条焊线 52 电性连接到该基板 51。该下层半导封装件 510 的基板未接置芯片的一侧植设有焊球。

该上层半导体封装件 410 是借由回焊作业，将设在电性连接垫 411 的焊球 441 电性连接到该下层半导体封装件 510 的基板第一表面 51a

的电性连接垫 511，并借由设在该假连接垫 412 的焊球 442 围束该下层半导体封装件 510 的封装胶体 53，构成半导体封装件的堆栈结构。另在该下层半导体封装件 510 的基板第二表面 51b 的电性连接垫 511 上还可植设焊球 54，供该半导体封装件的堆栈结构电性连接至外部装置。

另应予特别说明的是，后续还可持续进行半导体封装件的堆栈制程，非以本附图的两层为限。

通过上述制法，本发明也一种半导体封装件堆栈结构，该半导体封装件堆栈结构包括一下层半导体封装件 510 以及至少一接置于该下层半导体封装件 510 上的上层半导体封装件 410。该下层半导体封装件 510 包括基板 51、接置并电性连接至该基板 51 的半导体芯片 50、以及形成于该基板 51 上用于包覆该半导体芯片 50 的封装胶体 53；该上层半导体封装件 410 包括具相对第一表面 41a 及第二表面 41b 的基板 41、接置并电性连接至该基板第一表面 41a 的半导体芯片 40、形成于该基板第二表面 41b 的多个电性连接垫 411 及假连接垫 412 以及植设在该电性连接垫 411 及假连接垫 412 的焊球 441、442，其中该上层半导体封装件 410 是借由设在该电性连接垫 411 的焊球 441 电性连接至该下层半导体封装件 510 的基板 51，并借由设在该假连接垫 412 的焊球 442 围束该下层半导体封装件 510 的封装胶体 53，进而有效定位该上、下层半导体封装件。

实施例 2

另请参阅图 6A 及图 6B，它是本发明的半导体封装件堆栈结构实施例 2 中上层半导体封装件的基板底部示意图。

本实施例 2 的半导体封装件堆栈结构及制法与上述实施例 1 大致相同，主要差异在于上层半导体封装件的基板第二表面 41b 上所预设的假连接垫 412，是连续设在对应下层半导体封装件的封装胶体(如虚线所示)的角隅并延伸至该角隅两边，供后续在其上植设焊球时，并经回焊以对应下层半导体封装件的封装胶体的角隅形成一焊锡的拦坝结构 442c，在后续进行堆栈时，可有效将上层半导体封装件定位于下层半导体封装件上。

实施例 3

另请参阅图 7, 它是本发明的半导体封装件堆栈结构实施例 3 的剖面示意图。

本实施例 3 的半导体封装件堆栈结构与上述实施例大致相同, 主要差异在于上层半导体封装件 410 中植设在基板第二表面 41b 的假连接垫 412 的焊球 442 尺寸, 是小于电性连接垫 411 上的焊球 441 尺寸, 需确认该假连接垫 412 上的焊球 442 是可用以围束下层半导体封装件 510 的封装胶体 53, 进而限制该上层半导体封装件相对该下层半导体封装件发生偏移。

实施例 4

另请参阅图 8, 它是本发明的半导体封装件堆栈结构实施例 4 的剖面示意图。

本实施例 4 的半导体封装件堆栈结构与上述实施例大致相同, 主要差异在于下层半导体封装件 510 的基板第一表面 51a 上也设有假连接垫 512, 且它是对应于上层半导体封装件 410 的基板第二表面 41b 的假连接垫 412 位置, 使植设在上层半导体封装件 410 的假连接垫 412 上的焊球 442 得以连接至该下层半导体封装件 510 的假连接垫 512, 进而强化上、下层半导体封装件的结合性。

实施例 5

另请参阅图 9, 它是本发明的半导体封装件堆栈结构实施例 5 的剖面示意图。

本实施例 5 的半导体封装件堆栈结构与上述实施例大致相同, 主要差异在于设在上层半导体封装件 410 的假连接垫 412 上的焊球 442 包括有核心部分 442a 及外围部分 442b, 其中该核心部分 442a 是金属铜、铅或高分子材料, 该外围部分 442b 是焊锡材料, 其中该假连接垫 412 的焊球核心部分 442a 的熔点, 大于设在电性连接垫 411 上的焊球 441 熔点, 使该焊球 442 有效围束该下层半导体封装 510 的封装胶体。

再者, 该上层半导体封装件 410 的假连接垫 412 上的焊球 442, 也可采用熔点高于电性连接垫 411 上焊球 441 的合金, 例如铅/锡比(Pb/Sn)

为 90/10 或 95/5 的高铅合金(high-lead alloy)或如锡/银/铜(Sn/Ag/Cu)比为 96.5/3/.05 的无铅合金(Lead-free alloy)等。

因此，本发明的半导体封装件堆栈结构及其制法，是先在半导体封装件堆栈结构的上层半导体封装件的基板第二表面上，同时设有作为电性输入/输出(I/O)的电性连接垫及假连接垫(Dummy pad)，其中该假连接垫的位置是对应于下层半导体封装件中的封装胶体位置，供后续在该基板第二表面的电性连接垫及假连接垫上植设焊球，进而将该上层半导体封装件接置于下层半导体封装件时，使该上层半导体封装件借由设在该电性连接垫的焊球，电性连接至该下层半导体封装件，并借由设在该假连接垫的焊球，围束该下层半导体封装件的封装胶体，进而提供该上、下层半导体封装件有效地定位，避免现有因半导体封装件堆栈时在回焊作业发生偏移，甚而导致电性连接失败等问题。

再者，由于本发明中用于定位上、下层半导体封装件的假连接垫上的焊球是在植设电性连接垫的焊球时一起植设，毋需额外的制程步骤，现有技术在定位上、下层半导体封装件时，须在下层半导体封装件的基板焊垫预设预焊锡材料，供与上层半导体封装件的焊球连接所产生的自动归位限制上、下层半导体封装件的相对位移，以及在上、下层半导体封装件的基板间敷设 IR 胶并照射红外线等额外制程步骤，与现有技术相比，本发明可避免现有技术所造成制程成本增加及制程步骤复杂化等问题。

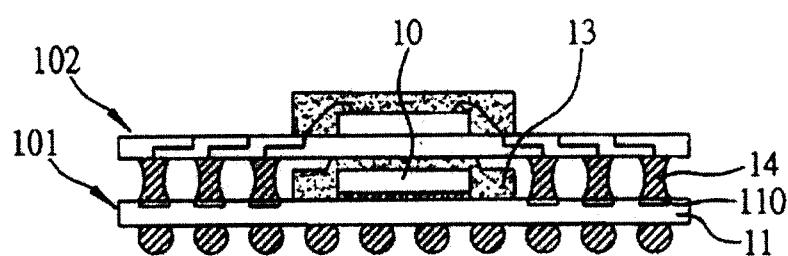


图 1

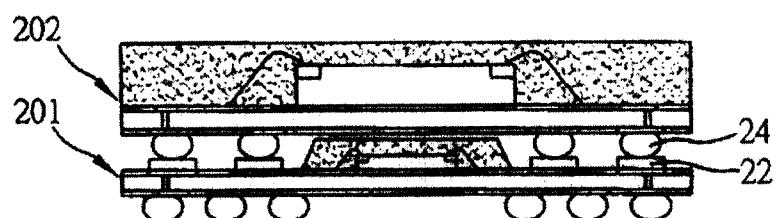


图 2

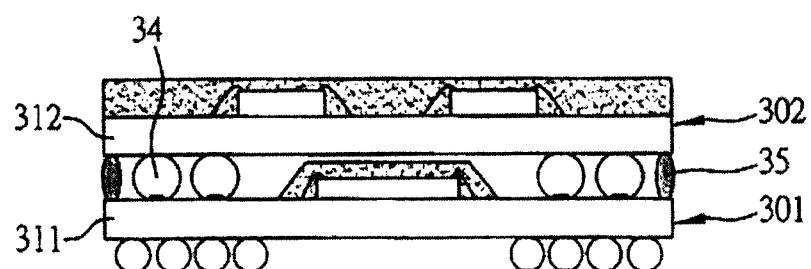


图 3

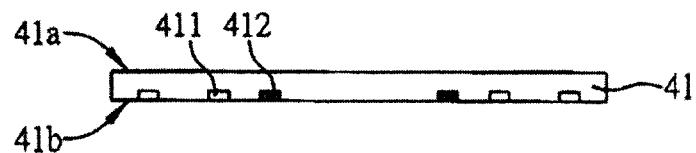


图 4A

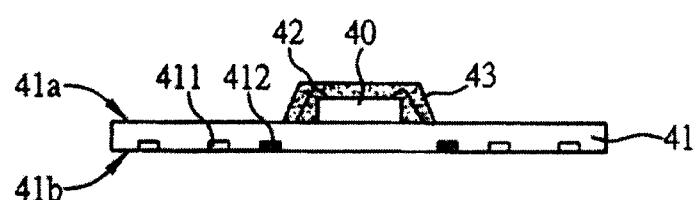


图 4B

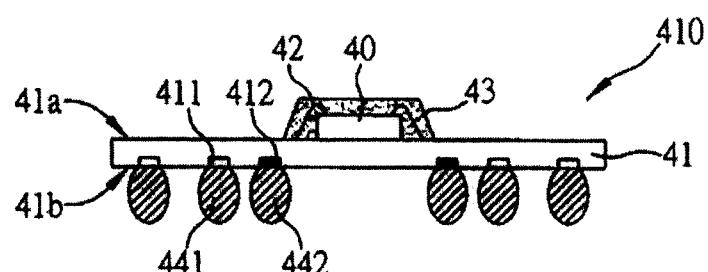


图 4C

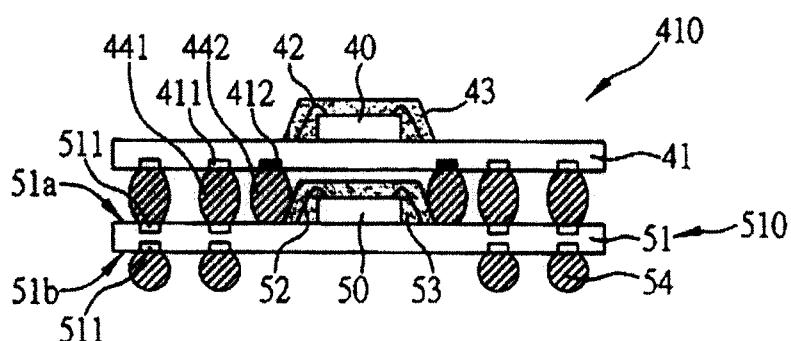


图 4D

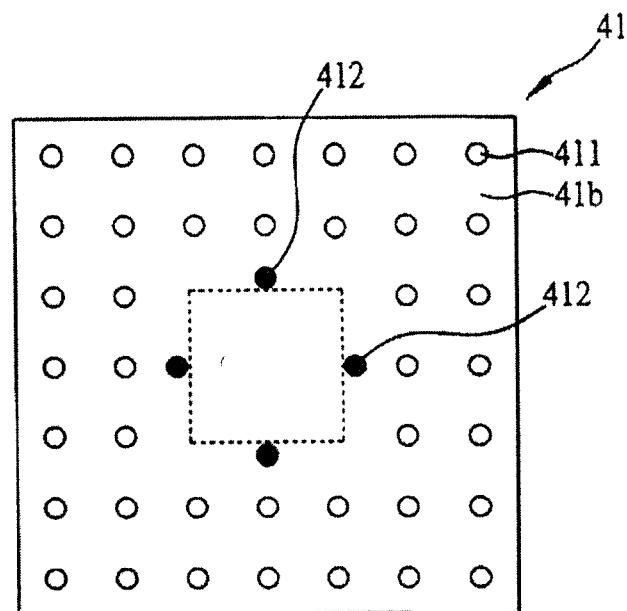


图 5A

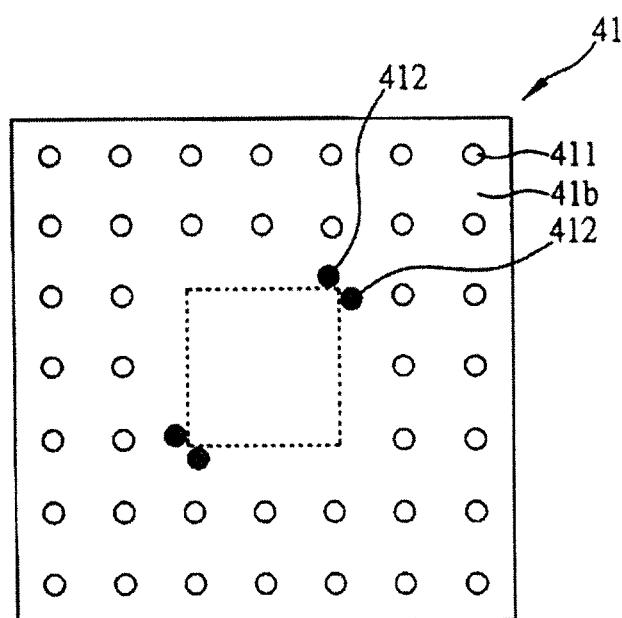


图 5B

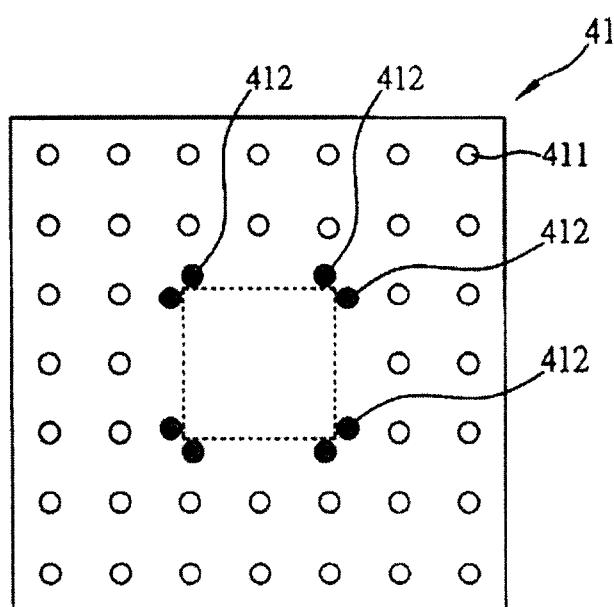


图 5C

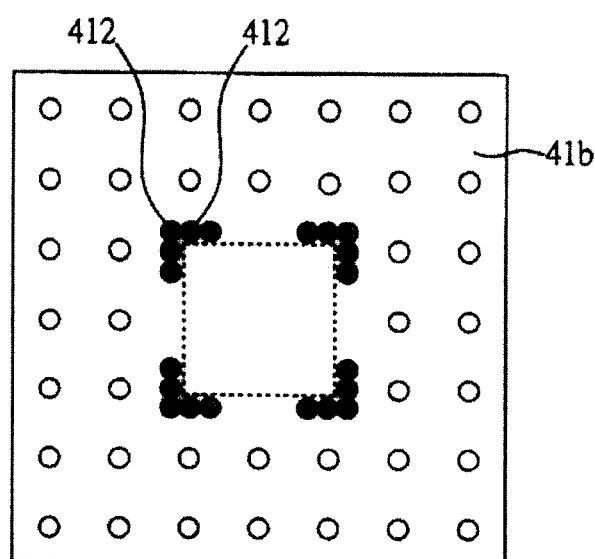


图 6A

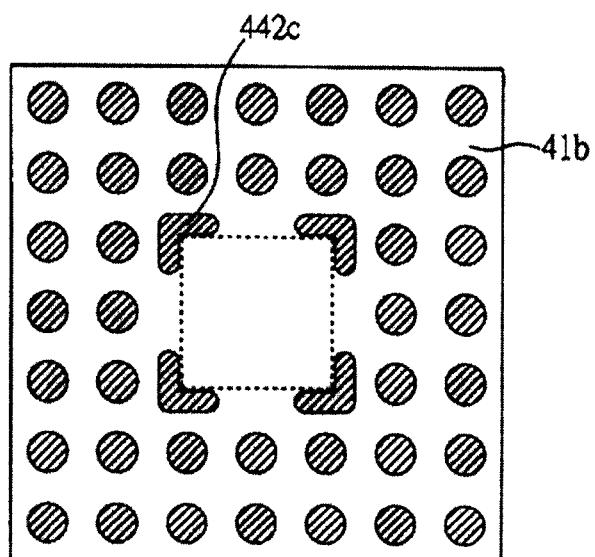


图 6B

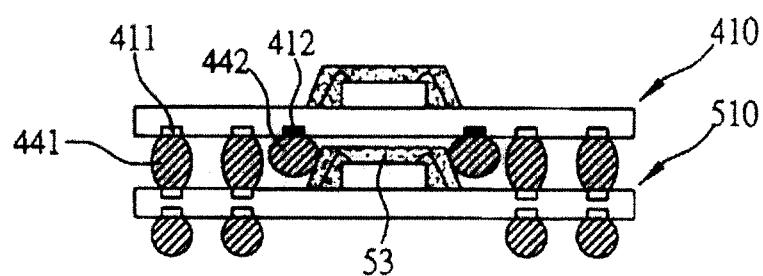


图 7

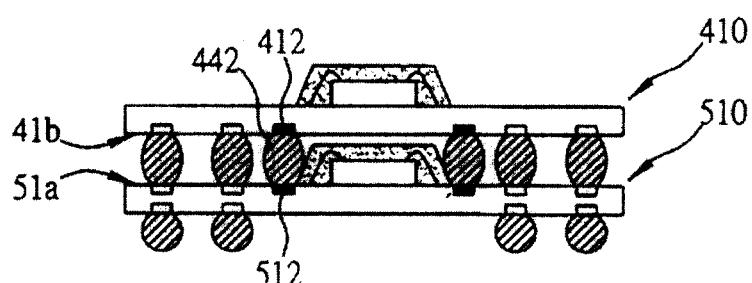


图 8

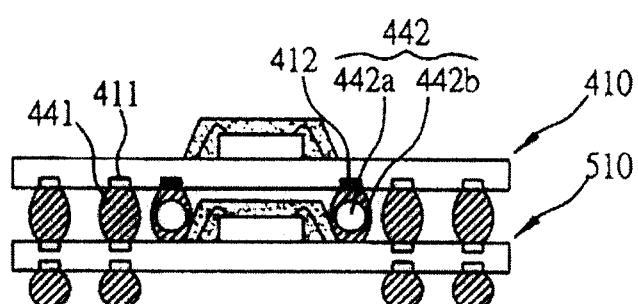


图 9