

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022年2月17日 (17.02.2022)



(10) 国际公布号
WO 2022/033164 A1

- (51) 国际专利分类号:
H01L 27/108 (2006.01)
- (21) 国际申请号: PCT/CN2021/100457
- (22) 国际申请日: 2021年6月16日 (16.06.2021)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202010816422.1 2020年8月14日 (14.08.2020) CN
- (71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。
- (72) 发明人: 吴公一 (WU, Gongyi); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。 陆勇 (LU, Yong); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。 陈龙阳 (CHEN, Longyang); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。
- (74) 代理人: 北京律智知识产权代理有限公司 (BEIJING INTELLEGAL INTELLECTUAL

PROPERTY AGENT LTD.); 中国北京市朝阳区慧忠路5号B1605、B1606、B1607, Beijing 100101 (CN)。

- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。
- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

(54) Title: SEMICONDUCTOR STRUCTURE AND MANUFACTURING METHOD FOR SEMICONDUCTOR STRUCTURE

(54) 发明名称: 半导体结构及半导体结构的制造方法

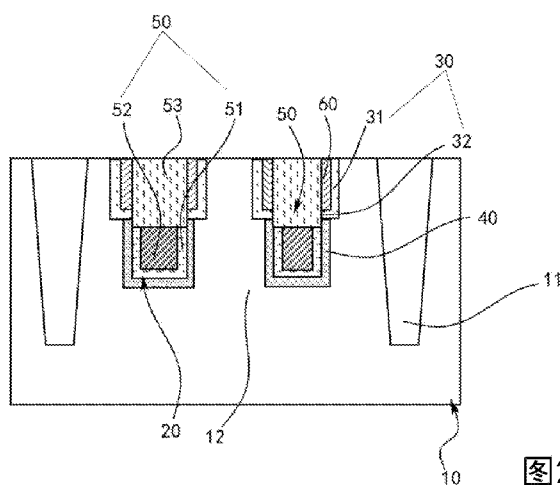


图2

(57) Abstract: The present disclosure relates to the technical field of semiconductors. Provided are a semiconductor structure and a manufacturing method for a semiconductor structure. The semiconductor structure comprises a substrate, a trench and a word line. The substrate comprises an isolation structure and an active region, the active region comprising ions of a first type; the trench is located in the active region, and the inner surface of the trench comprises an inversion doped layer and an oxide layer, which are adjacently arranged, the inversion doped layer being located above the oxide layer; and the word line is located in the trench, wherein the inversion doped layer comprises ions of a second type, and the first type is the opposite of the second type. The inversion doped layer, the doping type of which is the opposite of that of the active region, is formed in a trench wall of the trench, so that a shallow junction (that is, a PN junction) is formed to fix the active region, a partial drain terminal voltage is offset, the peak electric field of a drain terminal depletion region is improved, and hot carrier tunnelling is further improved, so as to improve the performance of the semiconductor structure.

WO 2022/033164 A1

本国际公布：

- 包括国际检索报告(条约第21条(3))。

(57) 摘要：本公开涉及半导体技术领域，提出了一种半导体结构及半导体结构的制造方法。半导体结构包括衬底、沟槽以及字线，衬底包括隔离结构和有源区，有源区包括第一类型的离子；沟槽位于有源区内，沟槽的内表面包括相邻设置的反型掺杂层和氧化层，反型掺杂层位于氧化层的上方；字线位于沟槽内；其中，反型掺杂层包括第二类型的离子，第一类型与第二类型相反。通过在沟槽的槽壁内形成有与有源区掺杂类型相反的反型掺杂层，从而形成浅结(即PN结)来固定有源区，抵消部分漏端电压，改善了漏端耗尽区的峰值电场，进而改善热载流子隧穿，以此改善半导体结构的性能。

半导体结构及半导体结构的制造方法

交叉引用

本公开要求于 2020 年 08 月 14 日提交的申请号为 202010816422.1、名称为“半导体
5 结构及半导体结构的制造方法”的中国专利申请的优先权，该中国专利申请的全部内容通过引用全部并入本文。

技术领域

本公开涉及半导体技术领域，尤其涉及一种半导体结构及半导体结构的制造方法。

10

背景技术

动态随机存储器 (Dynamic Random Access Memory, DRAM) 是计算机等电子设备中常用的半导体装置，包括用于存储数据的存储单元阵列，以及位于存储单元阵列外围的外围电路组成。每个存储单元通常包括晶体管 (字线)、位线和电容器。晶体管 (字线) 上
15 的字线电压能够控制晶体管的开启和关闭，从而通过位线能够读取存储在电容器中的数据信息，或者将数据信息写入到电容器中。

随着制造工艺的不断发展，MOS 特征尺寸不断缩小，MOS 器件的沟道横向电场强度是不断增强的。在半导体字线晶体管 (NMOS) 工作时，因为存在漏端电压 (V_{dd}) 和栅极电压 (V_g) 综合作用，导致在靠近漏极附近形成强电场，因此热载流子对器件的损伤
20 主要发生在靠近漏极的氧化层中，会导致晶体管开关特性漂移以及器件可靠性严重下降。

发明内容

本公开提供一种半导体结构及半导体结构的制造方法，以改善半导体结构的性能。

根据本公开的第一个方面，提供了一种半导体结构，包括：

25 衬底，衬底包括隔离结构和有源区，有源区包括第一类型的离子；

沟槽，沟槽位于有源区内，沟槽的内表面包括相邻设置的反型掺杂层和氧化层，反型掺杂层位于氧化层的上方；

字线，字线位于沟槽内；

其中，反型掺杂层包括第二类型的离子，第一类型与第二类型相反。

30 在本公开的一个实施例中，沟槽的内表面还包括：

保护层，保护层与反型掺杂层相贴合，保护层的底端与氧化层的顶端之间夹持有反型掺杂层。

在本公开的一个实施例中，反型掺杂层包括：

侧壁段，保护层与侧壁段相贴合；

- 5 底壁段，保护层的底端与氧化层的顶端之间夹持有底壁段，侧壁段与底壁段相垂直；其中，保护层、底壁段以及氧化层构成沟槽的内表面。

在本公开的一个实施例中，保护层的底端与底壁段相贴合，氧化层的顶端与底壁段相贴合。

在本公开的一个实施例中，字线包括：

- 10 阻挡层，阻挡层位于氧化层的表面；
导电层，导电层位于阻挡层的表面。

在本公开的一个实施例中，半导体结构还包括：

绝缘层，绝缘层位于阻挡层和导电层的上方，阻挡层的顶端以及导电层的顶端均与绝缘层的底端相贴合；

- 15 其中，阻挡层覆盖氧化层的侧壁与底壁，且阻挡层的顶端所在平面低于保护层的底端所在平面。

在本公开的一个实施例中，阻挡层的顶端所在平面低于保护层的底端所在平面10nm~20nm。

在本公开的一个实施例中，阻挡层的顶端与导电层的顶端相平齐。

- 20 根据本公开的第二个方面，提供了一种半导体结构的制造方法，包括：
提供具有隔离结构和有源区的衬底，有源区掺杂有第一类型的离子；
在有源区内形成沟槽，沟槽中形成有反型掺杂层和氧化层，反型掺杂层位于氧化层的上方；

在沟槽内形成字线；

- 25 其中，反型掺杂层掺杂有第二类型的离子，第一类型与第二类型相反。

在本公开的一个实施例中，在有源区内形成沟槽，包括：

在有源区内形成第一凹槽；

对第一凹槽的内表面进行第二类型的离子注入，以形成离子注入区；

使保护材料层覆盖离子注入区的表面；

- 30 蚀刻保护材料层的底部、离子注入区的底部以及第一凹槽的底部，以形成第二凹槽，

剩余的离子注入区作为反型掺杂层，剩余的保护材料层作为保护层；

在第二凹槽的内表面形成氧化层；

其中，保护层、反型掺杂层以及氧化层构成沟槽的内表面。

在本公开的一个实施例中，第一凹槽的深度为 30nm~80nm，和/或，第二凹槽的深度

5 为 50nm~100nm。

在本公开的一个实施例中，在形成离子注入区之后以及在形成第二凹槽之前，还包括：形成保护材料层覆盖第一凹槽的内表面和衬底的表面；

蚀刻位于衬底表面和第一凹槽底部的保护材料层，以露出衬底和离子注入区。

在本公开的一个实施例中，在沟槽内形成字线，包括：

10 形成阻挡材料层覆盖沟槽的内表面；

在阻挡材料层的表面形成导电材料层，并填充沟槽；

蚀刻导电材料层以及阻挡材料层，依次露出保护层和位于保护层和氧化层之间的反型掺杂层，以形成第三凹槽，剩余的导电材料层和阻挡材料层分别作为导电层和阻挡层；

在第三凹槽的内表面以及衬底的表面上形成绝缘材料层；

15 蚀刻位于衬底表面上的绝缘材料层，以露出反型掺杂层和保护层的顶端，剩余的绝缘材料层作为绝缘层；

其中，阻挡层和导电层构成字线，绝缘层位于字线上方。

在本公开的一个实施例中，第三凹槽的深度大于第一凹槽的深度 10nm~20nm。

20 在本公开的一个实施例中，第二类型的离子的注入剂量为 $5E13$ 每平方厘米~ $1.5E14$ 每平方厘米，第二类型的离子的注入能量为 0.5KeV~5KeV。

本公开的半导体结构通过在沟槽的槽壁内形成有与有源区掺杂类型相反的反型掺杂层，从而形成浅结（即 PN 结）来固定有源区，抵消部分漏端电压，改善了漏端耗尽区的峰值电场，进而改善热载流子隧穿，以此改善半导体结构的性能。

25 附图说明

通过结合附图考虑以下对本公开的优选实施方式的详细说明，本公开的各种目标，特征和优点将变得更加显而易见。附图仅为本公开的示范性图解，并非一定是按比例绘制。在附图中，同样的附图标记始终表示相同或类似的部件。其中：

图 1 是根据一示例性实施方式示出的一种半导体结构的结构示意图；

30 图 2 是图 1 中 A-A 处的结构示意图；

图 3 是根据一示例性实施方式示出的一种半导体结构的制造方法的流程示意图；

图 4 是根据一示例性实施方式示出的一种半导体结构的制造方法提供的衬底的结构示意图；

图 5 是根据一示例性实施方式示出的一种半导体结构的制造方法形成第一凹槽后的
5 结构示意图；

图 6 是根据一示例性实施方式示出的一种半导体结构的制造方法形成离子注入区后的结构示意图；

图 7 是根据一示例性实施方式示出的一种半导体结构的制造方法覆盖保护材料层后的结构示意图；

图 8 是根据一示例性实施方式示出的一种半导体结构的制造方法形成第二凹槽后的
10 结构示意图；

图 9 是根据一示例性实施方式示出的一种半导体结构的制造方法形成氧化层后的结构示意图；

图 10 是根据一示例性实施方式示出的一种半导体结构的制造方法覆盖阻挡材料层后
15 的结构示意图；

图 11 是根据一示例性实施方式示出的一种半导体结构的制造方法覆盖导电材料层后的结构示意图；

图 12 是根据一示例性实施方式示出的一种半导体结构的制造方法形成第三凹槽后的结构示意图；

图 13 是根据一示例性实施方式示出的一种半导体结构的制造方法覆盖绝缘材料层的
20 结构示意图。

附图标记说明如下：

10、衬底； 11、隔离结构； 12、有源区； 20、沟槽； 30、反型掺杂层； 31、侧壁段；
32、底壁段； 40、氧化层； 50、字线； 51、阻挡层； 52、导电层； 53、绝缘层； 60、保护
25 层； 70、第一凹槽； 71、离子注入区； 72、第二凹槽； 73、阻挡材料层； 74、导电材料层；
75、第三凹槽； 77、保护材料层； 76、绝缘材料层。

具体实施方式

体现本公开特征与优点的典型实施例将在以下的说明中详细叙述。应理解的是本公开
30 能够在不同的实施例上具有各种的变化，其皆不脱离本公开的范围，且其中的说明及附图

在本质上是作说明之用，而非用以限制本公开。

在对本公开的不同示例性实施方式的下面描述中，参照附图进行，附图形成本公开的一部分，并且其中以示例方式显示了可实现本公开的多个方面的不同示例性结构，系统和步骤。应理解的是，可以使用部件，结构，示例性装置，系统和步骤的其他特定方案，并且可在不偏离本公开范围的情况下进行结构和功能性修改。而且，虽然本说明书中可使用术语“之上”，“之间”，“之内”等来描述本公开的不同示例性特征和元件，但是这些术语用于本文中仅出于方便，例如根据附图中的示例的方向。本说明书中的任何内容都不应理解为需要结构的特定三维方向才落入本公开的范围内。

本公开的一个实施例提供了一种半导体结构，请参考图 1，半导体结构包括：衬底 10，衬底 10 包括隔离结构 11 和有源区 12，有源区 12 包括第一类型的离子；沟槽 20，沟槽 20 位于有源区 12 内，沟槽 20 的内表面包括相邻设置的反型掺杂层 30 和氧化层 40，反型掺杂层 30 位于氧化层 40 的上方；字线 50，字线 50 位于沟槽 20 内；其中，反型掺杂层 30 包括第二类型的离子，第一类型与第二类型相反。

本公开一个实施例的半导体结构通过在沟槽 20 的槽壁内形成有与有源区 12 掺杂类型相反的反型掺杂层 30，从而形成浅结（即 PN 结）来固定有源区 12，抵消部分漏端电压，改善了漏端耗尽区的峰值电场，进而改善热载流子隧穿，以此改善半导体结构的性能。

需要说明的是，反型掺杂层 30 用于形成沟槽 20 的侧壁，而氧化层 40 用于形成沟槽 20 的侧壁以及底壁，字线 50 填充在沟槽 20 内，以此形成埋入式字线 50。

需要注意的是，掺杂类型相反可以理解为分别掺杂 P 型离子和 N 型离子，即掺杂 III 族元素和 V 族元素对应的 P 型离子和 N 型离子，对于第一类型的离子是 P 型离子还是 N 型离子，这与 MOSFET 的性质保持一致，即 NMOS 的第一类型就是 N 型离子，PMOS 的第一类型就是 P 型离子。

具体的，衬底 10 可以为 P 型硅衬底或者 N 型硅衬底。

例如，在衬底 10 为 N 型时，即在硅衬底内注入 N 型离子（磷 P 或砷 As 等 V 族元素离子）形成有源区 12，第一类型的离子为 N 型离子，则第二类型的离子为 P 型离子（硼 B 或镓 Ga 等 III 族元素离子），即在沟槽 20 的槽壁内注入 P 型离子形成反型掺杂层 30，P 型离子也可以是二氟化硼 BF₂。

或者，在衬底 10 为 P 型时，即在硅衬底内注入 P 型离子（硼 B 或镓 Ga 等 III 族元素离子）形成有源区 12，第一类型的离子为 P 型离子，则第二类型的离子为 N 型离子（磷 P 或砷 As 等 V 族元素离子），即在沟槽 20 的槽壁内注入 N 型离子形成反型掺杂层 30。

在一个实施例中，如图 1 和图 2 所示，衬底 10 内设置有多个有源区 12，相邻两个隔离结构 11 之间填充有源区 12，各个隔离结构 11 的深度可以均相同，也可以不同；结合图 1 可知，字线 50 跨过多个有源区 12。其中，字线 50 为多个。

5 在一个实施例中，结合图 1，多个有源区 12 排布成多排，且各排平行设置，而字线 50 跨过多排有源区 12，相邻两排的相邻两个有源区 12 的侧部之间的距离较近，而一排中相邻两个有源区 12 的端部之间的距离较远。

在一个实施例中，有源区 12 包括源区和漏区，结合图 2，相邻两个字线 50 之间为漏区，隔离结构 11 和字线 50 之间为源区。

在一个实施例中，隔离结构 11 可以包括氧化硅，如 SiO_2 。

10 在一个实施例中，氧化层 40 可以包括 SiO_2 。

在一个实施例中，氧化层 40 的厚度为 $3\text{nm}\sim 8\text{nm}$ 。

15 在一个实施例中，如图 2 所示，沟槽 20 的内表面还包括：保护层 60，保护层 60 与反型掺杂层 30 相贴合，保护层 60 的底端与氧化层 40 的顶端之间夹持有反型掺杂层 30。保护层 60 用于保护反型掺杂层 30，防止在半导体结构的制造过程中对反型掺杂层 30 造成损伤。

需要说明的是，保护层 60 形成了沟槽 20 的侧壁，即保护层 60 覆盖反型掺杂层 30 的部分，从而使得未被覆盖的反型掺杂层 30 夹持于保护层 60 的底端与氧化层 40 的顶端之间，从而形成了沟槽 20 的侧壁。

在一个实施例中，保护层 60 可以是 SiO_2 、 SiN 或二者的组合。

20 在一个实施例中，保护层 60 的厚度为 $3\text{nm}\sim 10\text{nm}$ 。

在一个实施例中，如图 2 所示，反型掺杂层 30 包括：侧壁段 31，保护层 60 与侧壁段 31 相贴合；底壁段 32，保护层 60 的底端与氧化层 40 的顶端之间夹持有底壁段 32，侧壁段 31 与底壁段 32 相垂直；其中，保护层 60、底壁段 32 以及氧化层 40 构成沟槽 20 的内表面。

25 反型掺杂层 30 由侧壁段 31 和底壁段 32 组成，保护层 60 完全覆盖侧壁段 31，且保护层 60 的底端与底壁段 32 相贴合，从而使得保护层 60、底壁段 32 以及氧化层 40 共同构成了沟槽 20 的内表面。

30 需要说明的是，反型掺杂层 30 以及氧化层 40 可以是形成于衬底 10 内，即反型掺杂层 30 可以通过向衬底 10 内注入第二类型的离子（第二类型的离子的注入剂量为 $5\text{E}13$ 每平方厘米 $\sim 1.5\text{E}14$ 每平方厘米，第二类型的离子的注入能量为 $0.5\text{KeV}\sim 5\text{KeV}$ ）形成，而氧

化层 40 可以是通过原位水汽生成 (In-Situ Steam Generation, ISSG) 方法形成于衬底 10 内, 而保护层 60 形成于衬底 10 表面, 例如, 保护层 60 可以通过采用物理气相沉积 (Physical Vapor Deposition, PVD) 工艺、化学气相沉积 (Chemical Vapor Deposition, CVD) 工艺或原子层沉积 (Atomic Layer Deposition, ALD) 工艺形成于衬底 10 上。

5 或者, 反型掺杂层 30 可以通过向衬底 10 内注入第二类型的离子形成, 而氧化层 40 形成于衬底 10 表面, 例如, 氧化层 40 可以通过采用物理气相沉积工艺、化学气相沉积工艺或原子层沉积工艺形成于衬底 10 上, 相应的, 保护层 60 形成于衬底 10 表面, 例如, 保护层 60 可以通过采用物理气相沉积工艺、化学气相沉积工艺或原子层沉积工艺形成于衬底 10 上。

10 在一个实施例中, 保护层 60 的底端与底壁段 32 相贴合, 氧化层 40 的顶端与底壁段 32 相贴合, 从而使得保护层 60、底壁段 32 以及氧化层 40 完整地构成了沟槽 20 的内表面。

在一个实施例中, 保护层 60 的侧壁、底壁段 32 的侧壁以及氧化层 40 的侧壁朝向衬底 10 的投影相重合, 即位于沟槽 20 内的字线 50 是一个截面积固定的结构。

15 具体的, 例如, 沟槽 20 为圆孔时, 则沿圆孔的延伸方向, 圆孔的直径保持不变, 以此方便半导体结构的制造。

在一个实施例中, 如图 2 所示, 字线 50 包括: 阻挡层 51, 阻挡层 51 位于氧化层 40 的表面; 导电层 52, 导电层 52 位于阻挡层 51 的表面。阻挡层 51 的设置可以防止形成导电层 52 的导电材料的扩散。

20 在一个实施例中, 如图 2 所示, 半导体结构还包括: 绝缘层 53, 绝缘层 53 位于阻挡层 51 和导电层 52 的上方, 阻挡层 51 的顶端以及导电层 52 的顶端均与绝缘层 53 的底端相贴合。绝缘层 53 用于形成良好的绝缘结构。

在一个实施例中, 阻挡层 51 可以包括 Ta、Ti、Ru、TaN、TiN、RuTa、RuTaN、W 或 Ir 等。阻挡层 51 可以是防止导电材料层扩散通过的任何其它材料。

在一个实施例中, 阻挡层 51 的厚度可以为 2nm~7nm。

25 在一个实施例中, 导电层 52 可以是金属材料, 例如, Cu、Al、W 或其合金。

在一个实施例中, 绝缘层 53 可以由包括氧化硅、氮化硅或其组合的材料形成, 例如, 绝缘层 53 可以是 SiN、SiON 或 SiO₂。

在一个实施例中, 阻挡层 51 覆盖氧化层 40 的侧壁与底壁, 且阻挡层 51 的顶端所在平面低于保护层 60 的底端所在平面。

30 具体的, 阻挡层 51 的顶端所在平面低于保护层 60 的底端所在平面 10nm~20nm。

在一个实施例中，阻挡层 51 完全包覆导电层 52 的侧表面和底面，以此保证有效的阻挡作用。

在衣蛾实施例中，导电层 52 的顶端和阻挡层 51 的顶端不在同一个平面内，例如，导电层 52 的顶端高于阻挡层 51 的顶端。

5 在一个实施例中，阻挡层 51 的顶端与导电层 52 的顶端相平齐，即绝缘层 53 的底端为平面，以此与阻挡层 51 的顶端与导电层 52 的顶端可靠贴合。

具体的，结合图 2 进行分析，阻挡层 51 均设置在氧化层 40 上，即阻挡层 51 位于反型掺杂层 30 的下方，阻挡层 51 的顶端可以与氧化层 40 的顶端平齐，或者，阻挡层 51 的顶端低于氧化层 40 的顶端，因此，绝缘层 53 完全覆盖反型掺杂层 30 的底壁段 32 以及保
10 护层 60。

本公开的一个实施例还提供了一种半导体结构的制造方法，请参考图 3，半导体结构的制造方法包括：

S101，提供具有隔离结构 11 和有源区 12 的衬底 10，有源区 12 掺杂有第一类型的离子；

15 S103，在有源区 12 内形成沟槽 20，沟槽 20 中形成有反型掺杂层 30 和氧化层 40，反型掺杂层 30 位于氧化层 40 的上方；

S105，在沟槽 20 内形成字线 50；

其中，反型掺杂层 30 掺杂有第二类型的离子，第一类型与第二类型相反。

本公开一个实施例的半导体结构的制造方法通过在沟槽 20 的槽壁内形成有与有源区
20 12 掺杂类型相反的反型掺杂层 30，从而形成浅结（即 PN 结）来固定有源区 12，抵消部分漏端电压，改善了漏端耗尽区的峰值电场，进而改善热载流子隧穿，以此改善半导体结构的性能。

需要说明的是，如图 4 所示，提供的衬底 10 为具有隔离结构 11 和有源区 12 的衬底 10，即不考虑隔离结构 11 和有源区 12 的具体成型方法，直接在衬底 10 上形成沟槽 20，
25 并形成字线 50。在形成沟槽 20 之前，可采用干法蚀刻或者化学机械研磨（Chemical Mechanical Polishing, CMP）平坦化衬底 10。其中，衬底 10 的上表面可设置有一层保护结构，例如氧化层。

需要注意的是，字线 50 为埋入式字线。

30 在一个实施例中，在有源区 12 内形成沟槽 20，包括：在有源区 12 内形成第一凹槽 70；对第一凹槽 70 的内表面进行第二类型的离子注入，以形成离子注入区 71；使保护材

料层 77 覆盖离子注入区 71 的表面；蚀刻保护材料层 77 的底部、离子注入区 71 的底部以及第一凹槽 70 的底部，以形成第二凹槽 72，剩余的离子注入区 71 作为反型掺杂层 30，剩余的保护材料层 77 作为保护层 60；在第二凹槽 72 的内表面形成氧化层 40；其中，保护层 60、反型掺杂层 30 以及氧化层 40 构成沟槽 20 的内表面。

5 对于沟槽 20 的形成，需要依次形成第一凹槽 70 和第二凹槽 72，且利用第二类型的离子和保护材料层 77 处理第一凹槽 70 的内表面，并且在第二凹槽 72 的内表面形成氧化层 40，从而形成沟槽 20 的内表面。

在一个实施例中，第一凹槽 70 的深度为 30nm~80nm，和/或，第二凹槽 72 的深度 50nm~100nm。

10 在一个实施例中，在形成离子注入区 71 之后以及在形成第二凹槽 72 之前，还包括：形成保护材料层 77 覆盖第一凹槽 70 的内表面和衬底 10 的表面；蚀刻位于衬底 10 表面和第一凹槽 70 底部的保护材料层 77，以露出衬底 10 和离子注入区 71。

具体的，结合图 4 至图 9 对沟槽 20 的形成进行说明。

如图 4 所示，提供一具有隔离结构 11 和有源区 12 的衬底 10。

15 如图 5 所示，在衬底 10 上形成了第一凹槽 70，即有源区 12 内形成有第一凹槽 70，第一凹槽 70 的深度可以为 30nm~80nm，宽度为 30nm~60nm，对于第一凹槽 70 的工艺形成不作限定，可以采用相关技术中的适合工艺，例如蚀刻。

20 如图 6 所示，通过第一凹槽 70 后向衬底 10 内注入第二类型的离子，以在衬底 10 内形成了离子注入区 71，且离子注入区 71 构成了第一凹槽 70 的内表面。其中，在衬底 10 为 N 型时，第二类型的离子为 P 型离子，例如，硼 B、镓 Ga、二氟化硼 BF₂ 等。或者，在衬底 10 为 P 型时，第二类型的离子为 N 型离子，例如，磷 P 或砷 As 等。

如图 7 所示，采用物理气相沉积工艺、化学气相沉积工艺或原子层沉积工艺形成保护材料层 77，保护材料层 77 覆盖第一凹槽 70 的内表面以及衬底 10 的上表面。其中，保护材料层 77 可以是 SiO₂、SiN 或二者的组合，保护材料层 77 的厚度为 3nm~10nm。

25 如图 8 所示，蚀刻覆盖在衬底 10 的上表面的保护材料层 77，以露出衬底 10 的上表面，且沿第一凹槽 70 的延伸方向蚀刻保护材料层 77，即仅保留沿垂直方向延伸的保护材料层 77，在露出处于水平方向的离子注入区 71 后，持续向下蚀刻，直至形成了第二凹槽 72，此时，剩余的离子注入区 71 作为反型掺杂层 30。其中，第二凹槽 72 形成于第一凹槽 70 的下方，第二凹槽 72 的深度可以为 50nm~100nm，宽度可以为 15nm~50nm。

30 如图 9 所示，采用原位水汽生成方法在第二凹槽 72 的内表面内形成了氧化层 40，此

时形成了沟槽 20。其中，氧化层 40 包括 SiO_2 ，氧化层 40 的厚度可以为 3nm~8nm。

在一个实施例中，第二类型的离子的注入剂量为 $5\text{E}13$ 每平方厘米~ $1.5\text{E}14$ 每平方厘米，第二类型的离子的注入能量为 0.5KeV~5KeV。

5 在一个实施例中，在沟槽 20 内形成字线 50，包括：形成阻挡材料层 73 覆盖沟槽 20 的内表面；在阻挡材料层 73 的表面形成导电材料层 74，并填充沟槽 20；蚀刻导电材料层 74 以及阻挡材料层 73，依次露出保护层 60 和位于保护层 60 和氧化层 40 之间的反型掺杂层 30，以形成第三凹槽 75，剩余的导电材料层 74 和阻挡材料层 73 分别作为导电层 52 和阻挡层 51；在第三凹槽 75 的内表面以及衬底 10 的表面上形成绝缘材料层 76；蚀刻位于衬底 10 表面上的绝缘材料层 76，以露出反型掺杂层 30 和保护层 60 的顶端，剩余的绝缘材料层 76 作为绝缘层 53；其中，阻挡层 51 和导电层 52 构成字线 50，绝缘层 53 位于字线 50 上方。

对于字线 50 的形成过程，需要依次形成阻挡层 51、导电层 52 以及绝缘层 53。

在一个实施例中，第三凹槽 75 的深度大于第一凹槽 70 的深度 10nm~20nm。

在一个实施例中，第三凹槽 75 的深度为 40nm~80nm。

15 具体的，结合图 10 至图 13 对字线 50 的形成过程进行说明。

如图 10 所示，采用物理气相沉积工艺、化学气相沉积工艺或原子层沉积工艺形成阻挡材料层 73，阻挡材料层 73 覆盖沟槽 20 的内表面以及衬底 10 的上表面。其中，阻挡材料层 73 可以包括 Ta、Ti、Ru、TaN、TiN、RuTa、RuTaN、W 或 Ir 等。阻挡材料层 73 可以是防止导电材料层扩散通过的任何其它材料。阻挡材料层 73 的厚度可以为 2nm~7nm。

20 如图 11 所示，采用物理气相沉积工艺、化学气相沉积工艺或原子层沉积工艺形成导电材料层 74，导电材料层 74 填充在阻挡材料层 73 形成的空间内，且覆盖位于衬底 10 上表面的阻挡材料层 73，采用干法蚀刻或者化学机械研磨（Chemical Mechanical Polishing, CMP）平坦化导电材料层 74 的上表面。其中，导电层 52 可以是金属材料，例如，Cu、Al、W 或其合金。

25 如图 12 所示，蚀刻位于衬底 10 上表面的导电材料层 74 和阻挡材料层 73，并蚀刻位于沟槽 20 内的导电材料层 74 和阻挡材料层 73，露出反型掺杂层 30 的底壁段 32，此时，剩余的导电材料层 74 和阻挡材料层 73 分别作为导电层 52 和阻挡层 51，在导电层 52 和阻挡层 51 的上方形成了第三凹槽 75。第三凹槽 75 的深度可以为 40nm~80nm，即第三凹槽 75 的底端需要低于第一凹槽 70 的底端，第三凹槽 75 的深度大于第一凹槽 70 的深度 30 10nm~20nm。

如图 13 所示，采用物理气相沉积工艺、化学气相沉积工艺或原子层沉积工艺形成绝缘材料层 76，绝缘材料层 76 填充第三凹槽 75，且覆盖衬底 10 的上表面。其中，绝缘材料层 76 可以是 SIN、SION 或 SIO₂。

5 采用干法蚀刻或者化学机械研磨平坦化绝缘材料层 76，最后刻蚀绝缘材料层 76，剩余后的绝缘材料层 76 作为绝缘层 53，并形成如图 2 所示的半导体结构。

需要说明的是，衬底 10 的上表面可以设置有保护结构，故在最后形成过程时，需要将保护结构进行去除，故在去除位于衬底 10 的上表面的绝缘材料层 76 时，也需要将保护结构、以及位于保护结构内部的保护材料层 77 和绝缘材料层 76 去除。

10 本领域技术人员在考虑说明书及实践这里公开的发明后，将容易想到本公开的其它实施方案。本公开旨在涵盖本发明的任何变型、用途或者适应性变化，这些变型、用途或者适应性变化遵循本公开的一般性原理并包括本公开未公开的本技术领域中的公知常识或惯用技术手段。说明书和示例实施方式仅被视为示例性的，本公开的真正范围和精神由权利要求指出。

15 应当理解的是，本公开并不局限于上面已经描述并在附图中示出的精确结构，并且可以在不脱离其范围进行各种修改和改变。本公开的范围仅由所附的权利要求来限制。

权 利 要 求

- 1.一种半导体结构，其特征在于，包括：
衬底，所述衬底包括隔离结构和有源区，所述有源区包括第一类型的离子；
- 5 沟槽，所述沟槽位于所述有源区内，所述沟槽的内表面包括相邻设置的反型掺杂层和氧化层，所述反型掺杂层位于所述氧化层的上方；
字线，所述字线位于所述沟槽内；
其中，所述反型掺杂层包括第二类型的离子，所述第一类型与所述第二类型相反。
- 2.根据权利要求1所述的半导体结构，其特征在于，所述沟槽的内表面还包括：
10 保护层，所述保护层与所述反型掺杂层相贴合，所述保护层的底端与所述氧化层的顶端之间夹持有所述反型掺杂层。
- 3.根据权利要求2所述的半导体结构，其特征在于，所述反型掺杂层包括：
侧壁段，所述保护层与所述侧壁段相贴合；
底壁段，所述保护层的底端与所述氧化层的顶端之间夹持有所述底壁段，所述侧壁段
15 与所述底壁段相垂直；
其中，所述保护层、所述底壁段以及所述氧化层构成所述沟槽的内表面。
- 4.根据权利要求3所述的半导体结构，其特征在于，所述保护层的底端与所述底壁段相贴合，所述氧化层的顶端与所述底壁段相贴合。
- 5.根据权利要求2至4中任一项所述的半导体结构，其特征在于，所述字线包括：
20 阻挡层，所述阻挡层位于所述氧化层的表面；
导电层，所述导电层位于所述阻挡层的表面。
- 6.根据权利要求5所述的半导体结构，其特征在于，所述半导体结构还包括：
绝缘层，所述绝缘层位于所述阻挡层和所述导电层的上方，所述阻挡层的顶端以及所述导电层的顶端均与所述绝缘层的底端相贴合；
- 25 其中，所述阻挡层覆盖所述氧化层的侧壁与底壁，且所述阻挡层的顶端所在平面低于所述保护层的底端所在平面。
- 7.根据权利要求6所述的半导体结构，其特征在于，所述阻挡层的顶端所在平面低于所述保护层的底端所在平面 10nm~20nm。
- 8.根据权利要求5所述的半导体结构，其特征在于，所述阻挡层的顶端与所述导电层
30 的顶端相平齐。

- 9.一种半导体结构的制造方法，其特征在于，包括：
提供具有隔离结构和有源区的衬底，所述有源区掺杂有第一类型的离子；
在所述有源区内形成沟槽，所述沟槽中形成有反型掺杂层和氧化层，所述反型掺杂层位于所述氧化层的上方；
- 5 在所述沟槽内形成字线；
其中，所述反型掺杂层掺杂有第二类型的离子，所述第一类型与所述第二类型相反。
- 10.根据权利要求 9 所述的半导体结构的制造方法，其特征在于，在所述有源区内形成沟槽，包括：
在所述有源区内形成第一凹槽；
- 10 对所述第一凹槽的内表面进行第二类型的离子注入，以形成离子注入区；
使保护材料层覆盖所述离子注入区的表面；
蚀刻所述保护材料层的底部、所述离子注入区的底部以及所述第一凹槽的底部，以形成第二凹槽，剩余的所述离子注入区作为所述反型掺杂层，剩余的所述保护材料层作为保护层；
- 15 在所述第二凹槽的内表面形成所述氧化层；
其中，所述保护层、所述反型掺杂层以及所述氧化层构成所述沟槽的内表面。
- 11.根据权利要求 10 所述的半导体结构的制造方法，其特征在于，所述第一凹槽的深度为 30nm~80nm，和/或，所述第二凹槽的深度为 50nm~100nm。
- 12.根据权利要求 10 所述的半导体结构的制造方法，其特征在于，在形成所述离子注
- 20 入区之后以及在形成所述第二凹槽之前，还包括：
形成所述保护材料层覆盖所述第一凹槽的内表面和所述衬底的表面；
蚀刻位于所述衬底表面和所述第一凹槽底部的所述保护材料层，以露出所述衬底和所述离子注入区。
- 13.根据权利要求 10 所述的半导体结构的制造方法，其特征在于，在所述沟槽内形成
- 25 字线，包括：
形成阻挡材料层覆盖所述沟槽的内表面；
在所述阻挡材料层的表面形成导电材料层，并填充所述沟槽；
蚀刻所述导电材料层以及所述阻挡材料层，依次露出所述保护层和位于所述保护层和所述氧化层之间的所述反型掺杂层，以形成第三凹槽，剩余的所述导电材料层和所述阻挡
- 30 材料层分别作为导电层和阻挡层；

在所述第三凹槽的内表面以及所述衬底的表面上形成绝缘材料层；

蚀刻位于所述衬底表面上的所述绝缘材料层，以露出所述反型掺杂层和所述保护层的顶端，剩余的所述绝缘材料层作为绝缘层；

其中，所述阻挡层和所述导电层构成所述字线，所述绝缘层位于所述字线上方。

5 14.根据权利要求 13 所述的半导体结构的制造方法，其特征在于，所述第三凹槽的深度大于所述第一凹槽的深度 10nm~20nm。

15.根据权利要求 10 所述的半导体结构的制造方法，其特征在于，所述第二类型的离子的注入剂量为 $5E13$ 每平方厘米~ $1.5E14$ 每平方厘米，所述第二类型的离子的注入能量为 0.5KeV~5KeV。

10

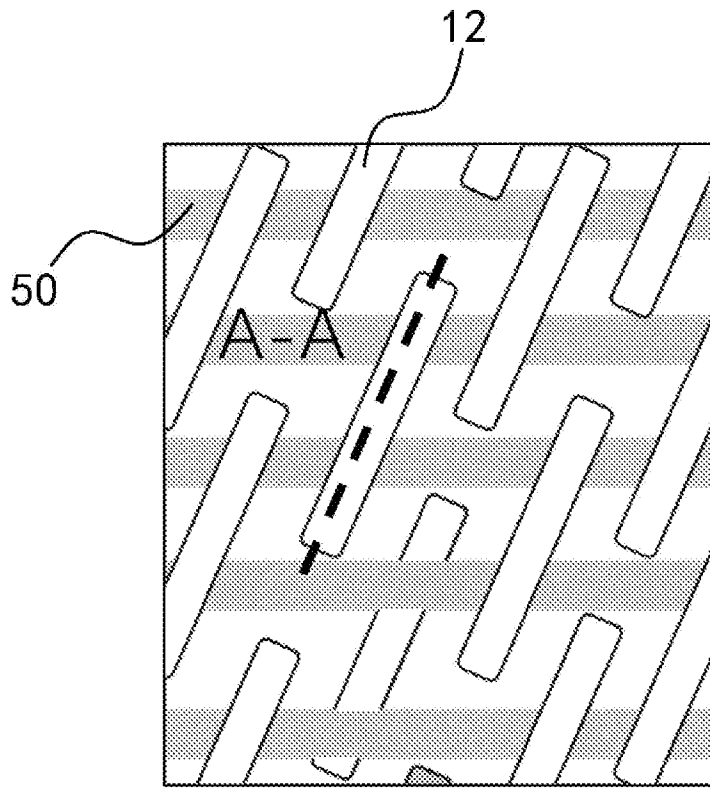


图1

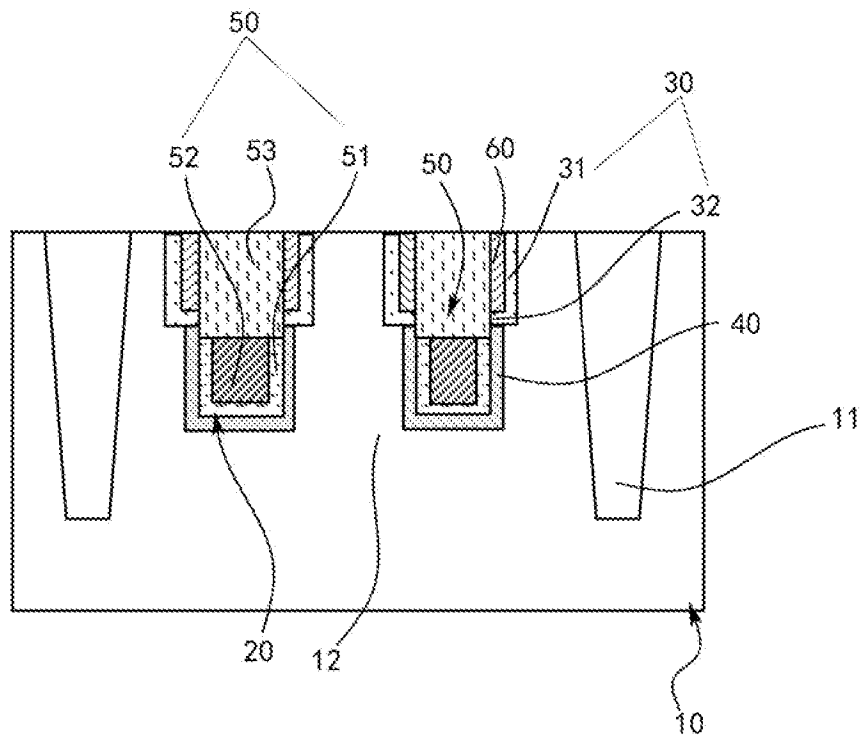


图2

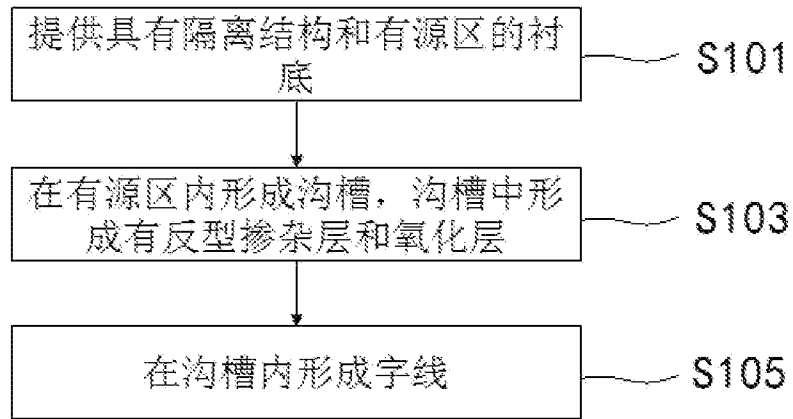


图3

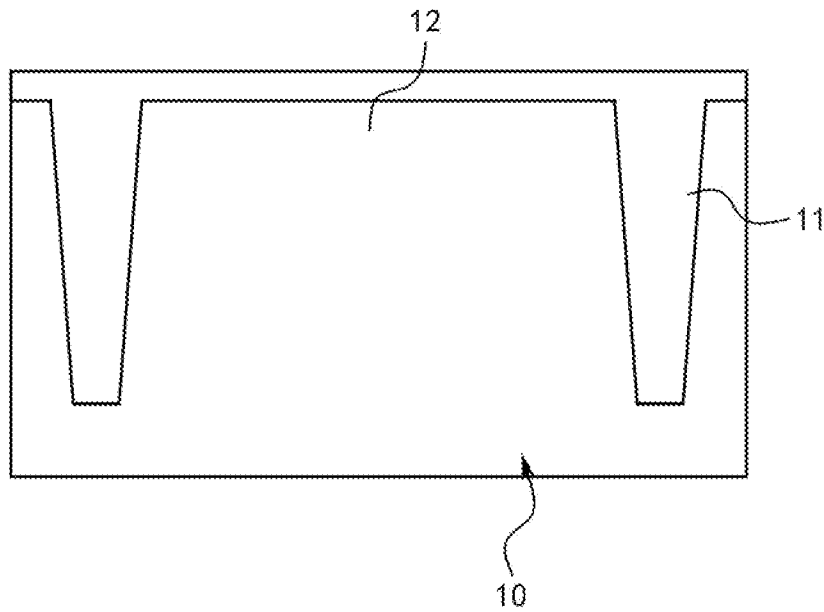


图4

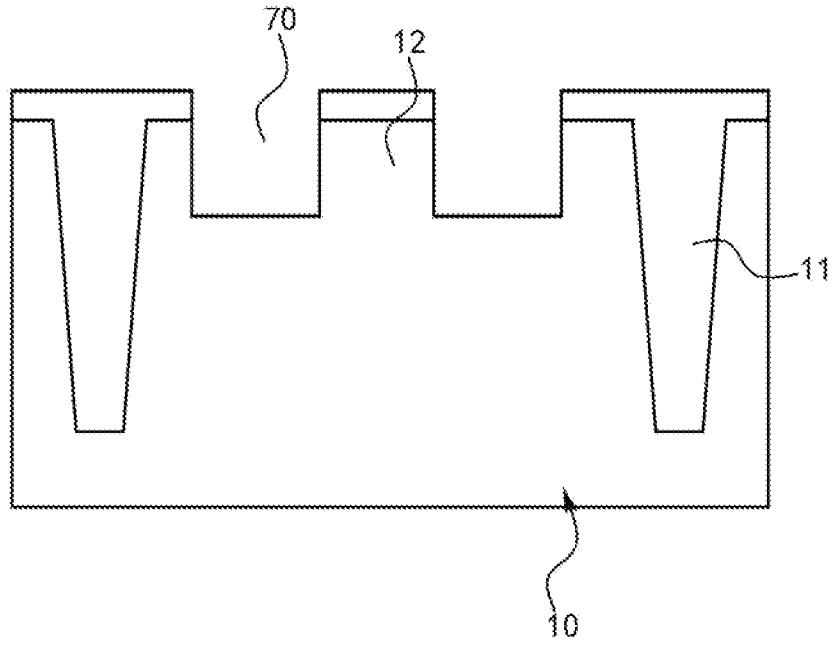


图5

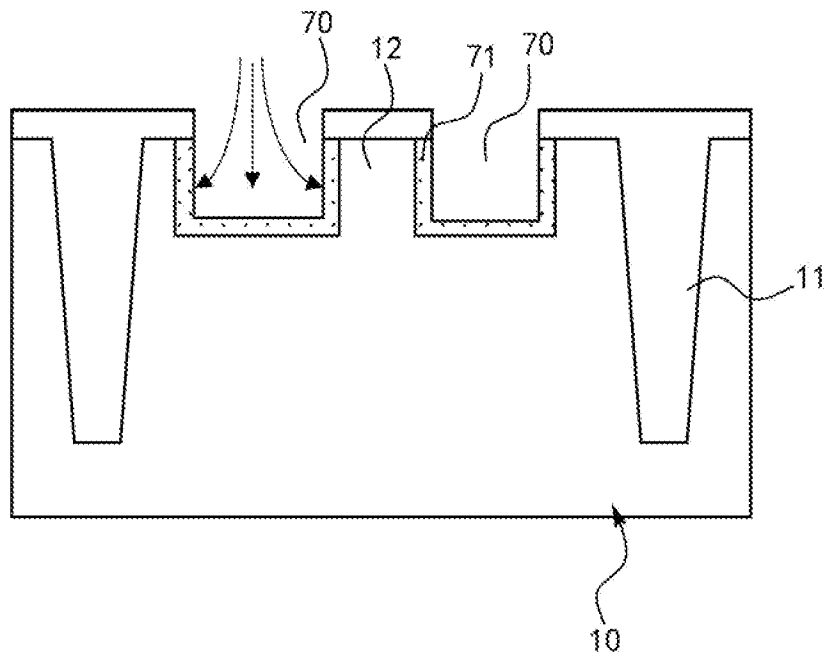


图6

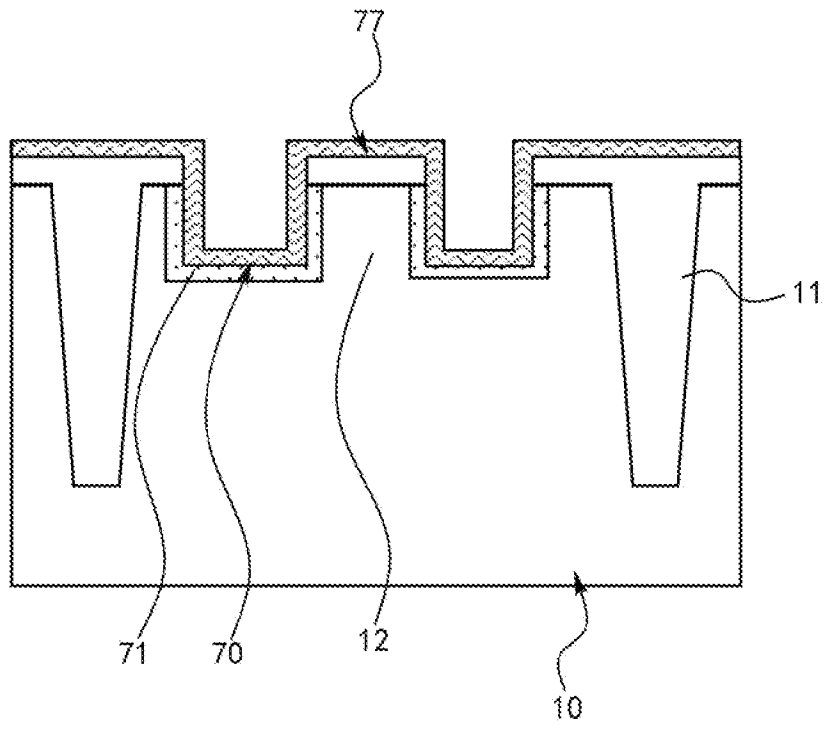


图7

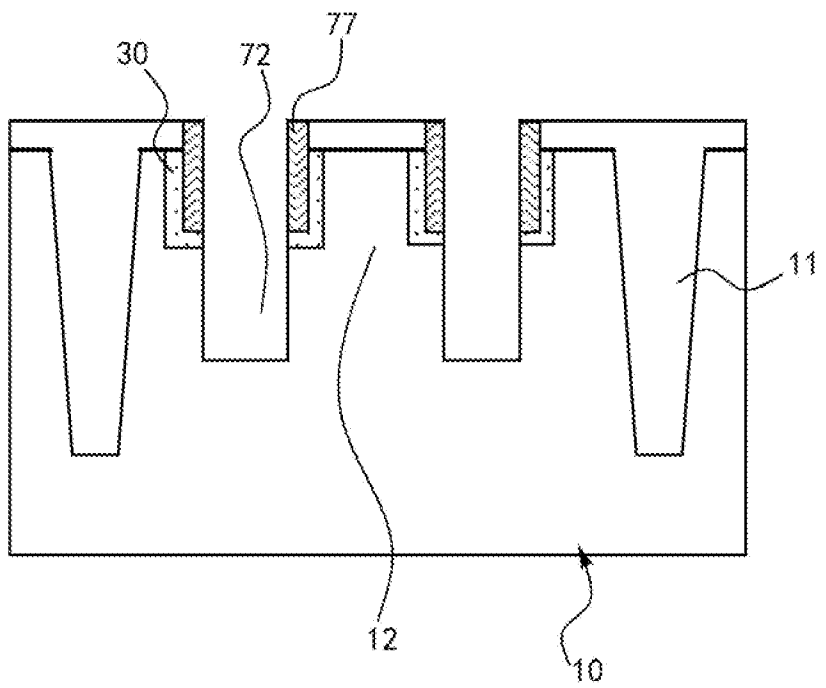


图8

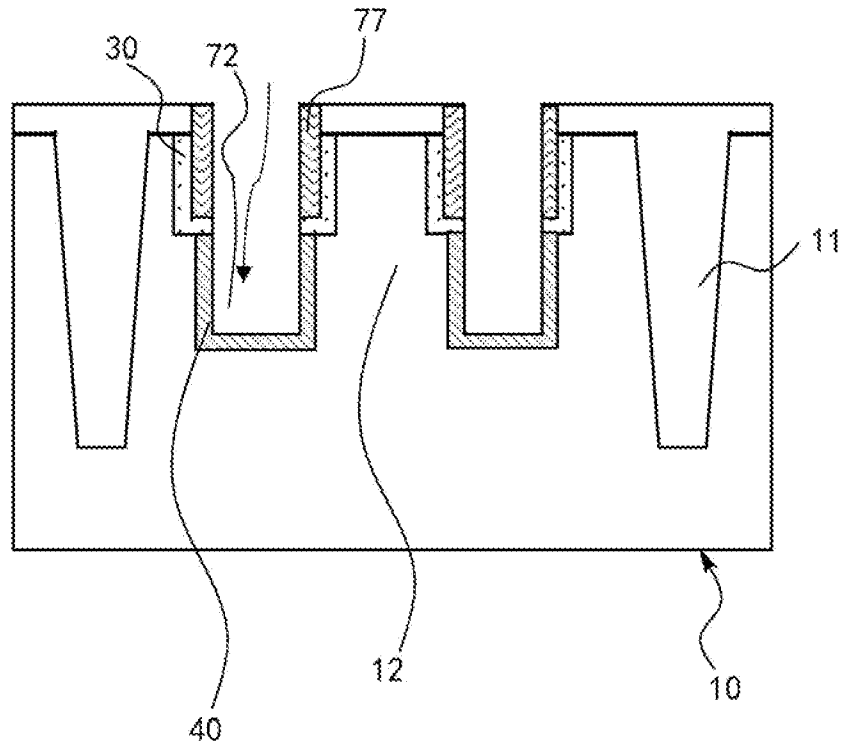


图9

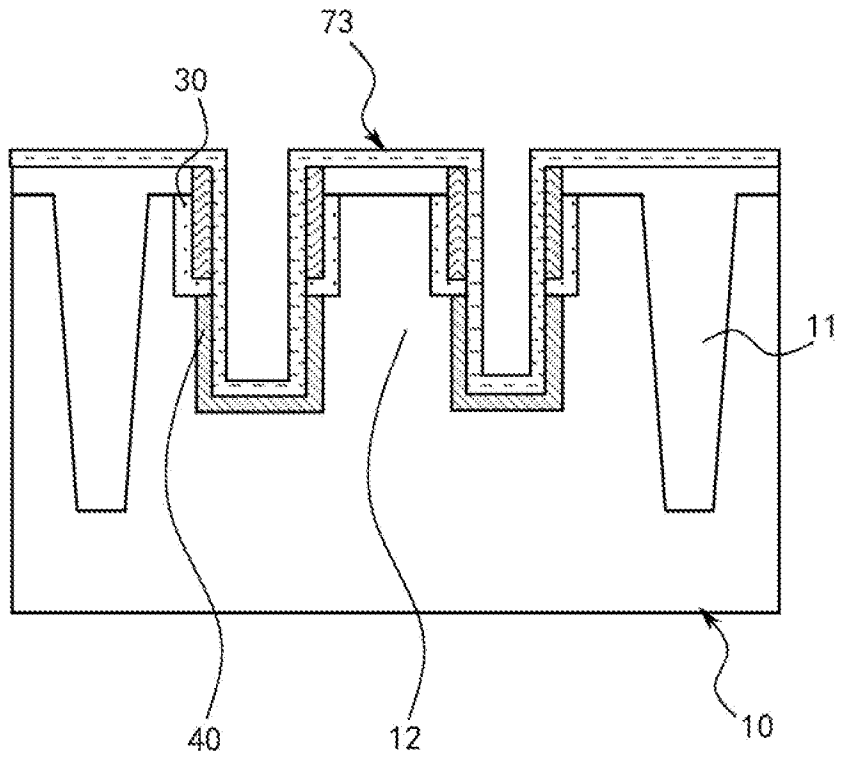


图10

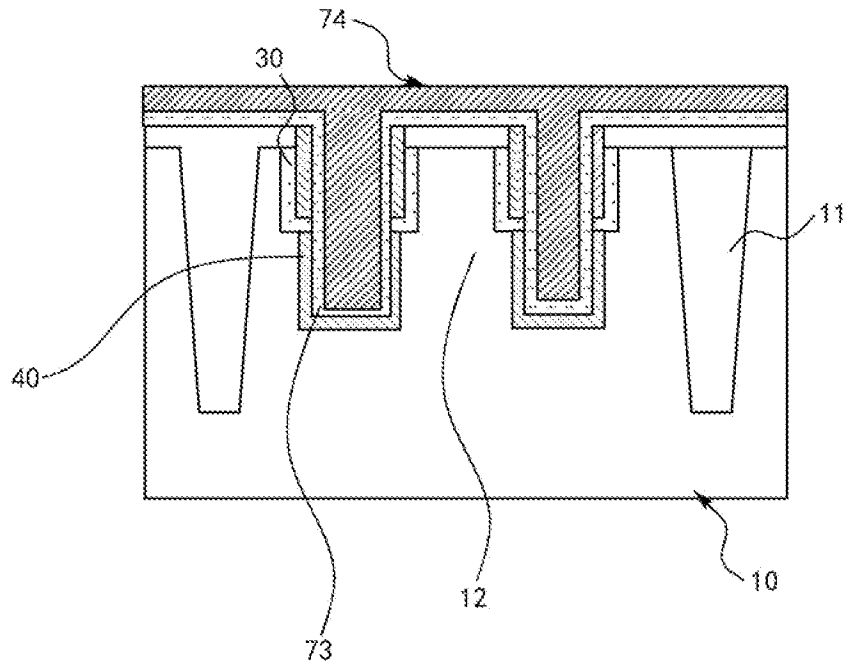


图11

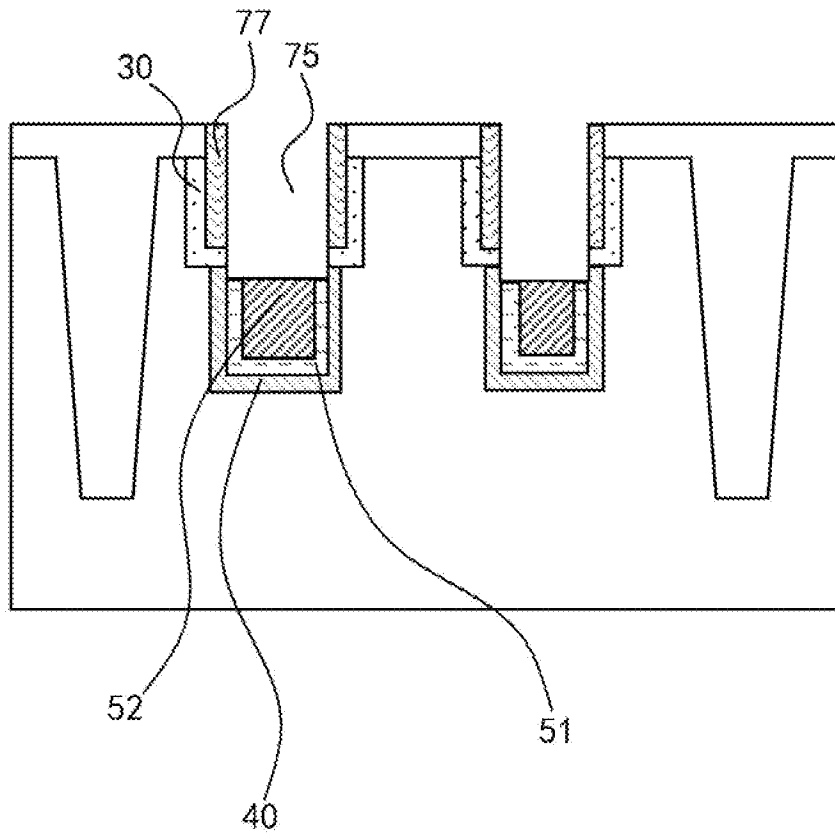


图12

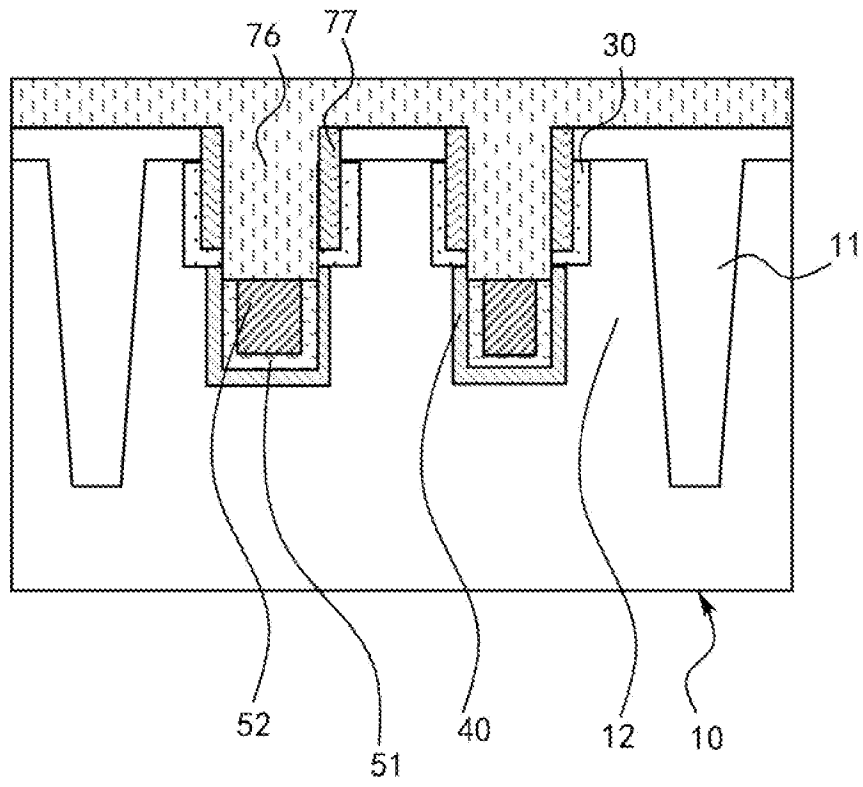


图13

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/100457

A. CLASSIFICATION OF SUBJECT MATTER		
H01L 27/108(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNPAT, WPI, CNKI, IEEE: 沟槽, 字线, 栅极, 埋入, 反型, 相反, 第二, 氧化, 绝缘, groove, recess, word, gate, opposite, second, oxide, insulat+		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 110299324 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 01 October 2019 (2019-10-01) description paragraphs [0077]-[0109], figures 1a-12b	1, 9
A	CN 108565263 A (RUILI INTEGRATED CIRCUIT CO., LTD.) 21 September 2018 (2018-09-21) entire document	1-15
A	CN 108899309 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 27 November 2018 (2018-11-27) entire document	1-15
A	US 2006043457 A1 (BAIK, Seung-Jae) 02 March 2006 (2006-03-02) entire document	1-15
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
02 September 2021		15 September 2021
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration (ISA/ CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088 China		
Facsimile No. (86-10)62019451		Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/CN2021/100457

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	110299324	A	01 October 2019	None			
CN	108565263	A	21 September 2018	None			
CN	108899309	A	27 November 2018	None			
US	2006043457	A1	02 March 2006	KR	100634266	B1	13 October 2006
				KR	20060021054	A	07 March 2006

国际检索报告

国际申请号

PCT/CN2021/100457

<p>A. 主题的分类</p> <p>H01L 27/108(2006.01) i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																	
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H01L</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNPAT, WPI, CNKI, IEEE: 沟槽, 字线, 栅极, 埋入, 反型, 相反, 第二, 氧化, 绝缘, groove, recess, word, gate, opposite, second, oxide, insulat+</p>																	
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 110299324 A (长鑫存储技术有限公司) 2019年 10月 1日 (2019 - 10 - 01) 说明书第[0077]-[0109]段、附图1a-12b</td> <td>1、9</td> </tr> <tr> <td>A</td> <td>CN 108565263 A (睿力集成电路有限公司) 2018年 9月 21日 (2018 - 09 - 21) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 108899309 A (长鑫存储技术有限公司) 2018年 11月 27日 (2018 - 11 - 27) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>US 2006043457 A1 (BAIK, Seung-Jae) 2006年 3月 2日 (2006 - 03 - 02) 全文</td> <td>1-15</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 110299324 A (长鑫存储技术有限公司) 2019年 10月 1日 (2019 - 10 - 01) 说明书第[0077]-[0109]段、附图1a-12b	1、9	A	CN 108565263 A (睿力集成电路有限公司) 2018年 9月 21日 (2018 - 09 - 21) 全文	1-15	A	CN 108899309 A (长鑫存储技术有限公司) 2018年 11月 27日 (2018 - 11 - 27) 全文	1-15	A	US 2006043457 A1 (BAIK, Seung-Jae) 2006年 3月 2日 (2006 - 03 - 02) 全文	1-15
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
X	CN 110299324 A (长鑫存储技术有限公司) 2019年 10月 1日 (2019 - 10 - 01) 说明书第[0077]-[0109]段、附图1a-12b	1、9															
A	CN 108565263 A (睿力集成电路有限公司) 2018年 9月 21日 (2018 - 09 - 21) 全文	1-15															
A	CN 108899309 A (长鑫存储技术有限公司) 2018年 11月 27日 (2018 - 11 - 27) 全文	1-15															
A	US 2006043457 A1 (BAIK, Seung-Jae) 2006年 3月 2日 (2006 - 03 - 02) 全文	1-15															
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																	
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																	
<p>国际检索实际完成的日期</p> <p>2021年 9月 2日</p>		<p>国际检索报告邮寄日期</p> <p>2021年 9月 15日</p>															
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN) 中国 北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>受权官员</p> <p>黄丽娜</p> <p>电话号码 86-(10)-53961458</p>															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/100457

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	110299324	A	2019年 10月 1日	无			
CN	108565263	A	2018年 9月 21日	无			
CN	108899309	A	2018年 11月 27日	无			
US	2006043457	A1	2006年 3月 2日	KR	100634266	B1	2006年 10月 13日
				KR	20060021054	A	2006年 3月 7日