

BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 【課題】 I G B T等において、ターンオン時の正孔の引抜性を向上させる。 【解決手段】 トランジスタ部が設けられた半導体基板を備える半導体装置であって、トランジスタ部における半導体基板は、第1導電型のドリフト領域と、ドリフト領域と半導体基板の上面との間に設けられ、ドリフト領域よりもドーピング濃度の高い第1導電型の蓄積領域と、半導体基板の下面とドリフト領域との間に設けられた第2導電型のコレクタ領域と、半導体基板の上面から蓄積領域よりも深くまで設けられ、半導体基板の上面において予め定められた延伸方向に延伸して設けられ、且つ、延伸方向と直交する配列方向に配列された複数のゲートトレンチ部および複数のダミートレンチ部と、を備え、トランジスタ部は、ゲートトレンチ部を含む第1領域と、配列方向における単位長さ内に配置されるダミートレンチ部の本数が第1領域よりも多い第2領域とを有する半導体装置を提供する。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置に関する。

背景技術

[0002] 従来、絶縁ゲート型バイポーラトランジスタ（ＩＧＢＴ）等の半導体装置において、Ｐ型ベース領域とＮ型ドリフト領域とのＰＮ接合近傍に、比較的に高濃度のＮ型不純物領域（蓄積領域）を設ける構成が知られている（例えば、特許文献１参照）。

特許文献１ WO 2002/061845号

解決しようとする課題

[0003] 半導体装置に蓄積領域を設けると、蓄積領域が障壁となり正孔が蓄積される。このため、半導体装置のターンオン時にゲートが充電されて、ターンオン時における半導体装置の制御性が悪くなる場合がある。

一般的開示

[0004] 上記課題を解決するために、本発明の一つの態様においては、トランジスタ部が設けられた半導体基板を備える半導体装置を提供する。トランジスタ部における半導体基板は、第１導電型のドリフト領域を備えてよい。半導体基板は、ドリフト領域と半導体基板の上面との間に設けられ、ドリフト領域よりもドーピング濃度の高い第１導電型の蓄積領域を備えてよい。半導体基板は、半導体基板の下面とドリフト領域との間に設けられた第２導電型のコレクタ領域を備えてよい。半導体基板は、半導体基板の上面から蓄積領域よりも深くまで設けられ、半導体基板の上面において予め定められた延伸方向に延伸して設けられ、且つ、延伸方向と直交する配列方向に配列された複数のゲートトレンチ部および複数のダミートレンチ部を備えてよい。トランジスタ部は、ゲートトレンチ部を含む第１領域と、配列方向における単位長さ内に配置されるダミートレンチ部の本数が第１領域よりも多い第２領域とを

有してよい。

[0005] 第2領域は、トランジスタ部の配列方向における中央に配置されていてよい。

[0006] 第1領域は、配列方向において連続して配置された複数のゲートトレンチ部を含み、且つ、ダミートレンチ部を含まなくてよい。

[0007] 第2領域は、ダミートレンチ部と、ゲートトレンチ部の両方を含んでよい。

[0008] 第1領域および第2領域が、配列方向において並んで配置されていてよい。

[0009] 第1領域および第2領域が、延伸方向において並んで配置されていてよい。

[0010] 半導体基板にはダイオード部が更に設けられていてよい。トランジスタ部およびダイオード部は、配列方向において交互に配置されていてよい。少なくとも一つのトランジスタ部は、配列方向においてダイオード部に挟まれていなくてよい。少なくとも一つのトランジスタ部は、配列方向においてダイオード部に挟まれていてよい。ダイオード部に挟まれていないトランジスタ部における第2領域は、ダイオード部に挟まれているトランジスタ部における第2領域よりも、配列方向における幅が大きくてよい。

[0011] トランジスタ部は、配列方向におけるダイオード部からの距離が大きい領域ほど、ゲートトレンチ部の本数に対するダミートレンチ部の本数の比率が大きくてよい。

[0012] 第2領域は、延伸方向および配列方向の両方において第1領域に挟まれて配置されていてよい。

[0013] 第1領域は、延伸方向および配列方向の両方において第2領域に挟まれて配置されていてよい。

[0014] なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

図面の簡単な説明

[0015] [図1]本発明の一つの実施形態に係る半導体装置100の一例を示す上面図である。

[図2]図1における領域Aを拡大した上面図である。

[図3]図2におけるB-B断面の一例を示す図である。

[図4]ゲートトレンチ部40およびダミートレンチ部30に挟まれたメサ部60の拡大図である。

[図5]ターンオン時における、蓄積領域16の下方領域の正孔濃度分布の一例を示す模式図である。

[図6]蓄積領域16の下方領域17を示す図である。

[図7]図1における領域Aの他の例を示す上面図である。

[図8]第1領域72および第2領域74の他の配置例を示す図である。

[図9]図8における領域Dの拡大図である。

[図10]図8における領域Dの他の例を示す図である。

[図11]第1領域72および第2領域74の他の配置例を示す図である。

[図12]第1領域72および第2領域74の他の配置例を示す図である。

[図13]第1領域72および第2領域74の他の配置例を示す図である。

[図14]本発明の他の実施形態に係る半導体装置200の一例を示す上面図である。

[図15]図14における領域Fを拡大した上面図である。

[図16]図15におけるH-H断面の一例を示す図である。

[図17]トランジスタ部70における第1領域72および第2領域74の配置例を示す図である。

[図18]トランジスタ部70における第1領域72および第2領域74の他の配置例を示す図である。

発明を実施するための形態

[0016] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説

明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0017] 本明細書においては半導体基板の深さ方向と平行な方向における一方の側を「上」、他方の側を「下」と称する。基板、層またはその他の部材の2つの主面のうち、一方の面を上面、他方の面を下面と称する。「上」、「下」の方向は、重力方向または半導体装置の実装時における方向に限定されない。

[0018] 各実施例においては、第1導電型をN型、第2導電型をP型とした例を示しているが、第1導電型をP型、第2導電型をN型としてもよい。この場合、各実施例における基板、層、領域等の導電型は、それぞれ逆の極性となる。また、本明細書においてP+型（またはN+型）と記載した場合、P型（またはN型）よりもドーピング濃度が高いことを意味し、P-型（またはN-型）と記載した場合、P型（またはN型）よりもドーピング濃度が低いことを意味する。

[0019] 本明細書においてドーピング濃度とは、ドナーまたはアクセプタ化したドーパントの濃度を指す。本明細書において、ドナーおよびアクセプタの濃度差（すなわちネットドーピング濃度）をドーピング濃度とする場合がある。この場合、ドーピング濃度はSR法で測定できる。また、ドナーおよびアクセプタの化学濃度をドーピング濃度としてもよい。この場合、ドーピング濃度はSIMS法で測定できる。特に限定していなければ、ドーピング濃度として、上記のいずれを用いてもよい。特に限定していなければ、ドーピング領域におけるドーピング濃度分布のピーク値を、当該ドーピング領域におけるドーピング濃度としてよい。

[0020] 図1は、本発明の一つの実施形態に係る半導体装置100の一例を示す上面図である。半導体装置100は、半導体基板10を備える。半導体基板10は、シリコン基板であってよく、炭化シリコン基板であってよく、窒化ガリウム等の窒化物半導体基板等であってもよい。本例の半導体基板10はシリコン基板である。本明細書では、上面視における半導体基板10の外周の

端部を、外周端とする。上面視とは、半導体基板 10 の上面側から Z 軸と平行に見た場合を指す。

[0021] 半導体装置 100 は、トランジスタ部 70 およびエッジ領域 90 を備える。トランジスタ部 70 は、IGBT 等のトランジスタ素子が設けられた領域である。本例のトランジスタ部 70 は、トランジスタ素子をオン状態に制御した場合に、半導体基板 10 の上面と下面との間で主電流が流れる縦型素子である。

[0022] エッジ領域 90 は、半導体基板 10 の上面において、トランジスタ部 70 と半導体基板 10 の外周端との間に設けられる。エッジ領域 90 は、半導体基板 10 の上面においてトランジスタ部 70 を囲むように環状に配置されてよい。本例のエッジ領域 90 は、半導体基板 10 の外周端に沿って配置されている。エッジ領域 90 は、半導体基板 10 の上面側の電界集中を緩和してよい。エッジ領域は、例えばガードリング、フィールドプレート、リサーフおよびこれらを組み合わせた構造を有する。

[0023] 半導体基板 10 の上面において、ゲートパッドおよびエミッタパッド等のパッドが設けられているが、図 1 では省略している。また、半導体基板 10 の上面には、ゲートパッドに接続されたゲート配線（ゲートランナー）およびエミッタパッドに接続されたエミッタ電極が設けられているが、図 1 では省略している。エミッタ電極は、エッジ領域 90 の上には設けられていないとよい。

[0024] 例えばゲート配線は、半導体基板 10 の上面視で、トランジスタ部 70 を囲うように設けられた部分を有する。また、ゲート配線は、半導体基板 10 の上面視で、トランジスタ部 70 を横切るように設けられた部分を有してもよい。エミッタ電極は、トランジスタ部 70 の上方を覆って設けられてよい。

[0025] 半導体基板 10 の上面には、ゲート配線に接続されるゲートトレンチ部と、エミッタ電極に接続されるダミートレンチ部とが設けられる。各トレンチ部は、半導体基板 10 の上面から、半導体基板 10 の所定の深さまで設けら

れている。

[0026] トランジスタ部 70 は、第 1 領域 72 および第 2 領域 74 を有する。第 1 領域 72 には、少なくともゲートトレンチ部が設けられている。第 2 領域 74 には、少なくともダミートレンチ部が設けられている。第 2 領域 74 は、第 1 領域 72 に比べて、単位面積あたりに設けられるダミートレンチ部の密度が大きい領域であってよい。半導体装置 100 は、ダミートレンチ部が多く設けられた第 2 領域を備えるので、トランジスタ部 70 のターンオン時等において、発生する正孔をエミッタ電極側に引き抜きやすくなる。このため、トランジスタ部 70 の制御性が向上する。正孔の引抜については後述する。

[0027] 図 2 は、図 1 における領域 A を拡大した上面図である。領域 A は、第 1 領域 72 および第 2 領域 74 を含む。トランジスタ部 70 には、複数のゲートトレンチ部 40 および複数のダミートレンチ部 30 が、半導体基板 10 の上面において予め定められた延伸方向に延伸して設けられている。本願の図面においては、ゲートトレンチ部 40 に「G」の記号を付し、ダミートレンチ部 30 に「E」の記号を付す場合がある。本例のゲートトレンチ部 40 およびダミートレンチ部 30 は、延伸方向に伸びる直線状の部分を含む。本明細書において延伸方向は Y 軸方向である。本明細書では、ゲートトレンチ部 40 およびダミートレンチ部 30 を、トレンチ部と称する場合がある。

[0028] トレンチ部は、延伸方向と直交する配列方向に配列されている。つまりトレンチ部は、配列方向において所定の間隔で配置されている。当該間隔は一定であってよく、一定でなくてもよい。本明細書において配列方向は X 軸方向である。

[0029] 本明細書では、X 軸方向において 2 つのトレンチ部に挟まれた半導体基板 10 の部分を、メサ部 60 と称する。メサ部 60 は、それぞれのトレンチ部の間に配置されている。それぞれのメサ部 60 には、半導体基板 10 の上面に露出する第 1 導電型のエミッタ領域 12 が設けられてよい。本例のエミッタ領域 12 は、N+型である。エミッタ領域 12 は、トレンチ部に接して設

けられる。本例のエミッタ領域 12 は、メサ部 60 の両側の 2 つのトレンチ部の両方に接している。

[0030] それぞれのメサ部 60 には、半導体基板 10 の上面に露出する第 2 導電型のコンタクト領域 15 が設けられてよい。本例のコンタクト領域 15 は、P+型である。コンタクト領域 15 は、トレンチ部に接して設けられてよく、トレンチ部から離れて設けられていてもよい。本例のコンタクト領域 15 は、メサ部 60 の両側の 2 つのトレンチ部の両方に接している。それぞれのメサ部 60 には、エミッタ領域 12 とコンタクト領域 15 とが、Y 軸方向に沿って交互に配置されてよい。

[0031] 上述したように、第 1 領域 72 は、ゲートトレンチ部 40 を含む。図 2 の例においては、第 1 領域 72 は、ゲートトレンチ部 40 が X 軸方向に連続して配置されており、ダミートレンチ部 30 が配置されていない。ただし第 1 領域 72 には、ダミートレンチ部 30 が配置されていてもよい。

[0032] 上述したように、第 2 領域 74 は、第 1 領域 72 よりも高密度にダミートレンチ部 30 を含む。つまり、第 2 領域 74 において、X 軸方向の単位長さ内に配置されるダミートレンチ部 30 の本数は、第 1 領域 72 において、X 軸方向の単位長さ内に配置されるダミートレンチ部 30 の本数よりも多い。図 2 の例においては、第 2 領域 74 は、ダミートレンチ部 30 が X 軸方向に連続して配置されており、ゲートトレンチ部 40 が配置されていない。ただし第 2 領域 74 には、ダミートレンチ部 30 とゲートトレンチ部 40 の両方が配置されていてもよい。

[0033] なお、ゲートトレンチ部 40 に接するメサ部 60 と、ゲートトレンチ部 40 に接しないメサ部 60（すなわち、ダミートレンチ部 30 に挟まれたメサ部 60）とは、エミッタ領域 12 等のドーピング領域の構造が異なってもよい。例えばダミートレンチ部 30 に挟まれたメサ部 60 には、エミッタ領域 12 が設けられていなくてよい。ダミートレンチ部 30 に挟まれたメサ部 60 には、エミッタ領域 12 に代えて、P 型の領域が設けられていてよい。ダミートレンチ部 30 に挟まれたメサ部 60 の上面に露出する P 型の領域

(P⁺、P⁻型の領域を含む)の面積は、ゲートトレンチ部40に接するメサ部60の上面に露出するP型の領域(P⁺、P⁻型の領域を含む)の面積よりも大きくてよい。

[0034] 図3は、図2におけるB-B断面の一例を示す図である。本例のB-B断面は、第1領域72および第2領域74にまたがるXZ面であり、エミッタ領域12を通過する断面である。本例の半導体装置100は、当該断面において、半導体基板10、層間絶縁膜38、エミッタ電極52およびコレクタ電極24を有する。層間絶縁膜38は、例えばボロンおよびリン等の不純物が添加されたシリケートガラスである。層間絶縁膜38は、半導体基板10の上面21において選択的に形成される。エミッタ電極52は、半導体基板10および層間絶縁膜38の上面に設けられる。コレクタ電極24は、半導体基板10の下面23に設けられる。

[0035] 半導体基板10には、N⁻型のドリフト領域18が設けられる。本例のドリフト領域18は、半導体基板10のうち、エミッタ領域12、ベース領域14、蓄積領域16、バッファ領域20およびコレクタ領域22等のドーピング領域が形成されずに残存した領域である。

[0036] 半導体基板10の上面21と、ドリフト領域18との間には、P⁻型のベース領域14が設けられる。ベース領域14は、半導体基板10の上面21からボロン等のP型の不純物を注入することで形成されてよい。

[0037] ベース領域14の上には、N⁺型のエミッタ領域12が設けられる。エミッタ領域12は、半導体基板10の上面21からリン等のN型の不純物を注入することで形成されてよい。なお、図2においてコンタクト領域15を通過するXZ断面においては、図3に示したエミッタ領域12に代えて、コンタクト領域15が配置されている。エミッタ領域12およびコンタクト領域15は、層間絶縁膜38に設けられたコンタクトホール54を介して、エミッタ電極52に接続されている。

[0038] ドリフト領域18と半導体基板10の上面21との間には、蓄積領域16が設けられる。本例の蓄積領域16は、ドリフト領域18とベース領域14

との間に設けられている。蓄積領域 16 は、半導体基板 10 の上面 21 から、リンまたはプロトン等の N 型の不純物を注入することで形成されてよい。蓄積領域 16 は、ドリフト領域 18 よりもドーピング濃度が高い N+型である。

[0039] 蓄積領域 16 を設けることで、ドリフト領域 18 からベース領域 14 に正孔が抜けるのを抑制できる。このため、ドリフト領域 18 に正孔を蓄積でき、トランジスタ部 70 のオン電圧を低減できる。

[0040] 本例においてゲートトレンチ部 40 およびダミートレンチ部 30 は、半導体基板 10 の上面 21 から、エミッタ領域 12、ベース領域 14 および蓄積領域 16 を貫通して設けられる。つまり、トレンチ部は、半導体基板 10 の上面 21 から、蓄積領域 16 よりも深い位置まで設けられる。

[0041] 本例のゲートトレンチ部 40 およびダミートレンチ部 30 の底部は、ドリフト領域 18 内に配置される。なお、トレンチ部が各領域を貫通するとは、不純物をドーピングして各領域を形成してからトレンチ部を形成する順序で製造したものに限定されない。トレンチ部を形成した後に、トレンチ部の間に各領域を形成したものも、トレンチ部が各領域を貫通しているものに含まれる。

[0042] バッファ領域 20 は、ドリフト領域 18 の下面側に設けられる。バッファ領域 20 のドーピング濃度は、ドリフト領域 18 のドーピング濃度よりも高い。バッファ領域 20 は、ベース領域 14 の下面側から広がる空乏層が、P+型のコレクタ領域 22 に到達することを防ぐフィールドストップ層として機能してよい。

[0043] コレクタ領域 22 は、半導体基板 10 の下面 23 と、ドリフト領域 18 との間に設けられる。本例のコレクタ領域 22 は、バッファ領域 20 の下面側に設けられている。コレクタ領域 22 は、ベース領域 14 よりもドーピング濃度の高い P+型である。

[0044] トランジスタ部 70 は、図 2 および図 3 に示すように、半導体基板 10 の下面 23 にコレクタ領域 22 が設けられており、且つ、半導体基板 10 の上

面 2 1 において、トレンチ部が X 軸方向に配列された領域を指してよい。トランジスタ部 7 0 におけるトレンチ部の間隔は一定であってよく、一定でなくともよい。

[0045] ゲートトレンチ部 4 0 は、ゲート絶縁膜 4 2 およびゲート導電部 4 4 を有する。ゲート絶縁膜 4 2 は、ゲートトレンチの内壁を覆って設けられる。ゲート絶縁膜 4 2 は、ゲートトレンチの内壁の半導体を酸化または窒化して形成してよい。ゲート導電部 4 4 は、ゲートトレンチの内部においてゲート絶縁膜 4 2 に覆われている。つまりゲート絶縁膜 4 2 は、ゲート導電部 4 4 と半導体基板 1 0 とを絶縁する。ゲート導電部 4 4 は、ポリシリコン等の導電材料で形成される。

[0046] ゲート導電部 4 4 は、深さ方向において、少なくとも隣接するベース領域 1 4 と対向する領域を含む。当該断面におけるゲートトレンチ部 4 0 は、半導体基板 1 0 の上面 2 1 において層間絶縁膜 3 8 により覆われる。ゲート導電部 4 4 に所定の電圧が印加されると、ベース領域 1 4 のうちゲートトレンチ部 4 0 に接する界面の表層にチャネルが形成される。

[0047] 本例のダミートレンチ部 3 0 は、ダミー絶縁膜 3 2 およびダミー導電部 3 4 を有する。ダミー絶縁膜 3 2 は、ダミートレンチの内壁を覆って設けられる。ダミー導電部 3 4 は、ダミートレンチ部 3 0 の内部に設けられ、且つ、ダミー絶縁膜 3 2 により覆われている。ダミー絶縁膜 3 2 は、ダミー導電部 3 4 と半導体基板 1 0 とを絶縁する。ダミー導電部 3 4 は、ゲート導電部 4 4 と同一の材料で形成されてよい。例えばダミー導電部 3 4 は、ポリシリコン等の導電材料で形成される。ダミー導電部 3 4 は、深さ方向においてゲート導電部 4 4 と同一の長さを有してよい。当該断面におけるダミートレンチ部 3 0 は、半導体基板 1 0 の上面 2 1 において層間絶縁膜 3 8 により覆われる。

[0048] ダミー導電部 3 4 は、エミッタ電極 5 2 と電氣的に接続される。例えば、ダミートレンチ部 3 0 を覆う層間絶縁膜 3 8 の一部の領域には、ダミー導電部 3 4 とエミッタ電極 5 2 とを電氣的に接続するコンタクトホールが設けら

れている。

[0049] 図4は、ゲートトレンチ部40およびダミートレンチ部30に挟まれたメサ部60の拡大図である。メサ部60に蓄積領域16を設けることで、蓄積領域16が正孔に対する障壁となる。これにより、トランジスタ部70のターンオン時等において、コレクタ領域22からドリフト領域18に注入された正孔の一部は、蓄積領域16の下方に蓄積される。特に、ゲートトレンチ部40側で、正孔の密度が高くなる。例えば、フルゲート構造のトランジスタ部70に蓄積領域16を設けない場合に比べて、フルゲート構造のトランジスタ部70に蓄積領域16を設けると、ゲートトレンチ部40の下端近傍の正孔の密度は10倍程度上昇する場合がある。

[0050] このため、フルゲート構造のトランジスタ部70の場合、トレンチ部近傍の正孔によりゲートトレンチ部40が充電されて、トランジスタ部70のターンオン時においてゲート導電部44におけるゲート電圧が持ち上がってしまう。この結果、ターンオン時におけるエミッタ／コレクタ間電流の時間波形における傾き ($d i / d t$) が高くなるため、ノイズ耐性が低くなる場合がある。この $d i / d t$ をゲート導電部44と電氣的に接続される外部のドライブ抵抗により低減させたいが、ゲート電圧の持ち上がりを抑制できないため、 $d i / d t$ を下げることができない。また、ターンオン時に $d i / d t$ が高くなることによりエミッタ／コレクタ間電流が上昇し所定量を超えて流れると、エミッタ／コレクタ間電流の時間波形が発振する場合がある。

[0051] これに対して、ダミートレンチ部30側では、蓄積領域16の下方に蓄積された正孔を、ターンオン時に引き抜きやすくなる。例えば、トランジスタ部70のターンオン時には、ゲート導電部44に正のゲート電圧が印加される一方、ダミー導電部34はエミッタ電位に維持されている。この結果、正の電荷を有する正孔は、ターンオン時にはダミートレンチ部30の近傍に集まりやすくなる。ダミートレンチ部30の近傍に正孔が集まると、ダミートレンチ部30の近傍の領域Cにおける蓄積領域16が、P型に反転する。このため、P型に反転した領域Cを通して、正孔をベース領域14に引き抜き

やすくなる。ベース領域 14 に到達した正孔は、図 2 に示したコンタクト領域 15 を通って、エミッタ電極 52 に引き抜かれる。このため、ダミートレンチ部 30 を設けることで、ターンオン時における正孔の密度を低下させることができる。

[0052] なお、ダミートレンチ部 30 を介した正孔の引き抜きは、当該ダミートレンチ部 30 とゲートトレンチ部 40 に挟まれたメサ部 60 の正孔に限られない。ダミートレンチ部 30 から離れたメサ部 60 の正孔も、当該ダミートレンチ部 30 を介して引き抜きことができる。ただし、引き抜ける正孔の量は、ダミートレンチ部 30 からの距離が大きくなるほど減少する。また、引き抜ける正孔の量は、ダミートレンチ部 30 が多いほど多くなる。

[0053] 上述したように第 1 領域 72 は、第 2 領域 74 よりもゲートトレンチ部 40 が多く配置されている。例えば第 1 領域 72 は、ゲートトレンチ部 40 が設けられ、ダミートレンチ部 30 が設けられていないフルゲート構造である。ゲートトレンチ部 40 を多く配置することで、キャリア蓄積効果およびチャネル密度を向上させることができるためオン電圧を低減できる。

[0054] 第 2 領域 74 は、第 1 領域 72 よりもダミートレンチ部 30 が多く配置されている。例えば第 2 領域 74 は、X 軸方向の単位長さに配列されたダミートレンチ部 30 の本数が、第 1 領域 72 において X 軸方向の単位長さに配列されたダミートレンチ部 30 の本数の 2 倍以上である。第 2 領域 74 において、X 軸方向に配列されたダミートレンチ部 30 の本数が、第 2 領域 74 において X 軸方向に配列されたゲートトレンチ部 40 の本数より多くてもよい。第 2 領域 74 を設けることで、トランジスタ部 70 のターンオン時において、第 1 領域 72 における蓄積領域 16 の下方の正孔密度を低減できる。

[0055] つまり、第 1 領域 72 および第 2 領域 74 を設けることで、キャリア蓄積効果およびチャネル密度を向上させつつ、ターンオン時のトランジスタ部 70 の特性も向上させることができる。図 1 に示すように、第 1 領域 72 および第 2 領域 74 は、X 軸方向において交互に並んで配置されていてよい。つまり、少なくとも一つの第 1 領域 72 は、X 軸方向において第 2 領域 74 に

挟まれていてよい。また、少なくとも一つの第2領域74は、X軸方向において第1領域72に挟まれていてよい。

[0056] 第1領域72において、第2領域74に近い領域ほど、第2領域74を介して正孔を引き抜きやすくなる。このため、第1領域72および第2領域74を交互に配置することで、第1領域72全体の正孔を、第2領域74を介して引き抜きやすくなる。

[0057] また、図1に示すように、第1領域72および第2領域74は、Y軸方向において交互に並んで配置されていてよい。少なくとも一つの第1領域72は、Y軸方向において第2領域74に挟まれていてよい。また、少なくとも一つの第2領域74は、Y軸方向において第1領域72に挟まれていてよい。このような構成により、Y軸方向においても、第1領域72の正孔を、第2領域74を介して引き抜きやすくなる。

[0058] 第1領域72は、X軸方向およびY軸方向の両方において、第2領域74に挟まれて配置されていてよい。また、第2領域74は、X軸方向およびY軸方向の両方において、第1領域に挟まれて配置されていてよい。図1に示すように、複数の第2領域74が、X軸方向において等間隔で配置されていてよい。また、複数の第2領域74が、Y軸方向において等間隔で配置されていてよい。第2領域74の間には、第1領域72が配置されていてよい。また、トランジスタ部70の端部と、第2領域74の間にも、第1領域72が配置されていてよい。この場合、第2領域74は、上面視において第1領域72に囲まれている。このような構成により、第1領域72の正孔を、第2領域74を介して引き抜きやすくなる。

[0059] X軸方向において、それぞれの第2領域74には複数のトレンチ部が含まれている。X軸方向において隣接する第1領域72および第2領域74に含まれるトレンチ部の本数は、同一であってよく、第1領域72の方が多くてもよく、第2領域74の方が多くてもよい。

[0060] 図5は、ターンオン時における、蓄積領域16の下方領域の正孔濃度分布の一例を示す模式図である。図5においては、第1領域72および第2領域

74における、X軸方向に沿った正孔濃度分布を示している。図5における縦軸は正孔濃度 $[cm^{-3}]$ を対数で示す軸であり、横軸はX軸方向における位置 $[\mu m]$ を示す軸である。

[0061] 図6は、蓄積領域16の下方領域17を示す図である。本例の下方領域17は、各トレンチに挟まれたメサ部60において、蓄積領域16よりも下側で、且つ、トレンチ部の下端よりも上側の領域である。図5においては、下方領域17内の所定の深さ位置における正孔濃度の概略を示している。図5に示すように、第2領域74における正孔濃度は低くなる。また、第1領域72における正孔濃度も、第2領域74の近傍においては低くなり、第2領域74からの距離が大きくなるほど高くなっている。

[0062] 図7は、図1における領域Aの他の例を示す上面図である。本例の領域Aは、第2領域74におけるトレンチ部の配列が、図2に示した例とは異なる。本例の第2領域74は、ダミートレンチ部30およびゲートトレンチ部40を有する。第2領域74において配列方向に設けられたゲートトレンチ部40の本数は、ダミートレンチ部30の本数以下であってよい。図7の例では、第2領域74におけるゲートトレンチ部40の本数と、ダミートレンチ部30の本数との比は、1対2である。

[0063] 第1領域72は、第2領域74よりもゲートトレンチ部40の本数が多いため、裏面から発生する正孔を多く注入できる。一方、第2領域74は、ゲートトレンチ部40に設けられたエミッタ領域12からドリフト領域18に電子を注入できる。そのため、第1領域72と第2領域74の境界領域では、第2領域74でドリフト領域18に注入した電子により、第1領域72および第2領域74の正孔を引き抜きやすくなる。このため第1領域72と第2領域74の境界領域の正孔密度を下げることができる。

[0064] 第1領域72は、図2に示したように、フルゲート構造であってよく、ダミートレンチ部30を含んでいてもよい。第1領域72がダミートレンチ部30を含む場合、第1領域72におけるダミートレンチ部30の密度は、第2領域74におけるダミートレンチ部30の密度より小さい。第1領域72

にダミートレンチ部30を配置することで、第1領域72の内部においても正孔の引き抜きを促進できる。

[0065] 図8は、第1領域72および第2領域74の他の配置例を示す図である。本例においては、上面視におけるトランジスタ部70の中央96に第2領域74が配置されている。トランジスタ部70の中央96とは、X軸方向およびY軸方向の両方における中央を指す。トランジスタ部70のX軸方向の中央とは、トランジスタ部70においてX軸方向の両端に配置されたトレンチ部に挟まれた領域の中央であってよい。トランジスタ部70のY軸方向の中央とは、トランジスタ部70においてY軸方向の両端に配置されたエミッタ領域12に挟まれた領域の中央であってよい。半導体基板10の中央位置を、トランジスタ部70の中央96としてもよい。

[0066] トランジスタ部70の中央96は、周囲の領域からも正孔が流れ込みやすいので、他の領域に比べて、蓄積領域16の下方に正孔が蓄積されやすい。本例の半導体装置100は、トランジスタ部70の中央96を含む領域に、第2領域74を配置している。このため、正孔を効率よく引き抜くことができる。第2領域74の中央が、トランジスタ部70の中央96と一致するように、第2領域74を配置してよい。また、複数の第2領域74のうち、一つの第2領域74が、トランジスタ部70の中央96に配置されていてよい。

[0067] トランジスタ部70の中央96に配置された第2領域74は、上面視において第1領域72に囲まれていてよい。本例においては、複数の第2領域74のそれぞれが、第1領域72に囲まれている。

[0068] 図9は、図8における領域Dの拡大図である。図9においては、エミッタ領域12等のドーピング領域を省略している。領域Dは、2つの第1領域72と、第1領域72に挟まれた第2領域74とを含む領域である。領域Dにおいて第1領域72および第2領域74は、Y軸方向に並んで配置されている。

[0069] 2つの第1領域72は、トランジスタ部70のY軸方向の両端に配置され

ている。また、半導体装置 100 は、上面視においてトランジスタ部 70 を囲むように配置されたゲート配線 50 を備える。例えばゲート配線 50 は、半導体基板 10 の上面の上方に設けられた金属層である。ゲート配線 50 と半導体基板 10 とは、層間絶縁膜 38 およびゲート絶縁膜 42 等の絶縁膜により絶縁されている。

[0070] 本例のトランジスタ部 70 は、ゲートトレンチ部 40-1 およびゲートトレンチ部 40-2 を有する。ゲートトレンチ部 40-1 は、一方の第 1 領域 72 から他方の第 1 領域 72 まで、第 2 領域 74 を通過して Y 軸方向に連続して設けられている。

[0071] ゲートトレンチ部 40-2 は、2 つの第 1 領域 72 には設けられているが、第 2 領域 74 には設けられていない。ゲートトレンチ部 40-2 は、それぞれの第 1 領域 72 において、X 軸方向における位置が同一となるように配置されている。つまり一方の第 1 領域 72 に配置されたゲートトレンチ部 40-2 と、他方の第 1 領域 72 に配置されたゲートトレンチ部 40-2 とは、Y 軸方向において向かい合って配置されている。

[0072] それぞれの第 1 領域 72 のゲートトレンチ部 40-2 の間には、ダミートレンチ部 30-1 が設けられている。ダミートレンチ部 30-1 は、ゲートトレンチ部 40-2 に対して、X 軸方向における位置が同一となるように配置されている。ただし、ダミートレンチ部 30-1 と、ゲートトレンチ部 40-2 は、Y 軸方向に離れて配置されている。このような構成により、Y 軸方向に並んだ第 1 領域 72 と第 2 領域 74 とで、ゲートトレンチ部 40 およびダミートレンチ部 30 の比率を容易に変化させることができる。

[0073] 本例のトランジスタ部 70 は、ダミートレンチ部 30-2 を更に有する。ダミートレンチ部 30-2 は、一方の第 1 領域 72 から他方の第 1 領域 72 まで、第 2 領域 74 を通過して Y 軸方向に連続して設けられている。ダミートレンチ部 30-2 を設けることで、トランジスタ部 70 の全体におけるダミートレンチ部 30-2 の密度を容易に調整できる。

[0074] 本例では、ゲートトレンチ部 40-1 および 40-2 は、X 軸方向におい

て隣り合って配置されている。ゲートトレンチ部40-1および40-2は、第1領域72からゲート配線50の下方までY軸方向に延伸しており、ゲート配線50と電氣的に接続されている。ゲートトレンチ部40とゲート配線50との間の絶縁膜には、ゲートトレンチ部40とゲート配線50とを接続するためのコンタクトホールが設けられている。ゲートトレンチ部40-1および40-2は、ゲート配線50の下方において互いに接続されている。2本のゲートトレンチ部40は、上面視において曲線状の接続部分で接続されている。曲線状の接続部分を設けることで、ゲートトレンチ部40のY軸方向の端部における電界集中を緩和できる。

[0075] 半導体基板10とゲート配線50との間の絶縁膜内部の一部には、半導体基板10の上面の上方に設けられた導電性のポリシリコン層を設けることも可能である。半導体基板10と導電性のポリシリコン層は、酸化膜等の絶縁膜により絶縁されている。ただし、導電性のポリシリコン層とゲート導電部44とは、絶縁膜に設けられたコンタクトホール等により、電氣的に接続されている。導電性のポリシリコン層とゲート配線50との間には、層間絶縁膜38等の絶縁膜が設けられてよい。ただし、絶縁膜に設けられたコンタクトホール等により、導電性のポリシリコン層とゲート配線50とは電氣的に接続されている。

[0076] ダミートレンチ部30-2は、ゲート配線50とは重ならない範囲で、Y軸方向に延伸して設けられている。ダミートレンチ部30-1および30-2は、接続部25を介してエミッタ電極52と電氣的に接続されている。接続部25は、それぞれのダミートレンチ部30のY軸方向における両端に配置されている。

[0077] 例えば接続部25は、半導体基板10の上面の上方に設けられた導電性のポリシリコン層である。接続部25と半導体基板10とは、酸化膜等の絶縁膜により絶縁されている。ただし、接続部25とダミー導電部34とは、絶縁膜に設けられたコンタクトホール等により、電氣的に接続されている。接続部25とエミッタ電極52との間には、層間絶縁膜38等の絶縁膜が設け

られてよい。ただし、絶縁膜に設けられたコンタクトホール等により、接続部25とエミッタ電極52とは電氣的に接続されている。

[0078] 図9の例においては、第1領域72には、ダミートレンチ部30-2、ゲートレンチ部40-2およびゲートレンチ部40-1が、X軸方向に沿って繰り返し配置されている。第2領域74には、ダミートレンチ部30-2、ダミートレンチ部30-1およびゲートレンチ部40-1が、X軸方向に沿って繰り返し配置されている。つまり、図9の例では、第1領域72におけるダミートレンチ部30とゲートレンチ部40との比率は1対2であり、第2領域74におけるダミートレンチ部30とゲートレンチ部40との比率は2対1である。上述したように、ダミートレンチ部30-2は、第1領域72および第2領域74において連続して配置されている。また、ゲートレンチ部40-1は、第1領域72および第2領域74において連続して配置されている。

[0079] 図10は、図8における領域Dの他の例を示す図である。図10においては、エミッタ領域12等のドーピング領域を省略している。本例の第1領域72においては、ダミートレンチ部30-2をX軸方向に挟んでゲートレンチ部40-2が配置されている。上述したように、ダミートレンチ部30-2は、第1領域72および第2領域74に対して連続して設けられている。ゲートレンチ部40-2は、第1領域72の領域内で終端している。

[0080] 本例では、ダミートレンチ部30-2を挟む2つのゲートレンチ部40-2が、ゲート配線50の下方において、曲線状の接続部分で接続されている。また、ゲートレンチ部40-2に対して、ダミートレンチ部30-2とは逆側に、ゲートレンチ部40-1が配置されている。上述したように、ゲートレンチ部40-1は、第1領域72および第2領域74に対して連続して設けられている。

[0081] 本例の第1領域72には、ゲートレンチ部40-2、ダミートレンチ部30-2、ゲートレンチ部40-2およびゲートレンチ部40-1が、X軸方向に沿って繰り返し配置されている。第1領域72におけるダミート

レンチ部30とゲートレンチ部40との比率は1対3である。

[0082] 本例の第2領域74には、ダミートレンチ部30-1、ダミートレンチ部30-2、ダミートレンチ部30-1およびゲートレンチ部40-1が、X軸方向に沿って繰り返して配置されている。上述したように、第2領域74のダミートレンチ部30-1は、第1領域72のゲートレンチ部40-2に挟まれて配置されている。ダミートレンチ部30-2は、第1領域72および第2領域74において連続して配置されている。また、ゲートレンチ部40-1は、第1領域72および第2領域74において連続して配置されている。第2領域74におけるダミートレンチ部30とゲートレンチ部40との比率は3対1である。なお、ダミートレンチ部30がX軸方向において連続して配置されている場合、接続部25は、図10に示すように複数のダミートレンチ部30に跨って設けられていてよいし、図9に示すようにダミートレンチ部30毎に設けられていてもよい。

[0083] このように、ダミートレンチ部30-1および30-2、ならびに、ゲートレンチ部40-1および40-2を用いることで、Y軸方向に並んだ第1領域72および第2領域74におけるダミートレンチ部30とゲートレンチ部40の比率を容易に調整できる。また、ゲートレンチ部40を、それぞれのゲート配線50に容易に接続できる。

[0084] 図11は、第1領域72および第2領域74の他の配置例を示す図である。本例では、図1に示した第1領域72および第2領域74の位置が反転している。つまり、複数の第1領域72が分散して配置されており、それぞれの第1領域72が、第2領域74に囲まれている。また、トランジスタ部70の端部には、第2領域74が配置されている。このような配置によっても、第1領域72の正孔を、第2領域74から引き抜きやすくなる。

[0085] 図12は、第1領域72および第2領域74の他の配置例を示す図である。本例では、第2領域74が、トランジスタ部70をX軸方向に横切って配置されている。つまり、第2領域74は、トレンチ部と交差する方向に延伸して配置されている。また、第2領域74は、Y軸方向において第1領域7

2に挟まれて配置されている。このような配置により、Y軸方向に伸びるメサ部60のそれぞれに対して、第2領域74を配置できる。このため、各メサ部60の正孔を容易に引き抜くことができる。

[0086] 図12の例では、トランジスタ部70に一つの第2領域74が配置されている例を示したが、トランジスタ部70は、複数の第2領域74を有していてもよい。この場合、それぞれの第2領域74は、Y軸方向に所定の間隔で配置されてよい。

[0087] 図13は、第1領域72および第2領域74の他の配置例を示す図である。本例では、第2領域74が、トランジスタ部70をY軸方向に横切って配置されている。つまり、第2領域74は、トレンチ部と平行な方向に延伸して配置されている。また、第2領域74は、X軸方向において第1領域72に挟まれて配置されている。本例では、図9または図10に示したダミートレンチ部30-1およびゲートトレンチ部40-2のように、Y軸方向にダミートレンチ部30とゲートトレンチ部40とを並べなくてもよい。このため、トレンチ部を形成することが容易になる。

[0088] 図14は、本発明の他の実施形態に係る半導体装置200の一例を示す上面図である。半導体装置200は、トランジスタ部70に加えて、ダイオード部80を更に備える点で、半導体装置100と相違する。ダイオード部80以外の構成については、半導体装置200は、半導体装置100と同様の構成を有してよい。

[0089] トランジスタ部70およびダイオード部80は、X軸方向において交互に配置されている。それぞれのトランジスタ部70およびダイオード部80は、上面視においてY軸方向に長手を有する矩形形状であってよい。

[0090] 少なくとも一つのトランジスタ部70は、第1領域72および第2領域74を有する。本例では、全てのトランジスタ部70が、第1領域72および第2領域74を有している。それぞれのトランジスタ部70における第1領域72および第2領域74の配置は、図1から図13において説明したいずれかの態様のトランジスタ部70と同様であってよい。図14におけるトラ

ンジスタ部 70 は、第 2 領域 74 が、トランジスタ部 70 を Y 軸方向に横切
って配置されている。第 2 領域 74 は、それぞれのトランジスタ部 70 の X
軸方向における中央に配置されてよい。

[0091] 図 15 は、図 14 における領域 F を拡大した上面図である。領域 F は、ト
ランジスタ部 70 およびダイオード部 80 を含む。トランジスタ部 70 の構
造は、図 1 から図 14 において説明したいずれかの態様のトランジスタ部 7
0 と同様である。

[0092] ダイオード部 80 には、複数のダミートレンチ部 30 が、半導体基板 10
の上面において予め定められた延伸方向に延伸して設けられている。ダイオ
ード部 80 におけるメサ部 61 には、エミッタ領域 12 が設けられていなく
てよい。本例のメサ部 61 は、トランジスタ部 70 のメサ部 60 に比べて、
上面に露出している P 型の領域の面積が大きい。メサ部 61 の上面には、ベ
ース領域 14 が露出していてよい。メサ部 61 は、メサ部 60 においてエミ
ッタ領域 12 およびコンタクト領域 15 が設けられている Y 軸方向の位置に
、ベース領域 14 が設けられていてよい。

[0093] 図 16 は、図 15 における H-H 断面の一例を示す図である。本例の H-H
断面は、トランジスタ部 70 およびダイオード部 80 にまたがる XZ 面で
あり、トランジスタ部 70 のエミッタ領域 12 を通過する断面である。トラ
ンジスタ部 70 における断面構造は、図 3 において説明したトランジスタ部
70 と同様である。

[0094] ダイオード部 80 は、当該断面において、半導体基板 10、層間絶縁膜 3
8、エミッタ電極 52 およびコレクタ電極 24 を有する。半導体基板 10 に
は、N-型のドリフト領域 18 が設けられる。

[0095] 半導体基板 10 の上面 21 と、ドリフト領域 18 との間には、P-型のベ
ース領域 14 が設けられる。なお、本例のダイオード部 80 においては、ベ
ース領域 14 が半導体基板 10 の上面 21 に露出するまで設けられており、
エミッタ領域 12 は設けられていない。また、図 16 においては、ダイオー
ード部 80 の各メサ部 61 に蓄積領域 16 が設けられている例を示しているが

、ダイオード部 80 の各メサ部 61 には蓄積領域 16 が設けられていなくてもよい。

[0096] ダイオード部 80 には、複数のダミートレンチ部 30 が、X 軸方向に連続して配列されている。ダイオード部 80 にはゲートトレンチ部 40 が設けられていなくてよい。ダイオード部 80 のダミートレンチ部 30 の構造および大きさは、トランジスタ部 70 におけるダミートレンチ部 30 と同一であってよい。ダイオード部 80 におけるトレンチ部の間隔は、トランジスタ部 70 におけるトレンチ部の間隔と同一であってよく、異なってもよい。

[0097] ダイオード部 80 において、ドリフト領域 18 と半導体基板 10 の下面 23 との間には、カソード領域 82 が設けられる。本例のカソード領域 82 は、バッファ領域 20 と、半導体基板 10 の下面 23 との間に設けられている。カソード領域 82 は、ドリフト領域 18 よりもドーピング濃度の高い第 1 導電型の領域である。本例のカソード領域は、N+型である。カソード領域 82 は、コレクタ電極 24 と電氣的に接続されている。

[0098] 本例においては、トランジスタ部 70 とダイオード部 80 の X 軸方向における境界位置を位置 Xb とする。また、トランジスタ部 70 において X 軸方向の最も端に設けられたゲートトレンチ部 40 を、ゲートトレンチ部 40-e とする。また、ゲートトレンチ部 40-e に接しており、且つ、ゲートトレンチ部 40-e よりもダイオード部 80 の近くに配置されたメサ部 60 を、メサ部 60-e とする。本例の位置 Xb は、メサ部 60-e の、ゲートトレンチ部 40-e とは逆側の端部である。

[0099] トランジスタ部 70 は、ダイオード部 80 との境界（すなわち位置 Xb と接する位置）に、第 1 領域 72 を有してよい。ダイオード部 80 との境界近傍におけるメサ部 60 の正孔は、トランジスタ部 70 のターンオン時にダイオード部 80 から引き抜くことができる。このため、ダイオード部 80 との境界に第 1 領域 72 を配置することで、キャリア蓄積効果およびチャネル密度を向上させつつ、第 1 領域 72 からの正孔の引抜性を向上させることができる。

- [0100] 図14に示すように、それぞれのトランジスタ部70において、第2領域74は、X軸方向の中央に配置されてよい。これにより、第2領域74とダイオード部80に挟まれた第1領域72から効率よく正孔を引き抜くことができる。
- [0101] 図17は、トランジスタ部70における第1領域72および第2領域74の配置例を示す図である。図17は、半導体基板10の端部近傍を拡大して示している。本例では、少なくとも一つのトランジスタ部70は、X軸方向において2つのダイオード部80に挟まれていない。例えば図17に示すように、X軸方向においてエッジ領域90と接するトランジスタ部70-1は、エッジ領域90とダイオード部80に挟まれている。また、少なくとも一つのトランジスタ部70は、X軸方向において2つのダイオード部80に挟まれている。例えば図17に示すように、X軸方向においてエッジ領域90から離れて配置されたトランジスタ部70-2は、2つのダイオード部80に挟まれている。本例のエッジ領域90は、上方にエミッタ電極52が設けられていない。このため、エッジ領域90からは、正孔が引き抜かれない。
- [0102] 本例では、トランジスタ部70-1における第2領域74-1は、トランジスタ部70-2における第2領域74-2よりも、X軸方向における幅が大きい。つまり、第2領域74-1の幅W1は、第2領域74-2の幅W2よりも大きい。幅W1は、幅W2の1.2倍以上であってよく、1.5倍以上であってもよい。トランジスタ部70-1は、X軸方向の片側にだけダイオード部80が配置されているので、ダイオード部80による正孔の引き抜き量が少なくなる。これに対して、第2領域74-1の幅を、第2領域74-2よりも大きくすることで、トランジスタ部70-1における正孔の引き抜き量を向上させることができる。
- [0103] また、トランジスタ部70-1における第2領域74-1のX軸方向における位置は、トランジスタ部70-1の中央よりも、エッジ領域90側に偏っていてよい。つまり、X軸方向におけるエッジ領域90と第2領域74-1との距離をL1、ダイオード部80と第2領域74-1との距離をL2と

すると、距離 L_1 は距離 L_2 よりも小さい。これにより、エッジ領域90に接する第1領域72の正孔を効率よく引き抜くことができる。

[0104] 図18は、トランジスタ部70における第1領域72および第2領域74の他の配置例を示す図である。本例のトランジスタ部70は、ダイオード部80からのX軸方向における距離Dが大きい領域ほど、ゲートトレンチ部40の本数に対するダミートレンチ部30の本数の比率（本明細書では、ダミー比率と称する場合がある）が大きい。なお、ダミー比率が小さい領域ほど、ゲートトレンチ部40の本数が多くなり、チャンネル密度が高くなる。

[0105] 例えばトランジスタ部70は、第2領域74-3と、第2領域74-3よりもダミー比率の大きい第2領域74-4とを有する。X軸方向において、ダイオード部80から第2領域74-4までの距離D2は、ダイオード部80から第2領域74-3までの距離D1よりも大きい。例えば第2領域74-4は、X軸方向におけるトランジスタ部70の中央に配置されている。第2領域74-3は、第2領域74-4のX軸方向における両側に接して配置されていてよい。第2領域74-3には、ゲートトレンチ部40が含まれていてよい。第2領域74-4にも、ゲートトレンチ部40が含まれていてよい。

[0106] このような構成により、ダイオード部80から離れた領域においても、正孔を効率よく引き抜くことができる。図18の例では、第2領域74-3と、第2領域74-4のように、第2領域74のダミー比率が2段階で変化する例を示したが、第2領域74のダミー比率は、より多くの段階で変化してもよい。

[0107] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

符号の説明

[0108] 10・・・半導体基板、12・・・エミッタ領域、14・・・ベース領域、

15・・・コンタクト領域、16・・・蓄積領域、17・・・下方領域、18・・・ドリフト領域、20・・・バッファ領域、21・・・上面、22・・・コレクタ領域、23・・・下面、24・・・コレクタ電極、25・・・接続部、30・・・ダミートレンチ部、32・・・ダミー絶縁膜、34・・・ダミー導電部、38・・・層間絶縁膜、40・・・ゲートトレンチ部、42・・・ゲート絶縁膜、44・・・ゲート導電部、50・・・ゲート配線、52・・・エミッタ電極、54・・・コンタクトホール、60・・・メサ部、61・・・メサ部、70・・・トランジスタ部、72・・・第1領域、74・・・第2領域、80・・・ダイオード部、82・・・カソード領域、90・・・エッジ領域、96・・・中央、100・・・半導体装置、200・・・半導体装置

請求の範囲

- [請求項1] トランジスタ部が設けられた半導体基板を備える半導体装置であって、
- 前記トランジスタ部における前記半導体基板は、
- 第1導電型のドリフト領域と、
- 前記ドリフト領域と前記半導体基板の上面との間に設けられ、前記ドリフト領域よりもドーピング濃度の高い第1導電型の蓄積領域と、
- 前記半導体基板の下面と前記ドリフト領域との間に設けられた第2導電型のコレクタ領域と、
- 前記半導体基板の上面から前記蓄積領域よりも深くまで設けられ、前記半導体基板の上面において予め定められた延伸方向に延伸して設けられ、且つ、前記延伸方向と直交する配列方向に配列された複数のゲートトレンチ部および複数のダミートレンチ部と、
- を備え、
- 前記トランジスタ部は、
- ゲートトレンチ部を含む第1領域と、
- 前記配列方向における単位長さ内に配置されるダミートレンチ部の本数が前記第1領域よりも多い第2領域と
- を有する半導体装置。
- [請求項2] 前記第2領域は、前記トランジスタ部の前記配列方向における中央に配置されている
- 請求項1に記載の半導体装置。
- [請求項3] 前記第1領域は、前記配列方向において連続して配置された複数の前記ゲートトレンチ部を含み、且つ、前記ダミートレンチ部を含まない
- 請求項1または2に記載の半導体装置。
- [請求項4] 前記第2領域は、前記ダミートレンチ部と、前記ゲートトレンチ部の両方を含む

請求項 1 または 2 に記載の半導体装置。

[請求項5] 前記第 1 領域および前記第 2 領域が、前記配列方向において並んで配置されている

請求項 1 から 4 のいずれか一項に記載の半導体装置。

[請求項6] 前記第 1 領域および前記第 2 領域が、前記延伸方向において並んで配置されている

請求項 1 から 5 のいずれか一項に記載の半導体装置。

[請求項7] 前記半導体基板にはダイオード部が更に設けられており、
前記トランジスタ部および前記ダイオード部は、前記配列方向において交互に配置されており、

少なくとも一つの前記トランジスタ部は、前記配列方向において前記ダイオード部に挟まれておらず、

少なくとも一つの前記トランジスタ部は、前記配列方向において前記ダイオード部に挟まれており、

前記ダイオード部に挟まれていない前記トランジスタ部における前記第 2 領域は、前記ダイオード部に挟まれている前記トランジスタ部における前記第 2 領域よりも、前記配列方向における幅が大きい

請求項 1 から 6 のいずれか一項に記載の半導体装置。

[請求項8] 前記半導体基板にはダイオード部が更に設けられており、
前記トランジスタ部および前記ダイオード部は、前記配列方向において交互に配置されており、

前記トランジスタ部は、前記配列方向における前記ダイオード部からの距離が大きい領域ほど、前記ゲートトレンチ部の本数に対する前記ダミートレンチ部の本数の比率が大きい

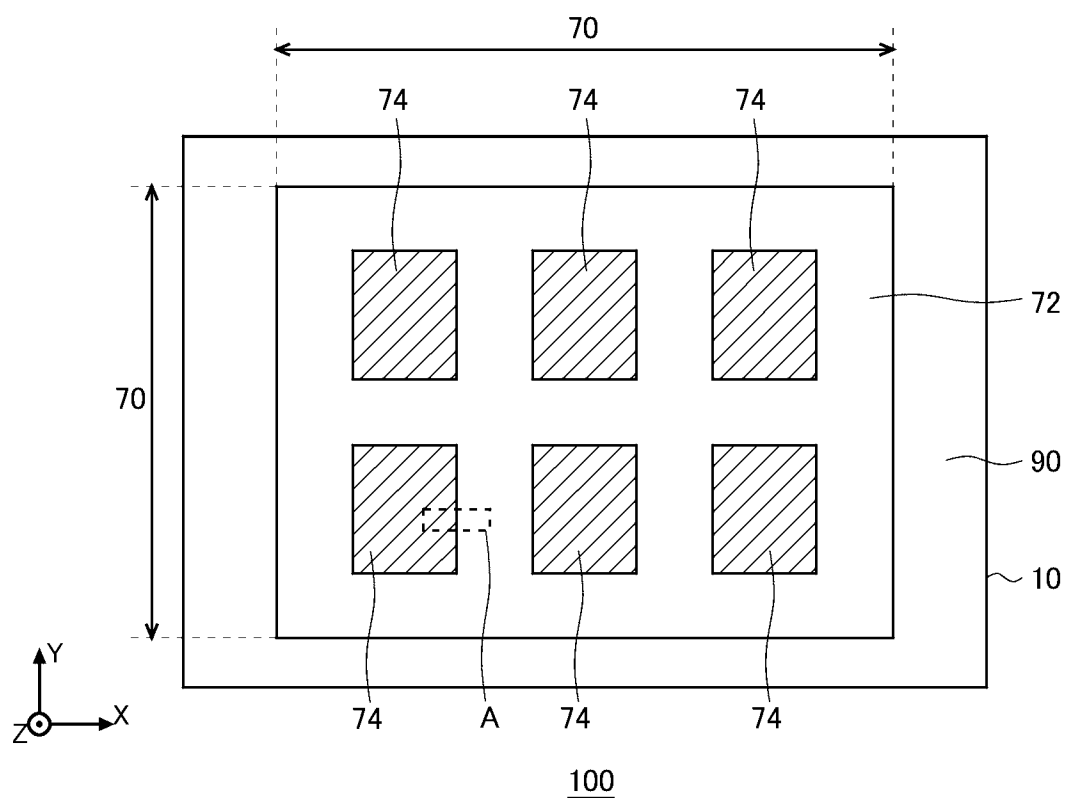
請求項 1 から 7 のいずれか一項に記載の半導体装置。

[請求項9] 前記第 2 領域は、前記延伸方向および前記配列方向の両方において前記第 1 領域に挟まれて配置されている

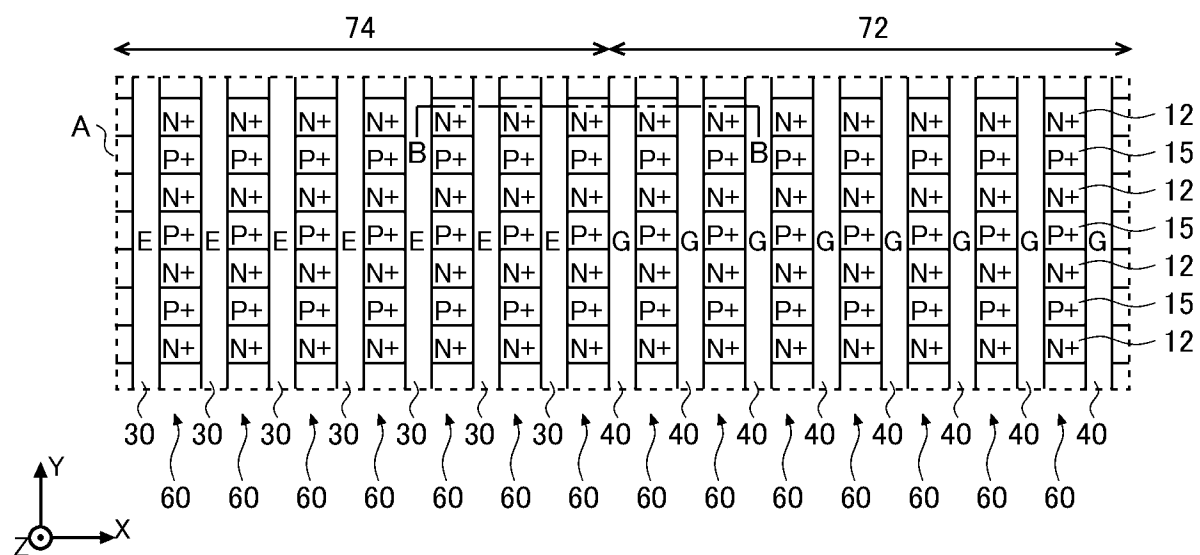
請求項 1 から 8 のいずれか一項に記載の半導体装置。

- [請求項10] 前記第1領域は、前記延伸方向および前記配列方向の両方において
前記第2領域に挟まれて配置されている
請求項1から8のいずれか一項に記載の半導体装置。

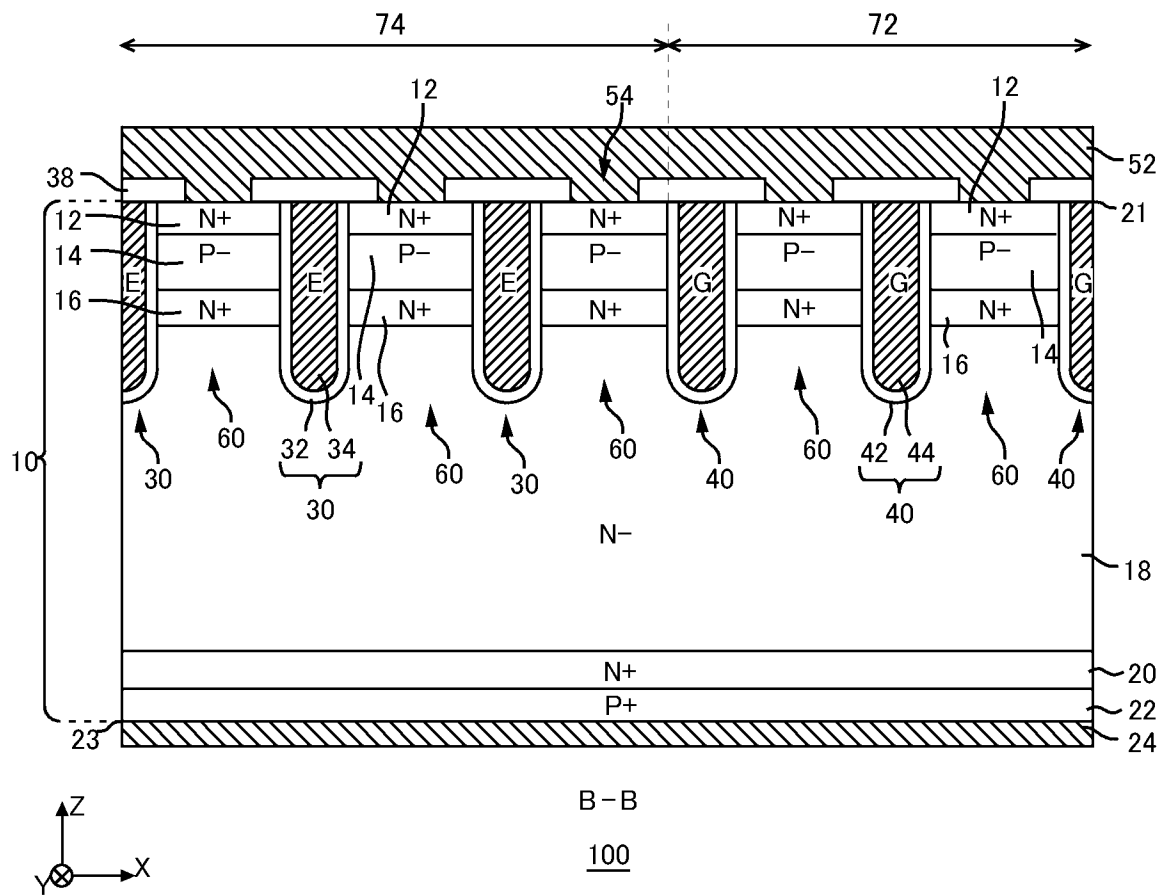
[図1]



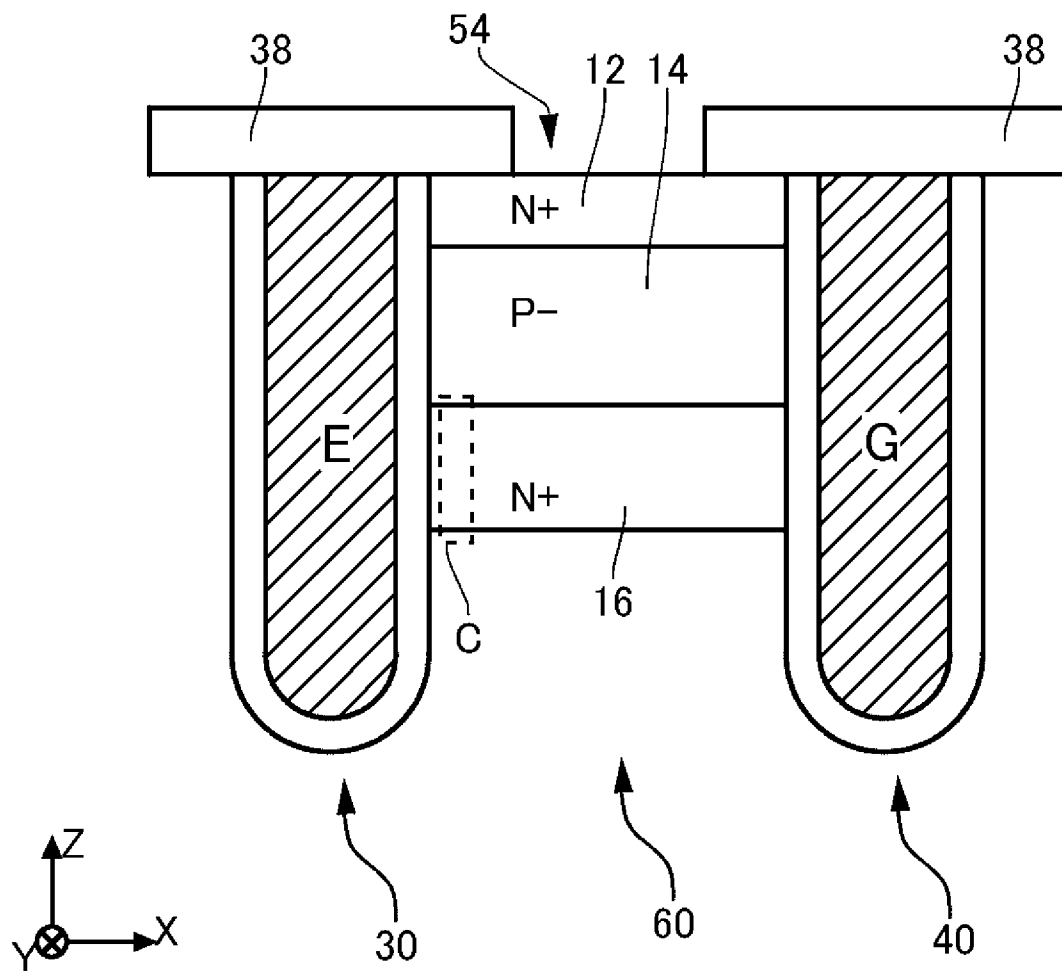
[図2]



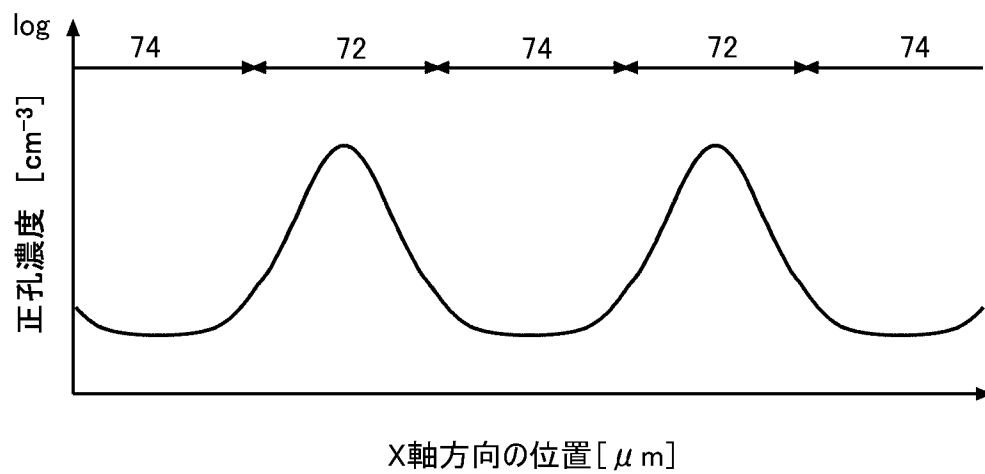
[図3]



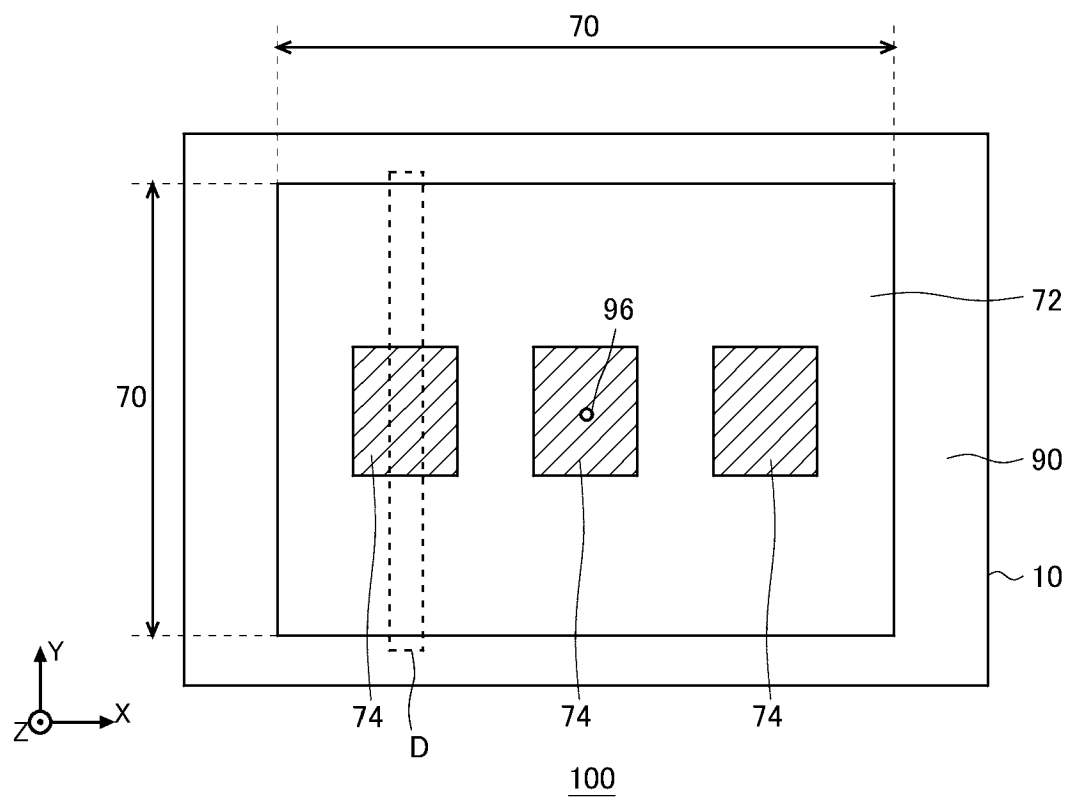
[図4]



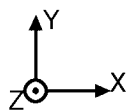
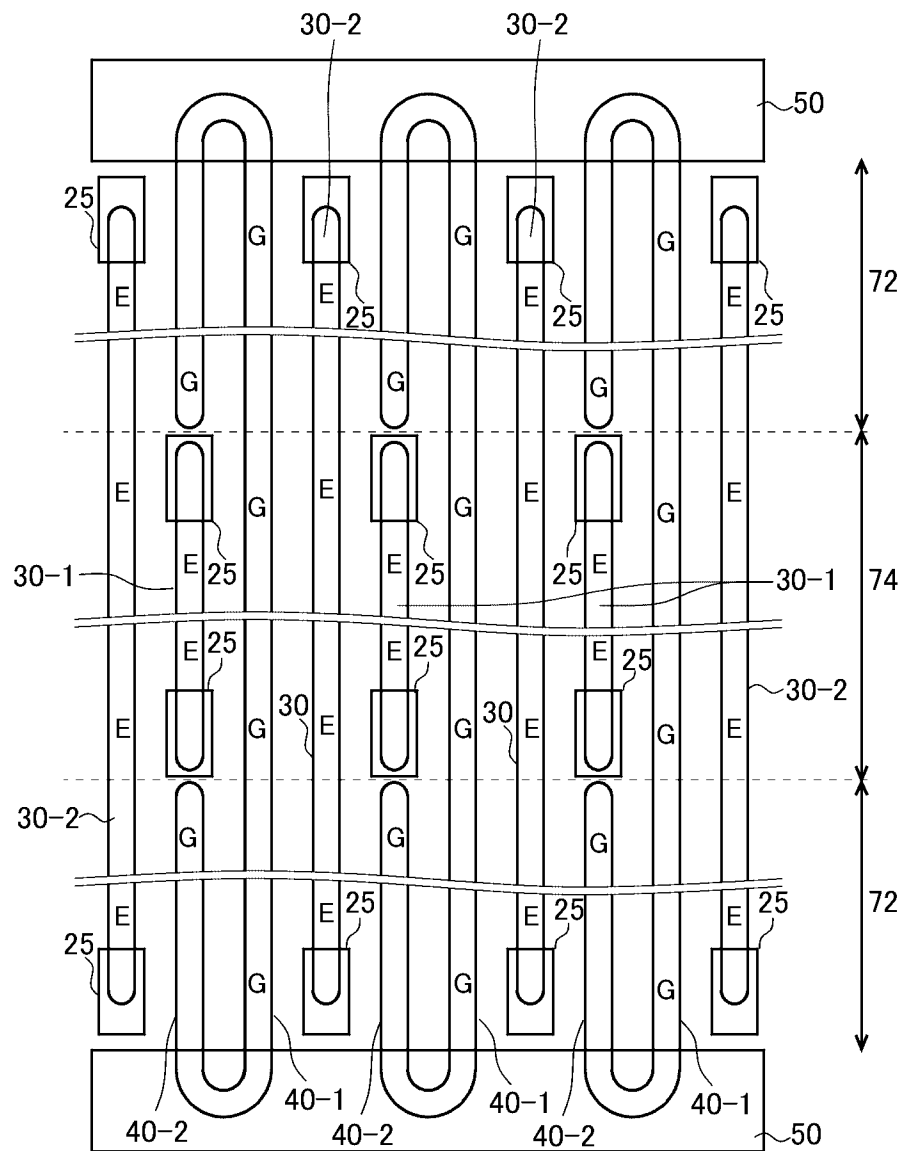
[図5]



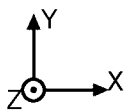
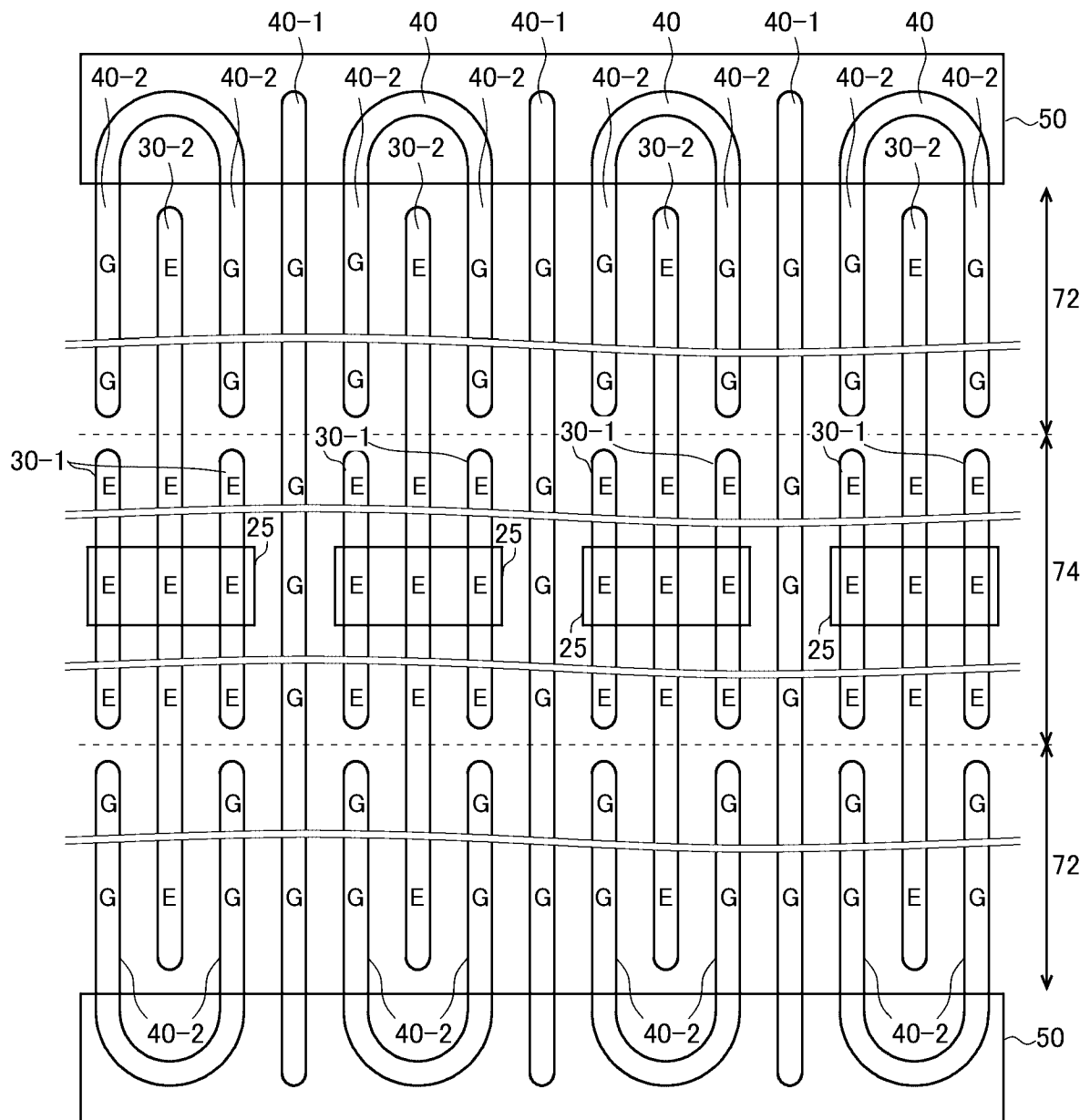
[図8]



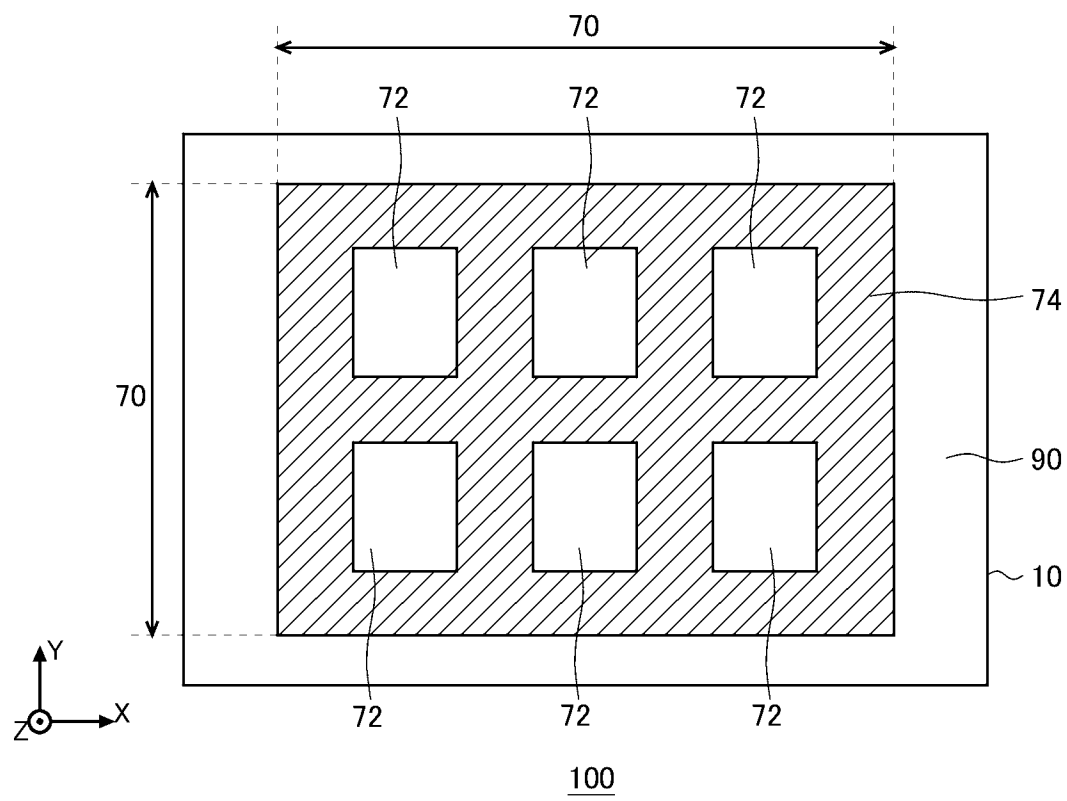
[図9]

D

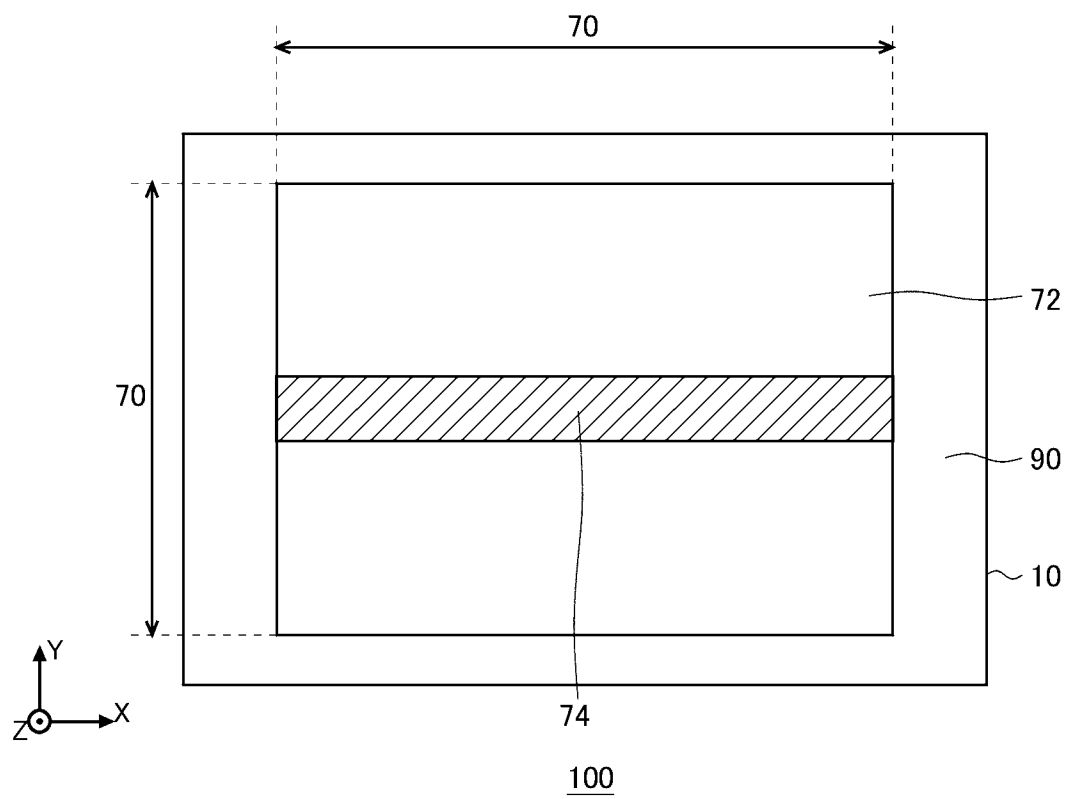
[図10]

D

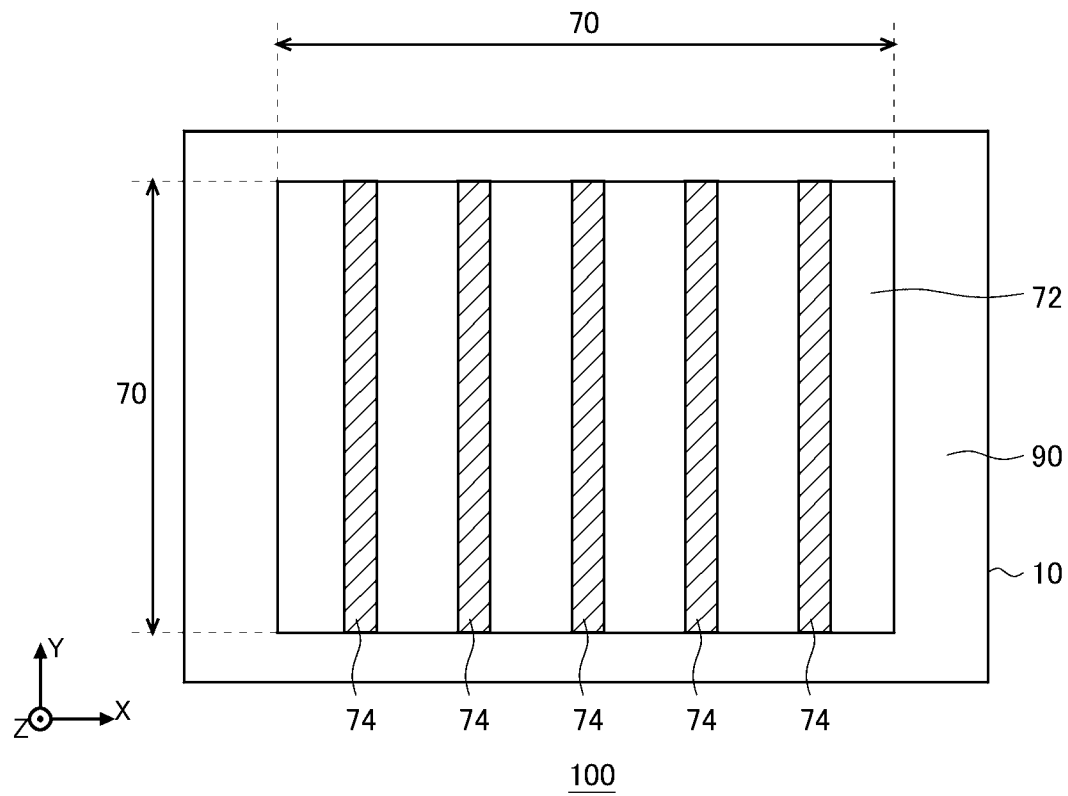
[図11]



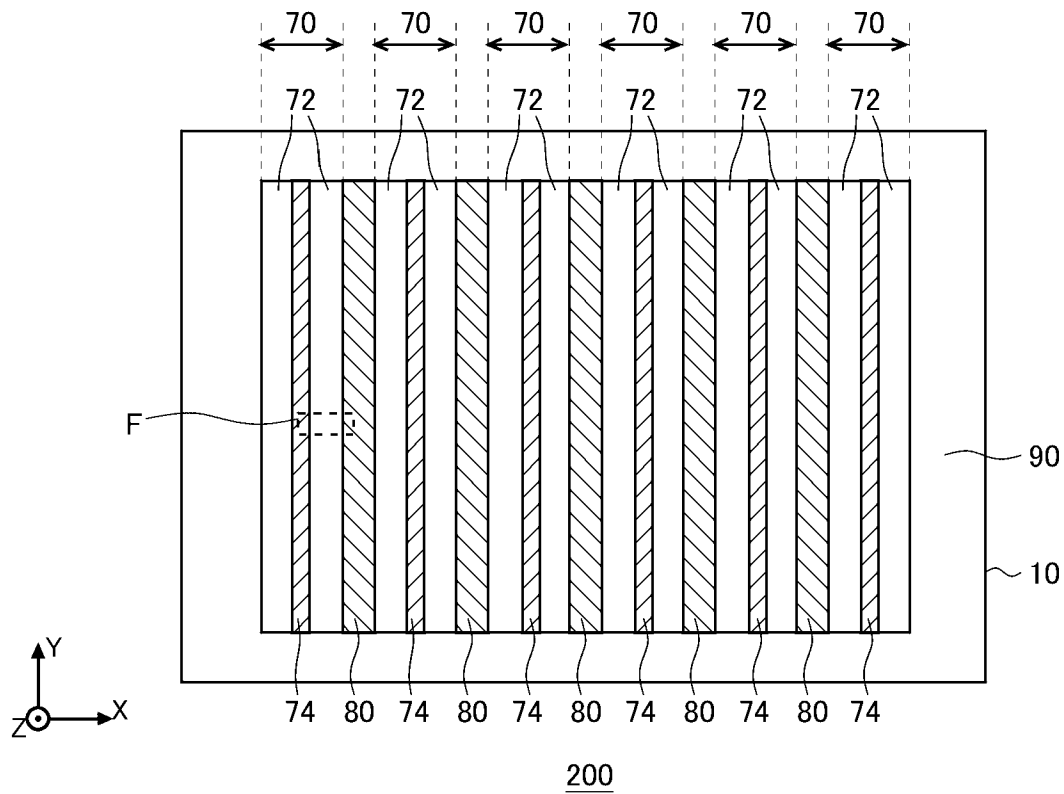
[図12]



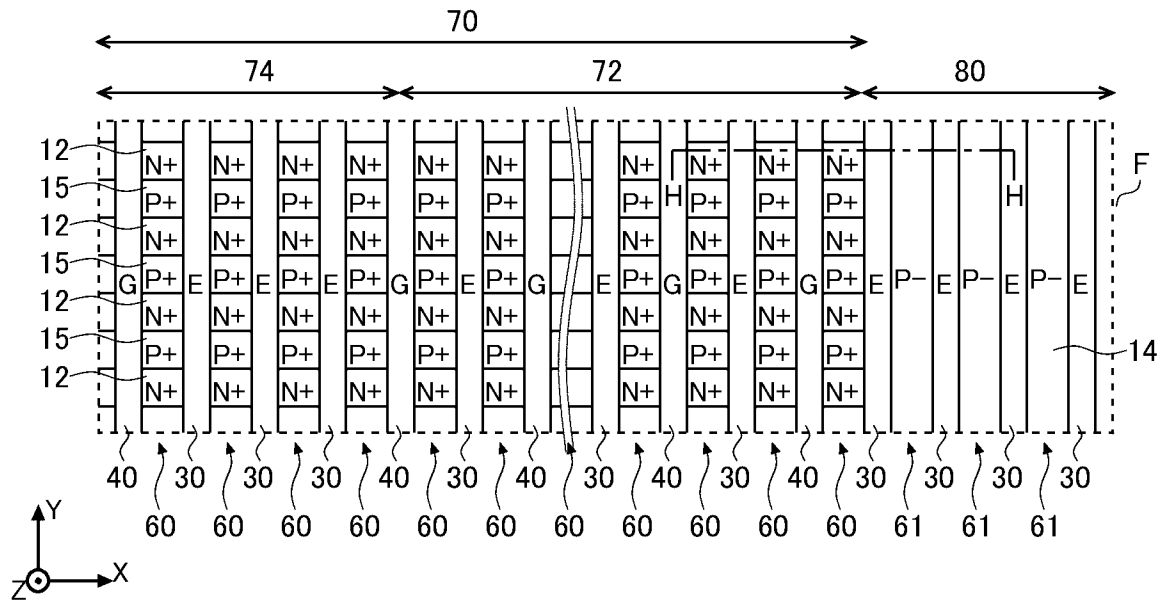
[図13]



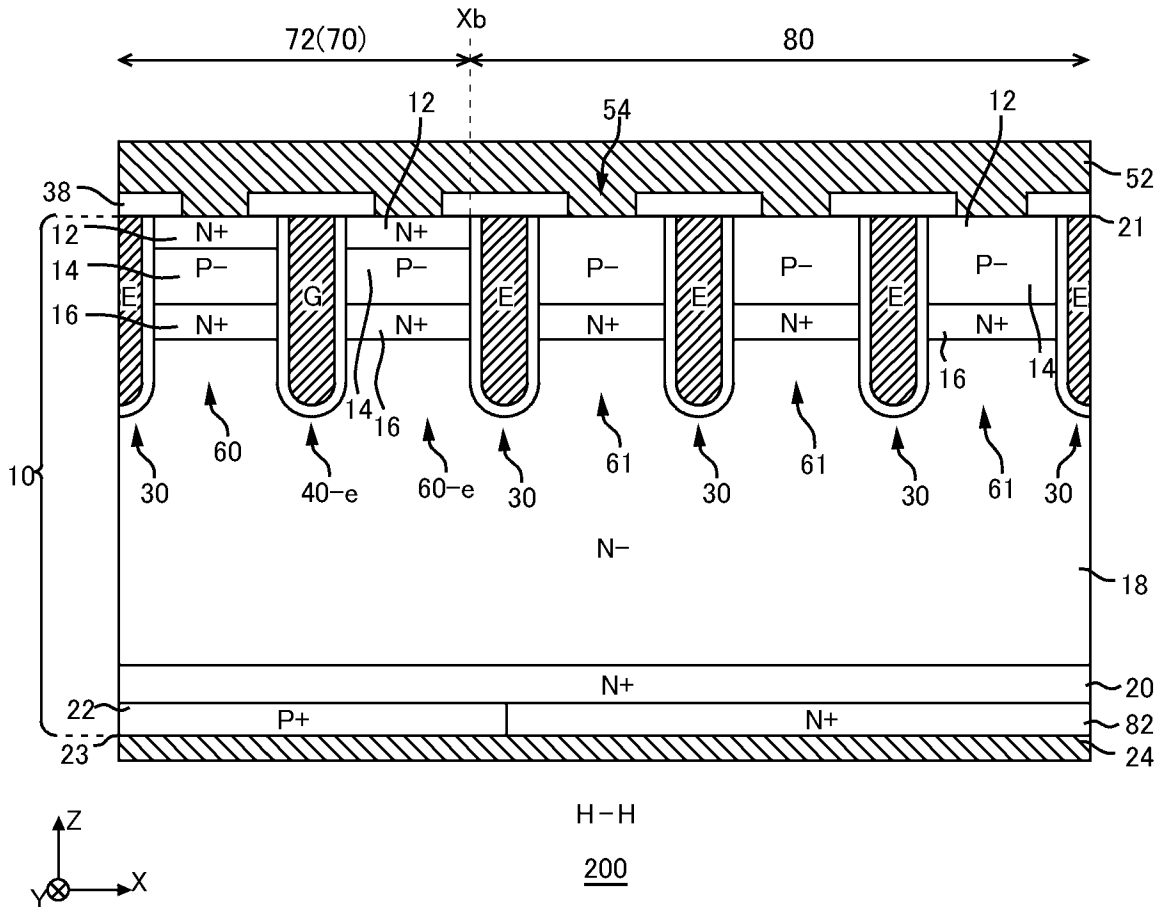
[図14]



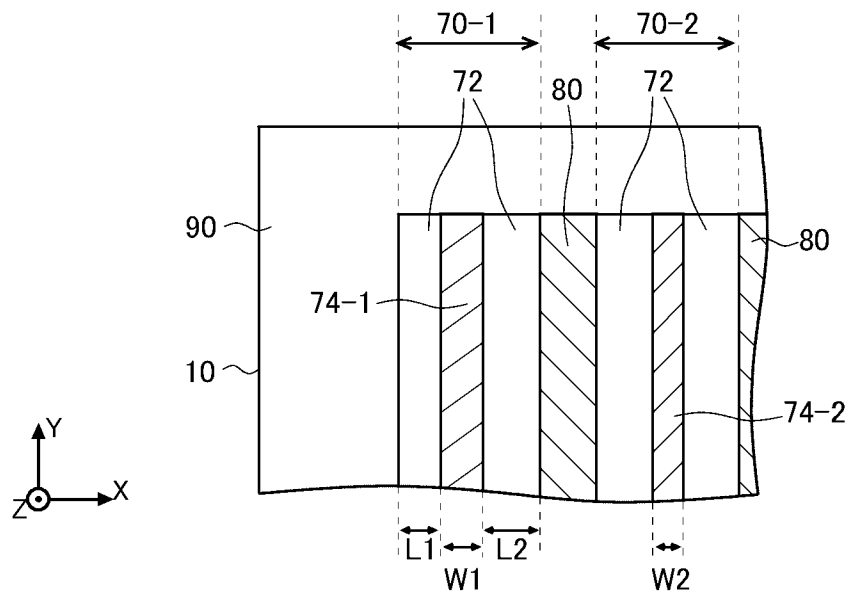
[図15]



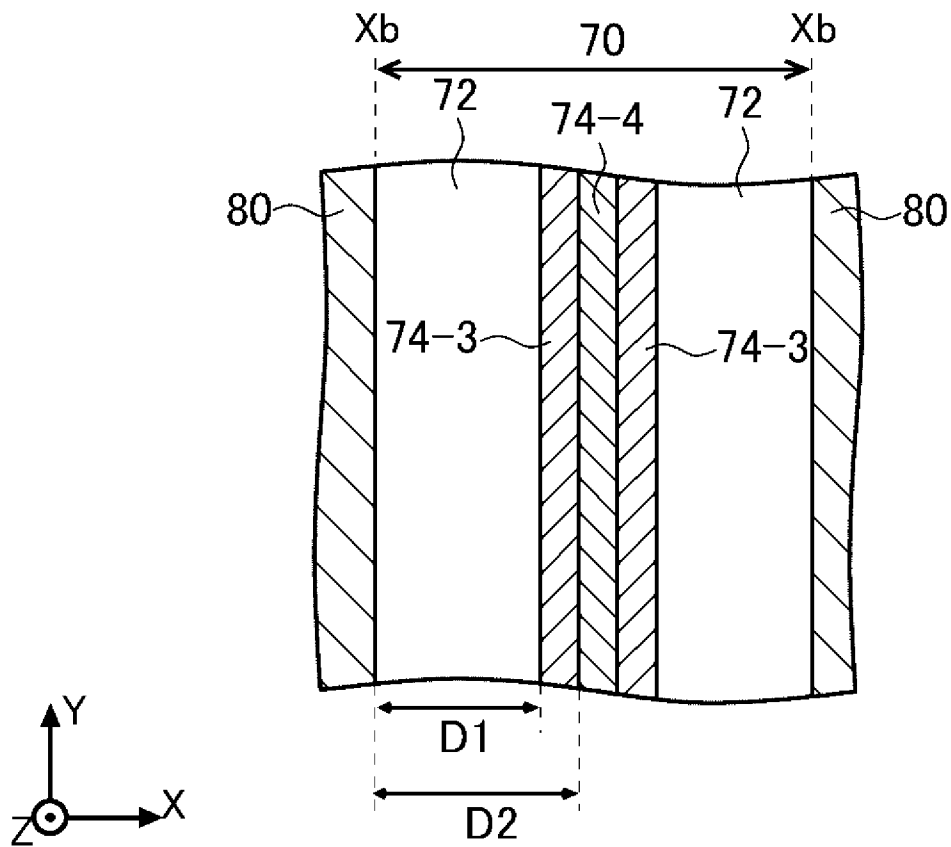
[図16]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/026181

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L29/739(2006.01)i, H01L21/8234(2006.01)i, H01L27/06(2006.01)i, H01L29/12(2006.01)i, H01L29/78(2006.01)i, H01L29/861(2006.01)i, H01L29/868(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L29/739, H01L21/8234, H01L27/06, H01L29/12, H01L29/78, H01L29/861, H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2011/111500 A1 (FUJI ELECTRIC SYSTEMS CO., LTD.) 15 September 2011, paragraphs [0096]-[0105], [0156], fig. 4-6, 28 & US 2013/0037853 A1, paragraphs [0145]-[0154], [0206], fig. 4-6, 28 & US 2015/0318386 A1 & EP 2546882 A1 & CN 102792448 A	1, 3-6, 9, 10 2, 7, 8
Y A	JP 2016-174029 A (TOSHIBA CORPORATION) 29 September 2016, paragraphs [0054]-[0058], fig. 5 & KR 10-2016-0111301 A & TW 201635528 A	1, 4, 5 2, 3, 6-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06.09.2019

Date of mailing of the international search report
17.09.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/026181

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2017/033315 A1 (MITSUBISHI ELECTRIC CORPORATION) 02 March 2017, paragraphs [0015]-[0019], fig. 1 & US 2018/0204909 A1, paragraphs [0030]-[0034], fig. 1 & CN 107949916 A	1, 3-6, 9, 10 2, 7, 8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L29/739(2006.01)i, H01L21/8234(2006.01)i, H01L27/06(2006.01)i, H01L29/12(2006.01)i, H01L29/78(2006.01)i, H01L29/861(2006.01)i, H01L29/868(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L29/739, H01L21/8234, H01L27/06, H01L29/12, H01L29/78, H01L29/861, H01L29/868

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	WO 2011/111500 A1 (富士電機システムズ株式会社) 2011.09.15, 段落[0096]-[0105], 段落[0156], 図4-図6, 図28 & US 2013/0037853 A1, 段落[0145]-[0154], 段落[0206], 図4-図6, 図28 & US 2015/0318386 A1 & EP 2546882 A1 & CN 102792448 A	1, 3-6, 9, 10 2, 7, 8
Y A	JP 2016-174029 A (株式会社東芝) 2016.09.29, 段落[0054]-[0058], 図5 & KR 10-2016-0111301 A & TW 201635528 A	1, 4, 5 2, 3, 6-10

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

06.09.2019

国際調査報告の発送日

17.09.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

棚田 一也

5 F

9361

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	WO 2017/033315 A1 (三菱電機株式会社) 2017. 03. 02, 段落 [0015]-[0019], 図 1 & US 2018/0204909 A1, 段落[0030]-[0034], 図 1 & CN 107949916 A	1, 3-6, 9, 10 2, 7, 8