ČESKOSLOVENSKÁ SOCIALISTICKÁ REPUBLIKA
(19)

ÚŘAD PRO VYNÁLEZY A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

241814
(11) (B1)

(22) Přihlášeno 04 09 84
(21) (PV 6627-84)

(40) Zveřejněno **22 08 85**

(45) Vydáno 15 09 87

(51) Int. Cl.[4]
B 60 L 15/18

(75)
Autor vynálezu SŮSA JAROSLAV ing.; KÝR LADISLAV ing., PLZEŇ

(54) Zařízení automatiky odbuzování pro trakční vozidla

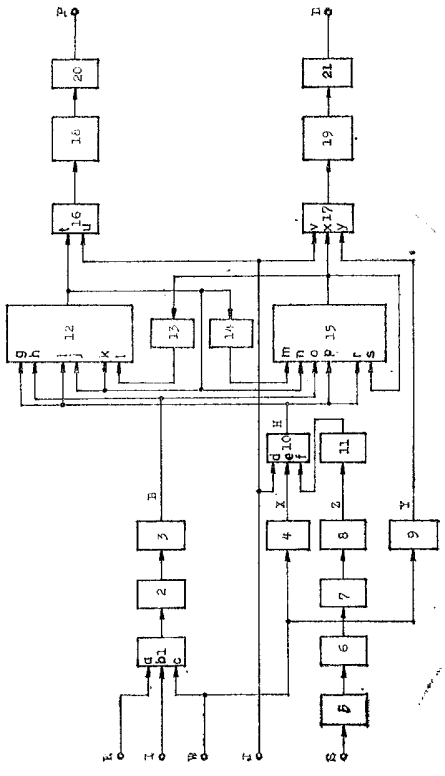
1

Zařízení automatiky odbuzování pro trakční vozidla s galvanickým oddělením se týká zajištění spínání a odpínání dvou odbuzovacích stupňů podle povelů řidiče, ale s ohledem na podmínky práce trakčního motoru. Tím jsou odstraněny momentové rázy, které vznikají při odbuzování trakčního motoru bez ohledu na jeho napěťové a proudové poměry, dále dochází k lepšímu využití elektrické energie a výkonu trakčního motoru.

Zařízení lze použít na trakčních vozidlech se stejnosměrným motorem, zejména na trolejbusech, kde se vyžaduje plynulé zvyšování rychlosti trakčního vozidla odbuzováním trakčního motoru ve dvou stupních s galvanickým oddělením vstupních a výstupních svorek automatiky odbuzování.

Zařízení je plně charakterizováno připojeným blokovým vyobrazením.

2



Vynález se týká zařízení automatiky odbuzování pro trakční vozidla, které odbuzuje ve dvou stupních s galvanickým oddělením vstupní a výstupní svorky.

Dosud nejpoužívanějším motorem v trakčních vozidlech je stejnosměrný motor, jehož regulace otáček při rozjezdu až do jmenovitých otáček se děje regulací napětí.

Další zvýšení otáček motoru nad jmenovitou hodnotu a tím další zvýšení rychlosti vozidla se děje odbuzováním motoru buď vyřazováním odboček budicího vinutí, nebo připojováním bočníků, které jsou k budicímu vinutí motoru připojovány v jednom nebo více stupních na základě povelů řidiče. Tím rozjezd a jízda trakčního vozidla zcela závisí na schopnostech řidiče, a tak může docházet v režimu jízda při sepnutí nebo rozepnutí odbuzovacího stupně v nevhodném okamžiku k momentovým rázům, ke špatnému využívání jak elektrické energie, tak i výkonu trakčního motoru.

Podstata vynálezu spočívá v tom, že první vstupní svorka je připojena na první vstup součtového členu, druhá vstupní svorka je připojena na druhý vstup součtového členu a na třetí vstup součtového členu je připojena třetí vstupní svorka, která je jednak připojena na vstup druhého tvarovacího obvodu a jednak na vstup čtvrtého tvarovacího obvodu, přičemž pátá vstupní svorka je připojena na vstup omezovače, jehož výstup je připojen na vstup filtru, jehož výstup je připojen na vstup druhého integrátoru, přičemž výstup druhého integrátoru je připojen na vstup třetího tvarovacího obvodu, jehož výstup je připojen na vstup invertoru, jehož výstup je připojen na třetí vstup logického obvodu AND, přičemž výstup součtového členu je připojen na vstup prvního integrátoru, jehož výstup je připojen na vstup prvního tvarovacího obvodu, jehož výstup je připojen jednak na druhý vstup prvního logického obvodu AND-OR, jednak na třetí vstup druhého logického obvodu AND-OR a že výstup druhého tvarovacího obvodu je připojen na druhý vstup logického obvodu AND a výstup čtvrtého tvarovacího obvodu je připojen na třetí vstup druhého logického obvodu NAND, přičemž druhý vstup druhého logického obvodu NAND je připojen jednak na výstup druhého logického obvodu AND-OR, jednak na šestý vstup druhého logického obvodu AND-OR a současně na vstup prvního časového obvodu, jehož výstup je připojen na šestý vstup prvního logického obvodu AND-OR, přičemž první vstup druhého logického obvodu NAND je připojen jednak na čtvrtou vstupní svorku, jednak na první vstup logického obvodu AND a současně na druhý vstup prvního logického obvodu NAND, přičemž první vstup logického obvodu NAND je připojen jednak na výstup prvního logického obvodu AND-OR, jednak na vstup druhého časového členu, jednak na čtvrtý vstup a pátý vstup prvního logického obvodu AND-OR a současně na druhý vstup druhého logického obvodu AND-OR, přičemž první vstup druhého logického obvodu AND-OR je připojen na výstup druhého časového členu, a že čtvrtý vstup a pátý vstup druhého logického obvodu AND-OR je připojen jednak na výstup logického obvodu AND a jednak na první vstup a třetí vstup prvního logického obvodu AND-OR, přičemž výstup prvního logického obvodu NAND je připojen na vstup prvního obvodu galvanického oddělení, jehož výstup je připojen na vstup prvního výkonového stupně, jehož výstup je připojen na první výstupní svorku a že výstup druhého logického obvodu NAND je připojen na vstup druhého obvodu galvanického oddělení, jehož výstup je připojen na vstup druhého výkonového stupně, jehož výstup je připojen na druhou výstupní svorku.

Zařízení podle vynálezu odstraňuje nevýhody výše uvedené. Největší předností a výhodou je odstranění momentových rázů v pohonu při sepnutí nebo rozepnutí odbuzovacích stupňů a možnost jízdy s trvale sepnutým jen jedním odbuzovacím stupněm.

Další výhodou je optimální využívání elektrické energie a maximální využívání výkonu motoru. Mezi výhody tohoto zapojení patří i galvanické oddělení řídicích obvodů od obvodů spojených s trakčním vedením a motorem.

Zařízení automatiky odbuzování pro trakční vozidla je zřejmé z připojeného výkresu.

Zařízení podle vynálezu sestává ze součtového členu **1** a prvního integrátoru **2** realizovaného např. operačním zesilovačem v zapojení jako sečítací integrátor. První vstup **a** součtového členu **1** je připojen na první vstupní svorku **K**, jehož druhý vstup **b** je připojen na druhou vstupní svorku **I** a třetí vstup **c** je připojen na třetí vstupní svorku **W**, která je jednak připojena na vstup druhého tvarovacího obvodu **4**, tvořeného tranzistorovým spínačem a současně na čtvrtý tvarovací obvod **9**, tvořeného např. operačním zesilovačem v zapojení jako komparátor.

Pátá vstupní svorka **S** je připojena na vstup omezovače **5**, tvořeného obvodem se Zenerovými diodami, jehož výstup je připojen na vstup filtru **6**, který je tvořen pasivními součástkami s různou časovou konstantou pro opačnou polaritu.

Výstup filtru **6** je připojen na vstup druhého integrátoru **7**, tvořeného např. operačním zesilovačem v zapojení jako integrátor, přičemž výstup integrátoru **7** je připojen na vstup třetího tvarovacího obvodu **8**, tvořeného např. diodovým omezovačem, na jehož výstup je připojen vstup invertoru **11**, který je tvořen číslicovým logickým obvodem NAND, jehož výstup je připojen na třetí vstup **f** logického obvodu **10** AND, tvořeného např. dvěma číslicovými logickými obvody NAND.

Výstup prvního integrátoru **2** je připojen na vstup prvního tvarovacího obvodu **3**, tvořeného např. diodovým omezovačem, jehož výstup je připojen na druhý vstup **h** prvního logického obvodu **12** AND-OR, tvořeného např. čtyřmi číslicovými logickými obvody NAND a současně na třetí vstup **o** druhého logického obvodu **15** AND-OR, tvořeného např. třemi číslicovými logickými obvody NAND.

Výstup druhého tvarovacího obvodu **4** je připojen na druhý vstup **e** logického obvodu **10** AND a výstup čtvrtého tvarovacího obvodu **9** je připojen na třetí vstup **y** druhého logického obvodu **17** NAND, přičemž druhý vstup **x** druhého logického obvodu **17** NAND je připojen jednak na výstup druhého logického obvodu **15** AND-OR, jednak na šestý vstup **s** druhého logického obvodu **15** AND-OR a současně na vstup prvního časového obvodu **13**, tvořeného např. dvěma hradly NAND a RC obvodem z pasivních součástek, jehož výstup je spojen se šestým vstupem **1** prvního logického obvodu **12** AND-OR.

První vstup **v** druhého logického obvodu **17** NAND je připojen jednak na čtvrtou vstupní svorku **J**, jednak na první vstup **d** logického obvodu **10** AND a současně na druhý vstup **u** prvního logického obvodu **16** NAND, přičemž jeho první vstup **t** je připojen jednak na výstup prvního logického obvodu **12** AND-OR, jednak na vstup druhého časového členu **14**, tvořeného např. tranzistorovým sledovačem s RC obvodem v obvodu báze, jednak na čtvrtý vstup **j** a pátý vstup **k** prvního logického obvodu **12** AND-OR a současně na druhý vstup **n** druhého logického obvodu **15** AND-OR, přičemž jeho první vstup **m** je připojen na výstup druhého časového členu **14**.

Čtvrtý vstup **p** a pátý vstup **r** druhého logického obvodu **15** AND-OR je připojen jednak na výstup logického obvodu **10** AND a jednak na první vstup **g** a třetí vstup **i** prvního logického obvodu **12** AND-OR, přičemž výstup prvního logického obvodu **16** NAND je připojen na vstup prvního obvodu **18** galvanického oddělení, tvořeného např. optočlenem.

Výstup obvodu **18** galvanického oddělení je připojen na vstup prvního výkonového stupně **20**, tvořeného např. tranzistorovým spínačem, jehož výstup je připojen na první výstupní svorku **P**.

Výstup druhého logického obvodu **17** NAND je připojen na vstup druhého obvodu **19** galvanického oddělení, realizovaného např. optočlenem, jehož výstup je připojen na vstup druhého výkonového stupně **21**, realizovaného např. tranzistorovým spínačem, jehož výstup je připojen na druhou výstupní svorku **D**.

Zařízení automatiky odbuzování pro trakční vozidla pracuje tak, že součtový člen **1**, první integrátor **2**, první tvarovací obvod **3**, druhý tvarovací obvod **4**, omezovač **5**, filtr **6**, druhý integrátor **7**, třetí tvarovací obvod **8** a čtvrtý tvarovací obvod **9** zpracovávají analogové signály a tvarují je na logické signály.

Logický signál **B**, na výstupu prvního tvarovacího obvodu **3**, nabývá logické hodnoty **I**, jestliže součet analogových signálů na vstupních svorkách **W**, **I** a **K** je větší než předem nastavená hodnota součtu v součtovém členu **1**. Po integraci analogového součtového signálu v prvním integrátoru **2** je analogový signál přiveden do prvního tvarovacího obvodu **3**.

Logický signál **X**, na výstupu druhého tvarovacího obvodu **4**, nabývá logické hodnoty **I**, jestliže analogový signál na třetí vstupní svorce **W** překročí např. 60 % své maximální hodnoty. Logický signál **Y**, na výstupu čtvrtého tvarovacího obvodu **9**, nabývá logické hodnoty **I**, jestliže analogový signál na třetí vstupní svorce **W**, překročí např. 80 % své maximální hodnoty.

Na pátou vstupní svorku **S** je připojen střídavý signál, který po omezení v omezovači **5**, po filtrování s různou váhou, např. 3 : 1 pro různou polaritu ve filtru **6** je veden do druhého integrátoru **7**, na jehož výstupu je připojen vstup třetího tvarovacího obvodu **8**, na jehož výstupu je logický signál **Z**, který nabývá logické hodnoty **I**, jestliže poměr záporných ke kladným impulsům na páté vstupní svorce **S** je větší než předem nastavená hodnota.

Na výstupu logického obvodu **10** AND je logický signál H, který má logickou hodnotu I, jestliže na jeho prvním vstupu **d** je logický signál J o logické hodnotě I, na jeho druhém vstupu **e** je logický signál **X** o logické hodnotě I a na jeho třetím vstupu **f** je logický signál z výstupu invertoru **11** o logické hodnotě I.

Na výstupu prvního logického obvodu **16** NAND se objeví logická hodnota O a tím na první výstupní svorce **P** se objeví napětí, jestliže signál **H** o logické hodnotě I je přiveden na první vstup **g** prvního logického obvodu **12** AND-OR a signál **B** o logické hodnotě I je přiveden na druhý vstup **h** prvního logického obvodu **12** AND-OR, který je svým výstupem připojen na první vstup **t** prvního logického obvodu **16** NAND, na jehož druhý vstup **u** musí být přípojen ze čtvrté vstupní svorky **J** logický signál o logické hodnotě I.

V normálním provozu, po objevení napětí na první výstupní svorce **P**, se zmenší hodnota signálů na vstupních svorkách **W** a **I** natolik, že logický signál **B** na výstupu prvního tvarovacího obvodu **3** přejde na logickou hodnotu O.

Výstup prvního logického obvodu **12** AND-OR je však udržován ve stavu logická hodnota I působením vazby z jeho výstupu na jeho čtvrtý vstup **j** a signálem **H** na jeho třetím vstupu **i** o logické hodnotě I. Napětí na druhé výstupní svorce **D** je podmíněno jednak přítomností logického signálu o lo-

gické hodnotě I na čtvrté vstupní svorce **J**, která je připojena na první vstup **v** druhého logického obvodu **17** NAND, jednak signálem o logické hodnotě I na jeho druhém vstupu **x**, který je připojen na výstup druhého logického obvodu **15** AND-OR a jednak signálem **Y** o logické hodnotě I z výstupu čtvrtého tvarovacího obvodu **9**, který je připojen na třetí vstup **y** druhého logického obvodu **17** NAND.

Přičemž signál o logické hodnotě I na výstupu druhého logického obvodu **15** AND-OR je podmíněn jednak přítomností signálu **B** o logické hodnotě I na jeho třetím vstupu **o**, přítomností logického signálu o napětí na první výstupní svorce **P** o logické hodnotě I na jeho druhém vstupu **n**, který je připojen na výstup prvního logického obvodu **12** AND-OR a dále přítomností signálu o logické hodnotě I, který je na první vstup **m** druhého logického obvodu **15** AND-OR přiveden z výstupu druhého časového členu **14**.

Logický signál o logické hodnotě I na výstupu druhého časového členu **14** se objeví až po době určené druhým časovým členem **14**, po vzniku signálu o logické hodnotě I na výstupu prvního logického obvodu **12** AND-OR. Po možném zániku signálu **B**, logická hodnota **O**, který je připojen na třetí vstup **o** druhého logického obvodu **15** AND-OR, je na jeho výstupu udržován signál o logické hodnotě I pomocí vazby z výstupu druhého logického obvodu 15 AND-OR na jeho šestý vstup **s** a přitom na jeho pátý vstup **r** je připojen signál **H** o logické hodnotě I.

Ke ztrátě napětí na první výstupní svorce **P** a druhé výstupní svorce **D** dochází rovněž postupně na základě přechodu signálu **H** z logické hodnoty I na logickou hodnotu O. Při zániku signálu **H**, logická hodnota O, zmizí signál o logické hodnotě I na výstupu druhého logického obvodu **15** AND-OR a tím zmizí napětí na druhé výstupní svorce **D** okamžitě.

Ztráta napětí na první výstupní svorce **P** je zpožděna o časový interval pomocí vazby z výstupu prvního časového členu **13**, který je připojen na šestý vstup **1** prvního logického obvodu **12** AND-OR. Logický signál o logické hodnotě O se na výstupu prvního časového členu **13** objeví až po určité době po přechodu výstupu druhého logického obvodu **15** AND-OR z úrovně o logické hodnotě I na logickou hodnotu O.

Časový interval je stanoven tak, aby se signál **H** po ztrátě napětí na druhé výstupní svorce **D** mohl obnovit a napětí na první výstupní svorce **P** tak zůstalo až do okamžiku případného dalšího snížení rychlosti trakčního vozidla.

Dojde-li k zániku signálu **H**, logická hodnota O, jiným způsobem, tj. ztrátou signálu **X**, logická hodnota O, nebo **Z**, logická hodnota O, nebo k zániku signálu na čtvrté vstupní svorce **J**, logická hodnota O, dojde k postupné ztrátě napětí na výstupních svorkách, a to na druhé výstupní svorce **D** ihned a na první výstupní svorce **P** se zpožděním, které je dáno zpožděním prvního časového členu **13**.

Jestliže dojde k zániku signálu **Y** na výstupu čtvrtého tvarovacího obvodu **9**, dojde ke ztrátě napětí jen na druhé výstupní svorce **D**. Výkonová část, která galvanicky odděluje řídicí obvody od trakčních obvodů spojených s trolejí a trakčním motorem a zesiluje signály pro sepnutí odbuzovacích stupňů, se skládá z prvního obvodu **18** galvanického oddělení, z prvního výkonového stupně **20**, z druhého obvodu **19** galvanického oddělení a z druhého výkonového stupně **21**.

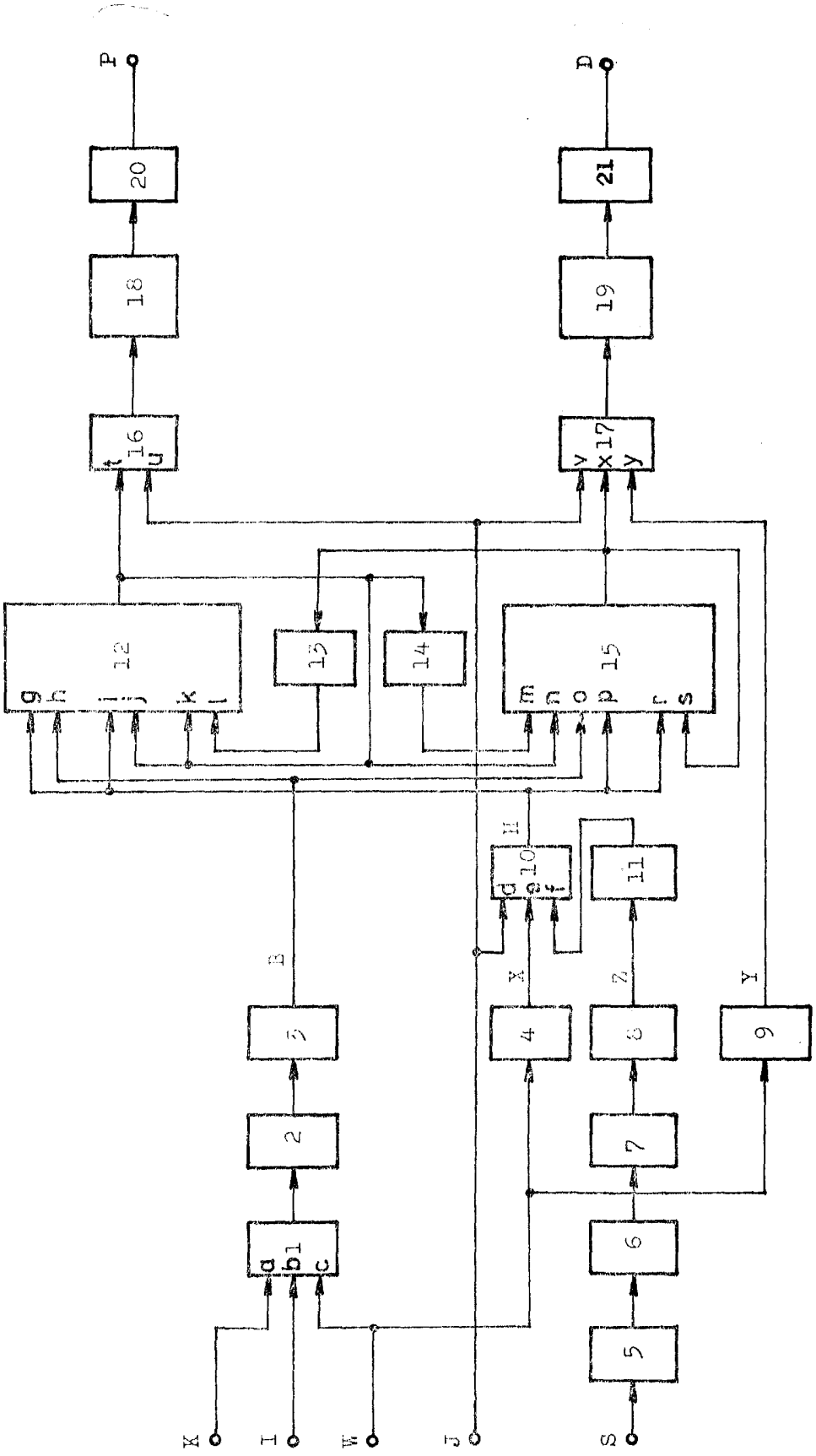
Výše popsané zařízení automatiky odbuzování pro trakční vozidla lze použít na trolejbusech a jiných trakčních vozidlech, kde se nepřipouštějí momentové rázy a kde je požadováno plné využití výkonu trakčního motoru a optimální využití elektrické energie a dále tam, kde se požaduje galvanické oddělení řídicích obvodů od trakčních obvodů spojených s trolejovým vedením.

PŘEDMĚT VYNÁLEZU

Zařízení automatiky odbuzování pro trakční vozidla, sestávající ze součtového členu, integrátorů, tvarovacích obvodů, omezovače, filtru, logického obvodu AND, invertoru, logických obvodů AND-OR, logických obvodů NAND, časových členů, výkonových stupňů a z obvodů galvanického oddělení, vyznačené tím, že první vstupní svorka (K) je připojena na první vstup (a) součtového členu (1), na druhý vstup (b) součtového členu (1) je připojena druhá vstupní svorka (I) a na třetí vstup (c) součtového členu (1) je připojena třetí vstupní svorka (W), která je jednak připojena na vstup druhého tvarovacího obvodu (4) a jednak na vstup čtvrtého tvarovacího obvodu (9), přičemž pátá vstupní svorka (S) je připojena na vstup omezovače (5), jehož výstup je připojen na vstup filtru (6), jehož výstup je připojen na vstup druhého integrátoru (7), přičemž výstup druhého integrátoru (7) je

připojen na vstup třetího tvarovacího obvodu (8), jehož výstup je připojen na vstup invertoru (11), jehož výstup je připojen na třetí vstup (f) logického obvodu (10) AND, přičemž výstup součtového členu (1) je připojen na vstup prvního integrátoru (2), jehož výstup je připojen na vstup prvního tvarovacího obvodu (3), jehož výstup je připojen jednak na druhý vstup (h) prvního logického obvodu (12) AND-OR, a jednak na třetí vstup (o) druhého logického obvodu (15) AND-OR, přičemž výstup druhého tvarovacího obvodu (4) je připojen na druhý vstup (e) logického obvodu (10) AND a výstup čtvrtého tvarovacího obvodu (9) je připojen na třetí vstup (y) druhého logického obvodu (17) NAND, přičemž druhý vstup (x) druhého logického obvodu (17) NAND je připojen jednak na výstup druhého logického obvodu (15) AND-OR, jednak na šestý vstup (s) druhého logického obvodu (15) AND-OR a současně na vstup prvního časového obvodu (13), jehož výstup je připojen na šestý vstup (l) prvního logického obvodu (12) AND-OR, přičemž první vstup (v) druhého logického obvodu (17) NAND je připojen jednak na čtvrtou vstupní svorku (J), jednak na první vstup (d) logického obvodu (10) AND a na druhý vstup (u) prvního logického obvodu (16) NAND, přičemž první vstup (t) prvního logického obvodu (16) NAND je připojen jednak na výstup prvního logického obvodu (12) AND-OR, jednak na vstup druhého časového členu (14), jednak na čtvrtý vstup (j) a pátý vstup (k) prvního logického obvodu (12) AND-OR a současně na druhý vstup (n) druhého logického obvodu (15) AND-OR, přičemž první vstup (m) druhého logického obvodu (15) AND-OR je připojen na výstup druhého časového členu (14), přičemž čtvrtý vstup (p) a pátý vstup (r) druhého logického obvodu (15) AND-OR je připojen jednak na výstup logického obvodu (10) AND a jednak na první vstup (g) a třetí vstup (i) prvního logického obvodu (12) AND-OR, přičemž výstup logického obvodu (16) NAND je připojen na vstup prvního obvodu (18) galvanického oddělení, jehož výstup je připojen na vstup prvního výkonového stupně (20), jehož výstup je připojen na první výstupní svorku (P), přičemž výstup druhého logického obvodu (17) NAND je připojen na vstup druhého obvodu (19) galvanického oddělení, jehož výstup je připojen na vstup druhého výkonového stupně (21), jehož výstup je připojen na druhou výstupní svorku (D).

1 list výkresů


P
D
20
21
18
19
16
17
12
13
14
15
10
11
1
2
3
4
5
6
7
8
9
K
I
W
J
S