



[12] 发明专利说明书

CN 1021997C

[21] 专利号 ZL 90106626

[51]Int.Cl⁵

G11C 7/02

[45]授权公告日 1993年9月1日

[24]颁证日 93.6.20

[21]申请号 90106626.5

[22]申请日 90.7.31

[30]优先权

[32] 89.12.29[33] KR[31]20102/89

[73]专利权人 三星电子株式会社

地 址 韩国京畿道水原市

[72]发明人 闵东宣 赵秀仁 陈大济

[74]专利代理机构 中国专利代理(香港)有限公司

G11C 11/40

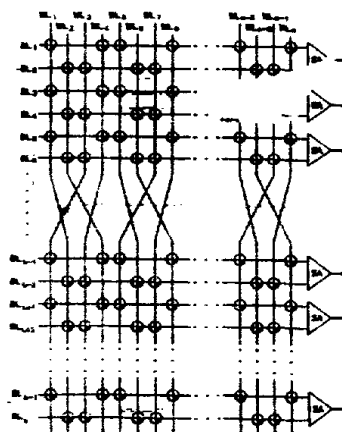
代理人 匡少波 黄小鸥

说明书页数: 附图页数:

[54]发明名称 半导体存储设备

[57]摘要

一种高密度存储设备,通常包括多个排连接到多个字线、多个位线、和译码器。这种存储设备中各毗邻线之间的电容会引起不希望有的耦合干扰,从而将各信号引入歧途。一种旨在解决上述这些问题的存储设备,其存储单元阵列包括多个位线BL、多个字线WL和多个读出放大器SA。各字线每四个一组进行扭曲,使得各线在其整个长度上与其毗邻接线相隔一段距离,且系配置得使各线之间的耦合电容减小。各字线驱动器以这样的方式配置在阵列两边,使得存储设备的布局达到最佳情况。



权 利 要 求 书

1. 一种半导体存储设备, 包括:
多个相互平行延伸的字线; 和
至少一个扭曲区, 所述字线在该区中相互扭曲, 把字线分为第一和第二长度部分;
其特征在于,
至少由四条字线组成的字线组相互扭曲, 扭曲方式是使在所述第一长度部分相互毗邻的所述组中的第一和第二条字线, 在所述第二长度部分不相互毗邻。
2. 如权利要求1 所述的半导体存储设备, 其特征在于, 配置的所述字线是在所述半导体存储设备的搭接区进行扭曲的。

半导体存储设备

本发明涉及一种半导体存储设备的字线，特别是，但不是唯独地，涉及半导体存储器阵列的一种布局方法。

由于半导体存储设备的设计趋向于在微小芯片表面上采用越来越高的存储单元和存储器阵列的组装密度，因此半导体存储设备的存储单元和其它元件的操作日益受到这类高密度存储器阵列布局所引起的一些问题的影响。

特别是，在具有多个存储单元、多个位线和多个字线的存储器阵列中，在各线之间引入较窄的间距就会在某一线有信号传输时在各线之间产生容性耦合。各线之间的容性耦合可能会达到线本身容性分量的两倍。

一般说来，要增大半导体存储设备的存储容量需要增加字线的长度，缩小各字线之间的间距。但鉴于访问存储单元所需要的时间取决于所附字线的长度，因而不希望字线过长。因此在一般的存储器中，为补偿访问时间因字线长而引起的延迟，有时在各字线的多晶体上加一个金属层，使其有可能通过金属中的传导作用进行高速操作。但在各字线上加覆盖层会因金属伸出各字线外而使各线间的间距更窄，因而使各线间的容性耦合比未加覆盖层的各线更大。

因此因各线的金属覆盖层之间的容性耦合传输而引起的干扰就附加到各线间的容性耦合而引起的干扰。由于这种各字线之间的容性耦合所引起的干扰在选取字线时总是要加入或放出，因此毗邻各字线间的交扰

有可能在存储器高速操作时使存储器信号误入歧途。

具有精密密封的金属氧化物半导体(MOST)晶体管元件密集组装的存储器阵列和采用高驱动电压级驱动字线而操作的存储电路, 以及在设计这些存储器阵列时, 与这些高等级驱动电压有关的干扰是不能忽略不计的。因此为了减少干扰, 上述的现行存储器一直都采用小于5伏的字线驱动电压。然而由于晶体管必须要由高于其阈电压的电压操作, 因而降低字线驱动电压的幅度是有限的。

附图中的图1 示出了具有上述若干问题的一般存储器阵列。参看图1。存储器阵列包括多个位线 $BL_1 \sim BL_k$ 、多个与各位线交叉的字线 $WL_1 \sim WL_n$ 、多个成阵列配置的存储单元和多个读出放大器SA。各对位线连接到相应的读出放大器上。各存储单元配置在字线和位线的各交叉点上。在存储器阵列进行读出操作时, 存储在相应的字线所选取的一个存储单元M 中的信号加到所选取的相应位线上, 于是相应的读出放大器读取信息。

附图的图2 中示出了图1 所示的存储器阵列各字线 WL_1 至 WL_4 的耦合电容和容性元件。

参看图2, 与各字线有关的电容包括各字线 $WL_1 \sim WL_4$ 之间的耦合电容 C_{12} 、 C_{23} 、 C_{34} 、 C_{45} 和分别与各字线 $WL_1 \sim WL_4$ 有关的衬底电容 C_1 、 C_2 、 C_3 、 C_4 。选取某特定字线时, 在附近未经选取的字线上可能会出现字线耦合干扰电压 V_{CP} , 大致可用下式表示:

$$V_{CP} = \frac{C_c}{C_s + C_c} \times V_{WL}$$

其中 V_{WL} 是所选取的字线的驱动电压, C_s 是某线的衬底电容, C_c 是两线之间的耦合电容。

字线的衬底电容 C_s 取决于该字线的金属结构和存储器阵列衬底的具体特性。任何具体字线的衬底电容 C_s 可以视为不变。字线驱动电压 V_{WL}

变化时影响字线耦合干扰电压，但由于字线驱动电压起码等于存储单元晶体管的阈电压，因而 V_{WL} 项的变化可以忽略不计。熟悉本技术领域的人士不难理解，影响字线耦合干扰电压最重要的因素是耦合电容 C_c 。

因此本发明的一些最佳实施例旨在减少因半导体存储设备各字线之间的耦合而引起的干扰。

本发明的另一个目的是减少半导体存储设备中各字线之间的耦合电容。

根据本发明的一个方面，本发明提供这样一种半导体存储设备，该半导体存储设备具有一组通常彼此平行的信号线，所述信号线组的第一和第二长度之间形成有至少一个扭曲区，从而使该组信号线的第一和第二信号线在整个所述第一长度彼此毗邻，而不在整个所述第二长度彼此毗邻。

信号线组的所述第一和第二线之间最好在所述第二长度内插入有第三线。

所述信号线组最好包括至少四个线。

在整个所述第二长度上的各对毗邻信号线最好与整个所述第一长度上的各对毗邻信号线不同。

所述的扭曲区最好在存储器的搭接区。

所述各信号线可以是字线。

所述第一长度可以在所述存储单元阵列的第一部分中，所述第二长度可以在所述存储单元阵列的第二部分中。

所述信号线组可以具有多个所述扭曲区，各扭曲区处在信号线组顺次的长度之间。

所述半导体存储设备可以配备有多个所述信号线组。

为更好地理解本发明的内容和展示如何实施本发明，现在通过举例和参照各附图的图3 和图4 来说明本发明，其中：

图3 示出了根据本发明的一个最佳实施例的半导体存储设备中字线的配置情况;

图4 示出了说明根据图3 最佳实施例的各字线的耦合和容性元件的示意图。

参看图3。半导体存储设备包括多个位线 BL_1 — BL_K ，各对位线连接到相应的读出放大器SA；多个与各位线交叉配置的字线 WL_1 — WL_n ；各字线分成若干组，各组含有四个字线 WL_1 至 WL_4 ， WL_5 至 WL_8 ，…… WL_{n-3} 至 WL_n 等等。

各组的字线在沿字线大约半途的位置的所谓的搭接区扭曲。

因此扭曲区配置在字线组第一长度（对应于位线 BL_1 至 BL_{L-1} 如图所示）与字线组第二长度（对应于位线 BL_{L-1} 至 BL_{L+2} 相交的区域，如图所示）之间。

应该理解的是，在本说明书中，“扭曲”一词是指至少两个线交叉的情况。

举例说，在第二字线 WL_2 与位线 BL_1 至 BL_6 相交的第一长度中，第二字线 WL_2 被安置在第一字线 WL_1 与第三字线 WL_3 之间。各字线在其第一与第二长度之间的扭曲区扭曲。在第二长度中，各字线与位线 BL_{L-1} 至 BL_{L+2} 相交，第二字线 WL_2 位于第四字线 WL_4 与第七字线 WL_7 之间。

同样，在第二长度中，第一字线 WL_1 安置在第三字线 WL_3 与第四字线 WL_4 之间，第四字线 WL_4 则安置在第一字线 WL_1 与第二字线 WL_2 之间。第三字线 WL_3 在扭曲区扭曲，被安置在第二长度中存储器阵列的边缘。

由于在第一区 BL_1 至 BL_6 中、两字线的间距在第二区 BL_{L-1} 至 BL_{L+2} 中增加了，因而两字线之间在第二区中的耦合电容减小。

各字线，除在扭曲区中外，大致上平行配置，因此平行板间的电容与该板的平面之间的距离成反比，这个一般原理也可适用于这种情况的

字线。各字线在扭曲区中的扭曲可以安排得使其位于连接各字线所用的同一区域(即搭接区),从而无需以另外单独的区域来容纳扭曲各字线。经扭曲的字线减小了的耦合电容值和字线耦合干扰电压可以(2)式表示如下:

$$C_{c'} = 0.5 \times C_c \quad (2a)$$

$$V_{CP} = \frac{C_{c'}}{C_s + C_{c'}} V_{WL} \quad (2b)$$

其中 $C_{c'}$ 是在第一区中毗邻但在第二区中为第三字线所隔开的各字线在第二区中的耦合电容值。其它参数的意义与以前的相同。

耦合电容值具体减小的情况可通过图2与图4的比较加以说明。

图4中,毗邻各字线长度之间的耦合电容值 C'_{12} 、 C'_{23} 、 C'_{34} 、 C'_{45} 约为图2中所示的各字线的毗邻长度的耦合电容值 C_{12} 、 C_{23} 、 C_{34} 、 C_{45} 的一半。

如(2)式所示,由于图4中的耦合电容值与图2的耦合电容值比较,大致上减了半,因而本发明最佳实施例中的字线耦合干扰电压 V_{CP} 与图2中所示的存储器比较,也可以大致上减了半。

在本发明的最佳实施例中,各字线驱动器分配有一个四字线组,且各字线起码与同组的另一个字线扭曲。但实验结果表明,若多个四个字线的线组相互扭曲,则可进一步减小字线耦合干扰。

此外上述扭曲字线进行配置的方法也适用于例如半导体存储设备中输入/输出或信号线多于四个的总线。上述扭曲法还适用于输入/输出线、列地址译码器和/或行地址译码器的数据总线、并不局限于字线。

本发明的上述最佳实施例中介绍了对来自字线驱动器各线的布局方法,但上述方法也适用于配置来自行地址译码器和/或列地址译码器的各线。

如上面谈过的那样，本发明的一些最佳实施例或方法可使其具有这样的优点，即可以通过扭曲各字线减少操作各字线所引起的字线耦合干扰。

读者应该注意的是，与本发明书同时申请且与本发明书一起公开让公众审查的所有文章和文件，以及这些文章和文件的内容都包括在本发明书中，仅供参考。

本发明书（包括任何随本发明书附上的权利要求书、摘要和附图在内）中所公开的所有特点和/或如此公开的任何方法或工艺的所有步骤，可以任何组合方式进行组合，但至少一些这类特点和/或步骤是彼此互相排斥的组合例外。

除非另有明确说明，本发明书（包括所附权利要求书、摘要和附图在内）中所公开的各特点可用供相同、等效或类似用途使用的另外一些特点代替。因此除非另有明确说明，这里所公开的各特点仅仅是一系列一般等效或类似特点的一个实例而已。

本发明并不局限于上述诸实施例的一些细节。本发明的范围包括本发明书（包括任何所附的权利要求书、摘要和附图在内）中所公开的诸特点的任何新特点或任何新的组合，或如此公开的任何方法或工艺各步骤任何新步骤或各步骤的任何新的组合。

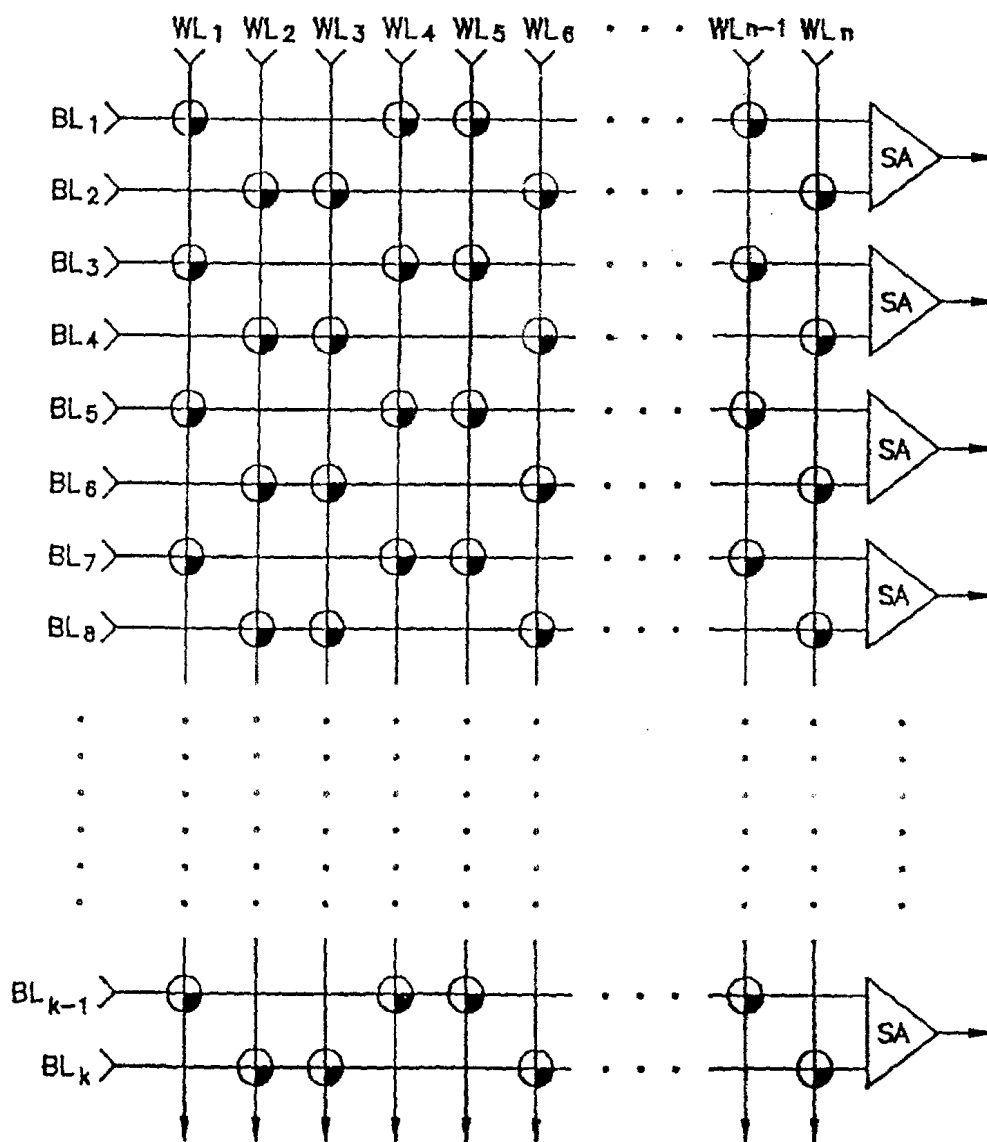


图 1

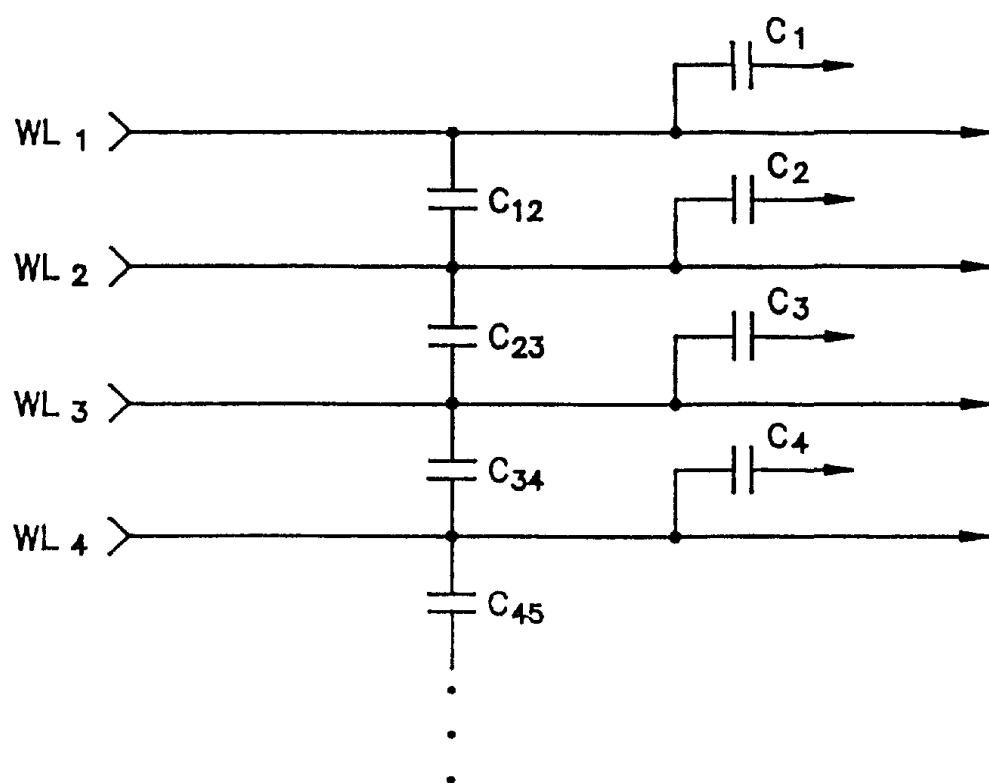


图 2

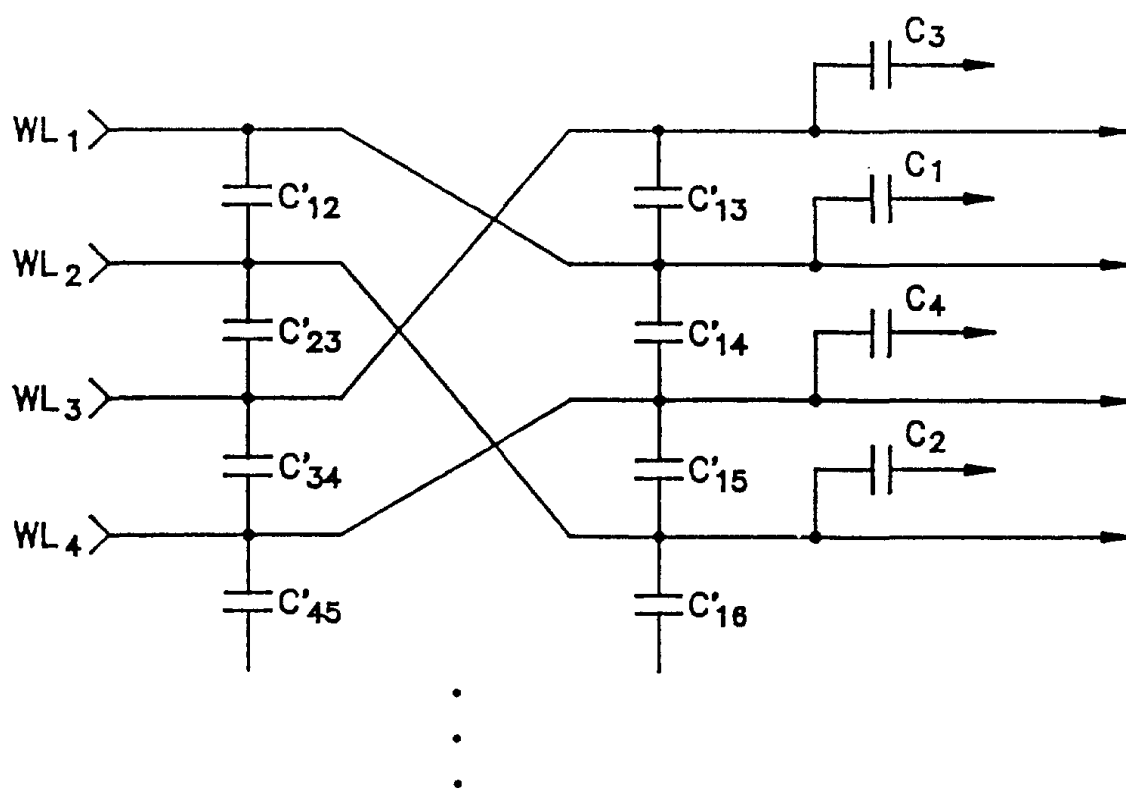


图 4

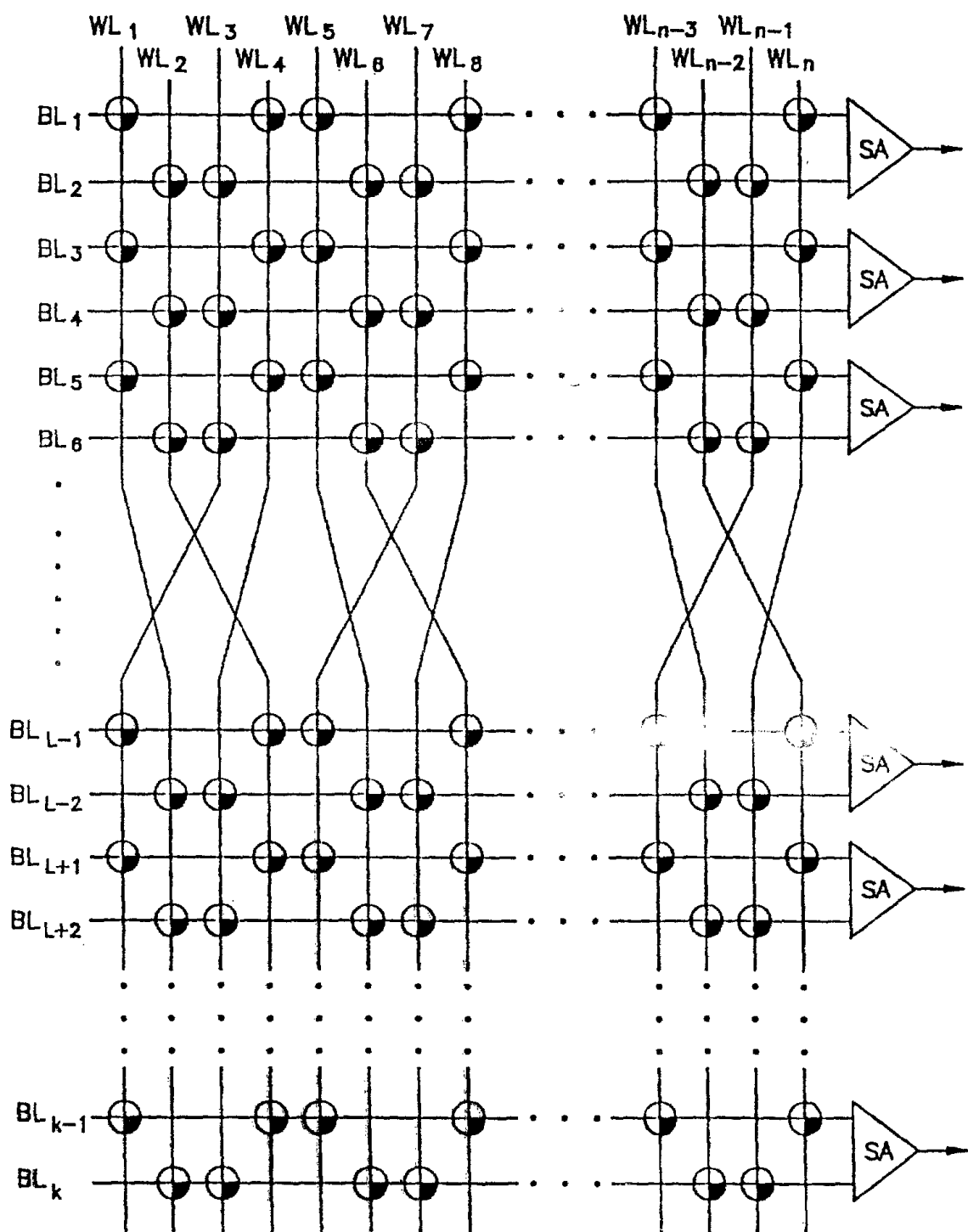


图 3