

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la
Propriété Intellectuelle
Bureau international

(43) Date de la publication internationale
24 mars 2022 (24.03.2022)



(10) Numéro de publication internationale
WO 2022/058682 A1

(51) Classification internationale des brevets :

H05K 1/18 (2006.01) H05K 1/11 (2006.01)
H05K 3/46 (2006.01) H05K 3/34 (2006.01)

(21) Numéro de la demande internationale :

PCT/FR2021/051581

(22) Date de dépôt international :

15 septembre 2021 (15.09.2021)

(25) Langue de dépôt :

français

(26) Langue de publication :

français

(30) Données relatives à la priorité :

FR2009329 15 septembre 2020 (15.09.2020) FR

(71) Déposant : SAFRAN ELECTRONICS & DEFENSE

[FR/FR] ; 72-76 Rue Henry Farman, 75015 PARIS (FR).

(72) Inventeurs : **CHOCTEAU, Philippe** ; SAFRAN, c/o Centre d'Excellence Propriété Intellectuelle, Rond-point René Ravaud – Réau, 77550 MOISSY-CRAMAYEL (FR).
LECORDER, Denis ; SAFRAN, c/o Centre d'Excellence Propriété Intellectuelle, Rond-point René Ravaud – Réau, 77550 MOISSY-CRAMAYEL (FR).

(74) Mandataire : **REGIMBEAU** ; 20, rue de Chazelles, 75847 PARIS CEDEX 17 (FR).

(81) États désignés (sauf indication contraire, pour tout titre de protection nationale disponible) : AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA,

(54) Title: ELECTRONIC BOARD COMPRISING COMPONENTS BURIED IN CAVITIES

(54) Titre : CARTE ÉLECTRONIQUE COMPRENANT DES COMPOSANTS ENTERRÉS DANS DES CAVITÉS

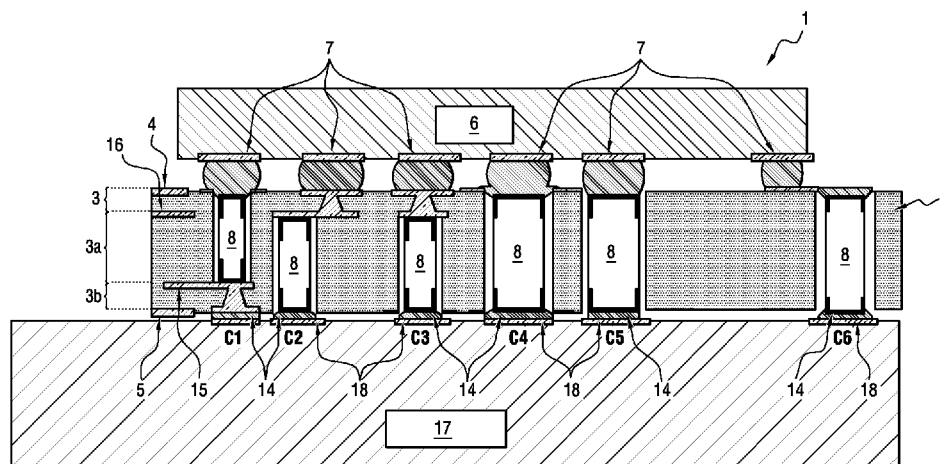


Fig. 2

(57) Abstract: The present invention relates to an electronic board (1) comprising: - a printed circuit (2) comprising an insulating layer (3, 3a, 3b) and a first and a second conductive skin layer (4, 5) on either side of the insulating layer (3, 3a, 3b); - a BGA (6) being attached to the first conductive skin layer (4); - a cavity (12) formed in the insulating layer (3, 3a, 3b) under the BGA (6), the cavity (12) being open on either the first or the second conductive skin layer (4, 5); and - an electronic component (8) vertically housed in the cavity (12).

(57) Abrégé : La présente invention concerne une carte électronique (1) comprenant : - un circuit imprimé (2) comprenant une couche isolante (3, 3a, 3b) et une première et une deuxième couche conductrice de peau (4, 5) de part et d'autre de la couche isolante (3, 3a, 3b); - un BGA (6) étant fixé sur la première couche conductrice de peau (4); - une cavité (12), formée dans la couche isolante (3, 3a, 3b) sous BGA (6), la cavité (12) étant ouverte sur l'une parmi la première et la deuxième couche conductrice de peau (4, 5); et - un composant électronique (8) logé verticalement dans la cavité (12).

[Suite sur la page suivante]

SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR,
TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) États désignés (*sauf indication contraire, pour tout titre de protection régionale disponible*) : ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasién (AM, AZ, BY, KG, KZ, RU, TJ, TM), européen (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Publiée:

— avec rapport de recherche internationale (Art. 21(3))

DESCRIPTION

TITRE : Carte électronique comprenant des composants enterrés dans des cavités

5 DOMAINE DE L'INVENTION

L'invention concerne le domaine des cartes électroniques, en particulier lorsque ces cartes électroniques sont destinées à être intégrées dans un dispositif portable et embarqué, par exemple dans tout domaine présentant de fortes contraintes d'encombrement tel que le domaine de l'aéronautique et spatial, et plus précisément la fixation de composants à des circuits imprimés.

ETAT DE LA TECHNIQUE

De manière connue en soi, une carte électronique peut comprendre des composants montés en surface (CMS), c'est-à-dire des composants électroniques brasés directement à la surface du circuit imprimé d'une carte électronique, des composants traversants, ou encore des circuits imprimés.

Habituellement, les CMS sont brasés en surface soit par refusion (« reflow soldering » en anglais), soit à la vague (« solder wave » en anglais).

Dans le cas du brasage par refusion, le circuit imprimé nu est tout d'abord sérigraphié en recouvrant les couches conductrices du circuit imprimés (généralement en cuivre) par une crème à braser à l'aide d'un écran de sérigraphie (ou pochoir) de sorte que seuls les emplacements destinés à recevoir les terminaisons des composants sont recouverts par la crème à braser. La crème à braser comprend, de manière connue en soi, un alliage métallique en suspension dans un flux de brasage. Puis les terminaisons des composants (CMS) sont posées sur la crème à braser avant de subir un traitement thermique de refusion, au cours duquel la chaleur fait refondre l'alliage et évaporer le flux de brasage de manière à former des joints de brasure à partir de l'alliage métallique présent dans la crème à braser.

Afin d'augmenter la densité d'implantation des composant d'un circuit imprimé comprenant des composants montés en surface, il a déjà été proposé de diminuer la taille du boîtier des composants électroniques, de changer de technologie d'interconnexion, d'empiler des puces électroniques, de les rapprocher ou encore de les enterrer dans les couches internes du circuit imprimé.

Ainsi, le document US 2014/158414 propose d'enterrer des composants dans le circuit imprimé. Plus précisément, une cavité est réalisée par découpe laser dans le circuit imprimé, après sa fabrication, de sorte à dévoiler des plages de brasage au fond de la cavité. Le composant est ensuite placé au fond de la cavité et brasé sur les plages de brasage, puis la carte électronique est sérigraphiée afin de noyer le composant une couche isolante. Cette

solution permet ainsi de désencombrer la couche de peau de la carte électronique. Toutefois, la couche isolante dans laquelle est noyé le composant empêche le remplacement des composants en cas de défaillance de ceux-ci et complexifie la phase de développement de la carte électronique.

5 Il a également été proposé dans le document FR 3 069 127 au nom de la Demanderesse un procédé de fabrication d'une carte électronique comprenant un circuit imprimé multicouche ayant au moins quatre couches conductrices séparées deux à deux par des couches isolantes, dont :

- deux couches conductrices de peau fixées chacune sur une couche isolante associée,
- 10 – des couches conductrices internes, s'étendant entre les couches isolantes et séparées par une couche isolante centrale, l'une au moins des couches conductrices internes étant traitée de manière à former au moins une plage de brasage.

Une cavité est formée dans l'une des couches conductrices de peau et dans la couche isolante associée, en face de la plage de brasage de la couche conductrice interne, de sorte qu'au moins une partie de la plage de brasage soit dévoilée. Cette cavité est ensuite remplie
15 avec un alliage métallique accompagné d'un flux de brasage, par exemple de la crème à braser, puis un composant électronique est placé en face de la cavité. Enfin, un traitement thermique type refusion est appliqué au circuit imprimé sur lequel est placé le composant afin de transformer l'alliage métallique accompagné du flux de brasage en joint de brasure de
20 manière à fixer le composant au circuit imprimé.

Ce procédé permet ainsi d'augmenter efficacement la densité d'implantation et la mixité des composants montés en surface en créant des cavités permettant de réduire l'encombrement de la carte électronique, tout en permettant le remplacement des CMS défectueux.

25 De plus, il ressort que les gains de taille de boîtier font partie des choix déjà utilisés et que l'empilement des puces n'est possible que pour une petite partie des composants électronique et concerne plutôt des composants grand public qui ne sont pas forcément compatibles avec des environnements plus sévères, notamment en termes de vibrations, de plages de température et de variations de température.

30 Ces procédés ont donc déjà permis d'augmenter la densité d'implantation de composants dans une carte électronique. Toutefois, l'industrie de l'aéronautique et du spatial reste en perpétuelle recherche d'amélioration des cartes électroniques.

C'est en particulier le cas dans le domaine des BGA (acronyme anglais de Ball Grid Array pour matrice de billes) et des LGA (acronyme anglais de Land Grid Array pour matrice
35 de pastilles), pour lesquels il est souvent requis de placer des composants électroniques tels que des capacités de découplage sur de nombreuses entrées/sorties du composant. De plus, les terminaisons de BGA et des LGA sont souvent très proches, tandis que le nombre de

capacités à connecter peut s'avérer important. Ceci conduit à des routages complexes qui prennent beaucoup de place. Il a donc été proposé de placer les composants électroniques de l'autre côté du circuit imprimé en utilisant un système de vias lasers et/ou de vias enterrés. Il en découle que les contraintes de routage de ce type de composants sont souvent les plus dimensionnantes pour le nombre de couches du circuit imprimé, le nombre de niveaux de vias lasers et la présence de vias enterrés. Le prix du circuit imprimé peut ainsi être augmenté drastiquement uniquement en raison des contraintes de routage imposées par un seul composant, le BGA et/ou le LGA.

EXPOSE DE L'INVENTION

Un but de l'invention est de remédier aux inconvénients de l'art antérieur.

Ainsi, un but de l'invention est de proposer une solution industrialisable permettant d'améliorer la densité d'implantation des composants électronique sur une carte électronique, de réduire la complexité des circuits imprimés, notamment lorsqu'ils comprennent un ou plusieurs BGA et/ou LGA, et donc de réduire leur coût de fabrication.

Il est à cet effet proposé, selon un premier aspect de l'invention une carte électronique conforme à la revendication 1 et un procédé de fabrication d'une carte électronique selon la revendication 9. Des modes de réalisation sont décrits dans les revendications dépendantes.

Dans une forme de réalisation, la carte électronique comprenant :

- un circuit imprimé comprenant :
 - au moins une couche isolante ; et
 - une première et une deuxième couche conductrice de peau de part et d'autre de la couche isolante ;
- un premier composant électronique comprenant au moins une terminaison et étant fixé sur la première couche conductrice de peau ;
- une cavité, formée dans la couche isolante sous le premier composant électronique, la cavité étant ouverte sur l'une parmi la première et la deuxième couche conductrice de peau ; et
- un deuxième composant électronique logé dans la cavité comprenant une face de plus grande surface et une terminaison connectée à la terminaison du premier composant électronique, le deuxième composant électronique étant placé dans la cavité de sorte que la face de plus grande surface s'étend perpendiculairement à la première couche conductrice de peau dans la cavité.

Certaines caractéristiques préférées mais non limitatives de la carte électronique selon le premier aspect sont les suivantes, prises individuellement ou en combinaison :

- le circuit imprimé présente une épaisseur déterminée et la face de plus grande surface de la capacité présente une longueur, suivant un axe normal à la première couche conductrice de peau, qui est au plus égale à l'épaisseur du circuit imprimé ;
- la terminaison du deuxième composant électronique est connectée à la terminaison du premier composant électronique par l'intermédiaire d'un joint de brasure et/ou par l'intermédiaire d'un via ;
- la terminaison du premier composant électronique est brasée sur la terminaison du deuxième composant électronique ;
- le deuxième composant électronique comprend une terminaison supplémentaire qui est connectée à la deuxième couche conductrice de peau par l'intermédiaire d'un joint de brasure et/ou par l'intermédiaire d'un via ;
- la cavité est positionnée en face de la terminaison du premier composant électronique ;
- la cavité est décalée par rapport à la terminaison du premier composant électronique, la terminaison du deuxième composant électronique étant connectée à la terminaison du premier composant électronique par l'intermédiaire d'un via ou de la première couche conductrice de peau ; le premier composant électronique comprend l'un des composants suivants : un BGA, un LGA, un connecteur monté en surface ; et le deuxième composant électronique comprend l'un des composants suivants : une capacité d'adaptation, une résistance de polarisation, un réseau de résistances, un réseau de capacités, une diode ; et/ou
- la carte électronique comprend en outre un circuit imprimé supplémentaire, le circuit imprimé étant connecté sur le circuit imprimé supplémentaire au niveau de la deuxième couche conductrice de peau.

Selon un deuxième aspect, l'invention propose un procédé de fabrication d'une carte électronique conforme à la revendication 9. Des modes de réalisation du procédé sont définis dans les revendications dépendantes.

Dans une forme de réalisation, le procédé comprend les étapes suivantes :

S1 : fournir un circuit imprimé comprenant :

- une couche isolante présentant deux faces opposées ; et
- une première et une deuxième couche conductrice de peau, chaque couche conductrice de peau étant fixée sur une face correspondante de la couche isolante ;

S2 : former une cavité dans la couche isolante, la cavité étant ouverte sur l'une parmi la première et la deuxième couche conductrice de peau ;

- S3 : placer un deuxième composant électronique dans la cavité de sorte qu'une face de plus grande surface du deuxième composant électronique s'étend perpendiculairement à la

première couche conductrice de peau, le deuxième composant électronique comprenant une terminaison ;

S5 : placer un premier composant électronique comprenant au moins une terminaison sur la première couche conductrice de peau ; et

- 5 S6 : connecter la terminaison du deuxième composant électronique à la terminaison du premier composant électronique.

Certaines caractéristiques préférées mais non limitatives du procédé de fabrication selon le deuxième aspect sont les suivantes, prises individuellement ou en combinaison :

- 10 – l'étape S2 comprend la formation de l'un au moins des vias suivants : un via traversant ; un via borgne ;
- l'étape S2 comprend successivement : la formation d'un premier via borgne ouvert sur l'une parmi la première couche conductrice de peau et la deuxième couche conductrice de peau, ledit premier via borgne dévoilant au moins une couche conductrice interne enterrée
- 15 dans la couche isolante ; et la formation d'un deuxième via borgne connecté au premier via borgne via la couche conductrice interne ;
- le deuxième via borgne est soit décalé par rapport au premier via borgne, soit aligné avec le premier via borgne ;
- le deuxième composant électronique comprend en outre une terminaison
- 20 supplémentaire, le procédé comprenant en outre une étape au cours de laquelle la terminaison supplémentaire du deuxième composant électronique est connectée à la deuxième couche conductrice de peau ;
- l'étape S6 est réalisée par sérigraphie d'une crème à braser sur le circuit imprimé et/ou par trempage du premier composant électronique dans de la crème à braser ; et/ou
- 25 – le procédé comprend en outre une étape de connexion du circuit imprimé sur un circuit imprimé supplémentaire par l'intermédiaire de la deuxième couche conductrice de peau.

DESCRIPTION DES FIGURES

D'autres caractéristiques, buts et avantages de l'invention ressortiront de la description qui suit, qui est purement illustrative et non limitative, et qui doit être lue en regard des dessins annexés sur lesquels :

30

[Fig. 1] La figure 1 illustre de façon schématique un premier exemple de carte électronique conforme à un premier mode de réalisation, sur laquelle ont été illustrées six capacités de découplage et un BGA, chaque capacité de découplage étant connectée à une

35 terminaison du BGA selon une configuration différente ;

[Fig. 2] La figure 2 illustre de façon schématique un exemple de carte électronique conforme à un deuxième mode de réalisation comprenant la carte électronique de la figure 1 brasée sur un circuit imprimé supplémentaire ;

[Fig. 3] La figure 3 illustre la sérigraphie d'un deuxième composant électronique dans une cavité traversante, le deuxième composant électronique et le circuit imprimé étant posés sur un porteur ;

[Fig. 4] La figure 4 illustre la réalisation d'un via borgne dans un empilement de couche d'un exemple de réalisation d'un circuit imprimé avant pressage et l'introduction d'un deuxième composant électronique trempé dans de la crème à braser dans le via borgne obtenu ;

[Fig. 5] La figure 5 est un organigramme d'étapes d'un procédé de fabrication d'une carte électronique selon un mode de réalisation de l'invention.

Sur l'ensemble des figures, les éléments similaires portent des références identiques.

DESCRIPTION DETAILLEE DE L'INVENTION

Une carte électronique 1 comprend un circuit imprimé 2 comportant des couches conductrices séparées par des couches isolantes sur lequel sont fixés des composants électroniques.

De manière générale, un circuit imprimé 2 peut être du type monocouche (également appelé simple couche) et ne comprendre qu'une seule couche conductrice, double couche (également appelé double face) et comprendre une couche conductrice de part et d'autre d'une couche isolante 3 ou multicouche et comprendre au moins quatre couches conductrices.

Les couches isolantes peuvent comprendre, de manière connue en soi, une résine epoxy et des fibres de verre. Les couches conductrices quant à elles peuvent être en cuivre (ou dans un alliage à base de cuivre).

Par composant électronique, on comprendra dans ce qui suit tout élément destiné à être assemblé avec d'autres afin de réaliser une ou plusieurs fonctions électroniques. A titre d'exemple non limitatif, un composant électronique peut comprendre un composant électronique discret tel qu'un composant monté en surface (CMS) (typiquement une résistance, un condensateur, un BGA (acronyme anglais de Ball Grid Array pour matrice de billes), etc.) ou un composant traversant, ou encore un circuit imprimé sur lequel sont fixés un ou plusieurs composants électroniques discrets.

Une carte électronique 1 comprend un circuit imprimé 2 comprenant :

- au moins une couche isolante 3 ; et

- une première et une deuxième couche conductrice de peau 4, 5 de part et d'autre de la couche isolante 3, l'une au moins parmi la première et la deuxième couche conductrice de

peau 4, 5 étant traitée de sorte à former au moins une plage de brasage, de préférence plusieurs.

Le circuit imprimé 2 peut être monocouche, bicouche ou multicouche.

La carte électronique 1 comprend en outre un premier composant électronique 6
5 comprenant au moins une terminaison 7 qui est fixé sur la première couche conductrice de peau 4, et un deuxième composant électronique 8 comprenant une face 11 de plus grande surface et une première terminaison 9 connectée à la terminaison 7 du premier composant électronique 6.

Afin d'augmenter la densité d'implantation des composants électroniques sur la carte
10 électronique 1, le deuxième composant électronique 8 est placé dans une cavité 12 de sorte que sa face 11 de plus grande surface, ou plus grande face 11, s'étend perpendiculairement à la première couche conductrice de peau 4 dans la cavité 12. En plaçant le deuxième composant électronique 8 dans une cavité 12 en position verticale (puisque sa plus grande face 11 est perpendiculaire à la première couche conductrice de peau 4), il est ainsi possible
15 de profiter de l'espace habituellement non utilisé sous le premier composant électronique 6 et de gagner ainsi en place et en densité d'implantation.

On comprendra que, pour placer le deuxième composant électronique 8 verticalement dans la cavité 12, la première terminaison 9 du deuxième composant électronique 8 s'étend de préférence latéralement par rapport au deuxième composant électronique 8, c'est-à-dire
20 sur une face qui est sensiblement normale par rapport à sa plus grande face 11. De préférence, à la fois la première terminaison 9 et la deuxième terminaison 10 sont latérales.

Cette configuration permet en outre de réduire la longueur des pistes de connexion entre le premier composant électronique 6 et le deuxième composant électronique 8, ce qui améliore les performances électriques.

25 Dans le cas où le premier composant électronique 6 comprend un BGA 6, cette configuration permet en outre de faciliter les routages entre le BGA 6 et le deuxième composant électronique 8, puisque les capacités 8 de découplage peuvent être placée dans les cavités 12 (elles correspondent alors au deuxième composant électronique 8 décrit ci-dessus), dans le circuit imprimé 2, au lieu d'être placées sur la deuxième couche conductrice
30 de peau 5, avec les difficultés de routage et l'encombrement décrits plus haut.

Dans ce qui suit, afin de faciliter la lecture de la description, l'invention sera décrite dans le cas où le premier composant électronique 6 comprend un BGA 6 et le deuxième composant électronique 8 comprend une capacité 8 de découplage (ci-après : une capacité 8). Ceci n'est
35 cependant pas limitatif, le premier composant électronique 6 pouvant comprendre tout composant électronique monté en surface (CMS) fortement intégré rassemblant de multiples signaux électriques, tel qu'une matrice de pastilles LGA, et le deuxième composant

électronique 8 pouvant comprendre tout composant électronique comprenant au moins deux terminaisons 9, 10, tel qu'une capacité de découplage, une résistance de polarisation (pull up - connexion à la tension élevée, ou pull down - connexion à la tension basse), un réseau de résistances ou de capacités, une diode, etc.

5

La capacité 8 est placée verticalement dans la cavité 12. Plus précisément, la capacité 8 présente une face de plus grande surface, ou grande face 11. Afin de faciliter la connexion de la capacité 8 au BGA 6 et à la plage de brasage de la deuxième couche conductrice de peau 5, la capacité 8 est placée dans la cavité 12 de sorte que sa grande face 11 s'étend sensiblement perpendiculairement à la première couche conductrice de peau 4.

10

La cavité 12 peut déboucher sur une plage de brasage d'une des couches conductrices de peau 4, 5, auquel cas cette plage de brasage forme une collerette, c'est-à-dire qu'elle entoure au moins partiellement la cavité 12.

15

Dans une forme de réalisation, le circuit imprimé 2 présente une épaisseur (entre la première et la deuxième couche de peau) déterminée. Par ailleurs, la grande face 11 de la capacité 8 présente une longueur, suivant un axe normal à la première couche conductrice de peau 4, qui est au plus égale à l'épaisseur du circuit imprimé 2 afin d'éviter que la capacité 8 ne fasse saillie du circuit imprimé 2. Typiquement, on a illustré sur les figures 1 et 2 des exemples de capacités 8 ayant une grande face 11 dont la longueur est sensiblement égale à l'épaisseur du circuit imprimé 2 (configurations C4 à C6), ainsi que des exemples de capacités 8 ayant une grande face 11 dont la longueur est inférieure à l'épaisseur du circuit imprimé 2 (configurations C1 à C3).

20

25

La connexion du BGA 6 et de la capacité 8 aux plages de brasage de la première et de la deuxième couche de peau du circuit imprimé 2 peut être réalisée conformément à plusieurs modes de réalisation :

- le BGA 6 peut être brasé directement sur la plage de brasage de la première couche conductrice de peau 4 (configurations C1 à C4 et C6) ;

30

- le BGA 6 peut être brasé directement sur la première terminaison 9 de la capacité 8 (configurations C1, C4 et C5) ;

- le BGA 6 peut être connecté à la première terminaison 9 de la capacité 8 par l'intermédiaire d'un ou de plusieurs vias 13 (configurations C2 et C3). La capacité 8 peut alors être positionnée sous la terminaison 7 du BGA 6 (configuration C3) ou décalée par rapport à la terminaison 7 du BGA 6. De plus, le BGA 6 peut être connecté à la première terminaison 9 de la capacité 8 par l'intermédiaire d'au moins deux vias 13 empilés ;

35

– le BGA 6 peut être connecté à la première terminaison 9 de la capacité 8 par l'intermédiaire de la plage de brasage de la première couche conductrice de peau 4 (configuration C6). La capacité 8 peut alors être décalée par rapport à la terminaison 7 du BGA 6 ;

– la capacité 8 peut être brasée directement sur la plage de brasage de la deuxième couche conductrice de peau 5 (configurations C3, C4 et C6), ou en variante par l'intermédiaire d'un ou de plusieurs vias 13 (configuration C1) ;

– la capacité 8 peut ne pas être brasée sur la plage de brasage de la deuxième couche conductrice de peau 5 (configurations C2 et C5). La deuxième terminaison 10 de la capacité 8 peut ensuite être brasée sur un autre composant électronique ou un circuit imprimé supplémentaire par exemple ;

– la terminaison 7 du BGA 6 peut être brasée sur la première terminaison 9 de la capacité 8 sans être connectée à la première plage de brasage (configuration C5).

– la plage de brasage de la première couche conductrice de peau 4 peut comprendre une collerette (configurations C1, C4 et C6) ou en variante être dépourvue de collerette (configuration C5).

– la plage de brasage de la deuxième couche conductrice de peau 5 peut comprendre une collerette (C3, C4 et C6) ou en variante être dépourvue de collerette (configurations C2 et C5).

L'ensemble des configurations de connexion du BGA 6 avec la capacité 8 (avec/sans) collerette, directement ou par l'intermédiaire d'un ou de plusieurs vias 13 peuvent bien entendu être combinées avec l'ensemble des configurations de connexion de la capacité 8 au circuit imprimé 2 (plage de brasage de la deuxième couche conductrice de peau 5 avec ou sans collerette, brasage direct ou connexion par l'intermédiaire d'un ou de plusieurs vias 13 à la plage de brasage de la deuxième couche conductrice de peau 5, brasage ou non sur la plage de brasage de la deuxième couche conductrice de peau 5). La configuration choisie dépend en particulier du routage désiré entre le BGA 6, les terminaisons 9, 10 de la capacité 8 et les plages de brasage de la première et de la deuxième couche conductrice de peau 5, ainsi que du type de capacité 8 connectée à la terminaison 7 du BGA 6.

Ainsi, à titre d'exemple non limitatif, les cartes électroniques 1 illustrées en figures 1 et 2 comprennent un circuit imprimé 2 comprenant trois couches isolantes 3, 3a, 3b séparées deux à deux par une couche conductrice interne 15, 16, deux couches conductrices de peau 4, 5 de part et d'autre des couches isolantes et sept capacités 8, brasées conformément à sept configurations différentes :

Configuration C1 : Une cavité 12 est formée dans la couche isolante 3 et ouverte sur la première couche conductrice de peau 4. Une collerette est formée autour de la cavité 12 dans

la plage de brasage de la première couche conductrice de peau 4. La cavité 12 n'est pas traversante et dévoile, au niveau de son fond, une première couche conductrice interne 15. Cette première couche conductrice interne 15 est connectée à la plage de brasage de la deuxième couche conductrice de peau 5 par l'intermédiaire d'un via 13. La capacité 8 est placée verticalement dans la cavité 12. La première terminaison 9 de la capacité 8 est brasée directement sur une des terminaisons 7 du BGA 6 et sur la collerette de la plage de brasage de la première couche de peau. La deuxième terminaison 10 de la capacité 8 est brasée la plage de brasage de la deuxième couche conductrice de peau 5 par l'intermédiaire de la première couche conductrice interne 15 et du via laser 13.

Configuration C2 : Une cavité 12 est formée dans la couche isolante 3 et ouverte sur la deuxième couche conductrice de peau 5, sans collerette. La cavité 12 n'est pas traversante et dévoile, au niveau de son fond, une deuxième couche conductrice interne 16. Cette deuxième couche conductrice interne 16 est connectée à la plage de brasage de la première couche conductrice de peau 4 par l'intermédiaire d'un via 13. La cavité 12 et le via 13 sont décalés l'un par rapport à l'autre, de sorte que le via 13 et la cavité 12 ne sont pas alignés. La capacité 8 est placée verticalement dans la cavité 12. La première terminaison 9 de la capacité 8 est brasée directement sur la deuxième couche conductrice interne 16. La deuxième terminaison 10 de la capacité 8 n'est pas brasée au niveau de la plage de brasage de la deuxième couche conductrice de peau 5 (mais pourra être brasée sur tout composant électronique adapté). L'une des terminaisons 7 du BGA 6 est connectée à la première terminaison 9 de la capacité 8 par l'intermédiaire du via 13. La terminaison 7 du BGA 6 est donc positionnée en face du via 13, mais la capacité 8 n'est pas alignée est décalée par rapport à cette terminaison 7 du BGA 6.

Configuration C3 : Cette configuration 3 est identique à la configuration C2 aux exceptions suivantes : la cavité 12, le via 13 et la terminaison 7 du BGA 6 sont alignés l'un par rapport à l'autre et la deuxième terminaison 10 de la capacité 8 est sur la plage de brasage de la deuxième couche conductrice de peau 5 par l'intermédiaire d'une collerette.

Configuration C4 : Une cavité 12 est formée dans la couche isolante 3 et ouverte sur la première couche conductrice de peau 4 et sur la deuxième couche conductrice de peau 5. Cette cavité 12 est donc traversante. Une collerette est formée autour de la cavité 12 dans les plages de brasage de la première et de la deuxième couche conductrice de peau 4 et 5. La capacité 8 est placée verticalement dans la cavité 12. La première terminaison 9 de la capacité 8 est brasée directement sur une des terminaisons 7 du BGA 6 et sur la collerette de la plage de brasage de la première couche de peau. La deuxième terminaison 10 de la capacité 8 est brasée directement sur la collerette de la plage de brasage de la deuxième couche conductrice de peau 5.

Configuration C5 : Cette configuration 5 est identique à la configuration 4 aux exceptions suivantes : la cavité 12 est ouverte sur la première et la deuxième couche conductrice de peau 4, 5, mais sans collerette.

Configuration C6 : Cette configuration C6 est identique à la configuration C4 à l'exception près que la cavité 12 est décalée par rapport à la terminaison 7 du BGA 6 de sorte que la terminaison 7 du BGA 6 est brasée sur la plage de brasage de la première couche conductrice de peau 4 et est connectée à la capacité 8 par l'intermédiaire de cette plage de brasage.

On notera que, la première couche conductrice interne 15 peut être connectée à la plage de brasage de la deuxième couche conductrice de peau 5 par tous moyens, dont notamment :

- un via laser 13 (comme illustré dans la configuration C2) ;
- une piste conductrice reliée à un autre composant électronique (du même BGA ou d'un autre BGA) ;
- un autre via traversant de la carte électronique 1 ;
- un via enterré ailleurs sur la carte électronique 1 ;
- un plan de masse, qui pourrait être la couche interne 15, qui est relié par un grand nombre de vias lasers et traversants.

Le brasage des capacités 8 verticalement sous le BGA permet ainsi de simplifier drastiquement le routage et de réduire l'encombrement des composants dans la carte électronique 1.

Les terminaisons 7 d'un BGA 6 sont très proches. Il en est de même pour un LGA. En particulier, l'écartement entre deux terminaisons 7 adjacentes est généralement supérieur à l'épaisseur d'une capacité 8. Il est donc difficile de braser plusieurs capacités 8 directement sous le BGA 6. Afin de faciliter encore davantage le routage, le circuit imprimé 2 peut être connecté à un circuit imprimé supplémentaire 17 comprenant une couche conductrice de peau supplémentaire 18 (étape S7). Le circuit imprimé 2 sert alors d'interposeur (voir figure 2).

Dans ce cas, la capacité 8 peut alors être brasée, directement ou indirectement (c'est-à-dire par l'intermédiaire d'un ou de plusieurs vias 13), sur une plage de brasage formée dans la couche conductrice de peau supplémentaire 18 du circuit imprimé supplémentaire 17. Le cas échéant, comme cela a été illustré dans le cas des configurations C2 et C6 de la figure 2, la deuxième terminaison 10 des capacités 8 peut être brasée uniquement sur la plage de brasage supplémentaire 18 du circuit imprimé supplémentaire 17.

Ainsi, dans le cas où le circuit imprimé 2 est un interposeur, la deuxième terminaison 10 de tout ou partie des capacités 8 est brasée soit sur la plage de brasage de la deuxième

couche conductrice de peau 5, soit sur la plage de brasage de la couche conductrice de peau supplémentaire 18.

Par ailleurs, afin de tenir compte de l'espace disponible sous le BGA 6, du faible espacement entre ses terminaisons 7 et de la différence de longueur des différentes capacités 8, les capacités 8 sont brasées par l'intermédiaire de via 13 sur la terminaison 7 correspondante du BGA et sur la couche conductrice de peau supplémentaire 18 du circuit imprimé supplémentaire 17. Ce mode de réalisation correspond aux configurations C1, C2 et C3 de la figure 2. Plusieurs vias 13 peuvent être superposés le cas échéant. L'utilisation de vias permet ainsi (i) de connecter électriquement une capacité dont la longueur est inférieure à l'épaisseur de l'interposeur 2 à la terminaison 7 correspondante du BGA et à la couche conductrice de peau supplémentaire 18 ; (ii) de décaler la capacité 8 par rapport à la terminaison 7 correspondante du BGA (voir la configuration C2 par exemple), ce qui facilite le montage lorsque deux capacités 88 doivent être connectées à deux terminaisons 7 adjacentes du BGA.

A titre d'exemple non limitatif, la figure 2 illustre une carte électronique 1 comprenant le circuit imprimé 2 de la figure 1 brasé sur un circuit imprimé supplémentaire 17. Les capacités 8 des configurations C2 et C5, qui ne sont pas brasées sur la plage de brasage de la deuxième couche conductrice de peau 5, sont alors brasées sur des plages de brasage de la couche conductrice de peau supplémentaire 18 du circuit imprimé supplémentaire 17.

20

Une carte électronique 1 conforme à l'invention peut par exemple être obtenue conformément aux étapes suivantes :

S1 : fournir un circuit imprimé 2 comprenant :

- au moins une couche isolante 3 ; et
- une première et une deuxième couche conductrice de peau 4, 5 de part et d'autre de la couche isolante 3 et comprenant au moins une plage de brasage ;

S2 : former une cavité 12 dans la couche isolante 3, la cavité 12 étant ouverte sur l'une parmi la première et la deuxième couche conductrice de peau 4, 5 ;

S3 : placer la capacité 8 dans la cavité 12 de sorte qu'une face de plus grande surface de la capacité 8 s'étend perpendiculairement à la première couche conductrice de peau 4 ;

S5 : placer un BGA 6 sur la première couche conductrice de peau 4 ; et

S6 : connecter la première terminaison 9 de la capacité 8 à la terminaison 7 du BGA 6.

Au cours de l'étape S2, la cavité 12 peut être formée dans la couche isolante 3 par tout moyen approprié. Par exemple, la cavité 12 peut être réalisée par perçage laser, par fraisage, par poinçonnage de la couche isolante 3.

Lorsque la cavité 12 est borgne, un orifice traversant peut-être formé dans les couches conductrices destinées à être traversées par la cavité 12, notamment par perçage laser ou par fraisage. Les couches conductrices sont ensuite empilées et pressées de sorte à obtenir le circuit imprimé 2, dans lequel est formée la cavité 12. Par exemple, on a illustré sur la figure 4 un exemple de réalisation dans lequel les deux couches isolantes 3, 3a s'étendant entre la première couche conductrice de peau 4 et la première couche conductrice interne 15 sont percées (ou fraisées), puis ces couches 3, 3a sont empilées avec la deuxième couche conductrice interne 16 sur la couche isolante 3b située entre la première couche conductrice interne 15 et la deuxième couche conductrice de peau 5 en alignant les perçages de sorte à obtenir, après pressage, le circuit imprimé 2 comprenant la cavité 12. Cette cavité 12 débouche donc bien sur la première couche conductrice interne 15, qu'elle dévoile.

Le brasage des terminaisons 7, 9, 10 de la capacité 8 et du BGA 6 dépend de la configuration de leurs connexions respectives.

Lorsque la cavité 12 est traversante et est entourée par une collerette au niveau de la plage de brasage de la deuxième couche conductrice de peau 5 (configurations C4 et C6) et éventuellement au niveau de la première couche conductrice de peau 4, la capacité 8 et le BGA 6 sont fixés sur le circuit imprimé 2 conformément aux étapes suivantes, suite à l'étape S2 de formation de la cavité 12 :

- placement du circuit imprimé 2 sur un porteur 19 ;
- placement de la capacité 8 dans la cavité 12 (étape S3), en la posant verticalement sur le porteur 19 (voir Figure 3);
- sérigraphie d'une crème à braser sur la deuxième couche conductrice de peau 5 et la deuxième terminaison 10 de la capacité 8. La crème à braser comprend, de manière connue en soi, un alliage métallique en suspension dans un flux de brasage ;
- traitement thermique de refusion de la carte électronique 1 comprenant le circuit imprimé 2 et la capacité 8, de sorte à former un premier joint de brasure 14 entre la deuxième terminaison 10 de la capacité 8 et la collerette au niveau de la plage de brasage de la deuxième couche conductrice de peau 5 ;
- retournement du circuit imprimé 2 comprenant la capacité 8 brasée. La capacité 8 étant brasée, le porteur 19 n'est alors plus nécessaire ;
- dépôt d'une crème à braser par sérigraphie ou jet sur la première terminaison 9 de la capacité 8 et au niveau de la plage de brasage de la première couche conductrice de peau 4 dans les configurations C4 et C6 ; En variante, le BGA 6 peut être trempé dans de la crème à braser ;

– pose de la terminaison 7 du BGA 6 sur la crème à braser (au-dessus de la première terminaison 9 de la capacité 8 dans les configurations C4, à côté de la première terminaison 9 dans la configuration C6) ;

- 5 – traitement thermique de refusion de la carte électronique 1 comprenant le circuit imprimé 2, le BGA 6 et la capacité 8, de sorte à former un deuxième joint de brasure 14 entre la première terminaison 9 de la capacité 8 et la terminaison 7 du BGA 6, le cas échéant à travers un via 13 et la plage de brasage de la première couche conductrice de peau 4.

10 Par traitement thermique de refusion, on comprendra ici un traitement thermique au cours duquel la chaleur fait refondre l'alliage de la crème à braser et évaporer le flux de brasage de manière à former des joints de brasure à partir de l'alliage métallique présent dans la crème à braser. On pourra se référer notamment au document FR 3 069 128 au nom de la Demanderesse pour plus de détails sur le brasage par refusion.

15 Bien entendu, le brasage de la première terminaison 9 de la capacité 8 et de la terminaison 7 du BGA 6 peut être réalisé avant le brasage de la deuxième terminaison 10 sur la deuxième couche conductrice de peau 5.

20 Dans le cas où la deuxième terminaison 10 n'est pas brasée sur la deuxième couche conductrice de peau 5 (absence de collerette sur cette couche – configuration C5), le circuit imprimé 2 est posé sur un porteur 19 au niveau de sa deuxième couche conductrice de peau 5, la capacité 8 est placée verticalement sur le porteur 19 dans la cavité 12, puis les terminaisons 9, 10, 7 de la capacité 8 et du BGA 6 sont brasées sur le circuit imprimé 2 par sérigraphie de la première terminaison 9 et éventuellement de la première couche conductrice de peau 4 (présence d'une collerette) et traitement thermique par refusion (conformément aux étapes décrites ci-avant). La deuxième terminaison 10 de la capacité 8 peut ensuite être utilisée comme plage de brasage pour un troisième composant électronique.

25

Lorsque la cavité 12 est borgne, c'est-à-dire qu'elle n'est ouverte que sur l'une parmi la première couche conductrice de peau 4 et la deuxième couche conductrice de peau 5 (configurations C1 à C3), la capacité 8 et le BGA 6 sont fixés sur le circuit imprimé 2 conformément aux étapes suivantes, suite à l'étape S2 de formation de la cavité 12 :

- 30 – trempage de l'une des terminaisons 9, 10 de la capacité 8 dans de la crème à braser ;
En variante, de la crème à braser peut être déposée à l'aide d'une seringue et d'une aiguille ;
– placement de la capacité 8 dans la cavité 12 (étape S3), en la posant verticalement sur le fond de la cavité 12 et en plaçant la terminaison 9, 10 qui est enduite de crème à brasée contre la couche conductrice interne 15, 16 (Figure 4) ;
35 – sérigraphie d'une crème à braser sur la première couche conductrice de peau 4, au niveau de l'autre terminaison 10, 9 de la capacité 8 ;

- pose de la terminaison 7 du BGA 6 sur la crème à braser sérigraphiée ;
- traitement thermique de refusion de la carte électronique 1 comprenant le circuit imprimé 2, le BGA 6 et la capacité 8 de sorte à former un joint de brasure 14 entre la capacité 8 et le BGA 6 d'une part et un joint de brasure 14 entre la capacité 8 et la couche conductrice interne d'autre part.

Ce procédé S s'applique aussi bien dans :

- la configuration C1, dans laquelle c'est la deuxième terminaison 10 de la capacité 8 qui est trempée et la première terminaison 9 de la capacité 8 qui est sérigraphiée, le BGA 6 étant placé sur la première terminaison 9 de la capacité 8 ;
- les configurations C2 et C3, dans lesquelles c'est la première terminaison 9 de la capacité 8 qui est trempée et c'est le via 13, qui s'étend entre la capacité 8 et le BGA 6, qui est sérigraphié, le BGA 6 étant placé sur la crème à braser au droit du via 13. Lorsque la deuxième couche conductrice de peau 5 comprend une collerette (comme dans la configuration C3), le procédé S comprend toutefois en outre la sérigraphie de la deuxième terminaison 10 de la capacité 8, qui peut être simultanée ou successive à la sérigraphie du via 13, de préférence préalablement au traitement thermique de refusion.

Lorsque la carte électronique 1 comprend en outre un circuit imprimé supplémentaire 17 et que la capacité 8 est connectée à la terminaison 7 du BGA 6 par l'intermédiaire d'un via 13, le procédé comprend les étapes suivantes :

- fournir le premier circuit imprimé 2 (S1) ;
- former une cavité 12 dans la ou les couches isolantes 3, 3a, 3b, la cavité 12 étant ouverte sur la deuxième couche conductrice de peau 5 (S2) ;
- former un via 13 dans le premier circuit imprimé 2 de sorte que le via 13 débouche sur la première couche conductrice de peau 4 ;
- placer verticalement la capacité 8 dans la cavité 12 (S3) ;
- placer le BGA 6 sur la première couche conductrice de peau 4 du premier circuit imprimé 2 (S5) ;
- connecter électriquement la terminaison 9 de la capacité et la terminaison 7 du BGA par l'intermédiaire du via 13 (S6) ; et
- connecter électriquement la terminaison supplémentaire 10 et la couche conductrice de peau supplémentaire 18, le cas échéant par l'intermédiaire du via 13 (S7).

Les étapes S1-S3 et S5-S6 ont déjà été décrites. Les étapes S3 et S5 peuvent en particulier être réalisées par trempage de la terminaison 9 de la capacité 8 dans de la crème à braser (ou dépôt déposée à l'aide d'une seringue et d'une aiguille) et placement de la

capacité 8 dans la cavité 12, en la posant verticalement sur le fond de la cavité 12 et en plaçant la terminaison 9 qui est enduite de crème à brasée contre la couche conductrice interne 15, 16 (Figure 4).

L'étape S7 quant à elle peut ensuite être réalisée en retournant le circuit imprimé 2 et en réalisant les étapes suivantes :

- sérigraphie d'une crème à braser sur la deuxième couche conductrice de peau 5, au niveau de la terminaison 10 de la capacité 8 ;

- pose du circuit imprimé supplémentaire 18 sur la crème à braser sérigraphiée ;

- traitement thermique de refusion de la carte électronique 1 comprenant le circuit imprimé 2, le BGA 6, la capacité 8 et le circuit imprimé supplémentaire 18 de sorte à former un joint de brasure 14 entre la capacité 8 et le BGA 6 d'une part et un joint de brasure 14 entre la capacité 8 et la couche conductrice de peau supplémentaire d'autre part.

Un procédé similaire est appliqué lorsque c'est la terminaison 10 de la capacité qui est connectée à la couche conductrice de peau supplémentaire 18. La cavité est toutefois ouverte sur la première couche conductrice de peau 4 et la crème à braser est sérigraphiée sur cette deuxième couche conductrice de peau 5 avant dépôt du BGA 6 et traitement thermique.

REVENDEICATIONS

1. Carte électronique (1) comprenant :

- un premier circuit imprimé (2) comprenant :

5 - au moins une couche isolante (3, 3a, 3b) ; et

 - une première et une deuxième couche conductrice de peau (4, 5) de part et d'autre de la couche isolante (3, 3a, 3b) ;

 - un premier composant électronique (6) comprenant au moins une terminaison (7) et étant fixé sur la première couche conductrice de peau (4), le premier composant électronique (6) comprenant un BGA ou un LGA ;

10 - un deuxième circuit imprimé (17) comprenant une couche conductrice de peau supplémentaire (18) ;

 - une cavité (12), formée dans la couche isolante (3, 3a, 3b) sous le premier composant électronique (6), la cavité (12) étant ouverte sur la première et la deuxième couche conductrice de peau (4, 5) ; et

15 - un deuxième composant électronique (8) logé dans la cavité (12) comprenant une face (11) de plus grande surface, une terminaison (9) connectée à la terminaison (7) du premier composant électronique (6) et une terminaison supplémentaire (10) connectée à la couche conductrice de peau supplémentaire (18), le deuxième composant électronique (8) étant placé dans la cavité (12) de sorte que la face (11) de plus grande surface s'étend perpendiculairement à la première couche conductrice de peau (4) dans la cavité (12), l'une au moins parmi la terminaison (9) et la terminaison supplémentaire (10) du deuxième composant électronique (8) étant connectée par l'intermédiaire d'un via (13) à la terminaison (7) du premier composant électronique (6) ou à la couche conductrice de peau supplémentaire (18), respectivement.

2. Carte électronique (1) selon la revendication 1, dans laquelle le premier circuit imprimé (2) présente une épaisseur déterminée et la face (11) de plus grande surface de la capacité présente une longueur, suivant un axe normal à la première couche conductrice de peau (4), qui est au plus égale à l'épaisseur du premier circuit imprimé (2).

3. Carte électronique (1) selon l'une des revendications 1 ou 2, dans laquelle la terminaison (9) du deuxième composant électronique (8) est connectée à la terminaison (7) du premier composant électronique (6) par l'intermédiaire d'un joint de brasure.

4. Carte électronique (1) selon la revendication 3, dans laquelle la terminaison (7) du premier composant électronique (6) est brasée sur la terminaison (9) du deuxième composant électronique (8).

5 5. Carte électronique (1) selon l'une des revendications 1 à 3, dans laquelle la terminaison supplémentaire (10) est connectée à la couche conductrice de peau supplémentaire (18) par l'intermédiaire d'un joint de brasure (14).

10 6. Carte électronique (1) selon l'une des revendications 1 à 5, dans laquelle la cavité (12) est positionnée en face de la terminaison (7) du premier composant électronique (6).

15 7. Carte électronique (1) selon l'une des revendications 1 à 5, dans laquelle la cavité (12) est décalée par rapport à la terminaison (7) du premier composant électronique (6), la terminaison (9) du deuxième composant électronique (8) étant connectée à la terminaison (7) du premier composant électronique (6) par l'intermédiaire d'un via (13) ou de la première couche conductrice de peau (4).

20 8. Carte électronique (1) selon l'une des revendications 1 à 7, dans laquelle le deuxième composant électronique (8) comprend l'un des composants suivants : une capacité d'adaptation, une résistance de polarisation, un réseau de résistances, un réseau de capacités, une diode.

25 9. Procédé de fabrication d'une carte électronique (1) comprenant les étapes suivantes :
fournir un premier circuit imprimé (2) comprenant une couche isolante (3, 3a, 3b) présentant deux faces opposées, et une première et une deuxième couche conductrice de peau (4, 5), chaque couche conductrice de peau étant fixée sur une face correspondante de la couche isolante (3, 3a, 3b) ;

former une cavité (12) dans la couche isolante (3, 3a, 3b), la cavité (12) étant ouverte sur l'une parmi la première et la deuxième couche conductrice de peau (5)

30 former un via (13) dans le premier circuit imprimé (2) de sorte que le via (13) débouche sur l'une parmi la première et la deuxième couche conductrice de peau (4, 5) ;

35 placer un deuxième composant électronique (8) dans la cavité (12) de sorte qu'une face (11) de plus grande surface du deuxième composant électronique (8) s'étend perpendiculairement à la première couche conductrice de peau (4), le deuxième composant électronique (8) comprenant une terminaison (9) et une terminaison supplémentaire (10) ;

fournir un deuxième circuit imprimé (17) comprenant une couche conductrice de peau supplémentaire (18) ;

placer un premier composant électronique (6) comprenant au moins une terminaison sur la première couche conductrice de peau (4), le premier composant électronique (6) comprenant un BGA ou un LGA ;

5 connecter l'une au moins parmi la terminaison (9) et la terminaison supplémentaire (10) du deuxième composant électronique (8) par l'intermédiaire du via (13) à la terminaison (7) du premier composant électronique (6) ou à la couche conductrice de peau supplémentaire (18), respectivement.

10 10. Procédé de fabrication selon la revendication 9, dans lequel le composant (8) est décalé par rapport à la terminaison (7) du premier composant.

11. Procédé selon la revendication 10, dans lequel l'étape de formation du via comprend successivement :

- 15 - la formation d'un premier via (13) borgne ouvert sur l'une parmi la première couche conductrice de peau (4) et la deuxième couche conductrice de peau (5), ledit premier via (13) borgne dévoilant au moins une couche conductrice interne enterrée dans la couche isolante (3, 3a, 3b) ; et
- la formation d'un deuxième via (13) borgne connecté au premier via (13) borgne via la couche conductrice interne.

20

12. Procédé selon la revendication 11, dans lequel le deuxième via (13) borgne est soit décalé par rapport au premier via (13) borgne, soit aligné avec le premier via (13) borgne.

25 13. Procédé selon l'une des revendications 9 à 12, dans lequel l'étape de connexion est réalisée par sérigraphie d'une crème à braser sur le premier circuit imprimé (2) et/ou par trempage du premier composant électronique (6) dans de la crème à braser.

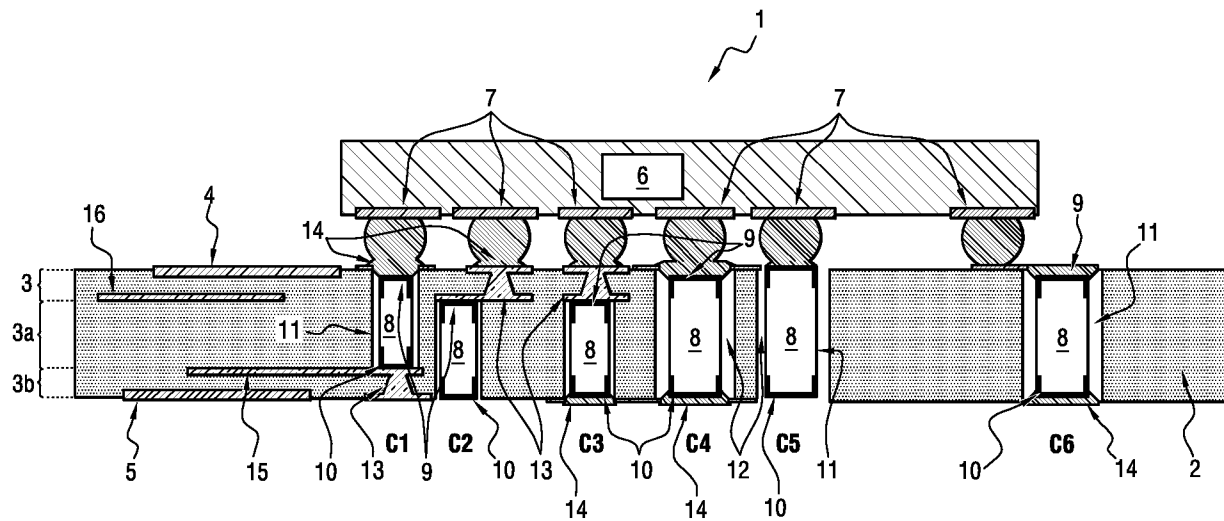


Fig. 1

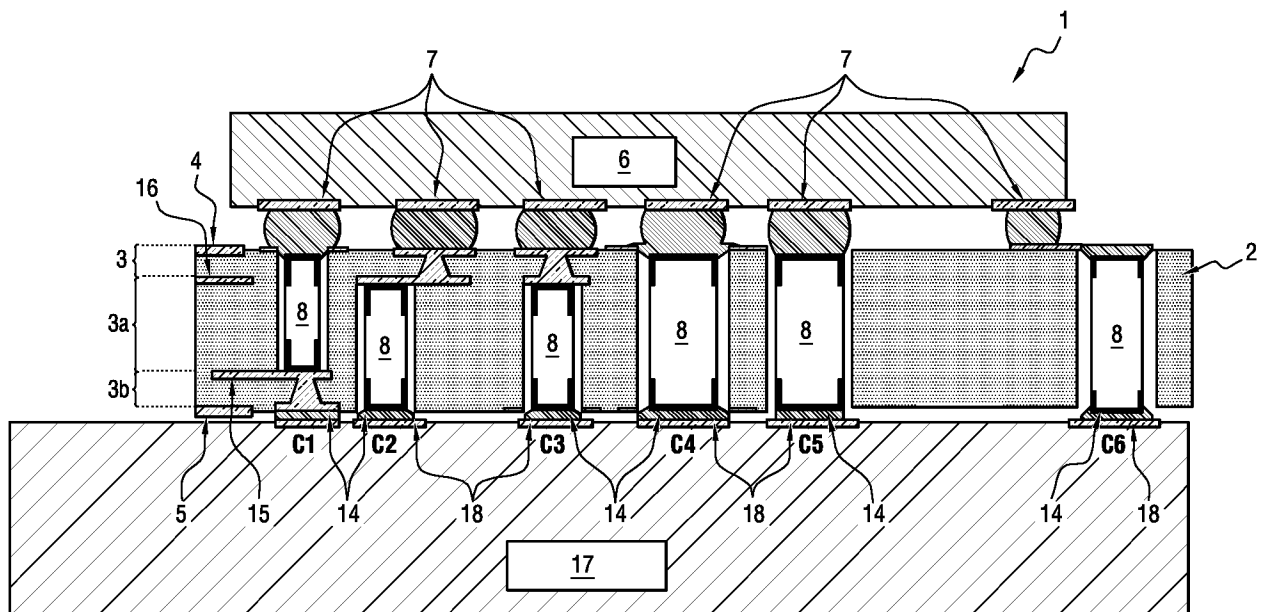


Fig. 2

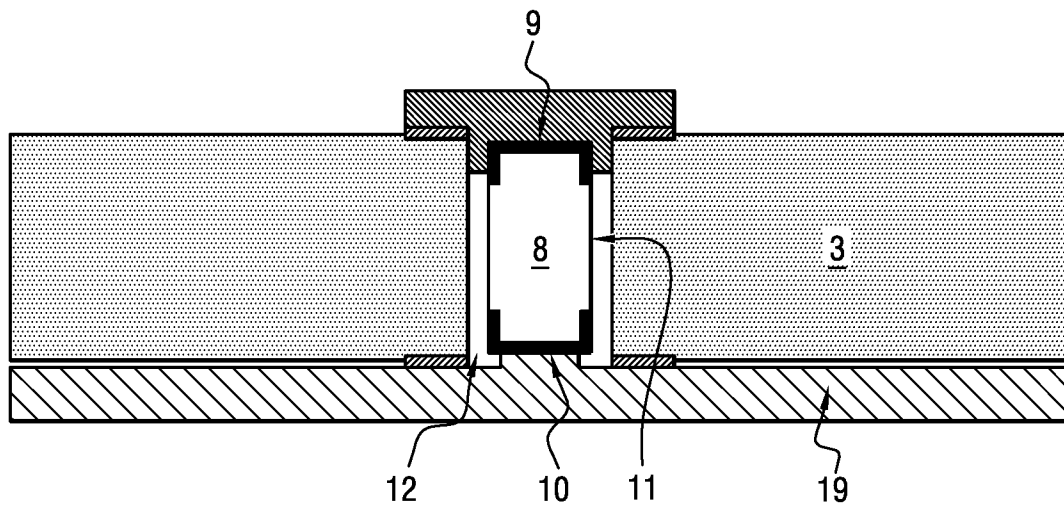


Fig. 3

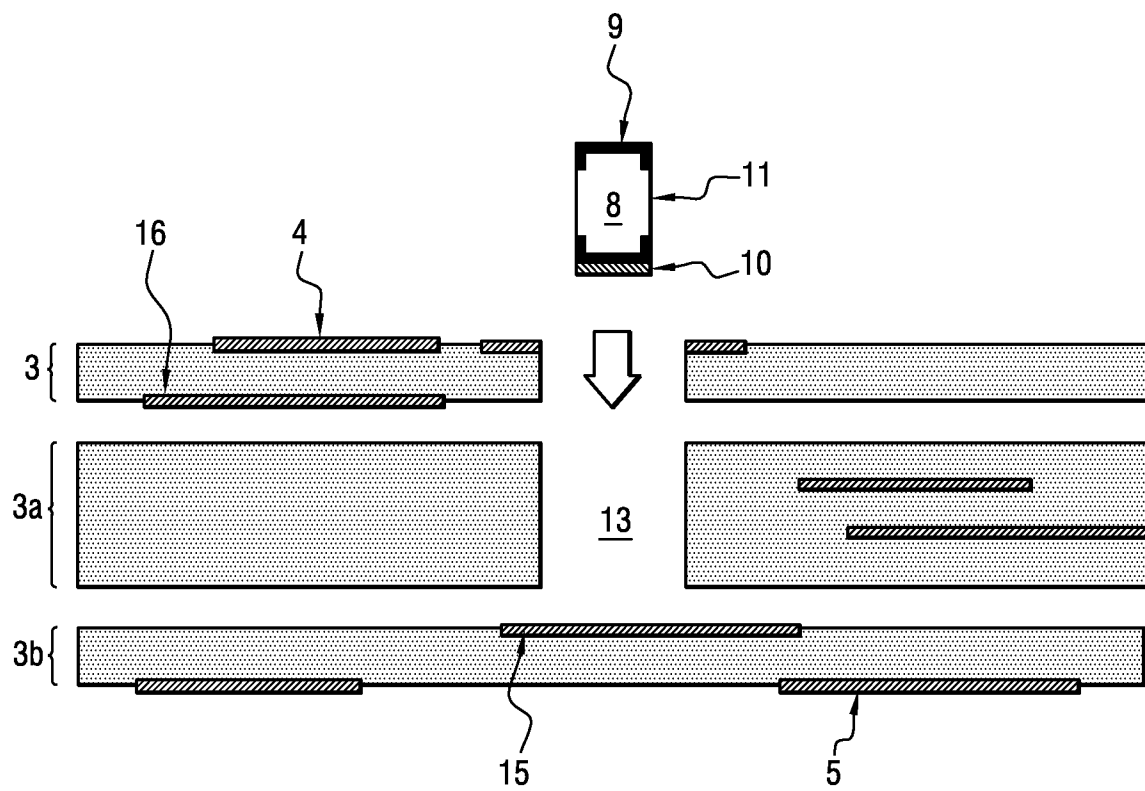
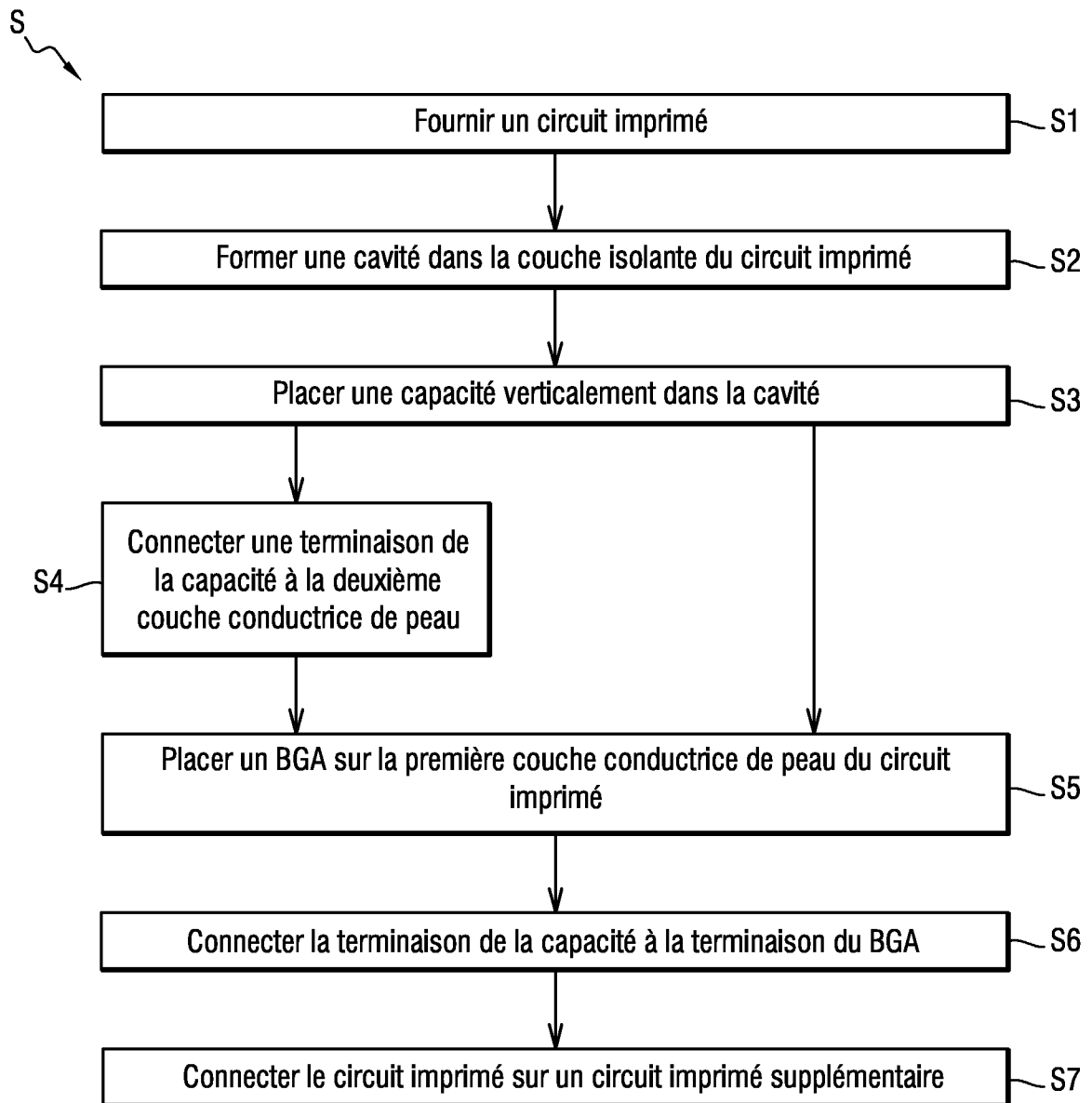


Fig. 4

**Fig. 5**

INTERNATIONAL SEARCH REPORT

International application No.

PCT/FR2021/051581**A. CLASSIFICATION OF SUBJECT MATTER****H05K 1/18**(2006.01)i; **H05K 3/46**(2006.01)i; **H05K 1/11**(2006.01)n; **H05K 3/34**(2006.01)n

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2019208643 A1 (CHUAH TIN POAY [MY] ET AL) 04 July 2019 (2019-07-04) paragraphs [0019], [0015], [0016] - [0019]; figures 6,2-3,5A-H,4	1-13
Y	EP 1360721 A2 (INTEL CORP [US]) 12 November 2003 (2003-11-12) paragraphs [0015] - [0017], [0051] - [0056]; figures 3,10-11	1-13
A	US 2010112826 A1 (FRASCO GARY D [US]) 06 May 2010 (2010-05-06) paragraph [0046]; figure 17	1-13

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

02 December 2021

Date of mailing of the international search report

10 December 2021

Name and mailing address of the ISA/EP

European Patent Office
p.b. 5818, Patentlaan 2, 2280 HV Rijswijk
Netherlands

Telephone No. (+31-70)340-2040

Facsimile No. (+31-70)340-3016

Authorized officer

Tomezak, Alexandre

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/FR2021/051581

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2019208643	A1	04 July 2019	US	2019208643	A1	04 July 2019
				WO	2018063279	A1	05 April 2018
EP	1360721	A2	12 November 2003	AT	441940	T	15 September 2009
				AU	6694401	A	14 January 2002
				CN	1468448	A	14 January 2004
				EP	1360721	A2	12 November 2003
				HK	1058433	A1	14 May 2004
				MY	126682	A	31 October 2006
				US	6407929	B1	18 June 2002
				WO	0203463	A2	10 January 2002
US	2010112826	A1	06 May 2010	CN	102187523	A	14 September 2011
				US	2010112826	A1	06 May 2010
				WO	2010053827	A1	14 May 2010

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/FR2021/051581

A. CLASSEMENT DE L'OBJET DE LA DEMANDE INV. H05K1/18 H05K3/46 ADD. H05K1/11 H05K3/34		
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB		
B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE Documentation minimale consultée (système de classification suivi des symboles de classement) H05K		
Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche		
Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
Y	US 2019/208643 A1 (CHUAH TIN POAY [MY] ET AL) 4 juillet 2019 (2019-07-04) alinéas [0019], [0015], [0016] - [0019]; figures 6,2-3,5A-H,4 -----	1-13
Y	EP 1 360 721 A2 (INTEL CORP [US]) 12 novembre 2003 (2003-11-12) alinéas [0015] - [0017], [0051] - [0056]; figures 3,10-11 -----	1-13
A	US 2010/112826 A1 (FRASCO GARY D [US]) 6 mai 2010 (2010-05-06) alinéa [0046]; figure 17 -----	1-13
☐ Voir la suite du cadre C pour la fin de la liste des documents ☒ Les documents de familles de brevets sont indiqués en annexe		
* Catégories spéciales de documents cités: "A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent "E" document antérieur, mais publié à la date de dépôt international ou après cette date "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée) "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée "T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention "X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément "Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier "&" document qui fait partie de la même famille de brevets		
Date à laquelle la recherche internationale a été effectivement achevée 2 décembre 2021		Date d'expédition du présent rapport de recherche internationale 10/12/2021
Nom et adresse postale de l'administration chargée de la recherche internationale Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Fonctionnaire autorisé Tomezak, Alexandre

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/FR2021/051581

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2019208643 A1	04-07-2019	US 2019208643 A1	04-07-2019
		WO 2018063279 A1	05-04-2018
EP 1360721 A2	12-11-2003	AT 441940 T	15-09-2009
		AU 6694401 A	14-01-2002
		CN 1468448 A	14-01-2004
		EP 1360721 A2	12-11-2003
		HK 1058433 A1	14-05-2004
		MY 126682 A	31-10-2006
		US 6407929 B1	18-06-2002
		WO 0203463 A2	10-01-2002
US 2010112826 A1	06-05-2010	CN 102187523 A	14-09-2011
		US 2010112826 A1	06-05-2010
		WO 2010053827 A1	14-05-2010