(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3604166号
(P3604166)
(45)発行日　平成16年12月22日(2004.12.22)　(24)登録日　平成16年10月8日(2004.10.8)

(51)Int.Cl.[7]　F I
G11C 16/06　G11C 17/00　632A
H02M 3/07　H02M 3/07

請求項の数 17　(全 16 頁)

(21)出願番号　特願平5-263236
(22)出願日　平成5年10月21日(1993.10.21)
(65)公開番号　特開平6-259981
(43)公開日　平成6年9月16日(1994.9.16)
審査請求日　平成12年9月13日(2000.9.13)
(31)優先権主張番号　964697
(32)優先日　平成4年10月22日(1992.10.22)
(33)優先権主張国　米国(US)

(73)特許権者　591016172
アドバンスト・マイクロ・ディバイシズ・インコーポレイテッド
ＡＤＶＡＮＣＥＤ　ＭＩＣＲＯ　ＤＥＶＩＣＥＳ　ＩＮＣＯＲＰＯＲＡＴＥＤ
アメリカ合衆国、９４０８８－３４５３　カリフォルニア州、サニィベイル、ピィ・オゥ・ボックス・３４５３、ワン・エイ・エム・ディ・プレイス、メイル・ストップ・６８（番地なし）
(74)代理人　100064746
弁理士　深見　久郎
(74)代理人　100085132
弁理士　森田　俊雄

最終頁に続く

(54)【発明の名称】ドレイン電源

(57)【特許請求の範囲】
【請求項１】
プログラミングの間に、調整された正電位を生成しかつそれをフラッシュＥＥＰＲＯＭメモリセルのアレイのビットラインを通して、選択されたメモリセルのドレイン領域に与えるためのドレイン電源であって、
複数の互い違いにされたクロック信号を生成するためのクロック手段（１８）と、
外部電源電位（ＶＣＣ）と前記複数の互い違いにされたクロック信号とに応答して適度にハイレベルの正電圧を生成するためのチャージポンプ手段（２０）とを含み、
前記チャージポンプ手段は複数のチャージポンプ部分（２０ａないし２０ｈ）からなり、
前記複数のチャージポンプ部分の各々の入力が前記複数の互い違いにされたクロック信号のうちのそれぞれ１つを受け取るべく接続されかつその出力がポンピングアップされたノードに接続され、さらに、
前記複数のチャージポンプ部分の各々に結合されて前記複数のチャージポンプ部分におけるしきい値電圧降下を効果的に相殺するための相殺手段（２６、２８）を含み、
前記相殺手段は、第１の内部ノードに結合された第１の結合キャパシタ（Ｃ７０２）および第１のＮチャネル初期化トランジスタ（Ｔ５）と、第２の内部ノードに結合された第２の結合キャパシタ（Ｃ７０３）および第２のＮチャネル初期化トランジスタ（Ｔ６）とからなり、さらに
出力ノードでの前記調整された正電位および基準電圧に応答して、徐々に増加してハイレベルの正電圧を出力ノードに対し減じかつ徐々に減少してハイレベルの正電圧を出力ノー

ドに対し増す制御電圧を生成するための調整手段（２２）とを含む、ドレイン電源。
【請求項２】
前記調整された正電位が約＋６．５ボルトである、請求項１に記載のドレイン電源。
【請求項３】
前記複数のチャージポンプ部分の各々が第１のＮチャネルパストランジスタ（Ｔ１）、ポンプキャパシタ（Ｃ７０１）、および第２のＮチャネルパストランジスタ（Ｔ２）からなり、前記第１のトランジスタのドレインが電源電位（ＶＣＣ）に接続されかつそのソースがプリチャージノードに接続され、前記ポンプキャパシタの一方の側がプリチャージノードに接続されかつその他方の側が第１の内部クロック位相を受け取るべく接続され、前記第２のトランジスタのドレインがプリチャージノードに接続されかつそのソースが出力ノードに接続され、前記第１のトランジスタのゲートが第１の内部ノードに接続され、前記第２のトランジスタのゲートが第２の内部ノードに接続される、請求項１に記載のドレイン電源。
【請求項４】
前記調整手段が非反転入力、反転入力、出力、および直列パスＰチャネルトランジスタ（Ｐ９０３）を有する差動コンパレータ（９０２）からなり、前記差動コンパレータの非反転入力が基準電圧に結合され、その反転入力が前記調整された正電位に結合され、かつその出力が前記直列パストランジスタのゲートに結合され、前記直列パストランジスタのソースが前記ハイレベルの正電圧に接続されかつそのドレインが出力ノードに接続されて前記調整された正電位を与える、請求項１に記載のドレイン電源。
【請求項５】
前記調整手段が、動作のテストモードの間に、前記ポンピングアップされたノードを電源電位に引くためのテストレベル手段（２２ａ）を含む、請求項１に記載のドレイン電源。
【請求項６】
前記クロック手段が、高周波クロック信号に応答してクロック位相信号を生成するためのドライバ手段（１８ａ）および前記クロック位相信号に応答して、前のものと比較して各々が遅延される前記複数の互い違いにされたクロック信号を生成するための遅延手段（１８ｂ）からなる、請求項１に記載のドレイン電源。
【請求項７】
前記遅延手段が複数のインバータ（Ｇ３ないし Ｇ６）および遅延素子（Ｇ７ないし Ｇ９）からなり、前記複数の遅延素子の各々がＲＣ遅延回路（９２）およびシュミットトリガ回路（９４）を含み、前記ＲＣ回路の入力が入力信号および出力に接続され、前記シュミットトリガの入力が前記ＲＣ遅延回路の出力に接続されかつその出力が前記入力信号に関し反転され遅延される出力信号を与える、請求項６に記載のドレイン電源。
【請求項８】
前記複数のチャージポンプ部分の各々が前記電源電位（ＶＣＣ）と前記第２の内部ノードとの間に結合された逆チャージトランジスタ（Ｔ３）および前記プリチャージノードと前記第２の内部ノードとの間に結合されたブースタダイオード接続トランジスタ（Ｔ４）をさらに含む、請求項３に記載のドレイン電源。
【請求項９】
基板上に形成されて列および行を規定するフラッシュＥＥＰＲＯＭメモリセルのアレイであって、基板は行の少なくとも１つに沿って延びる共通ソースライン、それぞれの列に沿って延びる複数のビットラインを含み、各メモリセルは共通ソースラインに結合されたＮ型ソース領域、コントロールゲート、フローティングゲート、ビットラインのそれぞれ１つに結合されたＮ型ドレイン領域およびチャネル領域を含み、各メモリセルが主としてホットエレクトロンをそのフローティングゲートに転送することによりプログラム可能である、アレイにおいて、プログラミングの間に、調整された正電位を生成しかつそれをビットラインを通して、選択されたメモリセルのドレイン領域に与えるためのドレイン電源であって、
複数の互い違いにされたクロック信号を生成するためのクロック手段（１８）と、

外部電源電位（ＶＣＣ）と前記複数の互い違いにされたクロック信号とに応答して適度にハイレベルの正電圧を生成するためのチャージポンプ手段（２０）とを含み、
前記チャージポンプ手段が複数のチャージポンプ部分（２０ａないし２０ｈ）からなり、前記複数のチャージポンプ部分の各々の入力が前記複数の互い違いにされたクロック信号のうちのそれぞれ１つを受け取るべく接続されかつその出力がポンピングアップされたノードに接続され、さらに、
前記複数のチャージポンプ部分の各々に結合されて前記複数のチャージポンプ部分におけるしきい値電圧降下を効果的に相殺するための相殺手段（２６、２８）を含み、
前記相殺手段は、第１の内部ノードに結合された第１の結合キャパシタ（Ｃ７０２）および第１のＮチャネル初期化トランジスタ（Ｔ５）と、第２の内部ノードに結合された第２の結合キャパシタ（Ｃ７０３）および第２のＮチャネル初期化トランジスタ（Ｔ６）とからなる、さらに
出力ノードでの前記調整された正電位および基準電圧に応答して、徐々に増加してハイレベルの正電圧を出力ノードに対し減じかつ徐々に減少してハイレベルの正電圧を出力ノードに対し増す制御電圧を生成するための調整手段（２２）とを含む、ドレイン電源。

【請求項１０】
フラッシュＥＥＰＲＯＭメモリセルのアレイにおいて、前記調整された正電位が約６．５ボルトである、請求項９に記載のドレイン電源。

【請求項１１】
フラッシュＥＥＰＲＯＭメモリセルのアレイにおいて、前記複数のチャージポンプ部分の各々が第１のＮチャネルパストランジスタ（Ｔ１）、ポンプキャパシタ（Ｃ７０１）、および第２のＮチャネルパストランジスタ（Ｔ２）からなり、前記第１のトランジスタのドレインが電源電位（ＶＣＣ）に接続されかつそのソースがプリチャージノードに接続され、前記ポンプキャパシタの一方の側がプリチャージノードに接続されかつその他方の側が第１の内部クロック位相を受け取るべく接続され、前記第２のトランジスタのドレインがプリチャージノードに接続されかつそのソースが出力ノードに接続され、前記第１のトランジスタのゲートが第１の内部ノードに接続され、前記第２のトランジスタのゲートが第２の内部ノードに接続される、請求項９に記載のドレイン電源。

【請求項１２】
フラッシュＥＥＰＲＯＭメモリセルのアレイにおいて、前記調整手段が、非反転入力、反転入力、出力、および直列パスＰチャネルトランジスタ（Ｐ９０３）を有する差動コンパレータ（９０２）からなり、前記差動コンパレータの非反転入力が基準電圧に結合され、その反転入力が前記調整された正電位に結合され、かつその出力が前記直列パストランジスタのゲートに結合され、前記直列パストランジスタのソースが前記ハイレベルの正電圧に接続されかつそのドレインが出力ノードに接続されて前記調整された正電位を与える、請求項９に記載のドレイン電源。

【請求項１３】
フラッシュＥＥＰＲＯＭメモリセルのアレイにおいて、前記調整手段が、動作のテストモードの間に、前記ポンピングアップされたノードを電源電位に引くためのテストレベル手段（２２）を含む、請求項９に記載のドレイン電源。

【請求項１４】
フラッシュＥＥＰＲＯＭメモリセルのアレイにおいて、前記クロック手段が、高周波クロック信号に応答してクロック位相信号を生成するためのドライバ手段（１８ａ）、および前記クロック位相信号に応答して、前のものと比較して各々が遅延される前記複数の互い違いにされたクロック信号を生成するための遅延手段（１８ｂ）からなる、請求項９に記載のドレイン電源。

【請求項１５】
フラッシュＥＥＰＲＯＭメモリセルのアレイにおいて、前記遅延手段が複数のインバータ（Ｇ３ないしＧ６）および遅延素子（Ｇ７ないしＧ９）からなり、前記複数の遅延素子の各々がＲＣ遅延回路（９２）およびシュミットトリガ回路（９４）を含み、前記ＲＣ回路

の入力が入力信号および出力に接続され、前記シュミットトリガの入力が前記ＲＣ遅延回路の出力に接続されかつその出力が前記入力信号に関して反転され遅延される出力信号を与える、請求項１４に記載のドレイン電源。
【請求項１６】
フラッシュＥＥＰＲＯＭメモリセルのアレイにおいて、前記複数のチャージポンプ部分の各々が前記電源電位（ＶＣＣ）と前記第２の内部ノードとの間に結合された逆チャージトランジスタ（Ｔ３）および前記プリチャージノードと前記第２の内部ノードとの間に結合されたブースタダイオード接続トランジスタ（Ｔ４）をさらに含む、請求項１１に記載のドレイン電源。
【請求項１７】
プログラミングの間に、調整された正電位を生成しかつそれをフラッシュＥＥＰＲＯＭのメモリセルのアレイのビットラインを通して、選択されたメモリセルのドレイン領域に与えるためのドレイン電源であって、
外部電源電位（ＶＣＣ）と複数の互い違いにされたクロック信号とに応答して適度にハイレベルの正電圧を生成するためのチャージポンプ手段（２０）を含み、
前記チャージポンプ手段（２０）は、関連のしきい値電圧を有する複数のデバイス（Ｔ１，Ｔ２）を含み、さらに
前記チャージポンプ手段に結合されて、前記複数のデバイスのしきい値電圧による前記チャージポンプ手段におけるしきい値電圧降下を効果的に相殺するための相殺手段（２６、２８）と、
出力ノードでの前記調整された正電位および基準電圧に応答して徐々に増加してハイレベルの正電圧を出力ノードに対し減じかつ徐々に減少してハイレベルの正電圧を出力ノードに対し増す制御電圧を生成するための調整手段（２２）とを含む、ドレイン電源。
【発明の詳細な説明】
【０００１】
【発明の分野】
この発明は一般的には、フラッシュＥＥＰＲＯＭ（電気的に消去可能かつプログラム可能な読出専用メモリ）セルのアレイのようなフローティングゲートメモリ装置に関する。より特定的には、この発明はプログラミングの間に、調整された正電位を生成しかつそれをフラッシュＥＥＰＲＯＭメモリセルのアレイのビットラインを通して、選択されたメモリセルのドレイン領域に与えるための改良されたドレイン電源に関する。
【０００２】
【先行技術に関する論議】
サミア・エス・ハダド（Ｓａｍｅｅｒ　Ｓ．　Ｈａｄｄａｄ）　らに、１９９１年１２月３１日に発行された、米国特許第５，０７７，６９１　号では、正のドレイン電圧チャージポンプ２０１を含むフラッシュＥＥＰＲＯＭアレイが開示されている。′６９１号特許はこの発明と同一の譲受人に譲渡され、かつ引用により援用される。動作のセクタプログラミングモードの間、′６９１特許の図２Ｂのチャージポンプ２０１はハイレベルの正電位（すなわち＋６Ｖ）を生成し、それは選択されたセクタのビットラインを通してドレイン領域に与えられ、一方では非選択セクタのメモリセルのドレイン領域はフローティング状態である。さらに、選択されたセクタのすべてのトランジスタのコントロールゲートは約＋１２ボルトの比較的高い正電圧に上昇させられ、かつそのソース領域はゼロボルトの接地電位に引かれる。′６９１特許の図５Ｃでは、＋６ボルトを生成するための単一の正電圧チャージポンプ段５０２を有するチャージポンプ回路の概略図が示されている。図５Ｃのチャージポンプ回路は′６９１特許の図２Ｂに示されるチャージポンプブロック２０１に用いられる。
【０００３】
アントニオ・ジェイ・モンタルボ（Ａｎｔｏｎｉｏ　Ｊ．　Ｍｏｎｔａｌｖｏ）　らに、１９９２年６月３０日に発行された、米国特許第５，１２６，８０８　号では、これも正のドレイン電圧チャージポンプを含むページ消去アーキテクチュアを備えたフラッシュＥ

ＥＰＲＯＭアレイが開示されている。'８０８号特許もこの発明と同一の譲受人に譲渡され、かつ引用により援用される。'８０８号特許の図７Ｆでは、'６９１号特許の図５Ｃと類似した、約＋６ボルトのハイレベルの正電位を生成するための単一の正電圧チャージポンプ段５７０からなるチャージポンプ回路５７６の概略図が示されている。

【０００４】

この発明は、上述のそれぞれ'６９１号および'８０８号特許に示されるチャージポンプ回路に加えられる重大な改良を示す。この発明のドレイン電源は、プログラミングの間に、調整された正電位の生成し、かつそれをフラッシュＥＥＰＲＯＭメモリセルのアレイのビットラインを通して、選択されたメモリセルのドレイン領域に与えるのに用いられる。この発明のドレイン電源は約６ｍＡを与えるべく設計されているが、軍用温度および電源範囲にわたって＋６．５Ｖと＋６．９Ｖとの間で調整できる。

【０００５】

ドレイン電源は、各々が複数の互い違いにされたクロック信号のうちの１つにより駆動される。複数のチャージポンプ部分からなり、適度にハイレベルの正電圧を生成するための正のチャージポンプ回路を含む。相殺回路は複数のチャージポンプ部分の各々に結合されて、チャージポンプ回路におけるしきい値電圧降下を効果的に相殺する。ドレイン電源はさらに、出力ノードでの調整された正電位および基準電圧に応答して、徐々に増加してハイレベルの正電圧を減じ、かつ徐々に減少してハイレベルの正電圧を出力ノードに対し増す制御電圧を出力ノードに生成するための調整回路を含む。この発明のドレイン電源は、増したポンプ効率、ＶＣＣおよびＶＳＳノイズの低減、リプル低減、および従来利用可能であったそれらの電源よりも低い電力消散を有する。

【０００６】

【発明の概要】

したがって、この発明の一般的な目的は、プログラミングの間に、調整された正電位を生成しかつそれをフラッシュＥＥＰＲＯＭメモリセルのアレイのビットラインを通して、選択されたメモリセルのドレイン領域に与える、しかし先行技術の電源の欠点を克服する、改良されたドレイン電源を提供することである。

【０００７】

この発明の目的は、増された効率、より少ないリプル、減じられたＶＣＣおよびＶＳＳノイズ、および従来利用可能であったそれらの電源よりも低い電力消費を有する、調整された正電位を生成しかつ与えるための改良されたドレイン電源を提供することである。

【０００８】

この発明のさらなる目的は、各々が複数の互い違いにされたクロック信号のうちの１つにより駆動される複数のチャージポンプ部分からなり、適度にハイレベルの正電圧を生成するための正のチャージポンプ回路、およびチャージポンプ回路においてしきい値電圧降下を効果的に相殺するための相殺回路を含む、調整された正電位を生成しかつ与えるための改良されたドレイン電源を提供することである。

【０００９】

この発明のさらなる目的は、徐々に増加されるかまたは減じられてハイレベルの正電圧を調整する制御電圧を生成するための正の調整器回路を含む、調整された正電位を生成しかつ与えるための改良されたドレイン電源を提供することである。

【００１０】

これらの狙いおよび目的によると、この発明はプログラミングの間に、調整された正電位を生成しかつそれをフラッシュＥＥＰＲＯＭメモリセルのアレイのビットラインを通して、選択されたメモリセルのドレイン領域に与えるためのドレイン電源の提供に関する。ドレイン電源は複数の互い違いにされたクロック信号を生成するためのクロック回路、および外部電源電位ＶＣＣと複数の互い違いにされたクロック信号とに応答して適度にハイレベルの正電圧を生成するためのチャージポンプ回路を含む。チャージポンプ回路は複数のチャージポンプ部分からなる。複数のチャージポンプ部分の各々の入力は複数の互い違いにされたクロック信号のそれぞれ１つを受け取るべく接続され、かつその出力はポンピン

グアップされたノードに接続される。

【００１１】

相殺回路は複数のチャージポンプ部分の各々に結合されて、複数のチャージポンプ部分の各々におけるしきい値電圧降下を効果的に相殺する。正の調整器回路は出力ノードでの調整された正電位および基準電圧に応答して、徐々に増加してハイレベルの正電圧を減じかつ徐々に減少してハイレベルの正電圧を増す制御電圧を出力ノードに生成する。

【００１２】

この発明のこれらおよび他の目的ならびに利点は、全体を通して対応する部分を示す同じ参照番号が付けられた添付図面を見ながら、以下の詳細な記述を読むと、より十分に明らかとなるだろう。

【００１３】

【実施例の詳細な説明】

ここで図面をよく参照すると、図１にはこの発明の原理により構成される、動作のプログラミングモードの間に、調整された正電位を生成しかつそれをビットラインを通して、選択されたメモリセルのドレイン領域に与えるためのドレイン電源１０の一般的な全体の簡略化されたブロック図が示される。ドレイン電源１０は、多数のフラッシュＥＥＰＲＯＭメモリセルがＮ×Ｍマトリックスとして配列されたアレイを含む１個の集積回路チップ（図示せず）の一部として形成される。典型的には＋５．０Ｖの外部またはオフチップ電源電位ＶＣＣ（これも図示せず）が集積回路チップに与えられ、かつドレイン電源１０の入力に与えられる。

【００１４】

フラッシュＥＥＰＲＯＭメモリセルのアレイは基板上に形成されて列および行を規定するが、そこでは基板は少なくとも行の１つに沿って延びる共通ソースラインおよびそれぞれの列に沿って延びる複数のビットラインを含む。メモリセルの各々は共通ソースラインに結合されたＮ型ソース領域、コントロールゲート、フローティングゲート、ビットラインのそれぞれ１つに結合されたＮ型ドレイン領域およびチャネル領域を含む。さらに、メモリセルの各々は主としてホットエレクトロンをそのフローティングゲートに転送することによりプログラム可能であり、かつ主としてエレクトロンをそのフローティングゲートからそのソース領域にトンネリングすることにより消去可能である。

【００１５】

ドレイン電源１０は調整された正電位ＶＰＲＯＧを生成し、それはデータ入力バッファ回路１２およびＰチャネルプルアップトランジスタ１４を介しデータビットラインＤＡＴＡＢｎに与えられる。プログラミングの間に、データ入力バッファ回路１２はビットラインを通して選択されたメモリセルトランジスタのドレイン領域に調整された正電位ＶＰＲＯＧを与えるべく動作する。バッファ回路はさらに、非選択メモリセルのドレイン領域に結合されたビットラインにゼロボルトが印加されるようにする。ドレイン電源１０は調整された正電位を生成するためのドレイン電圧発生および調整回路１６を含む。図１のドレイン電圧発生および調整回路１６についてのより詳しいブロック図は、図２に示される。

【００１６】

図２に見られるように、ドレイン電圧発生および調整回路１６は、互い違いにされた位相またはクロック発生器１８、ドレインチャージポンプ回路２０、および電圧プログラミング調整器回路２２からなる。チャージポンプ回路２０は８の小さなポンプ部分２０ａ、２０ｂないし２０ｇ、および２０ｈからなり、それらは並列に接続されて、ポンピングアップされたノード２４で適度にハイレベルの正電圧ＤＰＵＭＰを生成する。チャージポンプ回路２０は、多段ポンプではなく小さな８の単一段ポンプ部分により形成される。８のポンプ部分２０ａないし２０ｈはクロック発生器１８により生成された互い違いにされたクロック信号により駆動され、ＶＣＣおよびＶＳＳ電源ライン上のノイズを低減する。さらに、いずれか所与の時間において切換えられるのは２つのポンプ部分のみであり、その一方はオンに切換えられかつ他方はオフに切換えられて、さらにノイズを低減する。互い違いにされたクロック信号が用いられているので、各ポンプ部分によるノード２４への電荷

のダンピングにより生じる摂動はより少なくなり、それによりリプルを低減する。

【００１７】

ポンプ効率を増すために、ポンプ部分の各々が、パストランジスタＴ１におけるしきい値降下V_{tp}を効果的に相殺するための第１の相殺回路２６、およびパストランジスタＴ２におけるしきい値降下V_{tp}を効果的に相殺するための第２の相殺回路２８を含むことに留意されたい。図３では、例示の波形Ｐｎ、Ｑｎ、およびＲｎが示され、それらはポンプ部分の、それぞれ入力ノード、パストランジスタＴ１のゲート、およびパストランジスタＴ２のゲートを駆動する。電圧プログラミング調整器回路２２は直列型調整器であり、出力ノード３２での調整された正電位ＶＰＲＯＧを生成するための差動コンパレータ３０を含む。

【００１８】

図４では、図２のブロック１８、２０および２２についてのより詳細な概略図が示されている。互い違いにされたクロック発生器１８は、ドライバ部分１８ａおよび遅延部分１８ｂを含む。ドライバ部分はＮＡＮＤ論理ゲートＧ１およびインバータゲートＧ２を含む。論理ゲートＧ１はその入力上で２０ＭＨｚクロック信号ＯＳＣ、プログラムモード信号ＰＧＭ、およびイネーブルポーリング信号ＥＮＰＯＬＬを受け取る。ライン３４上の論理ゲートＧ１の出力はインバータゲートＧ２の入力に与えられる。インバータゲートＧ２の出力は第１のクロック位相信号Ｐ０を与える。

【００１９】

遅延部分１８ｂはインバータゲートＧ３ないしＧ６および遅延素子Ｇ７ないしＧ９からなる。インバータゲートＧ３の入力はインバータゲートＧ２の出力に接続されてライン３６上の第１のクロック位相信号Ｐ０を受け取り、かつその出力（ライン３８）上に第２のクロック位相信号Ｐ１を生成する。遅延素子Ｇ７の入力はインバータゲートＧ３の出力に接続され、第３のクロック位相信号Ｐ２を規定するその出力（ライン４０）はインバータゲートＧ４の入力に接続される。遅延素子Ｇ８の入力は第４のクロック位相信号Ｐ３を規定するインバータゲートＧ４の出力（ライン４２）に接続され、第５のクロック位相信号Ｐ４を規定するその出力（ライン４４）はインバータゲートＧ５の入力に接続される。遅延素子Ｇ９の入力は第６のクロック位相信号Ｐ５を規定するインバータゲートＧ５の出力（ライン４６）に接続され、第７のクロック位相信号Ｐ６を規定するその出力（ライン４８）はインバータゲートＧ６の入力に接続される。インバータゲートＧ６の出力（ライン５０）は第８のクロック位相信号Ｐ７を与える。

【００２０】

互い違いにされたクロック位相信号Ｐ０ないし Ｐ７の波形は図５の（ａ）ないし（ｈ）に示されている。遅延素子Ｇ７がクロック位相信号Ｐ１を遅延させかつ反転させて、遅延されたクロック位相信号Ｐ２を生成することに留意されたい。同様に、遅延素子Ｇ８は遅延されたクロック位相信号Ｐ３を遅延させかつ反転させて、遅延されたクロック位相信号Ｐ４を生成する。最後に、遅延素子Ｇ９は遅延されたクロック位相信号Ｐ５を遅延させかつ反転させて、遅延されたクロック位相信号Ｐ６を生成する。

【００２１】

ポンプ部分２０ａの入力はライン３６に接続されて第１のクロック位相信号Ｐ０を受け取り、かつポンプ部分２０ｂの入力はライン３８に接続されて第２のクロック位相信号Ｐ１を受け取る。同様に、ポンプ部分２０ｃないし２０ｈの入力はそれぞれライン４０、４２、４４、４６、４８、５０に接続されて対応する第３ないし第８のクロック位相信号Ｐ２ないし Ｐ７を受け取る。それぞれのライン５２－６６上のポンプ部分２０ａないし２０ｈの出力は、ポンピングアップされたノード２４に接続され、適度にハイレベルの正電圧ＤＰＵＭＰを与える。

【００２２】

電圧プログラミング調整器回路２２はその入力としてライン６８上のクロック信号ＯＳＣ、ライン７０上の制御信号ＡＰＤＢ、ライン７２上のテスト信号ＶＴＢ、ライン７４上のイネーブルポーリング信号ＥＮＰＯＬＬ、ライン７６上のプログラムモード信号ＰＧＭ、

ノード７７ないしライン７８上のハイレベルの正電圧ＤＰＵＭＰ、およびライン８０上の基準電位ＶＲＥＦを受け取る。調整器回路２２は出力ノード３２での調整された正（ドレイン）電位ＶＰＲＯＧを生成する。トランジスタＮ３０１は、プログラミングの後に正電位ＶＰＲＯＧを放電するのに用いられる。

【００２３】

前に戻って図２を参照すると、プログラミングモードに先立って信号ＩＮＩＴＩＡＬＩＺＥが与えられ、約＋２．０ボルトの基準電圧ＶＲＥＦがキャパシタＣｎを充電して上げることを可能にする。さらに、キャパシタＣｐは最初のうちは接地電位（ゼロボルト）に充電される。プログラミングモードの間に、差動コンパレータ３０は、ノード８２での電圧ＶＣＤＶをノード８４での基準電圧ＶＲＥＦと比較するのに用いられる。電圧ＶＣＤＶが電圧ＶＲＥＦよりも大きければ、コンパレータの出力電圧ＶＯＵＴは徐々に増加してＰチャネルプルアップトランジスタ８６の導通をより少なくさせ、それにより出力ノード３２からの電圧ＤＰＵＭＰを減じる。他方では、電圧ＶＣＤＶが基準電圧ＶＲＥＦよりも小さければ、出力電圧ＶＯＵＴは徐々に減じられてトランジスタ８６の導通をより少なくさせ、それにより出力ノードをハイの正電圧ＤＰＵＭＰにプルアップまたは増加させる。

【００２４】

ここで図６を参照すると、図２および図４における、ポンピングアップされたノード２４でのハイレベルの正電圧ＤＰＵＭＰ（曲線Ａ）および出力ノード３２での調整された正電圧ＶＰＲＯＧ（曲線Ｂ）の出力波形が示されている。差動コンパレータ３０はノード８２での電圧ＶＣＤＶ（曲線Ｃ）を基準電圧ＶＲＥＦと比較する。比較に応じて、出力電圧ＶＯＵＴ（曲線Ｄ）はコンパレータの出力で生成される。電圧ＶＯＵＴはノード１１８（図１０）での制御電圧であり、それはパストランジスタＰ９０３（図２の８６）のゲート電圧を変えるのに用いられる。この態様では、調整された正電圧ＶＰＲＯＧは制御電圧の変化により生成されるだろう。

【００２５】

図２および図４の８のポンプ部分２０ａ－２０ｈの各々がその構造および動作において同一であるので、ポンプ部分のただ１つについて詳細に述べるだけで十分である。したがって、ポンプ部分２０ａの詳細な概略回路図が図８に示されている。ポンプ部分２０ａはインバータゲートＧ１０ないしＧ１７からなるポンプクロックドライバ８８、ＮＯＲ論理ゲートＧ１８、およびＮＡＮＤ論理ゲートＧ１９を含む。クロックドライバ８８はクロック位相信号Ｐ０をライン８９上でドライバ部分１８ａから受け取り、かつ応答してライン５２上のハイの正電圧ＤＰＵＭＰと内部クロック位相ＰＨＩ１、ＰＨＩ２およびＰＨＩ３を生成する。ポンプ部分２０ａはさらに、パストランジスタＴ１、Ｔ２、ポンプキャパシタＣ７０１、第１の相殺回路２６、第２の相殺回路２８、逆チャージ防止トランジスタＴ３、およびブースタダイオード接続トランジスタＴ４を含む。

【００２６】

第１の相殺回路２６は初期化トランジスタＴ５および結合キャパシタＣ７０２により形成され、パストランジスタＴ１にかかるしきい値降下V_{tp}を相殺する。第２の相殺回路２８は初期化トランジスタＴ６および結合キャパシタＣ７０３により形成され、パストランジスタＴ２にかかるしきい値電圧降下V_{tp}を相殺する。内部クロック位相ＰＨＩ２、ＰＨＩ１およびＰＨＩ３はそれぞれキャパシタＣ７０２、Ｃ７０１、およびＣ７０３の一方の側に接続される。結合キャパシタＣ７０２の他方の側はノード９０でパストランジスタＴ１のゲートに接続される。ポンプキャパシタＣ７０１の他方の側はノードＰＭＰに接続され、かつ結合キャパシタＣ７０３の他方の側はパストランジスタＴ２のゲートに接続される。

【００２７】

図８に示されるポンプ部分２０ａの動作はここでは図７の波形に関して示される。最初は、ノード９０は初期化トランジスタＴ５により時間ｔ１で約＋４ボルトにプリチャージされたと仮定する。したがって、ノードＢがハイになれば、ノード９０での電位も時間ｔ２で上昇させられる。さらにこれによりノードＰＭＰも、パストランジスタＴ１にかかるし

きい値降下の損失なしで電源電位ＶＣＣにプリチャージされるだろう。したがって、内部クロック位相ＰＨＩ１がハイになり逆チャージを妨げると、時間ｔ３の前にパストランジスタＴ１はオフにされるだろう。逆チャージ防止トランジスタＴ３もノードＰＭＰゲートをプリチャージするのに用いられ、かつそれをサイクル間で電源電位ＶＣＣに放電するのに用いられて逆チャージを妨げることが注目される。初期化トランジスタＴ６もノードＰＭＰゲートをプリチャージするのに用いられる。

【００２８】

内部クロック位相ＰＨＩ１が時間ｔ３でハイになると、ノードＰＭＰは約＋８ボルトに上昇させられる。次に、内部クロック位相ＰＨＩ３が時間ｔ４でハイになると、ノードＰＭＰゲートも上昇させられてパストランジスタＴ２をオンにし、それによりしきい値降下の損失なしにノードＰＭＰでの電圧をノード２４（ＤＰＵＭＰ）に渡す。ブースタダイオード接続トランジスタＴ４はノードＰＭＰゲートに対しさらなるプリチャージを与えるのに役立つ。ノード２４（ＤＰＵＭＰ）が重度に負荷されるかもしれず、したがってノードＰＭＰゲートを適度なレベルにプリチャージしないかもしれないので、このさらなるプリチャージが要求される。時間ｔ３でのプリチャージにより、時間ｔ４でノードＰＭＰゲート上の電圧がより高くキックアップされることが可能となる。

【００２９】

ポンプ部分２０ｂが、信号Ｐ０の反転されたものである第２のクロック位相信号Ｐ１により駆動されるので、ポンプ部分２０ａがオンにされる間にポンプ部分２０ｂはオフにされる。同様に、他のポンプ部分２０ｄ、２０ｆおよび２０ｈは、対応するポンプ部分２０ｃ、２０ｅ、および２０ｇがオンにされる間にオフにされる。クロック信号を連続するポンプ部分の各々に対し遅延させることにより、常に電流をポンピングアップされたノード２４に運び、リプル効果を低減する１つのポンプ部分が存在する。

【００３０】

遅延素子Ｇ７ないしＧ９の各々がその構造および動作において同一であるので、遅延素子の１つだけについて詳しく述べるだけで十分である。したがって、遅延素子Ｇ７の詳細な概略回路図が図９に示されている。遅延素子Ｇ７はＲＣ遅延回路９２およびシュミットトリガ回路９４を含む。ＲＣ遅延回路はインバータ９６、抵抗器９８、およびキャパシタ１００からなる。インバータ９６の入力は遅延素子Ｇ７の入力を規定する。抵抗器９８およびキャパシタ１００の接合はライン１０２上の入力信号からの遅延され反転された信号を与える。シュミットトリガ回路はＰチャネルトランジスタＰ８０１、Ｐ８０２およびＰ８０３、Ｎチャネルトランジスタ Ｎ８０１、Ｎ８０２およびＮ８０３、インバータ１０４、ならびにソース縮退抵抗器１０６、１０８を含む。トランジスタＰ８０１およびＮ８０１のゲートにより規定されたシュミットトリガ回路の入力は、遅延された反転された信号を受け取る。シュミットトリガ回路の出力はインバータ１０４の出力により規定される。

【００３１】

ノードＬ１でのトリップポイントはトランジスタＮ８０３の、トランジスタＮ８０２と抵抗器１０８との直列組合せに対する比率により決定される。ノードＵ１でのトリップポイントはトランジスタＰ８０３の、トランジスタＰ８０２と抵抗器１０６との直列組合せに対する比率により決定される。抵抗器１０６および１０８がトランジスタＰ８０２およびＮ８０２の温度係数と比較してより小さい正の温度係数を有するので、抵抗器はシュミットトリガ回路のためのおよび温度補償ＶＣＣを与えるのに役立つ。

【００３２】

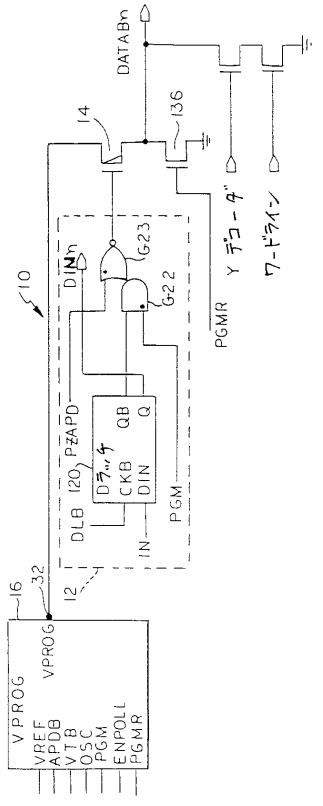
図４の電圧プログラミング調整器回路２２はテストレベル回路部分２２ａおよびプログラミング調整部分２２ｂからなる。テストレベル回路部分２２ａはクロックドライバ部分１１０、およびドライバ部分により駆動されるチャージポンプ部分１１２を含む。テストモードの間に、ノードＰＲＥゲートは高周波クロック信号ＯＳＣにより約＋８ボルトにポンピングアップされるだろう。結果として、プルアップトランジスタＮ９０１はオンにされ、ノード２４（ＤＰＵＭＰ）を電源電位ＶＣＣに引く。イネーブル信号ＥＮＰＲがハイであれば（すなわち、プログラミングモードの間に）、ノードＰＲＥゲートはトランジスタ

Ｎ９０２を介し接地電位に引かれるだろう。
【００３３】
プログラミング調整部分２２ｂは、プログラミングの間に、出力ノード３２で調整された（ドレイン）正電位ＶＰＲＯＧを与えるのに用いられる。調整部分２２ｂは基準電圧ＶＲＥＦ、プリチャージ回路９０１、差動コンパレータ９０２、直列パスＰチャネルトランジスタＰ９０３、およびキャパシタＣ９０１からなる。基準電圧はライン８０上で与えられ、かつ約＋２ボルトである。プリチャージ回路９０１はプリチャージトランジスタＮ９０３、Ｎ９０４、Ｎウェル型キャパシタＣｐ、ＭＯＳキャパシタＣｎ、およびセンストランジスタＰ９０４を含む。プログラミングモードに入るのに先立ち、信号ＥＮＰＲＢおよびＥＮＰＲＢＰは初めはハイにされ、ノードＶＲＧを約＋２ボルトにプリチャージしかつノード１１４を接地電位にプリチャージする。したがって、信号ＥＮＰＲＢおよびＥＮＰＲＢＰはローにされ、基準電圧を分離する。見られるように、キャパシタＣｎはノードＶＲＧとノード１１４との間に接続され、キャパシタＣｐはノード１１４と接地電位との間に接続される。センストランジスタＰ９０４がプログラミングの間にオンにされるので、電圧ＶＰＲＯＧはキャパシタＣｎおよびＣｐにより形成される容量性分割器により分割されてノード１１４でより小さな電圧ＶＣＤＶを与える。基準電圧はさらにライン１１６に与えられる。
【００３４】
動作においても、差動コンパレータ９０２は、調整された正電位ＶＰＲＯＧに比例するノード１１４での電圧（ＶＣＤＶ）をライン１１６上の基準電圧ＶＲＥＦと比較し、かつノード１１８でその出力上にコントロールゲート電圧を生成する。このゲート電圧は直列パストランジスタＰ９０３のゲートに接続される。ノード１１４での電圧（ＶＣＤＶ）がライン１１６上の基準電圧ＶＲＥＦよりも高ければ、ゲート電圧は徐々に増加してトランジスタＰ９０３の導通をより少なくし、それにより、より少ないハイの正電圧ＤＰＵＭＰを出力ノード３２（ＶＰＲＯＧ）に与える。他方では、ノード１１４での電圧がライン１１６上の基準電圧よりも小さければ、ゲート電圧は徐々に減少してトランジスタＰ９０４がより多く導通するようにし、それにより、より大きな電圧ＤＰＵＭＰを出力ノード３２に与える。この態様で、差動コンパレータは出力ノード３２で調整された正電位ＶＰＲＯＧを与える。
【００３５】
差動コンパレータ９０２が、熱切換保護のためにそのゲートが電源電位ＶＣＣに接続される２つのＮチャネルトランジスタＮ９０５およびＮ９０６を含むことに留意されたい。キャパシタＣ９０１はノード１１８とノード３２（ＶＰＲＯＧ）との間に接続され、補償を与える。さらに、キャパシタＣ９０２はポンピングアップされたノード２４（ＶＰＵＭＰ）と接地電位との間で接続され、チャージポンプ回路２０の出力におけるいかなるリプルをも低減する。
【００３６】
ここで図１１を参照すると、図１のデータ入力バッファ回路１２の回路図が示されている。データバッファ回路は選択されたメモリセルトランジスタのドレイン領域に結合されたデータビットラインが、プログラミングの間に調整された正電位ＶＰＲＯＧを与えられることを可能にする。データバッファ回路はさらに、非選択メモリセルトランジスタのドレイン領域に結合されたデータビットラインがゼロボルトを与えられるようにする。バッファ回路はインバータゲートＧ２０、Ｇ２１、キャパシタＣ１０１、Ｄラッチ回路１２０、ＡＮＤ論理ゲートＧ２２、ＮＯＲ論理ゲートＧ２３、２つのＮチャネルパストランジスタ１２２、１２４、およびレベルシフト回路１２６を含む。データ入力信号ＩＮｎはライン１２８に与えられ、かつインバータＧ２０、Ｇ２１およびキャパシタＣ１０１によりＤラッチ回路１２０のデータ端子ＤＩＮに対し遅延される。端子ＣＫＢ上のクロック信号ＤＬＢがハイレベルであれば、端子ＤＩＮ上のデータ信号は出力端子ＱＢを通して渡される。クロック信号ＤＬＢがローになれば、データは出力端子ＱＢ上でラッチされる。レベルシフト回路１２６はＰチャネルトランジスタ１３０、１３２およびＮチャネルトランジスタ

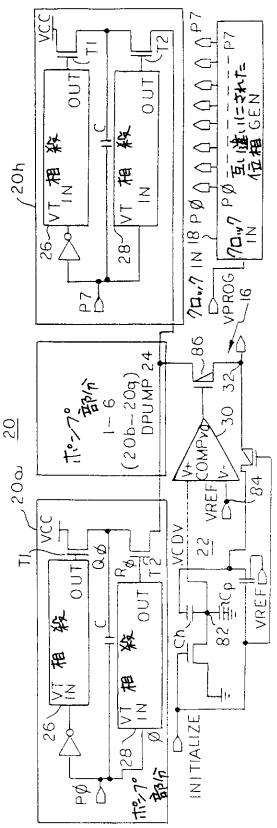
１３４からなる。
【００３７】
プログラミングモードの間に、信号ＰＧＭはハイとなって出力端子ＱＢを可能化する。データ信号ＩＮｎが選択されたメモリセルに対しローレベル（ＱＢ＝１）であるので、ＮＯＲゲートＧ２３の出力はローとなる。したがってこのローはトランジスタ１２２、１２４を介し渡されかつプルアップトランジスタ１４のゲートに与えられ、それによりそれをオンにする。結果として、出力ノード３２上の調整された正電位ＶＰＲＯＧはデータビットラインＤＡＴＡＢｎに渡される。他方では、データ信号ＩＮｎは非選択メモリセルに対しハイレベル（ＱＢ＝０）である。したがって、ＮＯＲゲートＧ２３の出力はハイとなる。このハイは再びトランジスタ１２２、１２４を介し渡されかつトランジスタ１４のゲートに与えられ、それによりそれをオフにする。結果として、ゼロボルトがデータビットラインに与えられる。
【００３８】
パストランジスタ１２２のゲートが調整された正電圧ＶＰＲＯＧに接続され、かつパストランジスタ１２４のゲートが電源電位ＶＣＣに接続されてラッチアップ保護回路を形成することに留意されたい。電圧ＶＰＲＯＧが電源電圧ＶＣＣより下に降下するかまたは電源電位ＶＣＣより上に増加されるかいずれかであるならば、２つのトランジスタ１２２、１２４はパストランジスタのいずれの側の接合についても順方向バイアスを妨げる。放電トランジスタ１３６は、プログラムリセットモードの間にデータビットラインＤＡＴＡＢｎを放電するのに用いられる。
図１２では、図１１のＤラッチ回路１２０の回路図が示されている。Ｄラッチ回路はＮチャネルパストランジスタ１３８およびインバータゲートＧ２４、Ｇ２５、およびＧ２６を含む。パストランジスタ１３８の導通経路電極のうちの１つは入力端子ＤＩＮに接続されて遅延されたデータ信号を受け取り、かつその導通経路電極のうちの他の１つはノード１４０に接続される。トランジスタ１３８のゲートは端子ＣＫＢに接続されてクロック信号ＤＬＢを受け取る。インバータＧ２４の入力はノード１４０に接続されかつその出力はノード１４２とインバータＧ２５の入力とに接続される。インバータＧ２５の出力はまたノード１４０に接続される。ノード１４２はまたインバータＧ２６の入力とＤラッチ回路の出力を規定する出力端子ＱＢとに接続される。インバータＧ２６の出力は別の出力端子Ｑに接続される。
【００３９】
前述の詳細な説明から、この発明がプログラミングの間に、調整された正電位を生成しかつそれをフラッシュＥＥＰＲＯＭメモリセルのアレイのビットラインを通して、選択されたメモリセルのドレイン領域に与えるための改良されたドレイン電源を提供することがわかる。ドレイン電源は、各々が複数の互い違いにされたクロック信号のうちの１つにより駆動される複数のチャージポンプ部分からなり、適度にハイレベルの正電圧を生成するためのチャージポンプ回路を含む。相殺回路は複数のチャージポンプ部分の各々に結合されて、チャージポンプ回路におけるしきい値電圧降下を効果的に相殺する。さらに、調整器回路が与えられて、徐々に増加して出力ノード上のハイレベルの正電圧を減じかつ徐々に減少して出力ノードに対しハイレベルの正電圧を増す制御電圧を生成する。
【００４０】
目下この発明の好ましい実施例として考えられているものが図示され述べられてきたが、様々な変更および修正がなされ得ることが当業者により理解され、均等物はこの発明の真の範囲から逸脱することなくその要素の代わりに用いられてもよい。さらに、主要な範囲から逸脱することなく、特定の状況または物質をこの発明の教示に適合させるべく多くの修正がなされてもよい。したがって、この発明は発明の実施にあたって考慮された最良の態様として開示される特定の実施例に限定されないことを意図するものであるが、この発明は前掲の特許請求の範囲内のすべての実施例を含むことが意図される。
【図面の簡単な説明】
【図１】この発明の原理により構成された、ドレイン電源の一般的な全体のブロック図で

ある。
【図２】図１のドレイン電圧発生および調整回路のブロック図である。
【図３】例示の波形、Ｐｎ、Ｑｎ、およびＲｎを示す図である。
【図４】図１のドレイン電圧発生および調整回路のより詳しい概略図である。
【図５】図４のクロック発生器回路により生成されたクロック信号の互い違いにされた位相についてのタイミング図である。
【図６】この発明の動作を理解するのに役立つ、図２および図４の様々な信号の状態を示すタイミング図である。
【図７】図８のチャージポンプ部分の、ある内部ノードでの様々な信号の状態を示すタイミング図である。
【図８】図４のチャージポンプ部分のうちの１つの詳細な概略回路図である。
【図９】図４の遅延素子のうちの１つについての概略図である。
【図１０】図４の電圧プログラミング調整器回路についての概略図である。
【図１１】図１のデータ入力バッファ回路のより詳細な概略図である。
【図１２】図１１のＤラッチ回路についての概略図である。
【符号の説明】
ＶＣＣ　電源電位
１８　クロック発生器
２０　チャージポンプ回路
２２　電圧プログラミング調整器回路
２６　第１の相殺回路
２８　第２の相殺回路

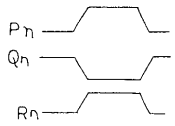
【図１】



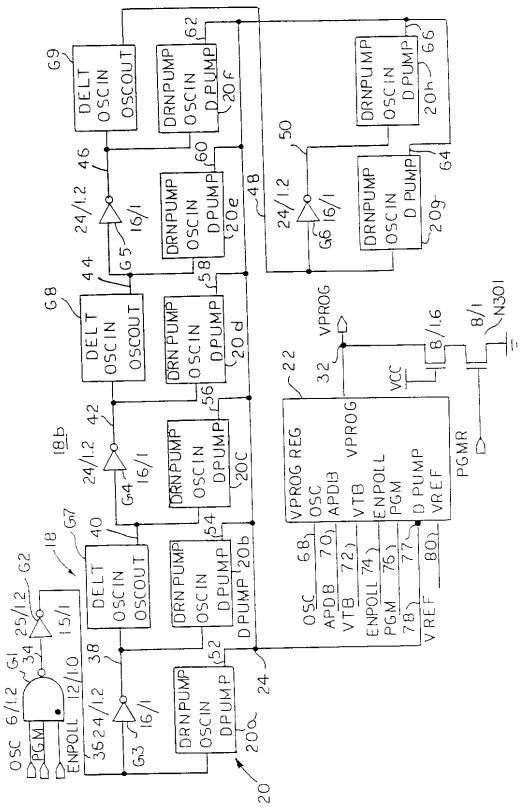
【図２】



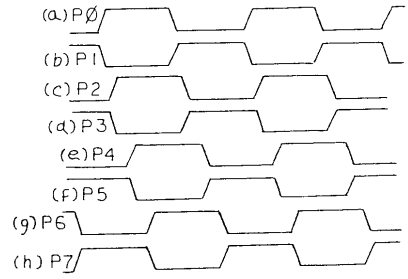
【図３】


Pn
Qn
Rn

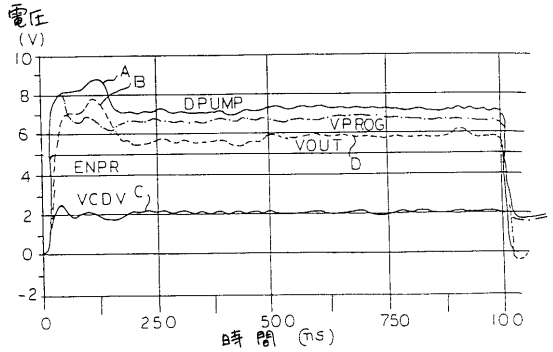
【図４】


DELT OSCIN OSCOUT
DRNPUMP OSCIN DPUMP
VPROG REG
OSC APDB VTB ENPOLL PGM VREF
D PUMP VPROG PGMR
VPROG
VCC
PGM
ENPOLL
OSC

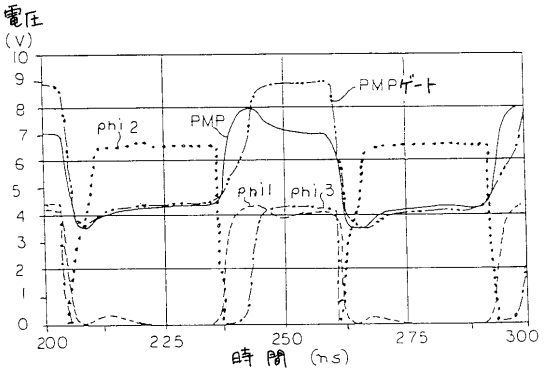
【図５】


(a) PØ
(b) P1
(c) P2
(d) P3
(e) P4
(f) P5
(g) P6
(h) P7

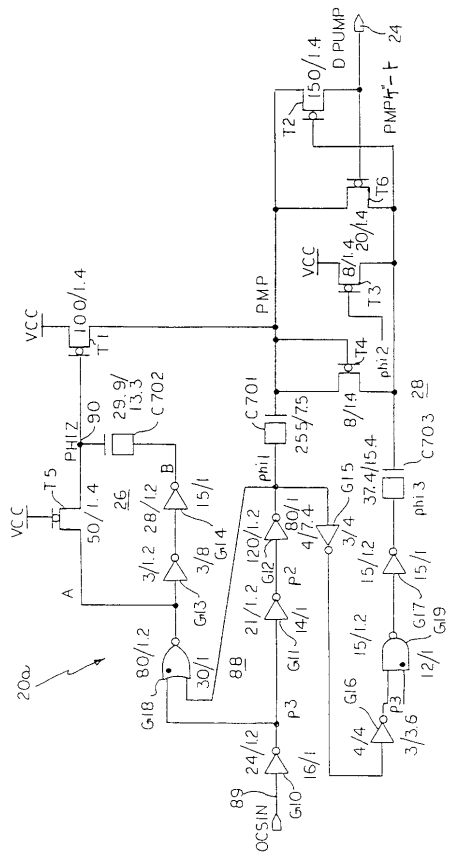
【図６】


電圧
(V)
DPUMP
VPROG
VOUT
ENPR
VCDV
時間 (ns)

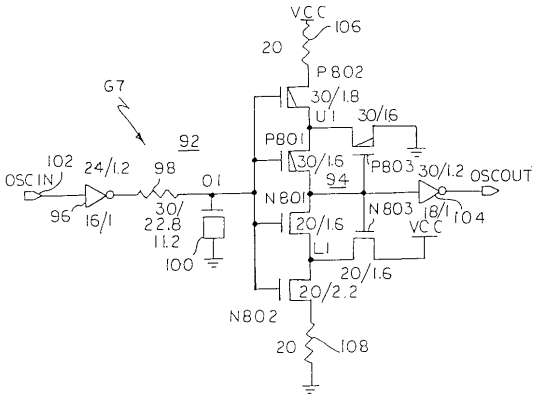
【図７】


電圧
(V)
PMPゲート
PMP
phi2
phi1
phi3
時間 (ns)

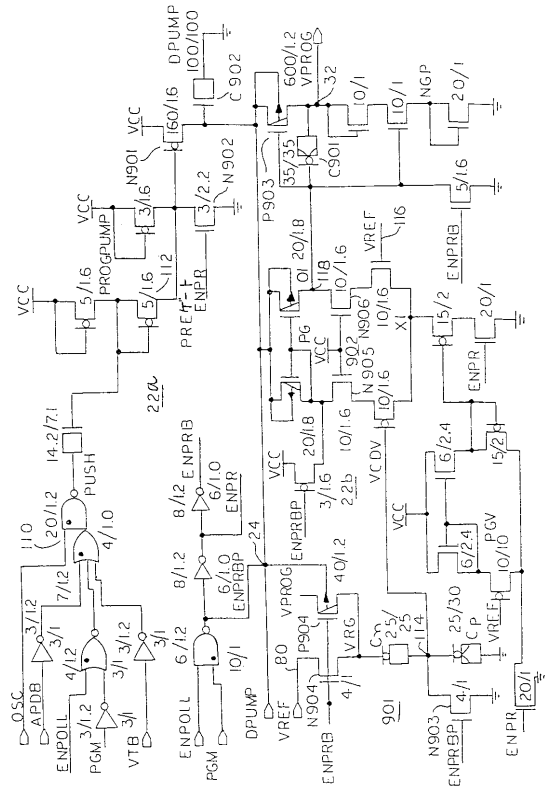
【図８】



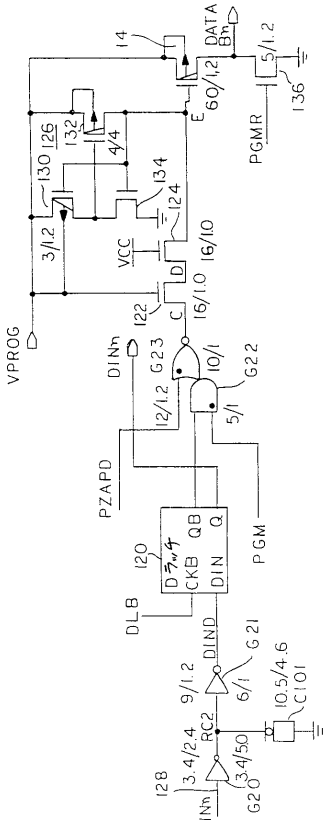
【図９】



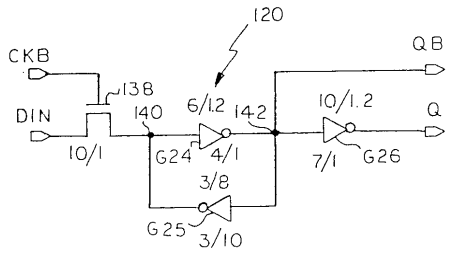
【図１０】



【図１１】



【図１２】



フロントページの続き

(74)代理人 100091409
弁理士 伊藤 英彦
(74)代理人 100096781
弁理士 堀井 豊
(72)発明者 マイケル・エイ・バン・バスカーク
アメリカ合衆国、９５１２４ カリフォルニア州、サン・ホーゼイ、ファビアン・ドライブ、１７４２
(72)発明者 ジョニー・チャン－リー・チェン
アメリカ合衆国、９５０１４ カリフォルニア州、クパーティノ、ウエストリン・ウェイ、１０３８
(72)発明者 チュン・ケイ・チャン
アメリカ合衆国、９４０８６ カリフォルニア州、サニィベイル、サン・ファン・ドライブ、６２７、ナンバー・４
(72)発明者 リー・イー・クリーブランド
アメリカ合衆国、９５０５１ カリフォルニア州、サンタ・クララ、ラーセン・プレイス、１８７０
(72)発明者 アントニオ・モンタルボ
アメリカ合衆国、２７６０７ ノース・カロライナ州、ラレイ、バン・ダイク・アベニュ、２４０２

審査官 長島 孝志

(56)参考文献 特開昭６４－００５３５１（ＪＰ，Ａ）
米国特許第０５０３６２２９（ＵＳ，Ａ）
特開平０３－０４５１５９（ＪＰ，Ａ）
特開昭６３－２９６１１３（ＪＰ，Ａ）
特開昭６０－２５２９２５（ＪＰ，Ａ）
特開平０４－２５３３６８（ＪＰ，Ａ）
特開平０１－１７３５００（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G11C 16/00-16/34
H02M 3/07