(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4311771号
(P4311771)

(45)発行日　平成21年8月12日(2009.8.12)　(24)登録日　平成21年5月22日(2009.5.22)

(51)Int.Cl.　F I

H01L 21/3205	(2006.01)	H01L 21/88	M
H01L 23/52	(2006.01)	H01L 21/28	301R
H01L 21/28	(2006.01)	H01L 21/90	C
H01L 21/768	(2006.01)		

請求項の数 7　(全 15 頁)

(21)出願番号　特願平8-307835
(22)出願日　平成8年11月19日(1996.11.19)
(65)公開番号　特開平10-150039
(43)公開日　平成10年6月2日(1998.6.2)
審査請求日　平成14年5月21日(2002.5.21)

(73)特許権者　308033711
ＯＫＩセミコンダクタ株式会社
東京都八王子市東浅川町５５０番地１
(74)代理人　100083840
弁理士　前田　実
(74)代理人　100116964
弁理士　山形　洋一
(74)代理人　100135921
弁理士　篠原　昌彦
(72)発明者　阿部　一英
東京都港区虎ノ門１丁目７番１２号　沖電気工業株式会社内

審査官　河口　雅英

最終頁に続く

(54)【発明の名称】半導体素子の製造方法

(57)【特許請求の範囲】

【請求項１】

半導体基板上に下地層を形成する工程と、

前記下地層内に溝を形成する工程と、

基板温度を３８０℃に設定し、ＴＥＯＳに対するO_3の流量比を２．５よりも小さく設定してＴＥＯＳとO_3とを反応させるＣＶＤ法を用いて、前記下地層内に形成される前記溝内に凹凸形状の高低差が１０ｎｍ～３０ｎｍの粗面を有するＴＥＯＳ／O_3－SiO_2膜を形成し、該ＴＥＯＳ／O_3－SiO_2膜上に導電層を積層して下層膜を形成する工程と、

前記溝内に形成された前記下層膜の表面をＡｒイオンで逆スパッタ処理し、前記下層膜に粗表面を形成する工程と、

前記溝内に形成された前記下層膜の前記粗表面上に銅を主材料とする配線層を形成する工程であって、Ａｒガスを用いたスパッタ法により形成する該配線層を形成する工程と、

前記配線層を10^{-10}ｔｏｒｒの真空中で熱処理を行うことにより、前記溝を前記配線層で埋め込む工程と

を有することを特徴とする半導体素子の製造方法。

【請求項２】

請求項１に記載の半導体素子の製造方法において、

前記導電層は、タングステン、チタン、タンタルの内のいずれか一つの金属窒化物を用いて形成される金属窒化膜を含むことを特徴とする半導体素子の製造方法。

【請求項３】
請求項２記載の半導体素子の製造方法において、
前記導電層は、タングステン、チタン、タンタルの内のいずれか一つを用いて形成される金属膜上に前記金属窒化膜を積層することによって形成されることを特徴とする半導体素子の製造方法。
【請求項４】
請求項１から３までのいずれか一つに記載の半導体素子の製造方法において、
前記配線層を酸化することによって、前記配線層上に酸化物層を形成する工程と、
前記酸化物層を除去することによって、前記配線層上に凹凸形状を形成する工程と、
前記凹凸形状の前記配線層上に、金属を含む上層膜を形成する工程と
を有することを特徴とする半導体素子の製造方法。
【請求項５】
請求項４記載の半導体素子の製造方法において、
前記酸化物層は、希フッ酸を用いて除去されることを特徴とする半導体素子の製造方法。
【請求項６】
請求項４または５に記載の半導体素子の製造方法において、
前記上層膜は、タングステン、チタン、タンタルの内のいずれか一つを用いて形成されることを特徴とする半導体素子の製造方法。
【請求項７】
請求項４または５に記載の半導体素子の製造方法において、
前記上層膜は、タングステン、チタン、タンタルの内のいずれか一つの金属窒化物を用いて形成されることを特徴とする半導体素子の製造方法。
【発明の詳細な説明】
【０００１】
本発明は、メタル等の配線材料を用いた配線構造を有する半導体素子の製造方法に関するものである。
【０００２】
【従来の技術】
半導体素子の高集積化により、配線の微細化もますます進みつつある。０．１８［μｍ］ルール以降のＬＳＩ配線では、配線の電流密度が高くなるため、従来のＡｌ（アルミニウム）合金系配線ではもはやエレクトロマイグレーション（Electromigration、以下、ＥＭと称する）耐性の限界が予想される。また、高速動作を要求されるロジックデバイスでは、配線の抵抗と容量に起因する信号遅延が問題となると予想され、配線材料を低抵抗化する必要があり、これを解決するために、Ａｌ合金系配線から、低抵抗かつ高融点を有するＣｕ（銅）を使った配線を実用化する研究が盛んに行なわれている。
【０００３】
Ｃｕ配線のＥＭ耐性に関しては、文献「Extend Abstracts of the 1995 International Conference on Solid State Devices and Materials,Osaka,1995,pp.94-96」に記載されているように、Ａｌ合金系配線よりも寿命が長いことが明らかになっている。
【０００４】
【発明が解決しようとする課題】
しかしながら、上記文献において得られたＣｕ配線のＥＭ活性化エネルギーは０．８～０．９［ｅＶ］程度であり、これは文献「Thin Solid Films 262(1995)135-141 」に記載されているＣｕのグレインバンダリー拡散および格子拡散の活性化エネルギーである１．２［ｅＶ］および２．３［ｅＶ］と比較すると、小さい値である。つまり、この事実はＣｕ配線のＥＭがグレインバンダリー拡散、あるいは格子拡散によって主に支配されているわけではないということを示唆している。残るＣｕの拡散形態は、表面拡散と界面拡散である。しかしながら、表面拡散は、先ほどのＣｕ配線の活性化エネルギーには重要な影響を与えていないと考えられている。なぜならば、Ｃｕ配線のＥＭの活性化エネルギーは、そ

の配線上に保護膜がある場合とない場合のいずれにおいても低い値を示すからである。以上の説明から、グレインバンダリー拡散、格子拡散、表面拡散のいずれもＣｕ配線のＥＭの支配的な要因ではないと考えられる。従って、残る界面拡散がＥＭの重要なパラメータであると考えられる。

【０００５】

本発明は、界面拡散の活性化エネルギーを高くすることにより、配線のＥＭ耐性の向上を図ることを目的とする。

【０００６】

【課題を解決するための手段】

本発明の半導体素子の製造方法は、半導体基板上に下地層を形成する工程と、前記下地層内に溝を形成する工程と、基板温度を３８０℃に設定し、ＴＥＯＳに対するO_3の流量比を２．５よりも小さく設定してＴＥＯＳとO_3とを反応させるＣＶＤ法を用いて、前記下地層内に形成される前記溝内に凹凸形状の高低差が１０ｎｍ～３０ｎｍの粗面を有するＴＥＯＳ／O_3－SiO_2膜を形成し、該ＴＥＯＳ／O_3－SiO_2膜上に導電層を積層して下層膜を形成する工程と、前記溝内に形成された前記下層膜の表面をＡｒイオンで逆スパッタ処理し、前記下層膜に粗表面を形成する工程と、前記溝内に形成された前記下層膜の前記粗表面上に銅を主材料とする配線層を形成する工程であって、Ａｒガスを用いたスパッタ法により形成する該配線層を形成する工程と、前記配線層を10^{-10}ｔｏｒｒの真空中で熱処理を行うことにより、前記溝を前記配線層で埋め込む工程とを有することを特徴とする。

【００３１】

【発明の実施の形態】

第１の実施形態

図１は本発明の第１の実施形態の半導体素子の配線形成工程を示す断面図である。ここでは、半導体素子としてＤＲＡＭを仮定する。まず、図１（Ａ）に示すように、配線を形成したい下地基板１１として、半導体基板１３上に中間絶縁膜１５を備えたものを用い、セル部と周辺部のグローバルな平坦化のために、化学的機械研磨（Chemical Mecanical Polishing、以下、ＣＭＰと称する）法により、中間絶縁膜１５を所定量研磨する。

【００３２】

次に図１（Ｂ）に示すように、公知のリソグラフィ技術およびエッチング技術により、中間絶縁膜１５の配線形成予定領域（配線パターンに対応する領域）に溝１９を形成する。

【００３３】

次に図１（Ｃ）に示すように、溝１９が形成された下地基板１１に、ＴＥＯＳ（Tetraethoxysilane）とO_3を反応させるＣＶＤ法により、表面に凹凸を有するＴＥＯＳ／O_3－SiO_2膜２１を形成する。ここでは、基板（下地基板１１）温度３８０［℃］、O_3／ＴＥＯＳ流量比＝２．５という成膜条件で、１５０［ｎｍ］の膜厚に形成する。ＴＥＯＳ／O_3－SiO_2膜２１の表面凹凸の度合は、基板温度あるいはO_3濃度を調整することにより制御可能である。基板温度を上記の３８０［℃］よりも高温あるいは低温に設定することにより表面凹凸は大きくなる。また、O_3／ＴＥＯＳ流量比を上記より小さくすることによっても表面凹凸は大きくなる。尚、このＴＥＯＳ／O_3－SiO_2膜２１は、下層膜における絶縁膜に相当する。

【００３４】

次に図１（Ｄ）に示すように、ＴＥＯＳ／O_3－SiO_2膜２１の形成が済んだ下地基板１１上に、WN_x薄膜（タングステン窒化膜）２３を形成する。ここでは、指向性を高めたスパッタ法により、２０［ｎｍ］の膜厚に形成する。このWN_x薄膜２３は、このあとに形成する配線材料の拡散防止層および密着層としての機能を有する。またWN_x薄膜２３の表面は、ＴＥＯＳ／O_3－SiO_2膜２１の表面凹凸を反映して粗面となる。尚、このWN_x薄膜２３は、下層膜における導電膜に相当し、ＴＥＯＳ／O_3－SiO_2膜２１とともに下層膜を構成する。この下層膜表面は、例えば、凹部と凸部の高低差が１０～３０［ｎｍ］の粗面であるものとする。上記の導電膜としては、上記のWN_x膜の他に、ス

パッタ法やＣＶＤ法により形成されたW（タングステン）、Ｔｉ（チタン）、Ｔａ（タンタル）、等の金属膜、あるいはスパッタ法やＣＶＤ法により形成されたＴｉＮ（チタン窒化物）、TaN_x（タンタル窒化物）等の金属窒化膜、あるいはこれらの金属膜とこれらの金属窒化膜の積層膜を用いても良い。

【００３５】

次に、WN_x 薄膜２３の形成が済んだ下地１１上に、配線材料となるＣｕ薄膜２５Ｘを形成する。ここでは、Ａｒガスを用いたスパッタ法により、下地基板１１を加熱せず、パワー８［ｋW］、Ａｒ圧力０．８［ｍｔｏｒｒ］というスパッタ条件で、５００［ｎｍ］の膜厚に形成する。

【００３６】

次に図１（Ｅ）に示すように、Ｃｕ薄膜２５Ｘの形成が済んだ下地基板１１に対して、スパッタ装置の成膜室から出すことなく、超高真空中（ここでは、10^{-10}［ｔｏｒｒ］程度の真空中）で熱処理を行い、Ｃｕ薄膜２５Ｘをリフローさせる。これにより、内面にWN_x 薄膜２３が形成された溝１９を、配線材料であるＣｕで埋め込こむことができる。ここで、Ｃｕのリフロー処理を超高真空中で行ったのは、Ｃｕ表面を自由表面に近い形に保つことにより、Ｃｕ表面の拡散、すなわちＣｕのリフローを促進させるためである。

【００３７】

最後に図１（Ｆ）に示すように、溝１９の内部以外に形成されたWN_x 薄膜２３およびＣｕ薄膜２５Ｘを除去する（これらの膜は導電性を有するので除去する必要がある）。ここでは、ＣＭＰ法を用いる。使用するスラリー（研磨粉）はAl_2O_3 ベースであり、H_2O_2 と上記のスラリーとを３：１の割合で混合する。キャリアのダウンフォースは３［ｐｓｉ］、キャリアおよびテーブルスピードはそれぞれ３０、２０［ｒｐｍ］とする。WN_x 薄膜２３およびＣｕ薄膜２５の不要部分の除去が済むと、溝１９において、粗面を有する下層膜（ＴＥＯＳ／O_3 －SiO_2 膜２１とWN_x 薄膜２３）上にＣｕ配線２５を形成した配線構造を得る。

【００３８】

下層膜であるWN_x 薄膜２３の表面凹凸が大きくなると、Ｃｕ配線２５Ｘが凝集しにくくなることが実験により確認されている。図２は上記実験において作成した試料の断面図である。第１の試料の作成手順は、ＢＰＳＧ膜２１（図１の中間絶縁膜１５に相当する）上に、スパッタ法により膜厚１００［ｎｍ］のW膜２３ａを成膜し、この上にスパッタ法により１００［ｎｍ］のＣｕ膜２５ａを成膜し、Ｃｕ膜２５ａを成膜してからスパッタ室の真空を破ることなく、４５０［℃］で３０分間熱処理を施すものである。また第２の実験試料は、上記第１の実験試料と同様にしてW膜２３ａを成膜してから、このW膜２３ａの表面をＡｒイオンで逆スパッタ処理し、次に上記第１の実験試料と同様にして、Ｃｕ膜２５ａの成膜および熱処理を施すものである。これら第１および第２の試料、すなわち逆スパッタ処理なし／逆スパッタ処理ありの試料について、Ｃｕ膜２５ａ成膜前のW膜２３ａ表面を原子間力顕微鏡（ＡＦＭ）で観察し、またＣｕ膜２５ａの表面を光学顕微鏡で観察した。

【００３９】

図３は上記の実験試料におけるＣｕ膜２５ａ成膜前のW膜２３ａ表面の原子間力顕微鏡写真であり、（Ａ）は逆スパッタ処理なしのW膜の表面、（Ｂ）は逆スパッタ処理したW膜の表面を示す。また図４は上記の実験試料におけるＣｕ膜２５ａ表面の光学顕微鏡写真であり、（Ａ）は逆スパッタ処理なしのW膜を下層膜とするＣｕ膜の表面、（Ｂ）は逆スパッタ処理したW膜を下層膜とするＣｕ膜の表面を示す。図３において、逆スパッタ処理をしたW膜表面は、逆スパッタ処理をしていないW膜表面よりも凹凸が大きい。図４において、逆スパッタ処理なしのW膜を下層膜とするＣｕ膜の表面には、Ｃｕ原子の凝集により生じた穴部が認められるが、逆スパッタ処理したW膜を下層膜とするＣｕ膜の表面には、上記の穴部は認められない。図３および図４から、下層膜であるW膜の表面凹凸が大きいほうが、Ｃｕ膜におけるＣｕ原子の凝集を抑制できることが判る。Ｃｕ原子の移動が抑制されるということは、Ｃｕ膜の、下層膜との界面における界面拡散の活性化エネルギーが

高くなったことを意味する。

【００４０】

このように第１の実施形態によれば、下地基板１１の配線形成予定領域に形成された溝１９に、粗面を有するＴＥＯＳ／O_3 －ＳｉO_2 膜２１とWN_x 薄膜２３からなる下層膜を形成し、この下層膜の上にＣｕ配線２５を形成することにより、Ｃｕ配線２５の界面拡散の活性化エネルギーを高めることができるので、配線のＥＭ耐性を向上させることができる。また、比抵抗を上昇させない程度の不純物を添加することで、さらに配線のＥＭ耐性を向上させることができる。

【００４１】

第２の実施形態

上記第１の実施形態では、下地基板の中間絶縁膜上に表面凹凸の大きな絶縁膜を形成し、それをＣｕ配線の下層膜を形成する導電膜（WN_x 薄膜）の表面凹凸に反映させていた。しかし、表面凹凸を直接制御した下層膜上にＣｕ薄膜を形成することによっても、同様にＥＭ耐性を向上させることができる。

【００４２】

図５は本発明の第２の実施形態の半導体素子の配線形成工程を示す断面図である。まず、図５（Ａ）に示すように、上記第１の実施形態と同様に、配線を形成したい下地基板１１として、半導体基板１３上に中間絶縁膜１５を備えたものを用い、ＣＭＰ法により中間絶縁膜１５を所定量研磨し、この中間絶縁膜１５の配線形成予定領域（配線パターンに対応する領域）に溝１９を形成する。

【００４３】

次に、溝１９が形成された下地基板１１に、表面に凹凸を有するＴｉＮ薄膜３９を形成する。ここでは、ＴＤＥＡＴ（Tetrakis(diethylamido)titanium）ソースを用いたＣＶＤ法を用い、バブリング容器の温度１３０［℃］、基板温度４００［℃］、NH_3 の流量６［ｓｃｃｍ］、チャンバー圧力１［ｔｏｒｒ］という成膜条件で、２０［ｎｍ］の膜厚に形成する。このＴｉＮ薄膜３９は、このあとに形成する配線材料の拡散防止層および密着層としての機能を有する。このとき、基板温度を調整することにより、ＴｉＮ薄膜３９の表面凹凸の度合を制御することができる。基板温度を上記の４００［℃］よりも高くすることにより、表面凹凸はさらに大きくなる。尚、このＴｉＮ薄膜３９は、粗表面を有する導電膜からなる下層膜に相当する。この下層膜表面は、例えば、凹部と凸部の高低差が１０～３０［ｎｍ］の粗面であるものとする。また上記の下層膜としては、上記のＴｉＮ膜の他に、Ｗ、Ｔｉ、Ｔａ、等の金属膜、あるいはこれらの金属の窒化膜、あるいはこれらの金属膜とこれらの金属窒化膜の積層膜を用いても良い。

【００４４】

次に図５（Ｂ）に示すように、ＴｉＮ薄膜３９の形成が済んだ下地基板１１上に、配線材料となるＣｕ薄膜４１Ｘを形成する。ここでは上記第１の実施形態と同様にスパッタ法を用いる。

【００４５】

次に図５（Ｃ）に示すように、Ｃｕ薄膜４１Ｘの形成が済んた下地基板１１に対し、上記第１の実施形態と同様の超高真空中での熱処理を施し、Ｃｕ薄膜４１Ｘをリフローさせる。これにより、内面にＴｉＮ薄膜３９が形成された溝１９をＣｕで埋め込こむ。

【００４６】

最後に図５（Ｄ）に示すように、溝１９の内部以外に形成されたＴｉＮ薄膜３９およびＣｕ薄膜４１Ｘを除去する。ここでは、上記第１の実施形態と同様にＣＭＰ法を用いる。ＴｉＮ薄膜３９およびＣｕ薄膜４１Ｘの不要部分の除去が済むと、溝１９において、粗面を有する下層膜（ＴｉＮ薄膜３９）上にＣｕ配線４１を形成した配線構造を得る。

【００４７】

このように上記第２の実施形態によれば、下地基板１１の配線形成予定領域に形成された溝１９に、粗面を有するＴｉＮ膜３９を形成し、このＴｉＮ膜３９の上にＣｕ配線４１を形成することにより、Ｃｕ配線４１の界面拡散の活性化エネルギーを高めることができる

ので、配線のＥＭ耐性を向上させることができる。さらに、ＴｉＮ膜３９の表面凹凸を制御してＣｕ配線４１との界面凹凸を直接的に制御することにより、上記第１の実施形態のような絶縁膜の表面凹凸による間接的な制御に比べて、界面の凹凸度合を細かく制御することができるので、配線のＥＭ耐性が最良となるように容易に設定できる。

【００４８】

第３の実施形態

上記第１の実施形態で示した表面凹凸を有する絶縁膜と、上記第２の実施形態で示した表面凹凸有する導電膜とを積層してＣｕ配線の下層膜とすることにより、さらなるＣｕ配線のＥＭ耐性の向上を実現できる。

【００４９】

図６は本発明の第３の実施形態の半導体素子の配線構造を示す断面図であり、この配線構造は以下のようにして形成されたものである。

【００５０】

上記第１の実施形態と同様にして、半導体基板１３上に中間絶縁膜１５を備えた下地基板１１を用い、研磨した中間絶縁膜１５に溝１９を形成し、表面に凹凸を有するＴＥＯＳ／O_3－SiO_2膜２１を形成する。次に、ＴＥＯＳ／O_3－SiO_2膜２１の形成が済んだ下地基板１１上に、表面に凹凸を有するＴｉＮ薄膜３９を形成する。ここでは、上記第２の実施形態と同様にＣＶＤ法により成膜する。次に、ＴｉＮ薄膜３９の形成が済んだ下地基板１１上にＣｕ薄膜を形成し、このＣｕ薄膜を超高真空中での熱処理によりリフローさせ、溝１９の内部以外に形成されたＴＥＯＳ／O_3－SiO_2膜２１、ＴｉＮ薄膜３９、およびＣｕ薄膜を除去して、粗面（例えば、凹部と凸部の高低差が１０～３０［ｎｍ］の粗面）を有する下層膜（ＴＥＯＳ／O_3－SiO_2膜および２１ＴｉＮ薄膜３９）上にＣｕ配線６５を形成した配線構造を得る。

【００５１】

このように第３の実施形態によれば、下地基板１１の配線形成予定領域に形成した溝１９に、粗面を有するＴＥＯＳ／O_3－SiO_2膜２１と粗面を有するＴｉＮ膜３９とからなる下層膜を形成し、この下層膜の上にＣｕ配線６５を形成することにより、Ｃｕ配線６５の界面拡散の活性化エネルギーを高めることができるので、配線のＥＭ耐性を向上させることができる。また、絶縁膜による間接的な表面凹凸制御と導電膜による直接的な表面凹凸制御を組み合わせて、下層膜の表面凹凸の度合いを制御することにより、より幅広く界面凹凸を制御することができる。

【００５２】

第４の実施形態

上記第１～第３の実施形態では、下地基板の中間絶縁膜に溝を形成し、その溝内に埋め込み配線を形成した。しかしながら、一般的にはドライエッチングによる配線形成が行われている。ここでは、ドライエッチングによりＣｕ配線を形成する場合について説明する。

【００５３】

図７は本発明の第４の実施形態の半導体素子の配線形成工程を示す断面図である。まず、図７（Ａ）に示すように、配線を形成したい下地基板７１として、半導体基板１３上に中間絶縁膜７５を備えたものを用い、セル部と周辺部のグローバルな平坦化のために、ＣＭＰ法により中間絶縁膜７５を所定量研磨する。

【００５４】

次に図７（Ｂ）に示すように、粗面を有する膜厚ＴＥＯＳ／O_3－SiO_2膜７７を形成する。ここでは、上記第１の実施形態と同様にＣＶＤ法により、８００［ｎｍ］の膜厚に成膜する。このとき、一度に８００［ｎｍ］成膜する他に、４００［ｎｍ］ずつ２回成膜を行う、あるいは２００［ｎｍ］ずつ４回成膜を行うなど、分割成膜を行っても良い。分割成膜を行うことにより、さらに表面凹凸の大きなＴＥＯＳ／O_3－SiO_2膜が得られる。尚、ＴＥＯＳ／O_3－SiO_2膜７７は、下層膜における絶縁膜に相当する。

【００５５】

次に図７（Ｃ）に示すように、公知のリソグラフィ技術およびエッチング技術により、配

線形成予定領域に応じた位置に、半導体基板１３に達するコンタクトホール７９を形成する。

【００５６】

次に、コンタクトホール７９を形成した下地基板７１上に、Ｔｉ薄膜８１およびＴｉＮ薄膜８３を積層形成する。ここでは、指向性を高めたスパッタ法により、Ｔｉ薄膜８１およびＴｉＮ薄膜８３をそれぞれ１０［ｎｍ］、５０［ｎｍ］の膜厚に形成する。Ｔｉ薄膜８１は、低抵抗コンタクトを得るためのシリサイド層を形成する機能を有する。またＴｉＮ薄膜８３は、このあとに形成する配線材料の拡散防止層および密着層としての機能を有する。またＴｉＮ薄膜８３の表面は、ＴＥＯＳ／O_3 －ＳｉO_2 膜７７の表面凹凸を反映して粗面となる。尚、Ｔｉ薄膜８１とＴｉＮ薄膜８３の積層膜は、下層膜における導電膜に相当し、この導電膜とＴＥＯＳ／O_3 －ＳｉO_2 膜７７からなる絶縁膜とは、下層膜に相当する。この下層膜は、例えば、凹部と凸部の高低差が１０～３０［ｎｍ］の粗面を有するものとする。また上記の導電膜としては、Ｔｉ／ＴｉＮ積層膜の他に、Ｗ、Ｔｉ、Ｔａ、等の金属膜、あるいはこれらの金属の窒化膜、あるいはこれらの金属膜とこれらの金属窒化膜の積層膜を用いても良い。

【００５７】

次に図７（Ｄ）に示すように、Ｔｉ薄膜８１およびＴｉＮ薄膜８３の形成が済んだ下地基板７１上に、コンタクトホール径の１．５倍のＣｕ薄膜を形成する。ここでは、ＣＶＤ法により成膜し、気相温度６０［℃］、Ａｒキャリアの流量１００［ｓｃｃｍ］、基板温度１８０［℃］、チャンバー圧力１［ｔｏｒｒ］という成膜条件を用いる。これにより、内面にＴｉ薄膜８１およびＴｉＮ薄膜８３が形成されたコンタクトホール７９は、Ｃｕで充填される。

【００５８】

最後に、Ｃｕ薄膜が形成された下地基板７１上に、スパッタ法により膜厚５０［ｎｍ］のＴｉＮ薄膜８７を成膜し、公知のリソグラフィ技術およびエッチング技術により、配線パターン形成予定領域以外に形成されている、ＴｉＮ薄膜８７、Ｃｕ薄膜、ＴｉＮ薄膜８３、およびＴｉＮ薄膜８１を除去し、配線パターン形成領域において、粗面を有する下層膜（粗面を有するＴＥＯＳ／O_3 －ＳｉO_2 膜７７に、Ｔｉ薄膜８１とＴｉＮ薄膜８３とを積層したもの）上にＣｕ配線８５およびＴｉＮ薄膜８７を形成した配線構造を得る。尚、ＴＥＯＳ／O_3 －ＳｉO_2 膜７７は絶縁性を有するので、配線パターン形成予定領域以外において必ずしも除去する必要はない。

【００５９】

このように第４の実施形態によれば、下地基板７１に、粗面を有するＴＥＯＳ／O_3 －ＳｉO_2 膜７７からなる絶縁膜と、Ｔｉ膜８１およびＴｉＮ膜８３からなる導電膜とを積層して下層膜を形成し、この下層膜の上にＣｕ薄膜を形成し、Ｃｕ薄膜と導電膜とをパターニングして、配線形成予定領域に、粗面を有する下層膜を形成し、この下層膜の上にＣｕ配線８５を形成することにより、Ｃｕ配線８５の界面拡散の活性化エネルギーを高めることができるので、配線の比抵抗を上昇させることなく、配線のＥＭ耐性を向上させることができる。さらに、ＴＥＯＳ／O_3 －ＳｉO_2 膜７７の膜厚に、上記第１の実施形態のような制約（所定の溝幅を確保するための制約）がないので、膜厚や成膜分割回数を変えることで、より幅広い表面凹凸度合いの制御ができる。

【００６０】

第５の実施形態

ここでは、ドライエッチングによりＣｕ配線を形成する場合で、配線材料の下層膜となる導電膜の表面凹凸を直接制御する場合について説明する。

【００６１】

図８は本発明の第５の実施形態の半導体素子の配線形成工程を示す断面図である。まず、図８（Ａ）に示すように、配線を形成したい下地基板９１として、半導体基板１３上に中間絶縁膜９５を備えたものを用いる。

【００６２】

次に図８（Ｂ）に示すように、公知のリソグラフィ技術およびエッチンク技術により、配線パターン形成予定領域に応じた位置に、半導体基板１３に達するコンタクトホール９７を形成する。

【００６３】

次に、コンタクトホール７９を形成した下地基板９１上に、Ｔｉ薄膜９９と表面に凹凸を有するＴｉＮ薄膜１０１とを積層形成する。ここでは、ＴＤＥＡＴソースを用いたＣＶＤ法により、Ｔｉ薄膜９９およびＴｉＮ薄膜１０１をそれぞれ１０［ｎｍ］、５０［ｎｍ］の膜厚に形成する。Ｔｉ薄膜９９は、低抵抗コンタクトを得るためのシリサイド層を形成する機能を有する。またＴｉＮ薄膜１０１は、このあとに形成する配線材料の拡散防止層および密着層としての機能を有する。このとき、基板温度を制御することにより、Ｔｉ薄膜９９およびＴｉＮ薄膜１０１の表面凹凸の度合を制御することができる。尚、Ｔｉ薄膜９９とＴｉＮ薄膜１０１の積層膜は、粗面を有する導電膜からなる下層膜に相当する。この下層膜は、例えば、凹部と凸部の高低差が１０～５０［ｎｍ］の粗面を有するものとする。また上記の下層膜としては、Ｔｉ／ＴｉＮ積層膜の他に、Ｗ、Ｔｉ、Ｔａ、等の金属膜、あるいはこれらの金属の窒化膜、あるいはこれらの金属膜とこれらの金属窒化膜の積層膜を用いても良い。

【００６４】

次に図８（Ｃ）に示すように、Ｔｉ薄膜９９およびＴｉＮ薄膜１０１の形成が済んだ下地基板９１上に、ＣＶＤ法により、コンタクトホール径の１．５倍のＣｕ薄膜を形成する。ここでは、上記第４の実施形態と同じＣＶＤ条件を用いる。これにより、内面にＴｉ薄膜９９およびＴｉＮ薄膜１０１が形成されたコンタクトホール７９は、Ｃｕで充填される。

【００６５】

最後に、Ｃｕ薄膜が形成された下地基板９１上に、スパッタ法により膜厚５０［ｎｍ］のＴｉＮ膜８７を成膜し、公知のリソグラフィ技術およびエッチング技術により、配線パターン形成予定領域以外に形成されている、ＴｉＮ薄膜８７、Ｃｕ薄膜、ＴｉＮ薄膜１０１、およびＴｉＮ薄膜９９を除去し、配線パターン形成領域において、粗面を有する下層膜（Ｔｉ薄膜９９とＴｉＮ薄膜１０１の積層膜）上にＣｕ配線１０３およびＴｉＮ薄膜８７を形成した配線構造を得る。

【００６６】

このように第５の実施形態によれば、下地基板９１に、Ｔｉ膜９９と粗面を有するＴｉＮ膜１０１とを積層した導電膜からなる下層膜を形成し、この下層膜の上にＣｕ薄膜を形成し、Ｃｕ薄膜と下層膜とをパターニングして、配線形成予定領域に、粗面を有する下層膜を形成し、この下層膜の上にＣｕ配線１０３を形成することにより、Ｃｕ配線１０３の界面拡散の活性化エネルギーを高めることができるので、配線の比抵抗を上昇させることなく、配線のＥＭ耐性を向上させることができる。さらに、ＴｉＮ膜１０１膜の表面凹凸を制御してＣｕ配線１０３との界面凹凸を直接的に制御することにより、絶縁膜の表面凹凸による間接的な制御に比べて、界面の凹凸度合を細かく制御することができるので、配線のＥＭ耐性が最良となるように容易に設定できる。

【００６７】

第６の実施形態

ドライエッチングにより配線を形成する場合についても、上記第３の実施形態と同様に、表面凹凸を有する絶縁膜と凹凸有する導電膜とを積層してＣｕ配線の下層膜とすることが考えられる。

【００６８】

図９は本発明の第６の実施形態の半導体素子の配線構造を示す断面図であり、この配線構造は以下のようにして形成されたものである。

【００６９】

上記第４の実施形態と同様にして、半導体基板１３上に中間絶縁膜７５を備えた下地基板７１を用い、研磨した中間絶縁膜７５上に、表面凹凸を有するＴＥＯＳ／O_3－SiO_2膜７７を形成してから、半導体基板１３に達するコンタクトホール７９を形成する。次に

、上記第５の実施形態と同様にして、コンタクトホール７９を形成した下地基板７１上に、Ｔｉ薄膜９９および粗面を有するＴｉＮ薄膜１０１を積層形成し、さらにコンタクトホール径の１．５倍のＣｕ薄膜を形成してコンタクトホール７９をＣｕで充填し、この上にＴｉＮ膜８７を成膜する。最後に、配線形成予定領域以外に形成されている、ＴｉＮ薄膜８７、Ｃｕ薄膜、ＴｉＮ薄膜１０１、およびＴｉＮ薄膜９９を除去し、配線形成領域において、粗面（例えば、凹部と凸部の高低差が１０～３０［ｎｍ］の粗面）を有する下層膜（ＴＥＯＳ／O_3－SiO_2膜７７、Ｔｉ薄膜９９、およびＴｉＮ薄膜１０１）上にＣｕ配線１１５およびＴｉＮ薄膜８７を形成した配線構造を得る。

【００７０】

このように第６の実施形態によれば、下地基板７１に、粗面を有するＴＥＯＳ／O_3－SiO_2膜７７からなる絶縁膜と、Ｔｉ膜９１および粗面を有するＴｉＮ膜１０１からなる導電膜とを積層して下層膜を形成し、この下層膜の上にＣｕ薄膜を形成し、Ｃｕ薄膜と導電膜とをパターニングして、配線形成予定領域に、粗面を有する下層膜を形成し、この下層膜の上にＣｕ配線１１５を形成することにより、Ｃｕ配線１１５の界面拡散の活性化エネルギーを高めることができるので、配線の比抵抗を上昇させることなく、配線のＥＭ耐性を向上させることができる。さらに、絶縁膜による間接的な表面凹凸制御と導電膜による直接的な表面凹凸制御を組み合わせて、下層膜の表面凹凸の度合いを制御し、また、絶縁膜の膜厚や成膜分割回数を変えることで、より幅広く界面凹凸度合いを制御することができる。

【００７１】

第７の実施形態

上記第１～第６の実施形態は、配線材料の下部界面に関するものであった。ここでは、配線材料の上部界面における界面拡散の活性化エネルギーを高めることができる配線について説明する。

【００７２】

図１０は本発明の第７の実施形態の半導体素子の配線形成工程を示す断面図である。まず図１０（Ａ）に示すように、配線を形成したい下地基板１１として、半導体基板１３上に中間絶縁膜１５を備えたものを用い、グローバルな平坦化のために、ＣＭＰ法により中間絶縁膜１５を所定量研磨し、この上に、プラズマＣＶＤ法により膜厚１００［ｎｍ］のＰ－ＳｉＮ膜７０７を形成する。

【００７３】

次に図１０（Ｂ）に示すように、公知のリソグラフィ技術およびエッチング技術により、配線形成予定領域において、Ｐ－ＳｉＮ膜７０７と中間絶縁膜１５の上層部とを除去して溝８０１を形成し、この上に、Ｔｉ薄膜８０３およびＴｉＮ薄膜８０５を積層形成する。ここでは、ＣＶＤ法により、Ｔｉ薄膜８０３およびＴｉＮ薄膜８０５をそれぞれ１０［ｎｍ］、５０［ｎｍ］の膜厚に形成する。Ｔｉ薄膜８０３は、低抵抗コンタクトを得るためのシリサイド層を形成する機能を有する。またＴｉＮ薄膜８０５は、このあとに形成する配線材料の拡散防止層および密着層としての機能を有する。

【００７４】

次に、上記第１の実施形態と同様にして、ＴｉＮ薄膜８３を形成した下地基板１１上に、Ｃｕ薄膜８０７Ｘを形成し、超高真空中で熱処理を行い、Ｃｕ薄膜８０７Ｘをリフローさせる。これにより、内面にＴｉ薄膜８０３およびＴｉＮ薄膜８０５が形成された溝８０１をＣｕで埋め込こむ。

【００７５】

次に図１０（Ｃ）に示すように、上記第１の実施形態と同様のＣＭＰ法により、溝８０１の内部以外に形成された、Ｔｉ薄膜８０３、ＴｉＮ薄膜８０５、およびＣｕ薄膜８０７Ｘを除去し、溝８０１において、シリサイド形成用のＴｉ薄膜８０３と反射防止層および密着層としてのＴｉＮ薄膜８０５との積層膜上に形成されたＣｕ配線８０７Ｙを得る。

【００７６】

次に図１０（Ｄ）に示すように、Ｃｕ配線８０７Ｙの形成が済んだ下地基板１１に、大気

中において、２００［℃］、５分間の熱処理を施して、Ｃｕ配線８０７Ｙの表層面を酸化し、Ｃｕ酸化物層８０９を形成する（Ｃｕ配線８０７Ｙの未酸化部分をＣｕ配線８０７とする）。この酸化は、Ｃｕ配線８０７表層面の各部において、深さ方向に対して不均一に進む。

【００７７】

次に図１０（Ｅ）に示すように、Ｃｕ酸化物層８０９が形成された下地基板１１に、希フッ酸処理を施す。このとき、Ｃｕ配線８０７は希フッ酸にはエッチングされることなく、Ｃｕ酸化物層８０９のみが除去される。また中間絶縁膜１５は、Ｐ－ＳｉＮ膜７０７により保護されているため、膜減りしない。これにより、深さ方向に不均一に形成されたＣｕ酸化物層８０９が除去されたＣｕ配線８０７の表面には凹凸が形成される。このＣｕ配線８０７は、例えば、凹部と凸部の高低差が１０～３０［ｎｍ］の粗面を有するものとする。

【００７８】

最後に図１０（Ｆ）に示すように、選択ＣＶＤ法により、Ｃｕ配線８０７表面のみに選択的に、膜厚１００［ｎｍ］のW薄膜９０３を成膜する。以上により、溝８０１において、粗面を有するＣｕ配線８０７に上層膜（W薄膜９０３）を形成した配線構造を得る。尚、上記の上層膜としては、Wの他に、Ｔｉ、Ｔａ、等の金属膜、あるいはこれらの金属の窒化膜を用いても良い。

【００７９】

このように第７の実施形態によれば、下地基板１１の配線形成予定領域に形成された溝８０１に、表層部を不均一に酸化してその酸化物層を除去することにより、粗面加工されたＣｕ配線８０７を形成し、このＣｕ配線８０７の上にW薄膜９０３を形成することにより、Ｃｕ配線８０７の上部界面における界面拡散の活性化エネルギーを高めることができるので、配線の比抵抗を上昇させることなく、配線のＥＭ耐性を向上させることができる。

【００８０】

尚、上記第１～第３の実施形態に示した、表面凹凸を有する下層膜上に、Ｃｕ配線８０７と上層膜とを積層した配線構造としても良い。

【００８１】

第８の実施形態

ここでは、ドライエッチングで形成した配線において、配線材料の上部金属との界面拡散の活性化エネルギーを高めることができる配線について説明する。

【００８２】

図１１は本発明の第８の実施形態の半導体素子の配線形成工程を示す断面図である。まず図１１（Ａ）に示すように、上記第４の実施形態と同様にして、半導体基板１３上に中間絶縁膜７５を備えた下地基板７１を用い、研磨した中間絶縁膜７５上に、表面凹凸を有するＴＥＯＳ／O_3 SiO_2 膜７７を形成してから、半導体基板１３に達するコンタクトホール７９を形成する。

【００８３】

次に、コンタクトホール７９を形成した下地基板７１上に、Ｔｉ薄膜８０３およびＴｉＮ薄膜８０５を積層形成し、さらに上記第４の実施形態と同様にして、コンタクトホール径の１．５倍のＣｕ薄膜１００５Ｘを形成する。ＴｉＮ薄膜８０５の表面（コンタクトホール部を除く）は、ＴＥＯＳ／O_3 －SiO_2 膜７７の表面凹凸を反映して粗面となる。尚、Ｔｉ薄膜８０３とＴｉＮ薄膜８０５の積層膜は、下層膜における導電膜に相当し、この導電膜とＴＥＯＳ／O_3 －SiO_2 膜７７からなる絶縁膜とは、粗面（例えば、凹部と凸部の高低差が１０～５０［ｎｍ］の粗面）を有する下層膜に相当する。また上記の導電膜としては、Ｔｉ／ＴｉＮ積層膜の他に、W、Ｔｉ、Ｔａ、等の金属膜、あるいはこれらの金属の窒化膜、あるいはこれらの金属膜とこれらの金属窒化膜の積層膜を用いても良い。

【００８４】

次に図１１（Ｂ）に示すように、Ｃｕ薄膜１００５Ｘの形成が済んだ下地基板７１に、大気中において、２００［℃］、５分間の熱処理を施して、Ｃｕ薄膜１００５Ｘの表層面に

Ｃｕ酸化物層１００７を形成する（Ｃｕ薄膜１００５Ｘの未酸化部分をＣｕ薄膜１００５Ｙとする）。このとき、Ｃｕの酸化はＣｕ薄膜の深さ方向に対して不均一に進む。

【００８５】

次に図１１（Ｃ）に示すように、Ｃｕ酸化物層１００７が形成された下地基板７１に、希フッ酸処理を施す。このとき、Ｃｕ薄膜１００５Ｙは希フッ酸にはエッチングされることなく、Ｃｕ酸化物層１００７のみが除去される。これにより、不均一に形成されたＣｕ酸化物層１００７が除去されたＣｕ薄膜１００５Ｙの表面には凹凸が形成される。このＣｕ薄膜１００Ｙは、例えば、凹部と凸部の高低差が１０～３０［ｎｍ］の粗面を有するものとする。

【００８６】

最後に図１１（Ｄ）に示すように、Ｃｕ薄膜１００５Ｙの上に、スパッタ法により膜厚５０［ｎｍ］のＴｉＮ膜１０１１を形成し、公知のリソグラフィ技術およびエッチング技術により、配線パターン形成予定領域以外に形成されている、ＴｉＮ薄膜１０１１、Ｃｕ薄膜１００５Ｙ、ＴｉＮ薄膜８０５、およびＴｉ薄膜８０３を除去する。以上により、配線パターン形成領域において、粗面を有する下層膜（ＴＥＯＳ／O_3－SiO_2膜７７、Ｔｉ薄膜８０３、ＴｉＮ薄膜８０５）上に粗面を有するＣｕ配線１００５を形成し、この粗面を有するＣｕ配線１００５に上層膜（ＴｉＮ薄膜１０１１）を形成した配線構造を得る。尚、上記の上層膜としては、ＴｉＮの他に、Ｗ、Ｔｉ、Ｔａ、等の金属膜、あるいはこれらの金属の窒化膜を用いても良い。

【００８７】

このように第８の実施形態によれば、下地基板７１に、表層部を不均一に酸化してその酸化物層を除去することにより、粗面加工されたＣｕ薄膜１００５Ｙを形成し、この上にＴｉＮ薄膜１０１１を形成し、Ｃｕ薄膜１００５ＹとＴｉＮ薄膜１０１１とをパターニングして、配線形成予定領域に、ＴｉＮ薄膜１０１１を上層膜とし、この上層膜との界面が粗面であるＣｕ配線１００５を形成することにより、Ｃｕ配線１００５の上部界面における界面拡散の活性化エネルギーを高めることができるので、配線の比抵抗を上昇させることなく、配線のＥＭ耐性を向上させることができる。

【００８８】

尚、上記第５または第６の実施形態に示した、表面凹凸を有する下層膜上に、Ｃｕ配線１００５と上層膜とを積層した配線構造としても良い。また表面凹凸を有する下層膜を設けない配線構造としても良い。

【００８９】

【発明の効果】

以上の説明したように本発明によれば、粗表面を有する下層膜上に配線層を形成する、あるいは粗表面を有する配線層上に上層膜を形成する、あるいは粗表面を有する下層膜上に粗表面を有する配線層を形成し、この上に上層膜を形成することにより、配線層の界面拡散の活性化エネルギーを高めることができるので、配線のＥＭ耐性を向上させることができるという優れた効果がある。

【図面の簡単な説明】

【図１】本発明の第１の実施形態の半導体素子の配線形成工程を示す断面図である。

【図２】Ｃｕの凝集実験において作成した試料の断面図である。

【図３】実験試料におけるＣｕ膜成膜前のＷ膜表面の原子間力顕微鏡写真である。

【図４】実験試料におけるＣｕ膜表面の光学顕微鏡写真である。

【図５】本発明の第２の実施形態の半導体素子の配線形成工程を示す断面図である。

【図６】本発明の第３の実施形態の半導体素子の配線構造を示す断面図である。

【図７】本発明の第４の実施形態の半導体素子の配線形成工程を示す断面図である。

【図８】本発明の第５の実施形態の半導体素子の配線形成工程を示す断面図である。

【図９】本発明の第６の実施形態の半導体素子の配線構造を示す断面図である。

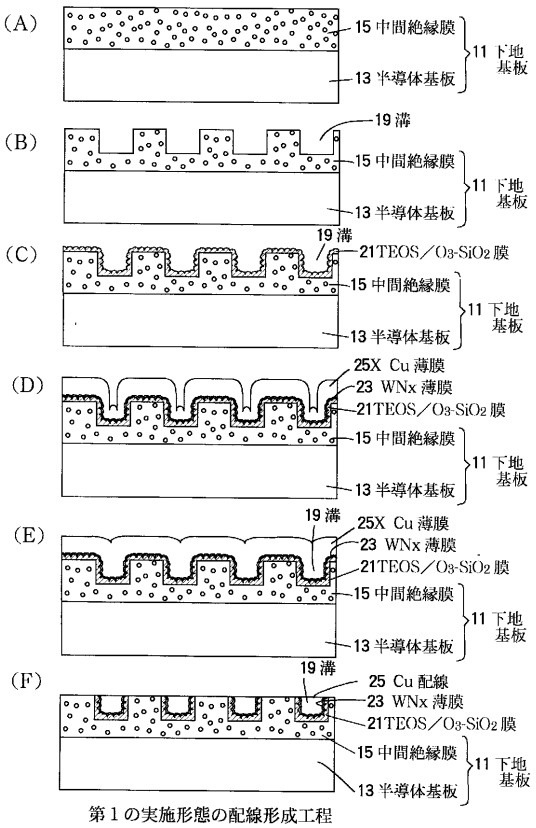
【図１０】本発明の第７の実施形態の半導体素子の配線形成工程を示す断面図である。

【図１１】本発明の第８の実施形態の半導体素子の配線形成工程を示す断面図である。

【符号の説明】

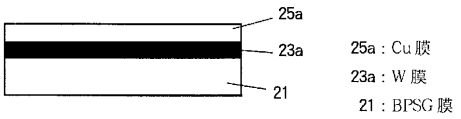
１１、７１、９１　下地基板、１３　半導体基板、１５、７５、９５　中間絶縁膜、１９、８０１　溝、２１、７７　ＴＥＯＳ／O_3－SiO_2膜、２３　WN_x薄膜、２５Ｘ、４１Ｘ、８０７Ｘ、１００５Ｘ、１００５Ｙ　Ｃｕ薄膜、２５、４１、６５、８５、１１５、８０７Ｙ、８０７、１００５　Ｃｕ配線、３９、８３、８７、１０１、８０５、１０１１　ＴｉＮ薄膜、７９　コンタクトホール、８１、９９、８０３　Ｔｉ薄膜、７０７　Ｐ－SiO_2膜、８０９、１００７　Ｃｕ酸化物層、９０３　Ｗ薄膜

【図１】



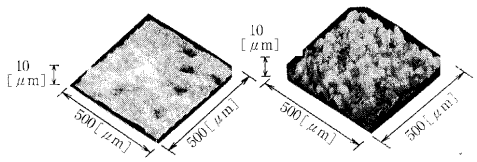
第１の実施形態の配線形成工程

【図２】



実験試料の説明図

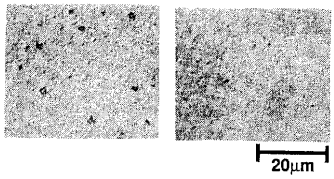
【図３】



(A)逆スパッタ無し　(B)逆スパッタ有り

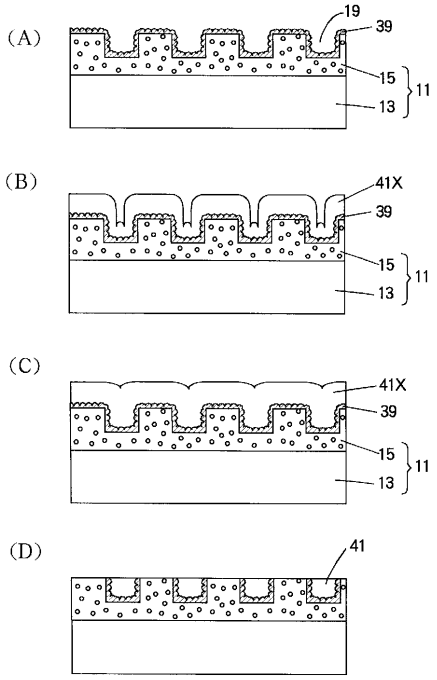
Cu 膜 25a 成膜前の W 膜 23a 表面の原子間力顕微鏡写真

【図４】



試料表面の光学顕微鏡写真(450℃ 30分熱処理後)

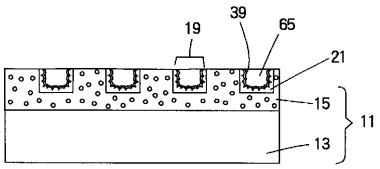
【図５】



11：下地基板
13：半導体基板
15：中間絶縁膜
19：溝
39：TiN 薄膜
41X：Cu 薄膜
41：Cu 配線

第２の実施形態の配線形成工程

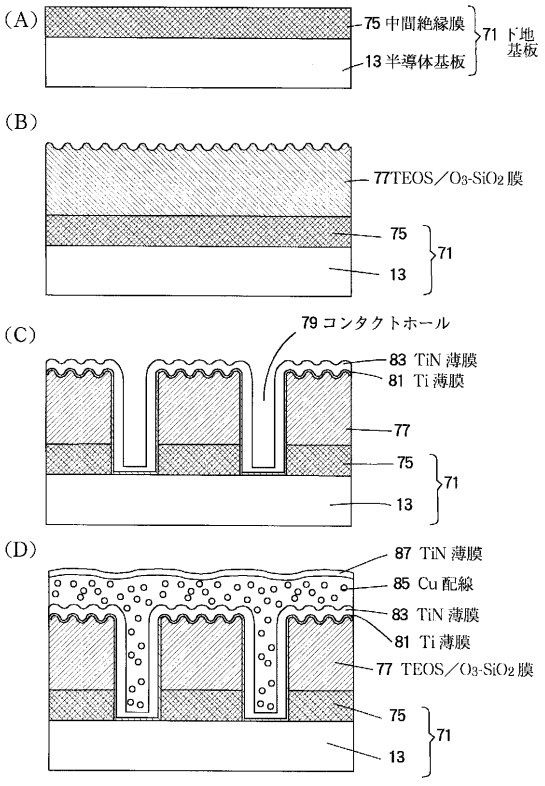
【図６】



11：下地基板
13：半導体基板
15：中間絶縁膜
19：溝
21：TEOS／O_3-SiO_2 膜
39：TiN 薄膜
41：Cu 配線

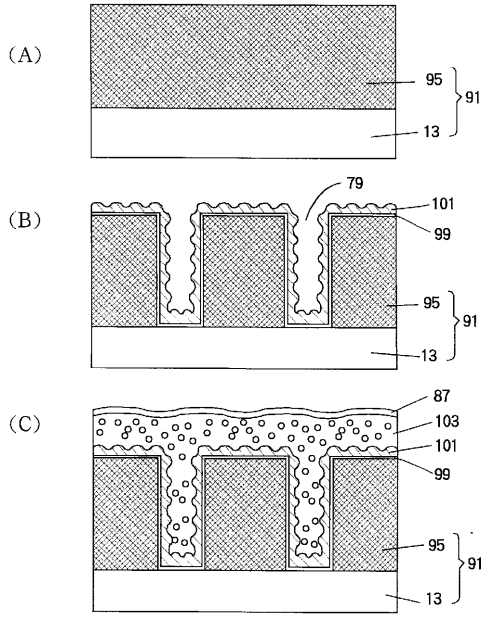
第３の実施形態の配線構造

【図７】



第４の実施形態の配線形成工程

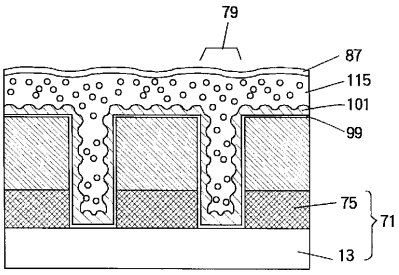
【図８】



91：下地基板
13：半導体基板
95：中間絶縁膜
99：Ti 薄膜
79：コンタクトホール
101：TiN 薄膜
103：Cu 配線
87：TiN 薄膜

第５の実施形態の配線形成工程

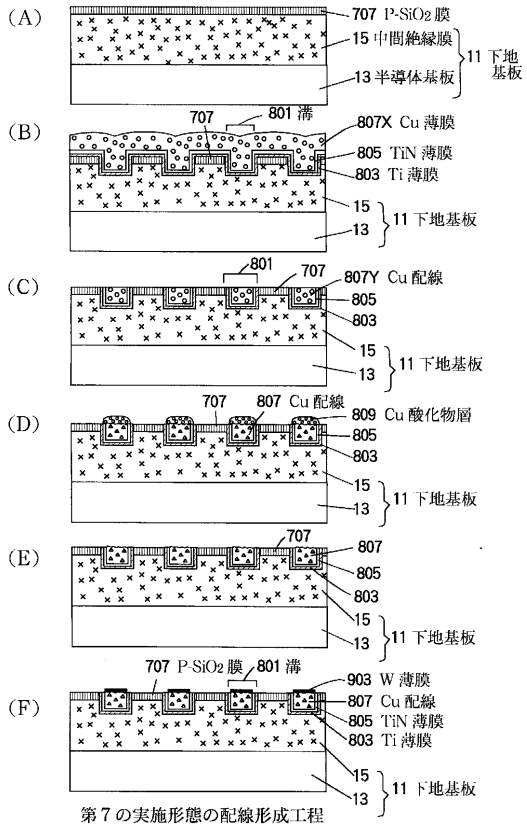
【図９】



71：下地基板
13：半導体基板
75：中間絶縁膜
77：TEOS／O_3-SiO_2 膜
79：コンタクトホール
99：Ti 薄膜
101：TiN 薄膜
115：Cu 配線
87：TiN 薄膜

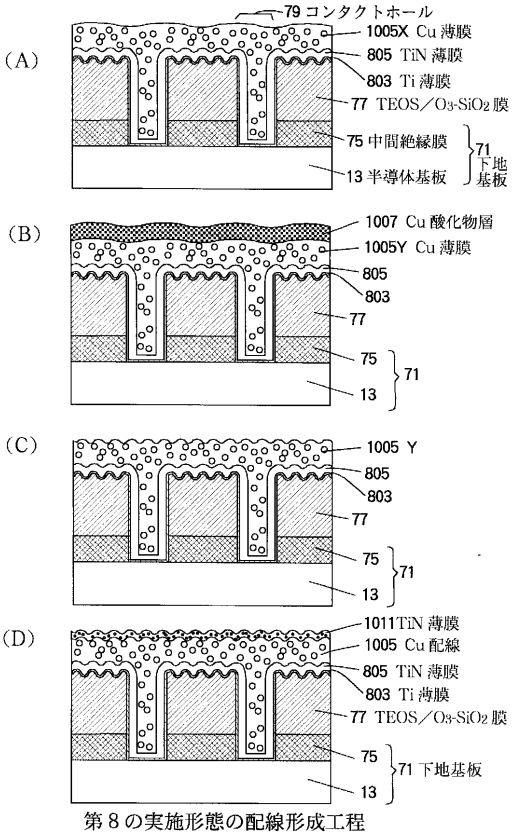
第６の実施形態の配線構造

【図１０】



第７の実施形態の配線形成工程

【図１１】



第８の実施形態の配線形成工程

フロントページの続き

(56)参考文献 特開平０７－０４５６１１（ＪＰ，Ａ）
特開平０９－２２３７３６（ＪＰ，Ａ）
特開平１０－１７２９７３（ＪＰ，Ａ）
特開昭６３－１１４１４４（ＪＰ，Ａ）
特開平０４－２０７０３５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 21/3205
H01L 21/28
H01L 21/768
H01L 23/52