MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA TUTELA DELLA PROPRIETA' INDUSTRIALE
UFFICIO ITALIANO BREVETTI E MARCHI

UIBM

DOMANDA NUMERO	**101997900610972**
Data Deposito	**14/07/1997**
Data Pubblicazione	**14/01/1999**

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
H	01	L		

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
C	23	C		

Titolo

PROCEDIMENTO DI METALLIZZAZIONE MULTILIVELLO AD ALTA PLANARIZZAZIONE PER DISPOSITIVI A SEMICONDUTTORE

R M 97 A 0431

TI - 25976

DESCRIZIONE

a corredo di una domanda di Brevetto d'Invenzione avente per titolo:

"Procedimento di metallizzazione multilivello ad alta planarizzazione per dispositivi a semiconduttore"

a nome: CONSORZIO EAGLE

Inventori: Felice RUSSO, Giuseppe MICCOLI, Natale NARDI,

Marco RICOTTI, Alfredo FRANCHINA

****

La presente invenzione si riferisce in generale ad un procedimento di metallizzazione multilivello ad alta planarizzazione per dispositivi a semiconduttore.

Più in particolare, l'invenzione riguarda un procedimento del tipo detto in cui le piste dei vari livelli di metallizzazione vengono inglobate all'interno degli strati dielettrici, che separano i vari livelli di metallizzazione, a partire da un primo strato planare di dielettrico a contatto con il substrato del dispositivo, garantendo la continuità delle piste ed eliminando la possibilità di corti circuiti tra piste adiacenti.

E' noto che la produzione di dispositivi a semiconduttore comprende una lavorazione chimica composta da una serie di passi, in cui vengono progressivamente realizzati i vari elementi degli specifici dispositivi da produrre, e che termina con la realizzazione delle metallizzazioni e con una passivazione finale di tutto il dispositivo.

E' altresì noto che l'utilizzazione di livelli multipli di metallizzazione è in crescente aumento per soddisfare le esigenze di

ING. BARZANO' & ZANARDO ROMA S.p.A.

interconnessione e di sbroglio circuitale dei dispositivi elettronici a semiconduttore, particolarmente per i circuiti integrati a scala di integrazione molto larga, o VLSI (Very Large Scale Integration), ed a scala di integrazione ultra larga, o ULSI (Ultra Large Scale Integration).

La tecnica di interconnessione multilivello consente, infatti, di ottenere l'alta densità di contatti richiesta dalla miniaturizzazione dei circuiti, minimizzando i problemi di diafonia ed interferenza e di ritardo dei segnali.

Nella tecnica anteriore è diffusamente utilizzata una tecnica di planarizzazione del primo strato dielettrico, a contatto con il substrato del dispositivo. Tale tecnica prevede l'utilizzazione, quale dielettrico, di ossidi di silicio, noti come "Poly Metal Oxide" o "PMO", drogati, solitamente, con boro e/o fosforo, che, ad opportune temperature, divengono fluidi. Inizialmente, tale PMO viene deposto sulla superficie del dispositivo a bassa temperatura e, di conseguenza, in modo conforme, cioè seguendo l'andamento della superficie di base. Successivamente viene sottoposto ad un trattamento a temperatura più alta, intorno agli 800°C, alla quale rifluisce e si distribuisce sulla superficie planarizzandola ad un grado di circa il 95%.

Il primo livello di metallizzazione viene allora definito su uno strato di metallo deposto su tale strato di PMO, nel quale sono stati fabbricati dei fori che, riempiti da detto metallo, realizzano i dovuti contatti del primo livello di metallizzazione con il substrato del dispositivo.

ING. BARZANO' & ZANARDO ROMA S.p.A.

Tuttavia, tale primo livello di metallizzazione produce una topografia non planare dovuta alla presenza delle piste che emergono dallo strato planare del PMO.

All'aumentare del numero di livelli di metallizzazione, l'impilamento dei vari strati produce una topografia corrugata in misura crescente. Infatti, poiché con il progredire del processo di fabbricazione diminuisce il massimo valore ammissibile di temperatura al quale può essere sottoposto il substrato, non è più possibile planarizzare la superficie del dispositivo utilizzando ossidi da far rifluire.

A causa delle limitazioni nella profondità di campo delle apparecchiature di fotolitografia con risoluzione inferiore al micron, quando le differenze di quota di detta topografia corrugata dei dispositivi da sottoporre a metallizzazione superano una soglia massima, peraltro modesta, le tecniche fotolitografiche impiegate nella configurazione degli strati metallici possono fallire la messa a fuoco di alcune zone della superficie dei dispositivi.

Ciò comporta una serie di inconvenienti.

Innanzitutto, può aversi una scarsa continuità delle piste metalliche quando devono superare gradini alti e ripidi, con conseguenti interruzioni circuitali.

Inoltre, dopo l'effettuazione di attacchi chimici anisotropi, possono essere presenti residui metallici al fondo ed ai lati di dislivelli ripidi, con conseguenti corti circuiti tra piste.

Pertanto, è necessaria una planarizzazione della superficie dei dispositivi, ovviamente effettuabile sugli strati dei dielettrici di

ING. BARZANO' & ZANARDO ROMA S.p.A.

separazione tra i vari livelli di metallizzazione, anche dopo la definizione del primo livello di metallizzazione.

Esistono una serie di tecniche note di planarizzazione degli strati dielettrici.

Una prima tecnica è basata sull'utilizzazione di un materiale dielettrico, sostanzialmente un vetro, noto come "spin-on-glass" o "SOG". Detto SOG è un materiale planare, anche a temperature relativamente basse, ma presenta l'inconveniente di dover essere eliminato laddove devono essere effettuati i fori di contatto con il sovrastante livello di metallizzazione. Ciò è dovuto al fatto che il SOG degassa quando il dispositivo viene sottoposto al procedimento di rivestimento a vaporizzazione, noto come "sputtering", di metallo, solitamente titanio, causando interruzioni circuitali. Per risolvere tale inconveniente, si procede ad una attacco chimico a ritroso, o "etch-back", dello strato di SOG, che, tuttavia, è a sua volta elettivamente difettoso per questioni attinenti la selettività dell'attacco chimico. Pertanto, la tecnica utilizzante il SOG è estremamente complessa e costosa. Aspetti di tale tecnica sono stati descritti da M. Kawai et al. in "Proceedings 5th Intl. IEEE VMIC Conf.", Santa Clara, CA, p.419, 1988, e da H. Kojima et al. in "Proceedings 5th Intl. IEEE VMIC Conf.", Santa Clara, CA, p.411, 1988.

Una seconda tecnica è basata sull'utilizzazione di un materiale dielettrico noto come "HSQ". Detto HSQ è sostanzialmente un ossido di silicio in soluzione con solventi e, pertanto, è fluido nel momento in cui si deposita. Tale tecnica prevede: la preliminare deposizione,

ING. BARZANO' & ZANARDO ROMA S.p.A.

conforme, di un primo strato dielettrico, costituito da un ossido di silicio, noto come "Metal Inter Level Oxide", o "MILO"; la deposizione di HSQ fluido; la distribuzione dell'HSQ tramite centrifugazione, che planarizza la superficie del dispositivo; un trattamento a circa 400°C del dispositivo, che consente di essiccare l'HSQ, facendo evaporare i solventi ed indurendolo; la deposizione di uno strato di MILO-2. Attraverso tale pila di tre strati dielettrici vengono effettuati i fori dei contatti con il sottostante livello di metallizzazione. Anche tale tecnica presenta alcuni inconvenienti. Oltre ad essere costosa, poiché introduce una serie di passi aggiuntivi al processo di fabbricazione, incrementa la probabilità di generare difettosità nel dispositivo, diminuendo, di conseguenza, la resa di produzione. Alcuni aspetti di tale tecnica sono stati descritti da M. Khan et al. in "Proceedings 2nd Annual IEEE VMIC Conf.", Santa Clara, CA, p.20, 1985.

Una terza tecnica è basata sulla abrasione fisico-chimica, nota come "chemical-mechanical polishing", di tutta la fetta lavorata di silicio, o "wafer", con cui si planarizzano le superfici dei dispositivi eliminando tutte le asperità. Anche tale tecnica è particolarmente dispendiosa in termini economici.

Altre tecniche sono state studiate per planarizzare le superfici dei dispositivi: tecniche di attacco chimico a ritroso dei dielettrici, o "dielectric etch-back", descritte da A.C. Adams e C.D. Capio in "J. Electroch. Soc.", 128, 423, 1981, e da T. Kobayashi et al., in "Abstract THPM 14.2", p. 184, IEEE ISSCC Extended Abstracts, 1982; planarizzazione ad attacco chimico superficiale a ioni vaporizzati, o

ING. BARZANO' & ZANARDO ROMA S.p.A.

"surface sputter etch planarization", descritta da H. Kotani et al. in "J. Electroch. Soc.", 130, 645, 1983; erosione e planarizzazione superficiale a raggio ionico, o "ion beam surface erosion and planarization", descritta da L.F. Johnson et al. in "Appl. Phys. Lett. 40", 636, 1982; dielettrico intermetallo a poliimmidi, o "polyimides as intermetal dielectric", descritta da J.J.Lajza and J.L. Wendt in "Ext. Abs. of Electroch. Soc. Meeting", Fall 1986, San Diego, CA, Abs. No. 356; deposizione di vapore chimico a mantello ed attacco chimico a ritroso di tungsteno, o "blanket CVD deposition and etchback of W", descritta da E.K. Broadbent et al. in "IEEE Trans. Electron. Dev.", July 1988, p. 952; deposizione di vapore chimico di tungsteno selettiva nei solchi, o "selective CVD W deposition in the grooves", descritta da D.C. Thomas et al. in "Tech. Dig. IEDM", 1988, p. 466.

Tutte queste tecniche sono costose e comportano l'introduzione di passi complessi nel processo di fabbricazione dei dispositivi.

In questo contesto, viene ad inserirsi la soluzione proposta secondo la presente invenzione. che consente di risolvere tutti i succitati problemi.

Lo scopo della presente invenzione è, pertanto, quello di eseguire in modo semplice, affidabile ed economico una metallizzazione multilivello di dispositivi a semiconduttore che abbia, ad ogni livello, un elevato grado di planarizzazione superficiale, garantendo la continuità delle piste ed eliminando la possibilità di corti circuiti tra piste adiacenti.

ING. BARZANO' & ZANARDO ROMA S.p.A.

Un ulteriore scopo della presente invenzione è quello di eseguire detta metallizzazione multilivello ad alta planarizzazione senza introdurre passi di processo estranei a quelli già utilizzati nei tradizionali processi di fabbricazione.

Forma oggetto specifico della presente invenzione un procedimento di metallizzazione multilivello ad alta planarizzazione per dispositivi a semiconduttore comprendente la fabbricazione di un primo livello di metallizzazione, composto di piste e contatti con il substrato del semiconduttore, e la fabbricazione di livelli di metallizzazione successivi al primo, composti di piste e contatti con il sottostante livello di metallizzazione, caratterizzato dal fatto che la fabbricazione del primo livello di metallizzazione prevede:

- una deposizione conforme, su tutto il dispositivo da metallizzare, di un primo strato di materiale dielettrico, avente la proprietà di rifluire a temperatura compresa tra 800°C e 900°C, di spessore opportuno, preferibilmente pari alla somma dello spessore di materiale dielettrico di separazione richiesto tra il substrato del semiconduttore e le piste metalliche di interconnessione e dello spessore richiesto per le piste metalliche di interconnessione,

- un trattamento termico a detta temperatura di riflusso di detto materiale dielettrico per un periodo di tempo sufficiente a planarizzare lo strato deposto ad un grado superiore al 90% o, comunque, al grado necessario per la particolare applicazione,

- un primo processo fotolitografico, in cui, mediante l'utilizzazione di una prima opportuna configurazione, o "pattern", di resist

ING. BARZANO' & ZANARDO ROMA S.p.A.

fotosensibile sovrapposto a detto primo strato di materiale dielettrico ed un successivo attacco chimico a detto primo strato di materiale dielettrico, vengono definiti i solchi relativi alle piste del primo livello di metallizzazione del circuito,

- un secondo processo fotolitografico, in cui, mediante l'utilizzazione di una seconda opportuna configurazione di resist fotosensibile sovrapposto a detto primo strato di materiale dielettrico ed un successivo attacco chimico a detto primo strato di materiale dielettrico, vengono definiti i fori relativi ai contatti con il substrato del primo livello di metallizzazione del circuito,

- una deposizione di uno strato di materiale metallico su tutto il dispositivo in modo da ricoprire detto primo strato di materiale dielettrico, la tecnica di deposizione conferendo al materiale metallico la proprietà di riempire uniformemente ogni cavità e di rendere la superficie il più planare possibile,

- un attacco chimico a ritroso dello strato di materiale metallico su tutto il dispositivo per esporre nuovamente la superficie di detto primo strato di materiale dielettrico, realizzando un alto grado di planarizzazione, detto attacco chimico a ritroso non arrestandosi nel momento in cui viene raggiunta la superficie di detto primo strato di materiale dielettrico, ma proseguendo per un tempo prestabilito con un sovra-attacco, od "over-etch", di tutta la superficie del dispositivo, e

- una deposizione conforme, su tutto il dispositivo, di un secondo strato di materiale dielettrico, di spessore pari alla somma dello spessore di materiale dielettrico di separazione richiesto tra le piste

ING. BARZANO' & ZANARDO ROMA S.p.A.

metalliche di due livelli adiacenti di metallizzazione e dello spessore richiesto per le piste metalliche di interconnessione del successivo livello di metallizzazione da fabbricare;

detto procedimento essendo altresì caratterizzato dal fatto che la fabbricazione dei livelli di metallizzazione successivi al primo prevede le stesse operazioni, e nella stessa successione, previste dalla fabbricazione del primo livello di metallizzazione ad esclusione della deposizione di detto primo strato di materiale dielettrico e del trattamento termico a detta temperatura di riflusso di detto materiale dielettrico ed utilizzando nel primo e nel secondo processo fotolitografico le opportune configurazioni di resist corrispondenti al livello di metallizzazione in fabbricazione.

Sempre secondo l'invenzione, detto spessore opportuno di detto *primo strato* di materiale dielettrico può essere pari allo spessore di materiale dielettrico di separazione richiesto tra il substrato del semiconduttore e le piste metalliche di interconnessione e detta fabbricazione del primo livello di metallizzazione può prevedere altresì, dopo detto trattamento termico a detta temperatura di riflusso di detto materiale dielettrico, una deposizione conforme, su tutto il dispositivo da metallizzare, di un terzo strato di materiale dielettrico, di spessore uguale allo spessore richiesto per le piste metalliche di interconnessione, nel quale verranno definiti, durante detto primo processo fotolitografico, i solchi relativi alle piste del primo livello di metallizzazione del circuito.

ING. BARZANO' & ZANARDO ROMA S.p.A.

La presente invenzione verrà ora descritta, a titolo illustrativo, ma non limitativo, secondo la sua preferita forma di realizzazione, con particolare riferimento alle Figure dei disegni allegati, in cui:

le Figure 1a-1f mostrano viste schematiche, non in scala reale, in sezione della superficie di un dispositivo nei vari passi di fabbricazione del primo livello di metallizzazione secondo la presente invenzione.

Con riferimento ora alla Figura 1a, si può osservare che i primi passi di processo per la realizzazione del primo livello di metallizzazione prevedono la deposizione di uno strato dielettrico 1 composto da uno strato 1' di PMO, che, come descritto in precedenza, viene fatto rifluire per planarizzare la superficie del dispositivo, e da uno strato 1" di un altro materiale dielettrico, di proprietà simili a quelle del PMO, costituito da ossido di silicio, o vetro, drogato con boro e fosforo, e noto come "Boron Phosphorus Silicon Glass" o "BPSG". Lo spessore dello strato dielettrico planare 1" di BPSG deve essere uguale allo spessore richiesto per le piste metalliche di interconnessione, preferibilmente realizzate in tungsteno.

In Figura 1a è mostrato uno strato dielettrico 1 composto da PMO e da BPSG che, in particolare, viene utilizzato nella tecnologia delle memorie volatili ad accesso casuale dinamiche, o DRAM. Si deve tuttavia tenere presente come detto strato dielettrico 1 possa essere costituito da uno solo di detti materiali, rimanendo sempre nell'ambito di protezione della presente invenzione. In particolare, detto strato 1 può essere costituito integralmente da BPSG, depositato ad una temperatura di 430°C tramite deposizione di vapore chimico a

ING. BARZANO' & ZANARDO ROMA S.p.A.

pressione atmosferica e fatto rifluire ad una temperatura di 850°C. Tale trattamento termico a temperatura di 850°C potrebbe essere utilizzato anche per far diffondere ed attivare le specie droganti impiantate nel substrato, come, ad esempio, nelle regioni di drain e/o di source dei transistor.

Con riferimento ora alla Figura 1b, si può osservare come il successivo passo del processo di metallizzazione sia un passo fotolitografico convenzionale, in cui, mediante l'utilizzazione di una opportuna configurazione, o "pattern", di resist fotosensibile ed un successivo attacco chimico anisotropo assistito da plasma, o "plasma etch", al BPSG, vengono definiti nello strato 1" di BPSG i solchi 2 relativi alle piste del primo livello di metallizzazione del circuito. In particolare, la chimica dell'attacco assistito da plasma al BPSG prevede preferibilmente l'utilizzazione di trifluorometano (CHF_3) ed esafluoroetano (C_2F_6) per ottenere un elevato controllo del profilo dei solchi 2 conseguendo pareti laterali quasi verticali. Tale controllo è ottenuto tramite la polimerizzazione sulle pareti laterali di difluorometilene (CF_2), derivante principalmente da trifluorometano gassoso. Preferibilmente, l'attacco chimico viene effettuato in condizioni di alta pressione per ottenere una buona uniformità di attacco, con un grado di disuniformità inferiore al 5%, focalizzando il plasma nella regione centrale del reattore.

E' da notare il fatto che la maschera fotolitografica utilizzata per realizzare i solchi 2 è ottenuta invertendo quella utilizzata per

ING. BARZANO' & ZANARDO ROMA S.p.A.

realizzare la metallizzazione convenzionale, con piste emergenti dall'ossido e definite su uno strato metallico.

In proposito, un ulteriore vantaggio offerto dalla presente invenzione consiste nella minore criticità del processo fotolitografico. Infatti, poiché la configurazione delle piste di interconnessione non è più ricavata da una superficie metallica, come, invece, avviene nella tecnica anteriore, ma su uno strato dielettrico planare e piuttosto spesso, non esiste più il problema della riduzione della riflettività luminosa della superficie che può generare difetti locali. Ciò consente anche di avere una maggiore tolleranza nella messa a fuoco della superficie del dispositivo.

Con riferimento ora alla Figura 1c, si può osservare come il seguente passo sia ancora un passo fotolitografico, secondo tecniche convenzionali, in cui, mediante l'utilizzazione di una opportuna configurazione di resist fotosensibile ed un successivo attacco chimico anisotropo assistito da plasma al PMO (o al BPSG, nel caso lo strato dielettrico 1 sia integralmente costituito da questo materiale), vengono definiti nello strato 1' di PMO (o di BPSG) i fori 3 relativi ai contatti con il substrato del primo livello di metallizzazione del circuito.

Detta configurazione di resist deve essere realizzata su una superficie in cui sono già stati definiti i solchi 2 relativi alle piste del primo livello di metallizzazione del circuito e che, pertanto, non è più una superficie planare. Questo comporta un processo fotolitografico dotato di prestazioni più precise relativamente alla messa a fuoco.

ING. BARZANO' & ZANARDO ROMA S.p.A.

Tuttavia, le differenze di quota presenti nella topografia della superficie sono ancora entro livelli tollerabili dalle usuali tecniche fotolitografiche.

Preferibilmente, l'attacco assistito da plasma allo strato 1' di PMO (o di BPSG) prevede l'utilizzazione di trifluorometano (CHF_3) e tetrafluoruro di carbonio (CF_4) in atmosfera di argon (Ar) e viene effettuato con il substrato a temperatura di -10°C. La temperatura del substrato consente di controllare il profilo del foro 3 di contatto modificando il coefficiente di adesione del polimero $\{CF_2\}_n$ di difluorometilene. Inoltre, il substrato è preferibilmente equipaggiato con un opportuno sistema di controllo della distribuzione di temperatura allo scopo di ottenere un grado di disuniformità di attacco chimico inferiore al 5%. L'atmosfera di argon è utilizzata per incrementare la velocità dell'attacco chimico e la direzionalità dell'attacco del plasma.

Con riferimento ora alla Figura 1d, si può osservare come il seguente passo sia quello di effettuare una deposizione chimica di metallo in fase vapore, preferibilmente tungsteno (W), su tutto il dispositivo in modo da ricoprire lo strato 1" di BPSG. Il metallo impiegato deve avere la proprietà di riempire uniformemente ogni cavità, la cosiddetta proprietà di "gap filling", per formare uno strato metallico 4 di spessore tale da riempire tutti i fori 3 di contatto ed i solchi 2 delle piste e tale da rendere la superficie il più planare possibile. Particolarmente nel caso di dispositivi al silicio e di utilizzazione di tungsteno quale metallo, tale deposizione di tungsteno è preceduta dalla formazione di un sottile strato di nitruro di titanio (TiN) allo scopo di favorire l'adesione e la nucleazione uniforme del

ING. BARZANO' & ZANARDO ROMA S.p.A.

tungsteno, che, come noto, non aderisce direttamente su substrati di silicio o di diossido di silicio.

Detto strato aderente di nitruro di titanio viene preferibilmente ottenuto tramite la seguente sequenza di operazioni. Innanzitutto, viene realizzata una preliminare deposizione per vaporizzazione ionica, o sputtering, di titanio (Ti). Successivamente, il dispositivo viene sottoposto a ricottura, o "annealing", in un forno orizzontale alla temperatura di 585°C per 130 minuti, in atmosfera di azoto (N_2) all'80% e di idrogeno (H_2) al 20%. Al termine di tale ricottura sul dispositivo è presente uno strato di nitruro di titanio a composizione variabile (TiN_x) che, dopo un ulteriore annealing a temperatura più elevata della precedente, diventa nitruro di titanio stechiometrico (TiN_2).

La deposizione di tungsteno è preferibilmente una deposizione chimica in fase vapore a bassa pressione (low-pressure chemical vapor deposition: LPCVD) che assicuri una buona conformità, allo scopo di ottenere un completo riempimento dei contatti con un alto rapporto altezza/larghezza senza compromettere la planarizzazione su ampi solchi 2 di piste. Il processo di deposizione si compone di tre passi: la nucleazione, il riempimento dei contatti e l'interconnessione.

La nucleazione è un passo a bassa velocità di deposizione in cui silano (SiH_4) viene utilizzato per ridurre il gas sorgente esafluoruro di tungsteno (WF_6). In particolare, tra le varie possibili riduzioni del silano quella più probabile è:

$$2WF_6 + 3SiH_4 \rightarrow 2W + 3SiF_4 \uparrow + 6H_2 \uparrow$$

ING. BARZANO' & ZANARDO ROMA S.p.A.

Lo scopo della nucleazione è quello di creare un primo sottile strato di tungsteno, dello spessore di circa 400 Angstrom, che agisca come seme di crescita per il successivo strato di tungsteno, depositato secondo la seguente reazione di riduzione dell'idrogeno (H_2):

$$WF_6 + 3H_2 \rightarrow W + 6HF \uparrow$$

Nel caso di dispositivi al silicio, se venisse utilizzata direttamente la riduzione dell'idrogeno (H_2) sullo strato di nitruro di titanio, l'esafluoruro di tungsteno (WF_6) gassoso potrebbe penetrare nel substrato di silicio e generare la seguente reazione:

$$2WF_6 + 3Si \rightarrow 2W + 3SiF_4 \uparrow$$

Tale intrusione, che produce il difetto più comune noto con il termine di "wormhole", o "tarlatura", è meno probabile quando la deposizione inizia con la riduzione del silano.

Gli altri due passi della deposizione sono processi di riduzione dell'idrogeno (H_2).

Il secondo, chiamato il riempimento dei contatti, ha lo scopo di riempire tutti i fori 3 dei contatti con un elevato rapporto altezza/larghezza, impedendo la generazione di zone vuote ("voids").

Infine, il terzo passo, chiamato l'interconnessione, avviene alla più alta velocità di deposizione e garantisce il riempimento di ampi solchi 2 con una buona planarizzazione.

Con riferimento ora alla Figura 1e, si può osservare come il passo successivo nel processo per la realizzazione del primo livello di metallizzazione sia quello di effettuare un attacco chimico a ritroso dello strato metallico 4, preferibilmente, come detto, tungsteno, su tutto

ING. BARZANO' & ZANARDO ROMA S.p.A.

il dispositivo e, pertanto, senza alcuna configurazione fotolitografica, per esporre nuovamente la superficie dello strato dielettrico 1" di BPSG, realizzando un alto grado di planarizzazione. In particolare, l'attacco chimico a ritroso del tungsteno non viene arrestato nel momento in cui il rivelatore ottico segnala il raggiungimento della superficie dello strato dielettrico 1" di BPSG, ma prosegue per un tempo prestabilito con un sovra-attacco, od "over-etch", in cui vengono rimossi tutti gli eventuali residui metallici presenti su detta superficie.

L'attacco chimico a ritroso è, preferibilmente, un attacco chimico assistito da plasma impiegante esafluoruro di zolfo (SF_6) ed argon (Ar). Il parametro più importante in questo caso è l'uniformità dell'attacco chimico che deve essere la più alta possibile in modo da evitare che residui metallici possano creare dei corto circuiti tra le piste metalliche alloggiate nei solchi 2. L'uniformità della velocità dell'attacco chimico è principalmente una funzione della pressione della camera di attacco, del rapporto del gas reattivo al gas inerte e delle temperatura del wafer. In generale, la velocità di attacco sarà più elevata nel centro del wafer se la pressione della camera aumenta e, al contrario, il wafer sarà attaccato più velocemente sui bordi quando la pressione della camera si abbassa. Ciò è dovuto al fatto che una pressione più alta della camera ha la tendenza a confinare il plasma nel centro della camera, mentre una pressione più bassa consente al plasma di riempire l'intera camera.

L'utilizzazione di argon come gas inerte fornisce una migliore uniformità di attacco rispetto ad un plasma puramente costituito da

ING. BARZANO' & ZANARDO ROMA S.p.A.

esafluoruro di zolfo e tale uniformità dipende dal rapporto SF_6/Ar. Inoltre, la temperatura del wafer è un fattore significativo poiché la velocità di attacco è più alta nelle zone più calde del wafer: l'utilizzazione di un opportuno sistema di controllo della distribuzione di temperatura consente di ottenere una buona uniformità in temperatura sul wafer e, conseguentemente, una buona uniformità nella velocità dell'attacco chimico.

Pertanto, la preferita ricetta di attacco chimico a ritroso del tungsteno si compone di tre passi: l'attacco della massa di tungsteno, l'attacco dei residui e l'attacco dello strato di adesione.

Nell'attacco della massa di tungsteno, il tungsteno è attaccato da un plasma isotropo ad alta pressione ed alta potenza, composto da esafluoruro di zolfo (SF_6) ed argon (Ar).

Nell'attacco dei residui, i residui di tungsteno sono attaccati dalla stessa chimica del passo precedente ma ad un flusso gassoso, una pressione ed una potenza inferiori, allo scopo di ottenere un'elevata selettività allo strato di nitruro di titanio (TiN). Questo passo di attacco è temporizzato.

Nell'attacco dello strato di adesione, allo scopo di rimuovere lo strato di nitruro di titanio (TiN), viene utilizzato un plasma composto da cloro (Cl_2) ed argon (Ar). In questo passo, la selettività allo strato di tungsteno è molto alta a causa dell'assenza di composti del fluoro.

La preferita forma di realizzazione della presente invenzione è stata descritta con riferimento ad una metallizzazione impiegante tungsteno depositato tramite vapore chimico. Si deve tuttavia tenere

ING. BARZANO' & ZANARDO ROMA S.p.A.

presente come possa essere utilizzato anche un altro materiale metallico, quale alluminio, rame e/o un siliciuro, depositato tramite una qualsiasi tecnica che conferisca al materiale metallico la proprietà di riempire uniformemente ogni cavità, rimanendo sempre nell'ambito di protezione della presente invenzione.

Con riferimento ora alla Figura 1f, si può osservare come l'ultimo passo nella realizzazione del primo livello di metallizzazione sia quello di depositare uno strato dielettrico 5 su tutta la superficie, planare, del dispositivo per isolare il primo livello di metallizzazione dai successivi. Preferibilmente, detto strato dielettrico 5 è uno strato di ossido depositato con deposizione assistita da plasma a temperature non superiori ai 400°C. Tali successivi livelli di metallizzazione sono realizzati ripetendo la stessa sequenza utilizzata per la realizzazione del primo livello, a partire dalla definizione nello strato dielettrico 5 dei solchi 2 relativi alle piste del secondo livello di metallizzazione del circuito e dei fori 3 relativi ai contatti, noti con il termine di "via contact", con il sottostante primo livello di metallizzazione. Pertanto, non vengono più effettuati trattamenti di elevata temperatura simili a quello necessario per far rifluire il PMO per realizzare lo strato dielettrico planare 1'.

L'unico livello di metallizzazione per il quale non è necessario mantenere la planarizzazione e potrebbe effettuarsi una metallizzazione convenzionale è l'ultimo, perché lo strato di passivazione finale, noto come "Protective Overcoat", o "PO", è esente da operazioni fotolitografiche e non ha esigenze di planarizzazione.

ING. BARZANO' & ZANARDO ROMA S.p.A.

In conclusione, con la soluzione proposta secondo la presente invenzione è possibile ottenere dispositivi a semiconduttore a metallizzazione multilivello, garantendo la continuità delle piste ed eliminando la possibilità di corti circuiti tra piste adiacenti, con un alto grado di planarizzazione, superiore all'85% e limitato sostanzialmente dal grado di planarizzazione dello strato dielettrico iniziale 1' di PMO, pari a circa il 95%. Tale elevato grado di planarizzazione è ottenuto tramite una tolleranza di allineamento delle maschere fotolitografiche sostanzialmente identiche a quelle richieste nella definizione di altri componenti circuitali, quali, ad esempio, i gate dei transistor. Inoltre, la soluzione proposta è esente da qualsiasi problema dovuto alla riflettività luminosa di uno strato metallico, particolarmente avvertiti con il progredire della miniaturizzazione dei dispositivi e le conseguenti crescenti esigenze di risoluzione fotolitografica, poiché le configurazioni fotolitografiche vengono effettuate su strati dielettrici di ossidi.

In quel che precede sono state descritte le preferite forme di realizzazione e sono state suggerite delle varianti della presente invenzione, ma è da intendersi che gli esperti del ramo potranno apportare modificazioni e cambiamenti senza con ciò uscire dal relativo ambito di protezione come, come definito dalle rivendicazioni allegate.

UN MANDATARIO
per se e per gli altri
Antonio Taliercio
(N° d'iscr. 191)

ING. BARZANO' & ZANARDO ROMA S.p.A.

MINISTERO INDUSTRIA COMMERCIO E ARTIGIANATO
UFFICIO PROV. IND. COMM. E ART.
ROMA

R M 97 A 0 4 3 1

RIVENDICAZIONI

1. Procedimento di metallizzazione multilivello ad alta planarizzazione per dispositivi a semiconduttore comprendente la fabbricazione di un primo livello di metallizzazione, composto di piste e contatti con il substrato del semiconduttore, e la fabbricazione di livelli di metallizzazione successivi al primo, composti di piste e contatti con il sottostante livello di metallizzazione, caratterizzato dal fatto che la fabbricazione del primo livello di metallizzazione prevede:

- una deposizione conforme, su tutto il dispositivo da metallizzare, di un primo strato (1) di materiale dielettrico, avente la proprietà di *rifluire a* temperatura compresa tra 800°C e 900°C, di spessore opportuno,

- un trattamento termico a detta temperatura di riflusso di detto materiale dielettrico (1') per un periodo di tempo sufficiente a planarizzare lo strato deposto (1') al grado necessario per la particolare applicazione,

- un primo processo fotolitografico, in cui, mediante l'utilizzazione di una prima opportuna configurazione, o "pattern", di resist fotosensibile sovrapposto a detto primo strato (1) di materiale dielettrico ed un successivo attacco chimico a detto primo strato (1) di materiale dielettrico, vengono definiti i solchi (2) relativi alle piste del primo livello di metallizzazione del circuito,

- un secondo processo fotolitografico, in cui, mediante l'utilizzazione di una seconda opportuna configurazione di resist fotosensibile sovrapposto a detto primo strato (1) di materiale

ING. BARZANO' & ZANARDO ROMA S.p.A.

dielettrico ed un successivo attacco chimico a detto primo strato (1) di materiale dielettrico, vengono definiti i fori (3) relativi ai contatti con il substrato del primo livello di metallizzazione del circuito,

- una deposizione di uno strato (4) di materiale metallico su tutto il dispositivo in modo da ricoprire detto primo strato (1) di materiale dielettrico, la tecnica di deposizione conferendo al materiale metallico la proprietà di riempire uniformemente ogni cavità e di rendere la superficie il più planare possibile,

- un attacco chimico a ritroso dello strato (4) di materiale metallico su tutto il dispositivo per esporre nuovamente la superficie di detto primo strato (1) di materiale dielettrico, realizzando un alto grado di planarizzazione, detto attacco chimico a ritroso non arrestandosi nel momento in cui viene raggiunta la superficie di detto primo strato (1) di materiale dielettrico, ma proseguendo per un tempo prestabilito con un sovra-attacco, od "over-etch", di tutta la superficie del dispositivo, e

- una deposizione conforme, su tutto il dispositivo, a temperatura non superiore a 450°C di un secondo strato (5) di materiale dielettrico, di spessore pari alla somma dello spessore di materiale dielettrico di separazione richiesto tra le piste metalliche di due livelli adiacenti di metallizzazione e dello spessore richiesto per le piste metalliche di interconnessione del successivo livello di metallizzazione da fabbricare;

detto procedimento essendo altresì caratterizzato dal fatto che la fabbricazione dei livelli di metallizzazione successivi al primo prevede le stesse operazioni, e nella stessa successione, previste dalla

ING. BARZANO' & ZANARDO ROMA S.p.A.

fabbricazione del primo livello di metallizzazione ad esclusione della deposizione di detto primo strato di materiale dielettrico e del trattamento termico a detta temperatura di riflusso di detto materiale dielettrico ed utilizzando nel primo e nel secondo processo fotolitografico le opportune configurazioni di resist corrispondenti al livello di metallizzazione in fabbricazione.

2. Procedimento secondo la rivendicazione 1, caratterizzato dal fatto che detto spessore opportuno di detto primo strato (1) di materiale dielettrico è pari alla somma dello spessore di materiale dielettrico di separazione richiesto tra il substrato del semiconduttore e le piste metalliche di interconnessione e dello spessore richiesto per le piste metalliche di interconnessione.

3. Procedimento secondo la rivendicazione 1 o 2, caratterizzato dal fatto che detto materiale dielettrico di detto primo strato (1) è "Poly Metal Oxide" (o "PMO") o "Boron Phosphorus Silicon Glass" (o "BPSG").

4. Procedimento secondo la rivendicazione 1, caratterizzato dal fatto che detto spessore opportuno di detto primo strato (1') di materiale dielettrico è pari allo spessore di materiale dielettrico di separazione richiesto tra il substrato del semiconduttore e le piste metalliche di interconnessione e caratterizzato, inoltre, dal fatto che la fabbricazione del primo livello di metallizzazione prevede altresì, dopo detto trattamento termico a detta temperatura di riflusso di detto materiale dielettrico, una deposizione conforme, su tutto il dispositivo da metallizzare, di un terzo strato (1") di materiale dielettrico, di

ING. BARZANO' & ZANARDO ROMA S.p.A.

spessore uguale allo spessore richiesto per le piste metalliche di interconnessione, nel quale verranno definiti, durante detto primo processo fotolitografico, i solchi (2) relativi alle piste del primo livello di metallizzazione del circuito.

5. Procedimento secondo la rivendicazione 4, caratterizzato dal fatto che detto materiale dielettrico di detto primo strato (1') è "Poly Metal Oxide" (o "PMO") e detto materiale dielettrico di detto terzo strato (1") è "Boron Phosphorus Silicon Glass" (o "BPSG").

6. Procedimento secondo una qualsiasi delle precedenti rivendicazioni, caratterizzato dal fatto che ognuno di detti attacchi chimici previsti nel primo e nel secondo processo fotolitografico è un attacco chimico anisotropo assistito da plasma, o "plasma etch".

7. Procedimento secondo una qualsiasi delle precedenti rivendicazioni, caratterizzato dal fatto che detto materiale metallico depositato su tutto il dispositivo è tungsteno (W).

8. Procedimento secondo la rivendicazione 7, caratterizzato dal fatto che detto semiconduttore è silicio e che detta deposizione di uno strato (4) di tungsteno (W) è preceduta dalla formazione di un sottile strato di nitruro di titanio (TiN).

9. Procedimento secondo la rivendicazione 7 o 8, caratterizzato dal fatto che detta deposizione di uno strato (4) di tungsteno (W) è una deposizione chimica in fase vapore a bassa pressione (low-pressure chemical vapor deposition: LPCVD).

ING. BARZANO' & ZANARDO ROMA S.p.A.

10. Procedimento secondo una qualsiasi delle rivendicazioni 1-6, caratterizzato dal fatto che detto materiale metallico depositato su tutto il dispositivo è alluminio e/o rame e/o un siliciuro.

11. Procedimento secondo una qualsiasi delle precedenti rivendicazioni, caratterizzato dal fatto che detto attacco chimico a ritroso dello strato (4) di materiale metallico è un attacco chimico assistito da plasma ad alta uniformità di attacco.

12. Procedimento secondo una qualsiasi delle precedenti rivendicazioni, caratterizzato dal fatto che detta deposizione su tutto il dispositivo di un secondo strato (5) di materiale dielettrico è una deposizione assistita da plasma a temperature non superiori ai 400°C di uno strato di ossidi.

13. Procedimento di metallizzazione multilivello ad alta planarizzazione per dispositivi a semiconduttore secondo ognuna delle rivendicazioni precedenti, sostanzialmente come illustrato e descritto.

Roma, 14 LUG. 1997

p.p.: CONSORZIO EAGLE

ING. BARZANO' & ZANARDO ROMA S.p.A.

TA/AS

UN MANDATARIO
per se e per gli altri
Antonio Taliercio
N° d'iscr. 171

ING. BARZANO' & ZANARDO ROMA S.p.A.

MINISTERO INDUSTRIA COMMERCIO ARTIGIANATO
UFFICIO PROV. IND. COMM. E ART.
ROMA

FIG. 1a

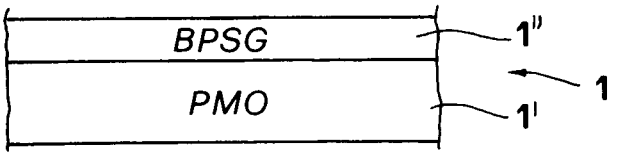


FIG. 1b

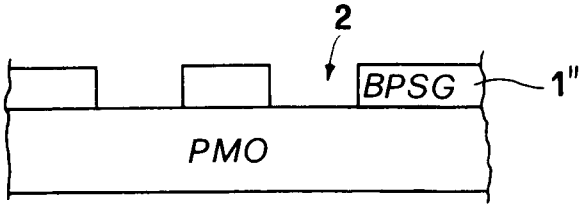


FIG. 1c

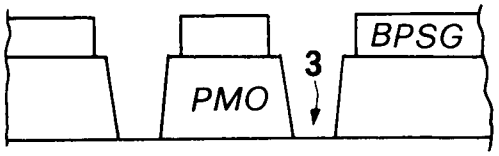


FIG. 1d

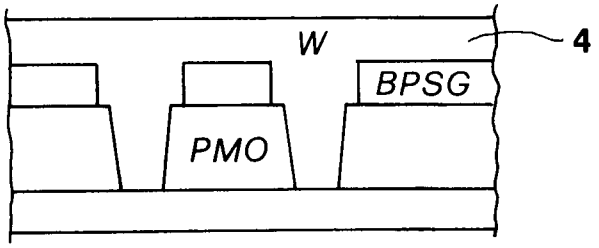


FIG. 1e

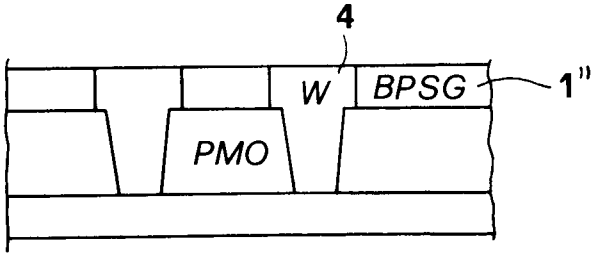
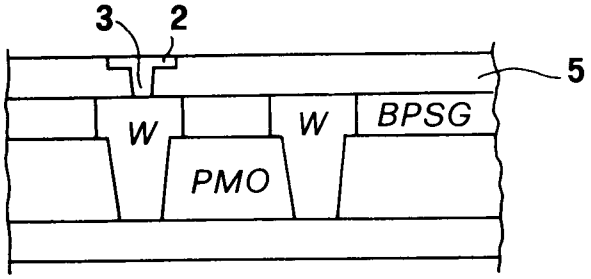


FIG. 1f



p.p.: CONSORZIO EAGLE
ING. BARZANO' & ZANARDO ROMA S.p.A.

UN MANDATARIO
per se e per gli altri
Antonio Taliercio
(N° d'iscr. 171)

