



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0077245
(43) 공개일자 2009년07월15일

(51) Int. Cl.

H01L 21/20 (2006.01)

(21) 출원번호 10-2008-0003084

(22) 출원일자 2008년01월10일

심사청구일자 2008년01월10일

(71) 출원인

주식회사 실트론

경북 구미시 임수동 274번지

(72) 발명자

이경선

경북 칠곡군 석적면 중리 73-6 전람회 201호

(74) 대리인

특허법인무한

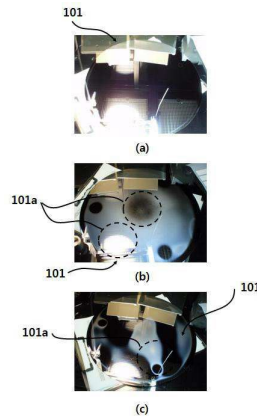
전체 청구항 수 : 총 4 항

(54) 웨이퍼 결합 제어방법

(57) 요약

웨이퍼 뒷면의 결함을 제어할 수 있는 웨이퍼 결합 제어방법이 개시된다. 본 발명의 웨이퍼 결합 제어방법은 챔버의 내부로 식각제를 공급하여 챔버의 내면을 식각하는 단계 및 챔버의 내부로 코팅제를 공급하여 식각된 챔버의 내면을 코팅하는 단계를 포함하고, 코팅제의 공급시간은 40 내지 60sec이다. 따라서, 웨이퍼를 수용하는 프로세서 챔버의 내면으로 일정 두께로 코팅제가 코팅되도록 하여 C1-에 의한 웨이퍼 뒷면의 결함을 방지할 수 있다.

대표도 - 도8



특허청구의 범위

청구항 1

웨이퍼 표면의 결함을 제어하는 웨이퍼 결함 제어방법에 있어서,
 상기 챔버의 내부로 식각제를 공급하여 상기 챔버의 내면을 식각하는 단계; 및
 상기 챔버의 내부로 코팅제를 공급하여 식각된 상기 챔버의 내면을 코팅하는 단계;
 를 포함하고, 상기 코팅제의 공급시간은 40 내지 60sec인 것을 특징으로 하는 웨이퍼 결함 제어방법.

청구항 2

제1항에 있어서,
 상기 식각제의 공급시간은 40 내지 60sec인 것을 특징으로 하는 웨이퍼 결함 제어방법.

청구항 3

제1항에 있어서,
 상기 챔버의 내부온도는 1100 내지 1200℃인 것을 특징으로 하는 웨이퍼 결함 제어방법.

청구항 4

제1항에 있어서,
 상기 식각제는 염화수소(HCl)를 포함하는 것을 특징으로 하는 웨이퍼 결함 제어방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 웨이퍼의 결함 제어방법에 관한 것으로서, 에피택셜 공정 시 발생하는 헤이즈(Haze)와 헤일로(Halo) 및 빗살무늬 선 결함을 제어할 수 있는 웨이퍼 결함 제어방법에 관한 것이다.

배경기술

- <2> 오늘날 반도체 소자 제조용 재료로서 광범위하게 사용되고 있는 실리콘 웨이퍼(silicon wafer)는 다결정의 실리콘을 원재료로 하여 만들어진 결정 실리콘 박판을 말한다.
- <3> 실리콘 웨이퍼는 처리 방법에 따라 폴리시드 웨이퍼(polished wafer), 에피택셜 웨이퍼(epitaxial wafer), SOI 웨이퍼(silicon on insulator wafer), 디퓨즈드 웨이퍼(diffused wafer) 및 하이 웨이퍼(HI wafer) 등으로 구분된다.
- <4> 이 중에서 에피택셜 웨이퍼는 기관으로 실리콘 단결정 폴리시드 웨이퍼(PW; Polished Wafer) 표면에 화학 기상 증착 방법을 이용한 기관과 동일한 실리콘 단결정을 1 ~ 100um 내외로 쌓아 박막을 형성한 웨이퍼를 의미한다. 이때 화학 기상 증착(Chemical Vapor Deposition) 방법은 실리콘 원료를 기상 상태인 가스로 공급하여 고온 에너지 원으로부터 반응 가스를 라디칼 원자로 분해하여 기관 웨이퍼의 표면에 증착 시키기 때문에 기관으로 사용되는 웨이퍼의 상태와 반응관 내의 분위기, 즉 유체 흐름과 에너지원의 전달방식, 기관 웨이퍼를 지지하는 카본(Carbon) 파트류(서셉터, 리프트 핀) 등이 모두 주요 관리 인자로 사용된다.
- <5> 도1 은 웨이퍼 로딩 시에 온도 차로 인해 발생하는 웨이퍼 휨을 설명하기 위해 도시한 개략도이고, 도 2는 화학 기상 증착에 의한 에피택셜 웨이퍼를 제조시 발생하는 오토도핑 현상을 설명하기 위해 도시한 개략도이다.
- <6> 최근 DRAM 이나 CMOS Logic 소자 적용을 위한 대구경화 및 얇은 에피층을 가지는 앞/뒷면 모두 거울상(Mirror like) 에피택셜 웨이퍼의 수요가 높아지면서 이에 대한 기술개발이 시급한 상황이나, 웨이퍼 뒷면에 산화막(LTO; Low Temperature Oxide) 및 폴리(Poly)와 같은 보호막이 도포되지 않을 경우, 화학 기상 증착이 1100℃ 이상의 고온에서 진행됨을 감안할 때, 고온 공정으로 인한 여러 문제가 발생할 수 있다. 즉, 도 1을 참조하면,

웨이퍼(1)가 서셉터(2)에 로딩될 때, 웨이퍼(1)와 챔버 간의 온도 차이로 인한 웨이퍼(1) 휘어짐으로 웨이퍼(1)의 접측면에 열충격이 생기면서 뒷면(Back side)에 타격(Damage)을 입을 수 있다. 도 1에서 각 구성요소들의 온도 차이를 살펴보면, $T1 > T2 > T3 > T4 > T5$ 임을 알 수 있다.

- <7> 또한, 도2에 도시된 바와 같이, 챔버 내에 열원(5)을 이용하여 열이 공급되면, 에피택시(Epitaxy) 주 반응 외에 부 반응으로서, 오토도핑(Auto-Doping)현상이 발생할 수 있다. 이러한 오토도핑의 예로써, 경로 I 및 II와 같이 웨이퍼(1)로부터 에피층(3)으로 외확산 및 내확산되거나, 경로III과 같이 서셉터(2)로부터 상기 웨이퍼(1)로 내확산되거나, 또는 경로IV와 같이 상기 서셉터(2)로부터 상기 에피층(3)으로 외확산되는 경우가 있다. 여기서, 상기 서셉터(2)의 둘레에는 프리 히트 링(4)이 위치하여 상기 서셉터(2)에 열을 제공하거나, 또는 상기 서셉터(2)를 보온시킨다.
- <8> 이러한, 오토도핑은 결과적으로, 에피층의 농도 제어를 방해하고, 반응기 시스템의 불순물 등을 침입시켜 상기 웨이퍼(1)에 결함을 발생시킨다.
- <9> 도 3은 웨이퍼 뒷면에 헤일로(Halo)가 발생하는 장면을 도시한 사시도이고, 도 4는 웨이퍼 뒷면에 스크래치성 디펙트(Defect)가 발생한 장면을 도시한 사시도이다.
- <10> 이에 도시한 바와 같이, 웨이퍼(1)는 서셉터(Susceptor)에 안착>Loading)시 온도 차에 의해 웨이퍼 휘어짐이 발생한다. 즉, 상기 웨이퍼(1)는 열충격에 취약하다. 그리고, 에피층을 형성하는 증착 스텝에서 서셉터 내에서 코팅된 부 반응 물질의 외확산으로 인해 상기 웨이퍼(1)의 뒷면에도 코팅(Coating)이 발생하며, 또한 챔버(Chamber)내 존재하는 수분기로 인한 헤이즈(Haze), 또는 헤일로(Halo)를 유발시킨다. 또한, 챔버 에칭에 사용되던 염화수소 가스(HCl Gas) 및 반응가스인 TCS로부터 Cl-기가 유발되어 상기 웨이퍼(1)의 뒷면에는 에치 핏(Etch Pit)이 형성되며, 이로 인해 빗살무늬 선결함이 발생한다. 이러한 결함들은 결과적으로, 웨이퍼의 수율 저하를 가져오고, 생산비의 증가를 불러일으킨다.

발명의 내용

해결 하고자하는 과제

- <11> 상술한 문제점을 해결하기 위한 본 발명의 목적은 웨이퍼의 뒷면에 발생한 헤이즈(Haze), 헤일로(Halo), 또는 빗살무늬 선결함 등을 방지하여 수율을 높일 수 있는 웨이퍼 결함 제어방법을 제공함에 있다.
- <12> 본 발명의 다른 목적은 챔버의 내면을 식각 후에 진행되는 코팅 시간을 조절하여 웨이퍼의 뒷면 결함을 제어할 수 있는 웨이퍼 결함 제어방법을 제공함에 있다.

과제 해결수단

- <13> 상술한 목적들을 달성하기 위한 본 발명의 바람직한 실시예에 따르면, 본 발명의 웨이퍼 결함 제어방법은 상기 챔버의 내부로 식각제를 공급하여 상기 챔버의 내면을 식각하는 단계 및 상기 챔버의 내부로 코팅제를 공급하여 식각된 상기 챔버의 내면을 코팅하는 단계를 포함하다. 여기에서 상기 코팅제를 공급하는 시간은 약 40 내지 60sec 가 바람직하다. 그리고, 상기 식각제는 약 40 내지 60 sec동안 공급되는 것이 좋다.
- <14> 한편, 본 발명에서의 상기 챔버의 내부온도는 약 1100 내지 1200℃로 유지되는 것이 바람직하다.
- <15> 또한, 본 발명의 상기 식각제는 염화수소(HCl)를 포함하나, 이외에도 상기 챔버의 내부면을 식각할 수 있는 다른 물질들을 사용할 수 있다.

효과

- <16> 이상에서 본 바와 같이, 본 발명에 따르면, 여러 장의 웨이퍼를 순차적으로 에피택셜 공정을 하는 경우에 첫 번째 웨이퍼의 에피택셜 공정을 마친 후 웨이퍼가 저장된 프로세서 챔버의 내면을 약 40 ~ 60sec 동안 코팅함으로써, 두 번째 웨이퍼부터는 첫 번째 웨이퍼와 같이 웨이퍼의 뒷면에 결함이 발생하지 않도록 하는 효과가 있다.
- <17> 또한, 프로세서 챔버의 내면을 식각한 후에 별도의 퍼징(Purging)을 하지 않거나 또는 퍼징 시간(Purging time)을 단축하더라도 에피택셜 공정시 웨이퍼의 뒷면에 헤이즈(Haze), 헤일로(Halo) 또는 선 결함 등이 발생하지 않도록 할 수 있다.
- <18> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술분야의 숙련된 당업자라면 하기의 청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정

및 변경시킬 수 있음을 이해할 수 있을 것이다.

발명의 실시를 위한 구체적인 내용

- <19> 이하 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하지만, 본 발명이 실시예에 의해 제한되거나 한정되는 것은 아니다.
- <20> 도 5는 본 발명의 일 실시예에 따른 에피택셜 웨이퍼 제조 장치를 설명하기 위한 사시도이고, 도 6은 도 5의 프로세스 챔버를 설명하기 위한 측면도이다. 그리고, 도 7은 프로세스 챔버에서의 에피택셜 공정을 설명하기 위해 도시한 그래프이고, 도 8은 웨이퍼 로딩 전 퍼징 타임에 따른 웨이퍼 뒷면 상태를 설명하기 위해 도시한 사시도이며, 도 9는 챔버 식각 공정 후 코팅을 실시하지 않은 웨이퍼의 뒷면 상태를 설명하기 위해 도시한 사시도이다.
- <21> 본 발명의 웨이퍼 제조 장치(1)는 에피택셜 성장(Epitaxial Growth)을 위한 장치뿐만 아니라, 화학기상증착(Chemical Vapor Deposition, CVD), 저압화학기상증착(Low Pressure Chemical Vapor Deposition, LPCVD), 플라즈마 화학기상증착(Plasma Enhanced Chemical Vapor Deposition, PECVD)과 같은 증착 장치에도 적용이 가능할 것이다.
- <22> 이하에서는, 상기 웨이퍼 제조 장치의 일 예로서 에피택셜(epitaxial) 웨이퍼 제조 장치와 제조방법을 예로 들어 설명한다.
- <23> 도면을 참조하면, 웨이퍼 제조 장치는 인터페이스(Interface)(10), 로드락 챔버(load-lock chamber)(20), 트랜스퍼 챔버(Transfer chamber)(30) 및 프로세스 챔버(process chamber)(50)를 포함한다. 그리고, 웨이퍼(101)의 로딩 및 언로딩을 위한 블레이드(Blade)(40)가 구비된다.
- <24> 상기 인터페이스(10)는 다수의 웨이퍼(101)를 수용하여 이송 가능한 유닛의 자동 개폐를 담당한다. 예를 들어, 상기 웨이퍼(101)의 수용 유닛은 FOUNP(front opening unified pod)(6)이다. 즉, 상기 인터페이스(10)은 상기 FOUNP(6)과 상기 로드락 챔버(20)를 연결시켜 주며, 핸들링 로봇에 의해 상기 웨이퍼(101)를 상기 로드락 챔버(20)로 이송할 수 있다.
- <25> 상기 로드락 챔버(20)는 웨이퍼 제조 장치 내로 상기 웨이퍼(101)를 유입 및 반출시킨다.
- <26> 여기서, 웨이퍼 제조 공정은 진공 상태에서 수행될 수 있다. 이를 위해 상기 웨이퍼 제조 장치 내부는 진공 상태가 유지되는데, 상기 웨이퍼(101)의 출입 시 상기 웨이퍼 제조 장치의 진공이 파괴될 수 있다. 따라서, 상기 로드락 챔버(20)는 상기 웨이퍼 제조 장치의 진공을 파괴하지 않고 상기 웨이퍼(101)의 출입시키기 위한 완충영역을 형성한다.
- <27> 그러나, 상기 웨이퍼 제조 공정이 진공 상태가 아닌 상압(atmospheric pressure)에서 수행되는 경우, 상기 로드락 챔버(20)는 진공이 형성되지 않을 수 있다.
- <28> 상기 로드락 챔버(20)는 상, 하부로 구성되어 있는데 상부에서는 상기 인터페이스(10)의 핸들링 로봇에 의해 유입된 웨이퍼를 받아들인다. 즉, 상기 로드락 챔버(20)의 상부에서는 웨이퍼 제조 공정이 수행되기 전의 상기 웨이퍼(101)를 투입하고, 공정이 수행되기 전까지 상기 웨이퍼(101)를 대기시키는 역할을 한다. 그리고, 상기 로드락 챔버(20)의 하부에서는 온도를 하강시키기 위한 저온 장치가 장착되어, 웨이퍼 제조 공정이 완료된 웨이퍼(101)를 충분히 식힌 후 반출하는 역할을 한다.
- <29> 상기 트랜스퍼 챔버(30)는 상기 로드락 챔버(20)와 상기 프로세스 챔버(50) 사이에서 상기 웨이퍼(101)를 이송한다. 여기서, 상기 트랜스퍼 챔버(30) 내부는 소정의 진공이 제공된다. 특히, 상기 트랜스퍼 챔버(30) 내부는 상기 프로세스 챔버(50)와 유사한 정도의 진공이 형성되는 것이 바람직하다. 그리고, 상기 트랜스퍼 챔버(30)의 온도는 상온과 유사한 온도인 20 내지 25℃ 정도가 유지된다.
- <30> 상기 트랜스퍼 챔버(30) 내부에는 상기 웨이퍼(101)를 파지하여 상기 로드락 챔버(20)와 상기 프로세스 챔버(50) 사이에서 이송하는 블레이드(40)가 구비된다. 상기 블레이드(40)는 직선이동 또는 회전이동이 가능한 통상의 로봇암(robot arm) 또는 핸들러(handler) 등이 사용될 수 있으며, 상기 블레이드(40)의 방식 및 구조에 의해 본 발명이 제한되거나 한정되는 것은 아니다.
- <31> 상기 트랜스퍼 챔버(30)와 상기 프로세스 챔버(50) 사이에는 슬릿 밸브(미도시)가 구비되어 상기 트랜스퍼 챔버(30)와 상기 프로세스 챔버(50)의 공간을 분리시키는 역할을 한다. 즉, 상기 슬릿 밸브는 상기 웨이퍼 제조 공정 동안 상기 프로세스 챔버(50)를 격리시키기 위해 상기 프로세스 챔버(50)의 입구를 선택적으로 폐쇄하고, 상

기 웨이퍼(101)의 출입이 가능하도록 상기 프로세스 챔버(50)를 개방한다.

- <32> 상기 프로세스 챔버(50)는 상기 웨이퍼(101)를 수용하여, 상기 웨이퍼(101)의 표면에 소정 물질의 단결정층(이하, 에피택셜층)을 성장시키는 에피택셜 공정이 수행된다.
- <33> 상세하게는, 도 6을 참조하면, 상기 프로세스 챔버(50)는 상기 웨이퍼(101)가 수용되어 에피택셜 공정이 수행되는 반응공간(51)과, 서셉터(53) 및 히터(55)를 포함한다.
- <34> 상기 반응공간(51)은 상기 웨이퍼(101)가 수용되어 소정 분위기에서 에피택셜 공정이 수행된다. 상기 반응공간(51)에서는 상기 웨이퍼(101)가 투입되어 소정의 공정온도로 상기 웨이퍼(101)가 가열되고, 수소가스와 더불어 실리콘을 포함하는 소스가스를 제공함으로써 상기 웨이퍼(101) 상에 실리콘 에피택셜층을 성장시킨다.
- <35> 예를 들어, 상기 소스가스는 사염화규소(SiCl₄), 삼염화실란(SiHCl₃, Trichlorosilane, TCS) 또는 이염화실란(SiH₂Cl₂, Dichlorosilane) 또는 실란(SiH₄) 등을 사용할 수 있다. 그리고, 상기 삼염화실란을 소스가스로 하여 에피택셜층을 성장시키기 위한 공정온도는 1100 내지 1200℃이다. 한편, 상기 삼염화실란 이외에 이염화실란이나 실란 등을 소스가스로 하여 에피택셜층을 성장시킬 때는 상기한 공정온도보다 낮은 온도에서 에피택셜층이 성장된다.
- <36> 본 실시예에서는 이와 같은 에피택셜층 성장 공정의 일 예로서 삼염화실란을 소스가스로 이용하는 에피택셜층 성장 공정에 대해 설명하기로 한다. 그러나, 삼염화실란 이외의 다른 소스가스를 이용하여 에피택셜층을 성장시킬 때는 온도 조건이 달라지는 것으로 본 실시예의 다른 효과는 동일하게 작용할 수 있다.
- <37> 상기 히터(55)는 상기 반응공간(51) 내에 구비되어 상기 서셉터(53) 및 상기 웨이퍼(101)를 상기 공정온도까지 가열한다.
- <38> 상기 서셉터(53)는 상기 반응공간(51) 내에 구비되어 에피택셜 공정 동안 상기 웨이퍼(101)를 고정시킨다.
- <39> 상기 서셉터(53)에는 상기 웨이퍼(101)의 로딩/언로딩 시에 상기 웨이퍼(101)를 승하강시키는 리프트 핀(57)이 구비된다. 예를 들어, 상기 리프트 핀(57)은 상기 웨이퍼(101)를 안정적으로 지지할 수 있도록 3 지점에 배치된다.
- <40> 도 7을 참조하면, 도 6에서와 같이 웨이퍼(101)가 프로세서 챔버(50) 내의 서셉터(53)에 안착되기 전, 이전의 웨이퍼 공정으로부터 실리콘 증착 시에 웨이퍼 뿐만 아니라 프로세서 챔버(50) 및 서셉터(53)에도 실리콘이 증착되기 때문에, 상기 프로세서 챔버(50) 상태를 깨끗하게 해주기 위해 상기 프로세서 챔버(50)의 식각(Etching) 및 실리콘 코팅(Coating) 공정이 진행된다. 상기 프로세서 챔버(50)의 식각은 에피택시 런(Epitaxy Run) 진행 후 프로세서 챔버(50)의 벽면 및 서셉터(53)에 코팅된 부반응 물질을 제거해 주기 위함이다.
- <41> 이후 실리콘 코팅은 식각 후에 상기 서셉터(53) 및 프로세서 챔버(50)로부터 과잉 식각되어 열공정 진행 시 외 확산에 의한 상기 웨이퍼(101)에 불순물이 오토도핑(Auto-Doping) 되는 것을 막고자 보호막을 입히기 위해 실시한다. 상기 웨이퍼(101)가 상기 프로세서 챔버(50)에 안착한 후에는 약 1100 ~ 1200℃ 상이에서 수소(H₂)를 이용하여 열 처리(Baking) 스텝을 진행하게 되는데, 이는 에피택시 성장을 위한 자연 산화막(Native Oxide)의 제거, 유기(Organic) 불순물 제거 및 웨이퍼에서 형성된 BMD(Bulk Micro Defect)로 인해 일정한 DZ(Denuded Zone)을 형성하는데 매우 중요한 스텝이다. 열처리 스텝이 완료된 후 에피웨이퍼 파티클 수준에 따라 증착 전 표면 식각(pre-etching, Surface Etching)을 실시하기도 하나, 일반적으로 바로 에피층 형성공정으로 바로 진행하게 된다. 상압하에서의 에피층의 성장은 1100 ~ 1150℃에서 이루어진다. 여기에, 상기 프로세서 챔버(50)의 내부로 공급되는 원료 가스(Source Gas)로는 TCS(Trichlorosilane, SiHCl₃)를 공급하며, 에피 비저항을 제어하기 위해 도펀트 가스(B₂H₆)를 첨가하게 된다. 이후 상기 프로세서 챔버(50)를 식각 및 코팅하는 단계를 지난 후에, 상기 서셉터(53)에 상기 웨이퍼(101)를 안착 전에 퍼징(Purging)을 실시하는데, 상기 퍼징 시간에 따라 웨이퍼 뒷면의 상태는 차이가 발생한다. 즉, 상기 웨이퍼(101)의 연속 런을 진행 시, 첫 번째 장과 두 번째 장부터의 웨이퍼 뒷면의 양상이 달라진다. 이를 자세히 살펴보면 다음과 같다.
- <42> 도 8a는 퍼징 시간을 약 480sec동안 실시한 웨이퍼의 뒷면을 나타낸 도면이다. 도 8a와 같이, 연속 런 진행시에 첫 번째 웨이퍼(101)는 상기 프로세서 챔버(50)의 식각 및 코팅 단계를 완료 후에 충분한 퍼징(Purging)이 이루어진 상태하에서 안착된 것으로, 이전의 결함들로부터 자유로운 거울상을 얻을 수 있다.
- <43> 그리고, 도 8b에 도시된 두 번째 웨이퍼(101)는 첫 번째 웨이퍼(101)가 에피택셜 공정을 실시한 후에 퍼징을 하지 않은 상태에서 공정이 진행된 웨이퍼이며, 도 8c는 첫 번째 웨이퍼의 에피택셜 공정을 실시한 후에 퍼징을 약 120sec 동안 실시한 상태에서 공정이 진행된 웨이퍼이다. 도 8b 및 도 8c에서의 웨이퍼(101)는 두 번째 장

부터 해당되는 웨이퍼로써, 퍼징을 하지 않거나, 또는 퍼징 시간이 충분치 못한 경우에 해당되는 웨이퍼이다. 이는 상기 프로세서 챔버(50)를 식각 및 코팅하는 단계가 완료되는 시기에 동시에 안착되거나, 완료되는 시간으로부터 짧은 시간이 지난 후에 안착되는 경우로써, 이러한 상기 웨이퍼(101)의 뒷면에는 짙은 헤이즈(Haze) 및 빗살무늬 결함이 발생한다.

<44> 이러한 결과는 상기 프로세서 챔버(50) 내의 조건이 상기 웨이퍼(101)의 뒷면 결함을 발생하는 주요 인자임을 말해준다.

<45> 표 1은 다양한 공정 변수에 따른 웨이퍼의 뒷면결함에 대한 테스트 결과이며, 이때의 퍼징 조건으로서 퍼징 시간은 0sec이다.

표 1

No	Etch time	Coat time	Depo. Temp.	Wafer Pre-Etch	Main H2 flow	Slit H2 flow	TEST 결과 (Visuaal Inspection, YP & 형광등)
Standard	50	20	1130	X	50	20	기존 조건(Halo, Haze, 빗살 무늬 Scratch). 첫번째 웨이퍼 깨끗함, 두번째 웨이퍼부터 결함 발생.
1	50	20	1130	X	70	20	차이 없음.
2	50	20	1130	X	50	16	차이 없음.
3	100	20	1130	X	50	20	빗살무늬 Scartch 성 결함 증가.
4	50	0	1130	X	50	20	더 악화됨. 특히 Pin Mark와 Edge 근처 더 심함.
5	50	20	1100	X	50	20	차이 없음.
6	50	20	1130	O	50	20	차이 없음. 더 악화시키지 않음.
7	50	60	1130	X	50	20	Halo 및 빗살무늬 없음. 첫번째 장과 두번째 장 모두 동일하게 발생함. 즉, 1st Wafer 효과 없어짐.
8	50	40	1130	X	70	20	TEST 7과 동일함
9	50	40	1130	X	50	20	N수를 증가하여 TEST 진행(25매) 전수 뒷면 깨끗함.
결론	Coat Time에 종속됨	주효과	효과 없음	효과 없음	효과 없음	효과 없음	챔버 Coating 과 웨이퍼 뒷면 결함 발생 양상 사이의 연관성을 확인 함.

<46>

<47> 표 1에서는 표준(Standard) 조건에서 테스트를 실시하고, 이어 각 공정 변수를 변화시키면서 나타나는 웨이퍼의 뒷면 결함의 발생유무 및 발생 정도를 보여준다.

<48> 테스트 진행 결과 상기 웨이퍼(101)의 뒷면에 결함을 발생시키는 주요 인자는 C1-으로 확인할 수 있다. 이는 4 번 조건에서 도 8과 같이 상기 웨이퍼(101)의 뒷면이 더 악화된 것을 보면 알 수 있다. 상기 프로세서 챔버(50)를 식각하기 위해 과도한 염화수소 가스(HCl)를 사용하는데, 이로부터 발생한 C1-이 상기 웨이퍼(101)의 뒷면을 식각시키기 때문이다. 반면, 상기 프로세서 챔버(50)의 내면에 실리콘의 코팅량을 증가시키면 상기 웨이퍼(101)의 뒷면 결함이 감소된다. 이는 상기 프로세서 챔버(50)내 실리콘 코팅량이 증가하면서 원치 않는 불순물(C1-을 포함한 잔존 성분들)의 부반응이 발생하지 않도록 막기 때문이다.

<49> 이로부터 앞서, 상기 프로세서 챔버(50)의 식각 및 코팅 단계 후에 퍼징을 하지 않거나, 또는 퍼징 시간을 늘리지 않더라도 상기 프로세서 챔버(50)의 코팅 조건을 강화함으로써 상기 웨이퍼(101)의 뒷면결함을 제어할 수 있다.

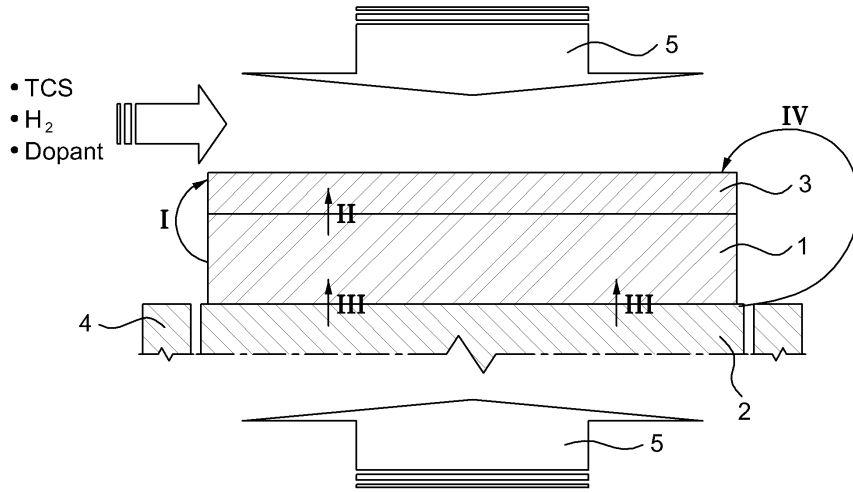
<50> 본 발명에서는 상기 프로세서 챔버(50)의 내면을 실리콘으로 약 40 ~ 60 sec 동안 코팅한다. 이때 상기 프로세서 챔버(50)의 내면에 코팅되는 코팅제의 코팅 두께는 약 2.5 ~ 3 μ m 이다.

<51> 이와 같이, 식각된 상기 프로세서 챔버(50)의 내면을 코팅함으로써 첫 번째 웨이퍼를 에피택셜 공정을 한 후에 퍼징하지 않거나, 또는 퍼징 시간을 단축하더라도, 에피택셜 공정이 완료된 두 번째부터의 웨이퍼는 그 뒷면에 헤이즈(Haze), 헤일로(Halo) 또는 선결함 등이 발생하지 않도록 할 수 있다.

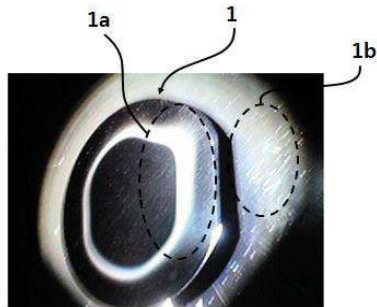
도면의 간단한 설명

<52> 도 1은 웨이퍼 로딩시 온도 차로 인해 발생하는 웨이퍼 휨을 설명하기 위해 도시한 개략도이다.

도면2



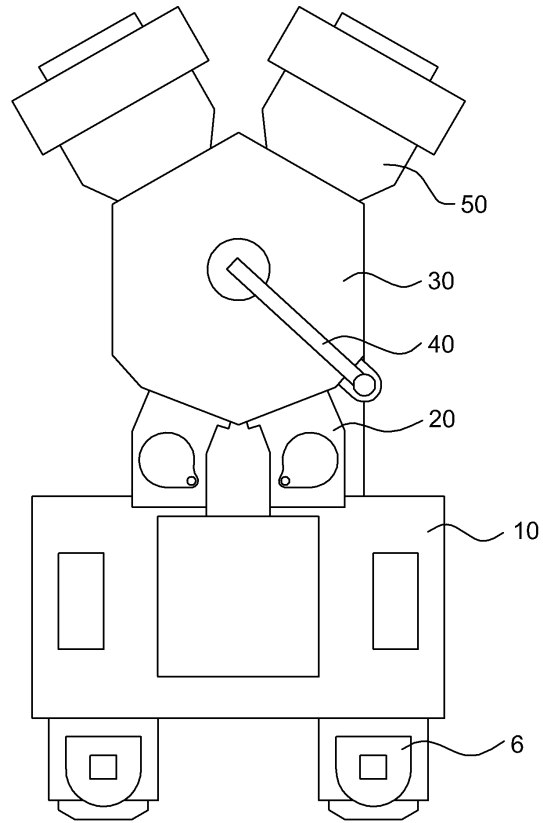
도면3



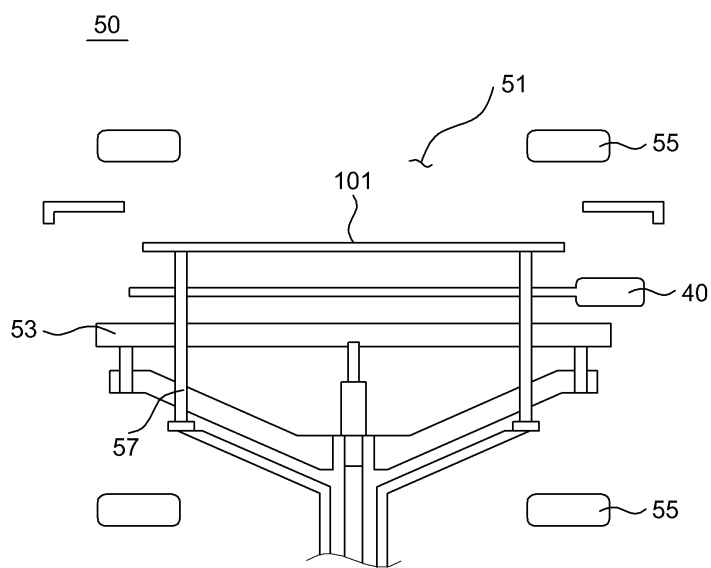
도면4



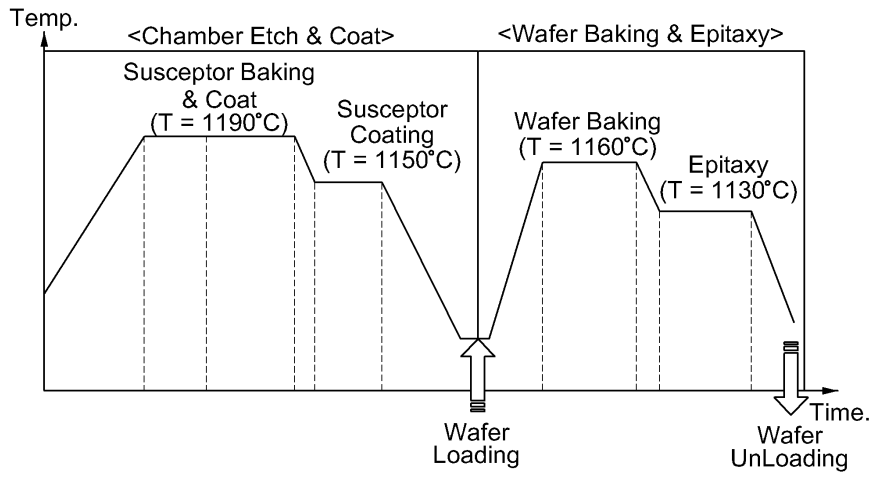
도면5



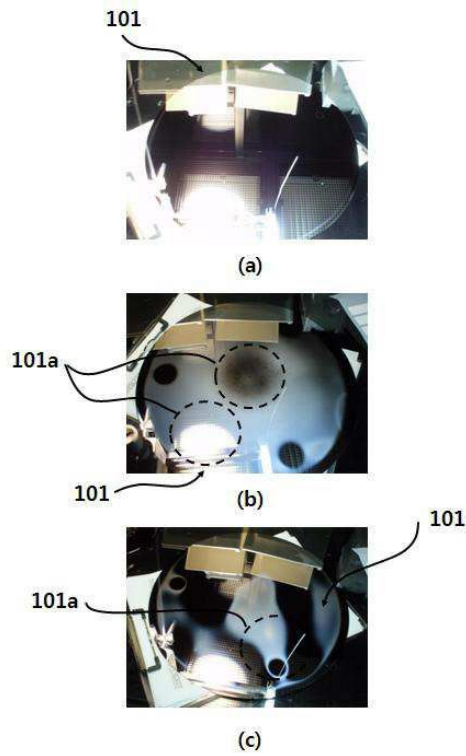
도면6



도면7



도면8



도면9

