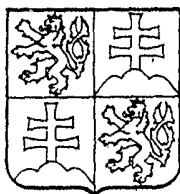


ČESKÁ A SLOVENSKÁ
FEDERATIVNÍ
REPUBLIKA
(19)



FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

27 1 595

(11)

(13) B₁

(51) Int. Cl.⁵
H 03 K 23/00

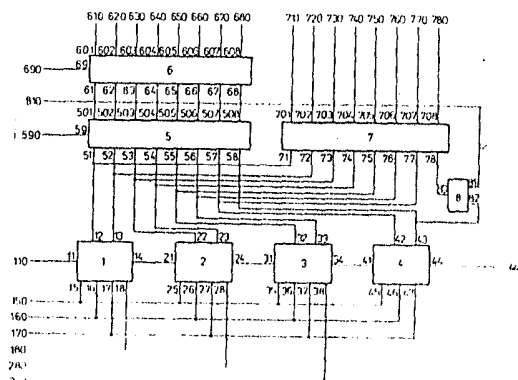
(21) PV 7143-88.V
(22) Přihlášeno 31 10 88

(40) Zveřejněno 13 10 89
(45) Vydáno 02 09 91

(75) Autor vynálezu POLÁŠEK PAVEL ing., ROŽNOV POD RADHOŠTĚM
ŠRUBAŘ IVO ing., FRENŠTÁT POD RADHOŠTĚM
DOSTÁL JIŘÍ ing. CSc., PRAHA

(54) Zapojení synchronního binárního obousměrného čítače s proměnným modulem

(57) Řešení se týká oblasti návrhu integrovaných obvodů, zvláště číslicových částí analogové číslicových převodníků. Podstatou popisovaného řešení je zapojení binárního obousměrného čítače sestávajícího z dvoubitových čítacích bloků (1, 2, 3, 4), jejichž datové výstupy (12, 13, 22, 23, 32, 33, 42, 43) jsou připojeny na výstupní budiče (7) přímo a na výstupní budiče (6) přes střadač (5). Poslední datový výstup (43) čtvrtého čítacího bloku (4) je připojen na blok výstupních budičů (7) přes blok řízeného invertoru (8). Dvoubitové čítací bloky (1, 2, 3, 4) mají společný hodinový vstup (160), nulovací vstup (170) a vstup určující směr čítání (150). Změna modulu čítače se provádí pomocí vstupů (180, 280, 380). Popisované zapojení synchronního binárního obousměrného čítače s proměnným modulem umožňuje realizaci typové řady převodníků střídavých napětí z polohových snímačů na číslicový formát ve tvaru multičipového hybridního integrovaného obvodu s programovatelným rozlišením.



Vynález se týká zapojení synchronního binárního obousměrného čítače s proměnným modulem, využitelného především při konstrukci číslicových integrovaných obvodů, zejména pak při konstrukci číslicových částí analogově číslicových převodníků.

Jsou známa různá řešení změny modulu synchronních vratných čítačů, spočívající ve vyhodnocování stavu čítače a následném synchronním nastavení předdefinovaného stavu. Nevýhodou těchto řešení je realizace popsaného způsobu pomocí relativně složitě externí sítě kombinační logiky.

Uvedenou nevýhodu odstraňuje zapojení synchronního binárního obousměrného čítače s proměnným modulem podle vynálezu, jehož podstata spočívá v tom, že první vstup prvního bloku dvoubitového binárního synchronního čítače je prvním vstupem zapojení, přičemž druhý vstup prvního bloku dvoubitového binárního synchronního čítače je připojen na druhý vstup druhého bloku dvoubitového binárního synchronního čítače a zároveň na druhý vstup třetího bloku dvoubitového binárního synchronního čítače a zároveň na druhý vstup čtvrtého bloku dvoubitového binárního synchronního čítače a zároveň je druhým vstupem zapojení, přičemž třetí vstup prvního bloku dvoubitového binárního synchronního čítače je spojen s třetím vstupem druhého bloku dvoubitového binárního synchronního čítače a zároveň s třetím vstupem třetího bloku dvoubitového binárního synchronního čítače a zároveň s třetím vstupem čtvrtého bloku dvoubitového binárního synchronního čítače a zároveň je třetím vstupem zapojení, přičemž čtvrtý vstup prvního bloku dvoubitového binárního synchronního čítače je spojen se čtvrtým vstupem druhého bloku dvoubitového binárního synchronního čítače a zároveň se čtvrtým vstupem třetího bloku dvoubitového binárního synchronního čítače a zároveň se čtvrtým vstupem čtvrtého bloku dvoubitového binárního synchronního čítače a zároveň je čtvrtým vstupem zapojení, přičemž pátý vstup prvního bloku dvoubitového binárního synchronního čítače je pátým vstupem zapojení a pátý vstup druhého bloku dvoubitového binárního synchronního čítače je šestým vstupem zapojení a pátý vstup třetího bloku dvoubitového binárního synchronního čítače je sedmým vstupem zapojení, přičemž třetí výstup prvního bloku dvoubitového binárního synchronního čítače je připojen na první vstup druhého bloku dvoubitového binárního synchronního čítače, jehož třetí vstup je připojen na první vstup třetího bloku dvoubitového binárního synchronního čítače, jehož třetí výstup je připojen na první vstup čtvrtého bloku dvoubitového binárního synchronního čítače, jehož třetí výstup je sedmým vstupem zapojení, přičemž první výstup prvního bloku dvoubitového binárního synchronního čítače je připojen na první vstup bloku střadače a současně na první vstup druhého bloku výstupního budiče a druhý výstup prvního bloku dvoubitového binárního synchronního čítače je připojen na druhý vstup bloku střadače a současně na druhý vstup druhého bloku výstupního budiče, přičemž první výstup druhého bloku dvoubitového binárního synchronního čítače je připojen na třetí vstup bloku střadače a současně na třetí vstup druhého bloku výstupního budiče a druhý výstup druhého bloku dvoubitového binárního synchronního čítače je připojen na čtvrtý vstup bloku střadače a současně na čtvrtý vstup druhého bloku výstupního budiče, přičemž první výstup třetího bloku dvoubitového binárního synchronního čítače je připojen na pátý vstup bloku střadače a současně na pátý vstup druhého bloku výstupního budiče a druhý výstup třetího bloku dvoubitového binárního synchronního čítače je připojen na šestý vstup bloku střadače a současně na šestý vstup druhého bloku výstupního budiče, přičemž první výstup čtvrtého bloku dvoubitového binárního synchronního čítače je připojen na sedmý vstup bloku střadače a současně na sedmý vstup druhého bloku výstupního budiče a druhý výstup čtvrtého bloku dvoubitového binárního synchronního čítače je připojen na osmý vstup bloku střadače a současně na druhý vstup bloku řízeného invertoru, jehož první vstup je devátým vstupem zapojení a jehož výstup je připojen na osmý vstup druhého bloku výstupního budiče, jehož první až osmý výstup je zároveň devátým až šestnáctým

výstupem zapojení, přičemž první až osmý výstup bloku střadače je připojen na první až osmý vstup prvního bloku výstupního budiče, jehož první až osmý výstup je zároveň prvním až osmým výstupem zapojení, přičemž devátý vstup bloku střadače je osmým vstupem zapojení a devátý vstup prvního bloku výstupního budiče je současně desátým vstupem zapojení.

Výhodou zapojení podle vynálezu je, že změny modulu čítání čítače je dosaženo změnou logické hodnoty na jeho vstupech k tomuto účelu zavedených. Tím se odstraní nevýhoda existence složité externí sítě kombinační logiky. Jinou výhodou zapojení podle vynálezu je způsob vyvedení výstupní informace ze synchronního binárního vratného čítače na dvě výstupní brány, přičemž data přicházející na první bránu jsou vedena přes střadač. Druhá výstupní brána je připojena na výstupy čítače před střadačem, přičemž nejvíce významný bit je veden přes řízený invertor. Tato konfigurace zapojení umožňuje snadnou konstrukci různých typů analogově číslicových převodníků a volbu různých číselných kódů, např. přirozeného binárního kódu, posunutého binárního kódu, nebo dvojkově doplňkového binárního kódu.

V případě realizace zapojení podle připojeného výkresu jsou bloky označené 1, 2, 3 a 4 dvoubitové binární synchronní obousměrné čítače, blok 5 je osmibitový střadač, blok 6 je výstupní brána s třístavovými výstupy, blok 7 je výstupní brána s výstupy s otevřenými kolektory a blok 8 je blok řízeného invertoru. Popis vývodů bloků 1, 2, 3 a 4 je následující: vývody 11, 21, 31 a 41 jsou vstupy a vývody 14, 24, 34 a 44 jsou výstupy přenosů čítačů, vývody 15, 25, 35 a 45 jsou vstupy volby směru čítání, vývody 16, 26, 36 a 46 jsou hodinové vstupy dvoubitových čítačů, vývody 17, 27, 37 a 47 jsou vstupy nulování čítačů, vývody 12, 13, 22, 23, 32, 33, 42 a 43 jsou výstupy dvoubitových čítačů 1, 2, 3 a 4, kde nejvíce významný bit tvoří výstup 43. Vývody 18, 28 a 38 jsou vstupy určené pro změnu modulu celého čítače. Vstup 110 zapojení je vstupem přenosu čítače, vstup 150 určuje směr čítání, vstup 160 je hodinový a vstup 170 je nulovací vstup čítače. Výstup 440 zapojení je výstup přenosu čítače, vstup 590 zapojení je vstup zápisu do střadače 5, vstup 810 zapojení je řídicí vstup řízeného invertoru 8, vstup 690 zapojení je vstupem pro uvolnění výstupu třístavové výstupní brány 6, jejíž výstupy tvoří výstupy 610 až 680 zapojení. Výstupy 710 až 780 zapojení tvoří výstupní brány 7 s výstupy typu otevřený kolektor.

Funkce popisovaného zapojení je následující: vlastní synchronní obousměrný binární vratný čítač tvoří dvoubitové čítače 1, 2, 3 a 4, které mají společný hodinový vstup 160. Je-li aktivován vstup přenosu čítače 110, pak po příchodu aktivní hrany na hodinovém vstupu 160 mění svůj stav čítač 1. Jestliže byl před příchodem aktivní hrany na hodinovém vstupu 160 aktivní i výstup přenosu 14 čítače 1, mění svůj stav po příchodu aktivní hrany na hodinovém vstupu 160 i čítač 2. Stejným způsobem pracují i čítače 3 a 4. Výstup 440 přenosu celého čítače je aktivní v závislosti na stavu čítačů 1, 2, 3, 4, na stavu hodinového vstupu 160, na stavu vstupu volby směru čítání 150 a na stavu vstupu přenosu čítače 110. Vstup 170 způsobí svou aktivací vynulování čítačů 1, 2, 3 a 4. Změna modulu čítače se provádí pomocí vstupů 180, 280 a 380 zapojení, kde se jejich aktivací provede odpojení příslušných bloků dvoubitových čítačů 1, 2 a 3 tak, že tyto čítače nemění svůj stav po příchodu aktivní hrany v hodinovém vstupu 160 zapojení, avšak stav výstupů přenosu 14, 24 a 34 je závislý na stavu hodinového vstupu 160 zapojení, stavu vstupu volby směru čítání 150 a na vstupu přenosu čítače 110.

Výstup 43 čítače 4 je možno invertovat přivedením aktivní úrovně na vstup 810 zapojení. Výstupy čítačů 1, 2, 3 a 4 jsou vedeny na dvě výstupní brány, přičemž výstupní brána 7 je tvořena výstupními budiči s otevřenými kolektory a výstupní brána 6 je tvořena třístavovými budiči. Výstupy této brány jsou aktivovány přivedením

aktivní úroveň na vstup uvolnění výstupů třístavové brány 690. Data přicházející na výstupní bránu 6 jsou vedena přes střadač 5, do nějž se provádí zápis aktivací vstupu 590.

Vynález je možno využít při konstrukci integrovaných obvodů, zejména při konstrukci sledovacích analogově číslicových převodníků.

P R E D M Ě T V Y N Á L E Z U

Zapojení synchronního binárního obousměrného čítače s proměnným modulem, vyznačující se tím, že první vstup (11) prvního bloku dvoubitového binárního synchronního čítače (1) je prvním vstupem (110) zapojení, přičemž druhý vstup (15) prvního bloku dvoubitového binárního synchronního čítače (1) je připojen na druhý vstup (25) druhého bloku dvoubitového binárního synchronního čítače (2) a zároveň na druhý vstup (35) třetího bloku dvoubitového binárního synchronního čítače (3) a zároveň na druhý vstup (45) čtvrtého bloku dvoubitového binárního synchronního čítače (4) a zároveň je druhým vstupem (150) zapojení, přičemž třetí vstup (16) prvního bloku dvoubitového binárního synchronního čítače (1) je spojen s třetím vstupem (26) druhého bloku dvoubitového binárního synchronního čítače (2) a zároveň s třetím vstupem (36) třetího bloku dvoubitového binárního synchronního čítače (3) a zároveň s třetím vstupem (46) čtvrtého bloku dvoubitového binárního synchronního čítače (4) a zároveň je třetím vstupem (160) zapojení, přičemž čtvrtý vstup (17) prvního bloku dvoubitového binárního synchronního čítače (1) je spojen se čtvrtým vstupem (27) druhého bloku dvoubitového binárního synchronního čítače (2) a zároveň se čtvrtým vstupem (37) třetího bloku dvoubitového binárního synchronního čítače (3) a zároveň se čtvrtým vstupem (47) čtvrtého bloku dvoubitového binárního synchronního čítače (4) a zároveň je čtvrtým vstupem (170) zapojení, přičemž pátý vstup (18) prvního bloku dvoubitového binárního synchronního čítače (1) je pátým vstupem (180) zapojení a pátý vstup (28) druhého bloku dvoubitového binárního synchronního čítače (2) je šestým vstupem (280) zapojení a pátý vstup (38) třetího bloku dvoubitového binárního synchronního čítače (3) je sedmým vstupem (380) zapojení, přičemž třetí výstup (14) prvního bloku dvoubitového binárního synchronního čítače (1) je připojen na první vstup (21) druhého bloku dvoubitového binárního synchronního čítače (2), jehož třetí výstup (24) je připojen na první vstup (31) třetího bloku dvoubitového binárního synchronního čítače (3), jehož třetí výstup (34) je připojen na první vstup (41) čtvrtého bloku dvoubitového binárního synchronního čítače (4), jehož třetí výstup (44) je sedmáctým výstupem (440) zapojení, přičemž první výstup (12) prvního bloku dvoubitového binárního synchronního čítače (1) je připojen na první vstup (51) bloku střadače (5) a současně na první vstup (71) druhého bloku výstupního budiče (7) a druhý výstup (13) prvního bloku dvoubitového binárního synchronního čítače (1) je připojen na druhý vstup (52) bloku střadače (5) a současně na druhý vstup (72) druhého bloku výstupního budiče (7), přičemž první výstup (22) druhého bloku dvoubitového binárního synchronního čítače (2) je připojen na třetí vstup (53) bloku střadače (5) a současně na třetí vstup (73) druhého bloku výstupního budiče (7) a druhý výstup (23) druhého bloku dvoubitového binárního synchronního čítače (2) je připojen na čtvrtý vstup (54) bloku (5) střadače a současně na čtvrtý vstup (74) druhého bloku výstupního budiče (7), přičemž první výstup (32) třetího bloku dvoubitového binárního synchronního čítače (3) je připojen na pátý vstup (55) bloku střadače (5) a současně na

pátý vstup (75) druhého bloku výstupního budiče (7) a druhý výstup (33) třetího bloku dvoubitového binárního synchronního čítače (3) je připojen na šestý vstup (56) bloku střadače (5) a současně na šestý vstup (76) druhého bloku výstupního budiče (7), přičemž první výstup (42) čtvrtého bloku dvoubitového binárního synchronního čítače (4) je připojen na sedmý vstup (57) bloku střadače (5) a současně na sedmý vstup (77) druhého bloku výstupního budiče (7) a druhý výstup (43) čtvrtého bloku dvoubitového binárního synchronního čítače (4) je připojen na osmý vstup (58) bloku střadače (5) a současně na druhý vstup (82) bloku řízeného invertoru (8), jehož první vstup (81) je devátým vstupem (810) zapojení a jehož výstup (80) je připojen na osmý vstup (78) druhého bloku výstupního budiče (7), jehož výstupy (701 až 708) jsou zároveň výstupy (710 až 780) zapojení, přičemž výstupy (501 až 508) bloku střadače (5) jsou připojeny na vstupy (61 až 68) prvního bloku výstupního budiče (6), jehož výstupy (601 až 608) jsou zároveň výstupy (610 až 680) zapojení, přičemž devátý vstup (59) bloku střadače (5) je osmým vstupem (590) zapojení a devátý vstup (69) prvního bloku výstupního budiče (6) je současně desátým vstupem (690) zapojení.

1. výkres

CS 271595 B1

