



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0087132
(43) 공개일자 2019년07월24일

(51) 국제특허분류(Int. Cl.)
H03L 7/099 (2006.01) G05F 1/575 (2006.01)
(52) CPC특허분류
H03L 7/0995 (2013.01)
G05F 1/575 (2013.01)
(21) 출원번호 10-2018-0005542
(22) 출원일자 2018년01월16일
심사청구일자 없음

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 221, 401동 1003호
이상수
서울특별시 동작구 사당로17길 52, 5동 601호
(74) 대리인
심경식, 홍성욱

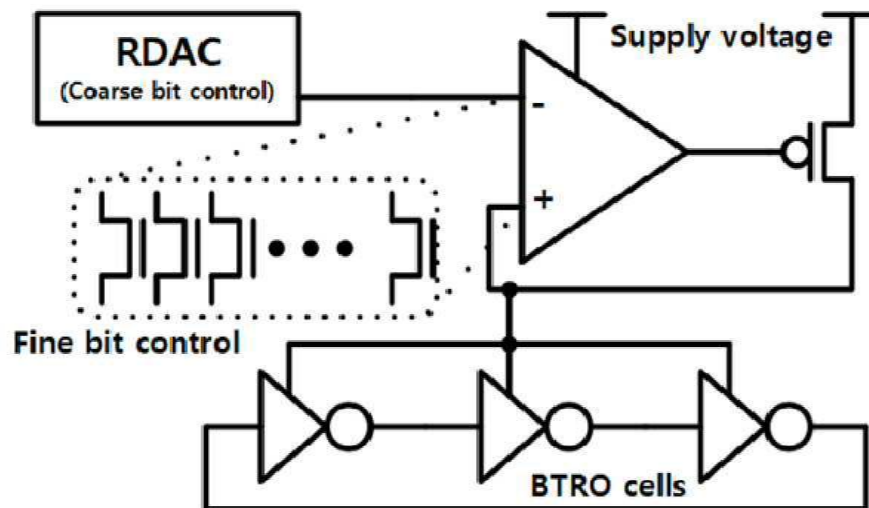
전체 청구항 수 : 총 1 항

(54) 발명의 명칭 디지털 위상 고정 루프 회로 및 위상 고정 방법

(57) 요약

본 발명은 디지털 위상 고정 루프 회로 및 위상 고정 방법에 관한 것으로, 본 발명의 디지털 위상 고정 루프 회로는 연산 증폭기, 다수의 트랜지스터와, 디지털-아날로그 변환기(Digital to Analog Converter)를 저항 배열로 포함하고, 디지털 루프필터에서 받은 코드값을 이용하여 큰 단위의 주파수 조절을 위한 제1 전압을 인가하고, 이차적 주파수 조절을 위한 제2 전압을 발생시키는 LDO(Low-Dropout) 레귤레이터, 및 상기 LDO 레귤레이터와 연결되고, 상기 제1 전압과 제2 전압을 이용하여 주파수 범위를 조절하는 부트스트랩 링 오실레이터를 포함한다. 본 발명에 의하면, 엘디오 레귤레이터를 적용한 부트스트랩 셀 오실레이터를 사용함으로써 공급 전압의 대부분을 오실레이터 주파수를 조절하는데 사용할 수 있다.

대표도 - 도4



(52) CPC특허분류

H03L 2207/50 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 G01201706010327

부처명 과학기술정보통신부

연구관리전문기관 한국산업기술평가관리원

연구사업명 산업핵심기술개발사업

연구과제명 스마트 센서 SoC용 초저전압 회로 및 IP 설계 기술 개발

기 여 율 1/1

주관기관 연세대학교 산학협력단

연구기간 2017.06.01 ~ 2018.03.31

명세서

청구범위

청구항 1

연산 증폭기, 다수의 트랜지스터와, 디지털-아날로그 변환기(Digital to Analog Converter)를 저항 배열로 포함하고, 디지털 루프필터에서 받은 코드값을 이용하여 큰 단위의 주파수 조절을 위한 제1 전압을 인가하고, 이차적 주파수 조절을 위한 제2 전압을 발생시키는 LDO(Low-Dropout) 레귤레이터; 및

상기 LDO 레귤레이터와 연결되고, 상기 제1 전압과 제2 전압을 이용하여 주파수 범위를 조절하는 부트스트랩 링 오실레이터;

를 포함하는 디지털 위상 고정 루프 회로.

발명의 설명

기술 분야

[0001] 본 발명은 부트스트랩 링 오실레이터를 사용한 디지털 위상 고정 루프 회로 및 위상 고정 방법에 관한 것이다.

배경 기술

[0002] 위상 고정 루프(PLL: Phase Locked Loop)는 송수신기(transceiver)의 클럭 발생기에 주로 사용되는 회로이며, 데이터 송수신 시 내부 회로들을 동기화시키는 클럭(기준점)을 만들기 위해 필요하다.

[0003] 최근 생체 인식 장치, 아이오티(IoT) 기반의 장치에 적용하기 위한 위상 고정 루프 회로는 작은 면적에 집적 가능하고, 안정적으로 저전력에서 동작할 수 있어야 한다. 이러한 저전력 위상 고정 루프 회로는 문턱 전압 근처 영역(Sub-threshold voltage region)에서 문턱 전압과 동작 전압의 차이가 작기 때문에 동작 전압이 외부요인에 의거 영향을 받아 딜레이 편차가 발생하는 문제가 있다.

[0004] 또한, 외부적인 요인으로 알파 파티클 유입, 공정 편차, 전압 또는 온도 편차 등의 문제가 있고, 문턱 전압이 낮아짐에 따라 테스트 시 높은 전력 소모는 높은 온도를 발생시켜 칩의 신뢰성에 영향을 주고, 공정 변이 및 노이즈에 취약한 특성 때문에 주파수 발생기 설계 시 추가적으로 지터나 정적 위상 오프셋을 보상해줘야 하는 문제점이 있다.

[0005] 이러한 문제점을 해결하기 위하여, 종래의 디지털 위상 동기 루프 회로는 2단 구조의 딜레이 셀 기반 오실레이터 구조를 변경하여 부트스트랩 링 오실레이터를 사용하였다. 부트스트랩 링 오실레이터는 상대적으로 저전압에서 구동되는 문턱전압 근처 영역의 문제점을 인버터와 캡을 추가함으로써 높은 전압에서 동작하는 것과 유사한 효과를 나타내도록 설계한 것이다. 그러나, 전압 조절을 위해 축적형 트랜지스터를 사용할 경우, 오실레이터가 동작할 수 있는 영역의 전압폭이 크게 줄어드는 문제점이 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 엘디오 레귤레이터(LDO: Low-Dropout Regulator)를 적용한 부트스트랩 셀(Bootstrapped delay cell) 오실레이터를 사용함으로써 공정변화에 무관하게 일정한 주파수를 넓은 영역에서 생성할 수 있는 디지털 위상 고정 회로를 제공하는데 그 목적이 있다.

과제의 해결 수단

[0007] 상기의 목적을 달성하기 위해 본 발명의 일 실시예에 따른 디지털 위상 고정 회로는 연산 증폭기, 다수의 트랜지스터와, 디지털-아날로그 변환기(Digital to Analog Converter)를 저항 배열로 포함하고, 디지털 루프필터에서 받은 코드값을 이용하여 큰 단위의 주파수 조절을 위한 제1 전압을 인가하고, 이차적 주파수 조절을 위한 제2 전압을 발생시키는 LDO(Low-Dropout) 레귤레이터, 및 상기 LDO 레귤레이터와 연결되고, 상기 제1 전압과 제2

전압을 이용하여 주파수 범위를 조절하는 부트스트랩 링 오실레이터를 포함한다.

발명의 효과

[0008] 본 발명에 의하면, 엘디오 레귤레이터를 적용한 부트스트랩 셀 오실레이터를 사용함으로써 공급 전압의 대부분을 오실레이터 주파수를 조절하는데 사용할 수 있다.

[0009] 또한, 본 발명에 따르면, 부트스트랩 셀 오실레이터를 사용하여 디지털 위상 동기 루프 회로의 작동 주파수 범위를 증가시키고 주파수 범위를 벗어난 동작을 보상해 넓은 범위의 주파수 합성도 가능한 효과가 있다.

도면의 간단한 설명

[0010] 도 1은 본 발명의 일 실시예에 따른 디지털 위상 고정 루프 회로의 구성을 개략적으로 도시한 블록도이다.

도 2는 본 발명의 일 실시예에 따른 디지털 위상 고정 루프 회로에 사용되는 시간 디지털 변환기의 회로도이다.

도 3은 본 발명의 일 실시예에 따른 디지털 위상 고정 루프 회로에 사용되는 부트스트랩 링 오실레이터의 단위 셀을 도시한 회로도이다.

도 4는 본 발명의 일 실시예에 따른 디지털 위상 고정 루프 회로에 사용되는 오실레이터의 회로도이다.

도 5는 부트스트랩 링 오실레이터와 종래의 링 오실레이터의 공급전압에 따른 주파수 변화를 비교한 시뮬레이션 결과이다.

도 6은 본 발명의 일 실시예에 따른 디지털 위상 고정 루프 회로에 사용되는 엘디오를 적용한 부트스트랩 링 오실레이터와 종래의 트랜지스터 스택 방식이 적용된 부트스트랩 링 오실레이터의 공급전압에 따른 주파수 변화를 비교한 시뮬레이션 결과이다.

발명을 실시하기 위한 구체적인 내용

[0011] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면을 참조하여 상세하게 설명하도록 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.

[0012] 제1, 제2, A, B 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 및/또는 이라는 용어는 복수의 관련된 기재 항목들의 조합 또는 복수의 관련된 기재 항목들 중의 어느 항목을 포함한다.

[0013] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급될 때에는 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급될 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.

[0014] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0015] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0016] 명세서 및 청구범위 전체에서, 어떤 부분이 어떤 구성 요소를 포함한다고 할때, 이는 특별히 반대되는 기재가

없는 한 다른 구성 요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있다는 것을 의미한다.

- [0018] 이하, 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명한다.
- [0019] 도 1은 본 발명의 일 실시예에 따른 디지털 위상 고정 루프 회로의 구성을 개략적으로 도시한 블록도이다.
- [0020] 도 1을 참조하면, 본 발명의 일 실시예에 따른 디지털 위상 고정 루프 회로는 시간 디지털 변환부(TDC), 디지털 루프필터(DLF), 미분기(DIV), 및 디지털 제어 발진기(DCO)를 포함하여 구성될 수 있다.
- [0021] 시간 디지털 변환부(TDC)는 입력된 주파수 신호(아날로그 신호)를 디지털 신호로 변환하고, 디지털 루프필터(DLF)는 디지털 제어 발진기(DCO)에서 출력하는 주파수를 받아 타겟 주파수와 비교한 후 차이값을 이용하여 주파수를 고정시킬 수 있다. 이때, 디지털 루프필터(DLF)는 미분기(DIV)를 통해 입력된 차이값을 더 이용할 수 있다.
- [0022] 디지털 제어 발진기(DCO)는 출력 신호의 주파수를 레퍼런스 클럭의 주파수로 고정시킨다. 주파수 고정 회로는 위상 고정 회로보다 우선 동작하고, 주파수가 고정될 때까지 특정 시간 동안만 동작한다. 레퍼런스 클럭의 주파수와 출력 신호를 비교하여 주파수 에러가 '0'이 될 때까지 디지털 루프필터를 통과시켜 주파수를 고정시킬 수 있다.
- [0023] 도 2는 본 발명의 일 실시예에 따른 디지털 위상 고정 루프 회로에 사용되는 시간 디지털 변환기의 회로도이다.
- [0024] 도 2를 참조하면, 본 발명의 일 실시예에 따른 디지털 위상 고정 루프 회로에 사용되는 시간 디지털 변환기(TDC: Time Digital Converter)는 간헐적 동작 스위치를 적용하여 딜레이 셀들의 전력소모를 줄이도록 설계한 것이다. 여기서, 딜레이 셀은 비교시간 범위를 증대시키기 위해 사용될 수 있다.
- [0025] 구체적으로, 기준 신호(EN)와 비교 신호(EN_B)가 들어오는 시점에서만 딜레이 셀이 동작하도록(D_EN) 딜레이 셀 제어신호(IN)를 제공함으로써 전력 소모를 줄일 수 있다.
- [0026] 도 2는 시간 디지털 변환기의 회로도 이다. 제안된 시간 디지털 변환기는 비교시간 범위 증대를 위해 사용하는 많은 딜레이 셀들의 전력소모를 줄이기 위하여 간헐적 동작스위치를 도입하였다. 시점에 상관없이 지속적인 전력소모를 하는 기존의 방식에 비해, 기준 신호와 비교 신호가 들어오는 시점에서만 셀을 동작시킴으로서, 소모 전력을 줄이는 효과가 있다.
- [0027] 도 3은 본 발명의 일 실시예에 따른 디지털 위상 고정 루프 회로에 사용되는 부트스트랩 링 오실레이터의 단위 셀을 도시한 회로도이다.
- [0028] 도 3을 참조하면, 본 발명의 일 실시예에 따른 디지털 위상 고정 루프 회로에 사용되는 부트스트랩 링 오실레이터의 단위 셀은 복수의 인버터, 복수의 트랜지스터 및 커패시터로 구성될 수 있다.
- [0029] 이때, 부트스트랩 링 오실레이터의 단위 셀의 트랜지스터 드레인 전류는 아래 [수학식 1]에 따라 계산될 수 있다.

수학식 1

$$I_{D,BTRO} = \mu_n C_{ox} \frac{W}{L} \left[(\beta 2V_{DD} - V_{th})V_{out} - \frac{1}{2}V_{out}^2 \right]$$

[0030]

- [0031] 또한, 부트스트랩 링 오실레이터의 단위 셀과 그 셀의 공급전압(V_{DD})에 따라 유도된 부트스트랩 링 오실레이터의 딜레이($\tau_{PHL,BTRO}$)는 신호가 높은 레벨에서 낮은 레벨로 전환되는 시간을 나타내며, 아래 [수학식 2]에 따라 계산될 수 있다.

수학식 2

$$\tau_{PHL_{BTRO}} = C_L \cdot \ln \left| \frac{(8\beta - 1)V_{DD} - V_{th}}{(4\beta - 1)V_{DD} - V_{th}} \right| \cdot \left[\mu_n C_{ox} \frac{W}{L} (\beta 2V_{DD} - V_{th}) \right]^{-1}$$

$$\tau_{PHL_{BTRO}} = 3C_L \cdot \left[\mu_n C_{ox} \frac{W}{L} (\beta 2V_{DD} - V_{th}) \right]^{-1}$$

[0032]

[0033] 여기서, C_L 은 부하 커패시터, V_{th} 는 문턱 정압, V_{DD} 는 공급전압, μ_n 은 제1 계수, β 는 제2 계수, C_{ox} 는 제3 계수를 각각 나타내고, W 는 반도체 소자의 폭, L 은 반도체 소자의 길이를 나타낸다.

[0034] 상기의 계산 결과에서 알 수 있듯이, 부트스트랩 링 오실레이터는 결과적으로 공급전압에 비례하게 되므로, 공급전압을 크게 유지할 필요가 있다.

[0035] 도 4는 본 발명의 일 실시예에 따른 디지털 위상 고정 루프 회로에 사용되는 오실레이터의 회로도이다.

[0036] 도 4를 참조하면, 본 발명의 일 실시예에 따른 디지털 위상 고정 루프 회로에 사용되는 오실레이터는 RDAC부, 복수의 오실레이터 단위셀(BTRO cells) 및 LDO(Low-Dropout) 레귤레이터를 포함하여 구성되고, 주파수 범위를 넓은 영역에서 조절할 수 있다.

[0037] RDAC부는 저항값을 조절하여 연산 증폭기의 (-) 단자로 입력되는 기준 전압을 Coarse하게 조절하는 기능을 수행한다.

[0038] LDO 레귤레이터는 연산 증폭기 및 다수의 트랜지스터로 구성되며, 다수의 트랜지스터의 온/오프 제어에 의해 세밀한 주파수 조절이 가능하다. 또한, LDO 레귤레이터는 디지털-아날로그 변환기(Digital to Analog Converter)를 저항 배열로 구성하였으며 디지털 루프필터에서 받은 코드값을 받아서 일차적으로 큰 단위의 주파수 조절을 위한 전압을 가할 수 있다. 또한, LDO 레귤레이터는 이차적인 주파수 조절을 위한 전압을 부트스트랩 링 오실레이터에 인가한다. 이때, LDO 레귤레이터는 연산 증폭기 내부에 배치된 트랜지스터의 폭을 조절하여 부트스트랩 링 오실레이션으로 입력되는 전압의 양을 세밀하게(fine) 조절할 수 있다.

[0039] 상기와 같이, RDAC부에서 연산 증폭기로 제공되는 전압을 1차 조절한 후, 연산 증폭기 내부에 배치된 트랜지스터의 폭을 조절하여 2차로 전압을 조절함으로써 주파수 범위를 넓은 영역에서 조절할 수 있다.

[0040] 도 5는 부트스트랩 링 오실레이터와 종래의 링 오실레이터의 공급전압에 따른 주파수 변화를 비교한 시뮬레이션 결과이다.

[0041] 도 5를 참조하면, 부트스트랩 링 오실레이터는 전통적 방식의 링 오실레이터와 달리 전압 변화에 따른 주파수 변화가 지수적이 아닌 선형적 변화를 가지므로 공정변화에 덜 민감함을 알 수 있다.

[0042] 도 6은 본 발명의 일 실시예에 따른 디지털 위상 고정 루프 회로에 사용되는 엘디오를 적용한 부트스트랩 링 오실레이터와 종래의 트랜지스터 스택 방식이 적용된 부트스트랩 링 오실레이터의 공급전압에 따른 주파수 변화를 비교한 시뮬레이션 결과이다.

[0043] 도 6을 참조하면, 엘디오 방식으로 조절할 경우 스택 방식에 비해 선형적으로 변하는 구간이 더 넓음을 알 수 있다.

[0045] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 사람이라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명

의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

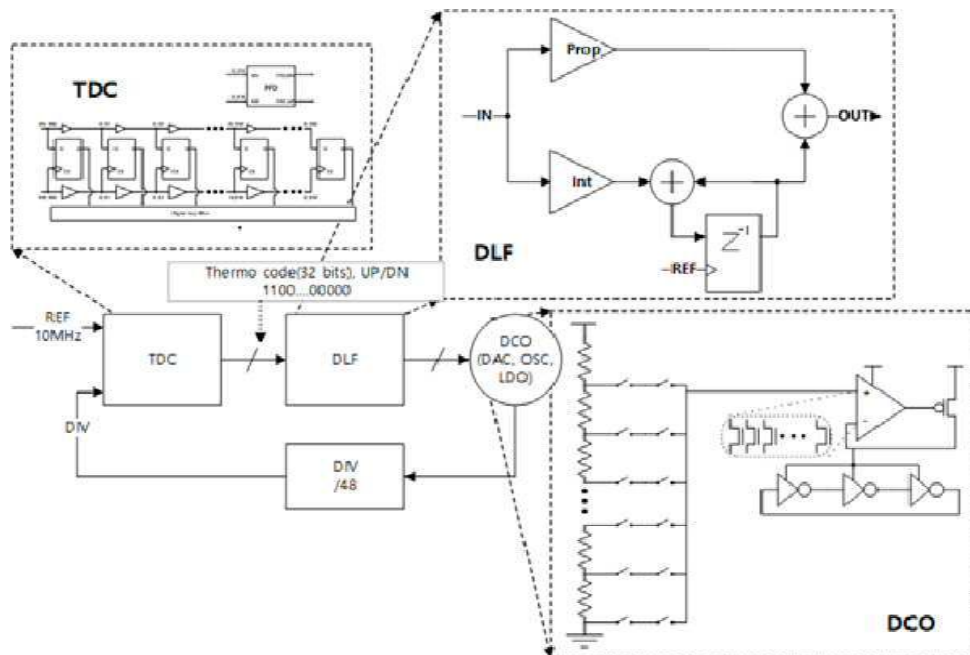
[0046]

TDC: 시간 디지털 변환부 DLF: 디지털 루프필터

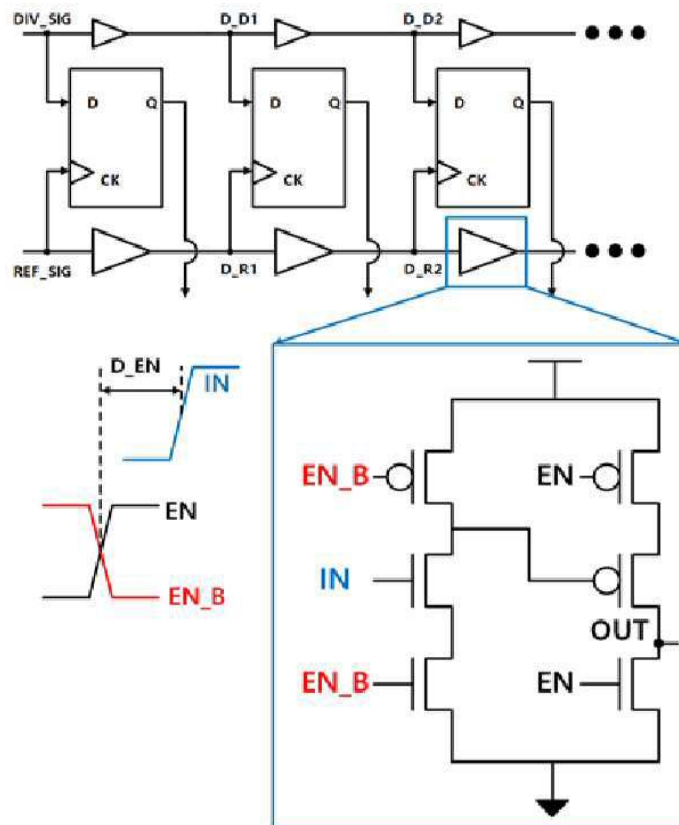
DCO: 디지털 제어 발진기 DIV: 미분기

도면

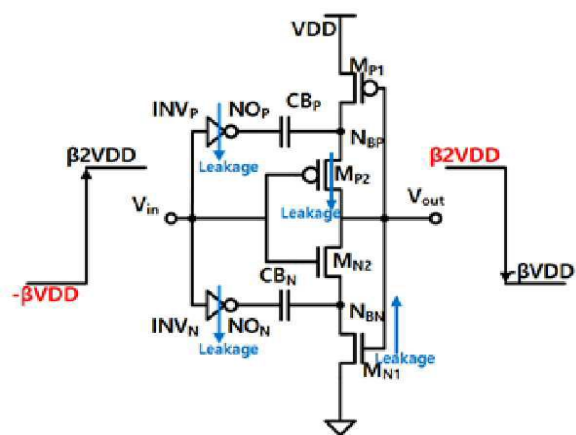
도면1



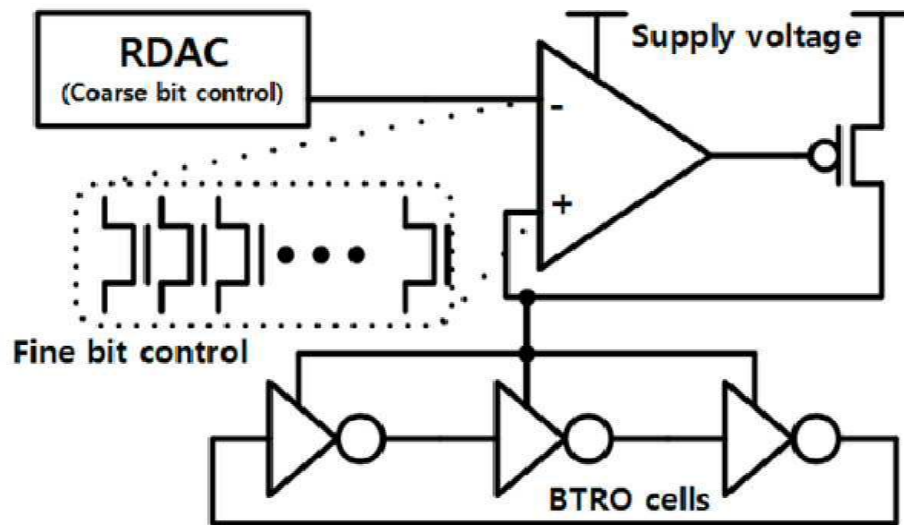
도면2



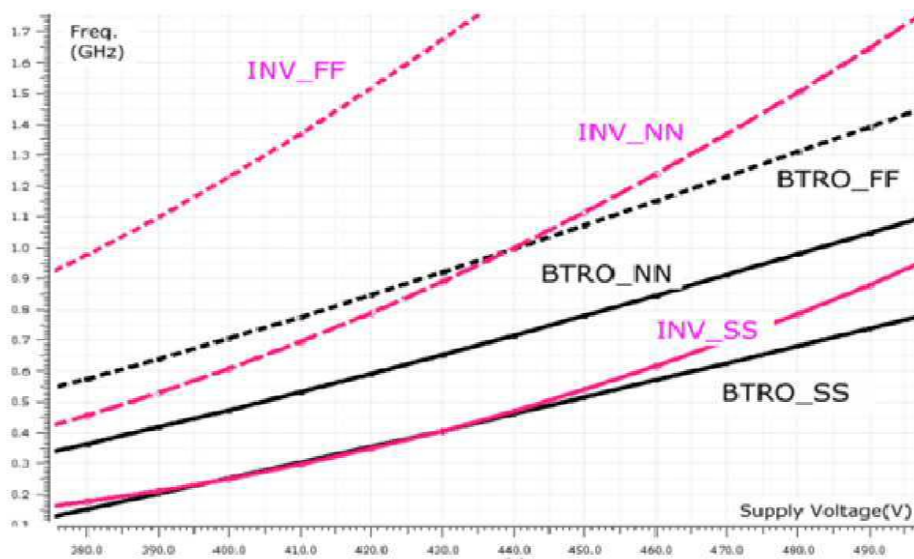
도면3



도면4



도면5



도면6

