

公告本

申請日期	89. 12. 14
案 號	89111366
類 別	H01L 23/12; 23/14

A4
C4

463338

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	用於有機地面柵極陣列路徑阻抗之除氣孔設計
	英 文	DEGASSING HOLE DESIGN FOR OLGA TRACE IMPEDANCE
二、發明 創作人	姓 名	(1)朱 龍 祥 (2)杜 胡 恩
	國 籍	(1)中國大陸 (2)美 國
	住、居所	(1)美國,亞利桑納州 85045 鳳凰城,西木爾林路 1502 號 (2)美國,亞利桑納州 85257 史考克溪谷,東貝佛街 7007 號
三、申請人	姓 名 (名稱)	英特爾公司
	國 籍	美 國
	住、居所 (事務所)	美國,加州 95051,聖塔克拉拉,沃許大道 2625 號
	代 表 人 姓 名	湯瑪斯 C · 雷諾德

裝

訂

線

463338

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6
B6

本案已向：

美國(地區) 申請專利，申請日期：1999.06.11 案號：09/330,648 ☒有 ☐無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (|)

發明領域

大致地，本發明有關電腦板及晶片封裝，且更特別地有關有機地面柵極陣列(OLGA)設計及製造。

發明背景

當用於高性能半導體晶片所需之輸入／輸出(I/O)速度及 I/Os 之總數已大幅地增加時，在晶片封裝中增加具有低線路阻抗變化之互連線路數目之需求亦已漸增。為解決此需求，製造商已使用其中若干導體層係藉介電質材料層予以分開之多層封裝。

在印刷電路板(PCB)及積體電路(IC)製造中，矽晶粒常連接於主機板。晶粒至主機板之連接係熟知為封裝。該晶粒可翻面安裝於稱為有機地面柵極陣列(OLGA)之基板元件。典型地該 OLGA 係由印刷電路板之製造中常用之 FR4 材料心所形成。

典型地，該 OLGA 板之兩面係串列之建構層，由介電質材料及導電材料之交替的層所形成。圖案可透過諸如熟知於本項技術中而將不進一步地描述於此處之濕蝕刻的種種蝕刻製程予以內建於金屬或導電層中。稱為通路之電鍍貫穿孔係使用來完成不同金屬層間之互連。利用該等層及通路，可建構若干層之互連。

在 OLGA 封裝技術中，輸入／輸出功能係利用該等層之間的金屬路徑予以達成。典型地，該等路徑為成群的。各路徑具有藉其在 OLGA 上幾何形狀及位置所產生之阻抗。由於製造技術及材料需要，OLGA 封裝需要若干形成於

五、發明說明(2)

金屬層中之除氣孔使能適當操作。除氣孔會氣體蒸發以致不會在封裝中形成氣泡。

路徑可定路線於除氣孔之上或之下、或圍繞除氣孔、或其組合。因為該等路徑並不在 OLGA 上之相同位置中，該等路徑具有阻抗變化或失配。OLGA 路徑阻抗變化產生自兩個分立來源、製造變化及設計變化。製造變化及設計變化會統計地相加以產生總阻抗變化及失配。

製造變化產生於路徑之幾何形狀變化，含有路徑寬度、路徑厚度、介電質厚度、及介電質之介電常變的變化。設計變化則從封裝設計所引起。當路徑延伸於 OLGA 中之時，該等路徑具有定路線方向及扇出方向。路徑必須從晶粒定路線至封裝。當定路線於該等路徑時，路徑之方向稱為定路線方向。扇出方向則典型地 45 度於該定路線方向，+45 度或-45 度。

典型之除氣孔圖案具有垂直對齊於兩層間之似柵極狀陣列之除氣孔，如第 1 圖中所示。在第 1 圖中，頂部層及底部層之除氣孔係確實對齊於 x 及 y 方向中。當諸如路徑 1 及路徑 2 之路徑利用有如第 1 圖中所示之除氣孔對齊設計時，路徑 1 會具有比路徑 2 更少之金屬於該路徑上方及下方之導電層。當路徑延伸於扇出方向中之時，在路徑 1 及 2 上方及下方之金屬數量中的差異會持續著。第 1 圖之除氣孔圖案會單獨地引起 20%大小之設計阻抗變化。

第 2 圖中所示之另一除氣孔圖案具有交錯於下一層之除氣孔 204 之另一似柵極狀陣列之除氣孔 202。在第 2 圖

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(3)

中，該等除氣孔係以 x 方向交錯於諸層之間。除氣孔間之距離係熟知為節距。在第 2 圖中該等層之除氣孔係交錯半個節距於 x 方向中。當諸如路徑 3 及路徑 4 之路徑使用有如第 2 圖中所示之除氣孔對齊設計時，則路徑 3 會具有比路徑 4 更少金屬於該路徑上方及下方之導體層。在該等路徑上方及下方之金屬數量的變化會因為該等孔之交錯而在 x 方向 45 度處之扇出中降低。因此，主要之設計阻抗變化仍會呈現於第 2 圖之除氣孔圖案。

當研讀及理解本說明書時，上文所述理由會將呈明顯於該等熟練於本項技術者，因此在本項技術中需有會降低 OLGA 封裝中設計變化之除氣孔圖案。

發明概述

一種 OLGA 封裝，包含配對之導電層，各層具有若干除氣孔貫穿於該處，該等層之孔係交錯於第一方向及第二方向中，非導電層位於導電層之間，以及配對之金屬路徑於該配對之導電層之間，該等層具有大約相同的阻抗。

圖式簡單說明

第 1 圖係習知技術除氣孔組態之頂視圖；

第 2 圖係另一習知技術除氣孔組態之頂視圖；

第 3 圖係根據本發明一實施例之除氣孔組態之立體視圖；

第 3A 圖係第 3 圖中所示實施例之頂視圖；

第 3B 圖係第 3 圖中所示實施例取沿 3B-3B 線之剖視圖；

五、發明說明 (4)

第 4 圖係根據本發明一實施例之積體電路的方塊圖；
以及

第 5 圖係本發明之封裝實施例的透視圖。

實施例之說明

在下文該等實施例的詳細說明中，參考係作成形成其一部分之附圖，且其中係利用可實施本發明之描繪性特定實施例予以顯示。將理解的是，可使用其他實施例且可完成結構性之改變而不會背離本發明之範疇。

第 3 圖顯示根據本發明一實施例 300 之除氣孔組態。實施例 300 包含 OLGA，該 OLGA 具有夾入介電質層 306 之至少兩個金屬建構層 302 及 304。各該等金屬層 302 及 304 分別地具有複數個除氣孔或洞 308 及 310 於其中。當金屬層 302 及 304 垂直地對齊使得該等層堆疊時，實施例 300 具有交錯於 x 方向及 y 方向中之層 302 中的除氣孔及層 304 中之除氣孔 310，如第 3 圖中所示，雖選擇 x 及 y，但可使用任一坐標系統而不會背離本發明之範疇。

在一實施例，亦顯示於第 3A 圖中，該等除氣孔設置於格子圖案中，具有除氣孔於層 302 及 304 中而形成具有格子常數於一方向中及第二格子常數於另一實質垂直的方向之格子狀圖案。為說明之目的，該格子狀圖案係顯示於第 3 圖之中而具有第一格子常數於 x 方向中及第二格子常數於 y 方向中。在此實施例中，該除氣孔格子圖案具有 x 方向及 y 方向中從層 302 至層 304 交替之除氣孔。換言之，如上述所看到之除氣孔格子圖案中，亦即，係向下注視

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

於該等堆疊層 302 及 304 之上，具有在 x 方向及 y 方向中交替於層 310 之除氣孔 304 之層 302 的除氣孔 308。

各除氣孔 308 或 310 具有在 x 及 y 坐標中之位置以及 z 坐標位置。該 z 方向係最佳地顯示於第 3 圖中。在各層上之所有除氣孔 308 之 z 坐標係相同的。在層 302 上之所有除氣孔 308 的 z 坐標相異於層 304 上之除氣孔 310 的 z 坐標但相同於層 302 上之所有除氣孔 308。如第 3A 圖所示，在實施例 300 中，各除氣孔在 x 方向中及 z 方向中毗鄰於不同層上且具有不同 z 坐標之除氣孔。該等除氣孔會在 x 方向及 y 方向中交替 z 坐標自層 302 至層 304。在實施例 300 中之各除氣孔具有唯一之 x、y 及 z 坐標組。

在一實施例中，第一格子常數，亦即，在 x 方向中之格子常數具有該等除氣孔 308 及 310 直徑兩倍之節距或間隔 316。在此實施例中，在 y 方向中之第二格子常數具有相等於該等除氣孔 308 及 310 之直徑的節距 318。在另一實施例中，該第一格子常數為 500 微米而第二格子常數則為 250 微米。在此實施例中，該等除氣孔之直徑為 250 微米。因此，在層 302 或 304 中之毗鄰除氣孔間之最小間隔約為 500 微米。

典型地，上述路徑係成群的。路徑 312 及 314 係顯示於第 3 及 3B 圖中。然而，應理解的是，可成群超過兩條路徑，且此等額外之路徑係涵蓋於本發明之範疇內。各路徑可延伸於第一定路線方向中且可扇出於第二扇出方向中。該扇出典型地係完成於 ± 45 度於定路線方向。如上述，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (6)

具有來自該等路徑上方及下方之不同金屬數量之不同路徑將具有阻抗失配。具有第 3 圖之實施例中所示之除氣孔的交錯節距組態，定路線於金屬層 302 及 304 間之諸如路徑 312 或 314 之單一路徑大略地在其路徑路線中具有相同之除氣孔於各層。進一步地，諸如路徑 312 或 314 之各信號路徑亦將具有在該路徑上方及下方較密切匹配於以相同方式中所定路線之另一路徑上方及下方金屬數量之金屬數量。

在第 3 圖中所示之路徑組態中，路徑 312 及路徑 314 係定位延伸於最差之可行的路徑線路中，亦即，產生具有最大阻抗變化於該等路徑間之路徑線路配對。當延伸於定路線方向中之時，路徑 314 會在各層中大約除氣孔之中心處穿過除氣孔之中心。另一方面，當延伸於定路線方向中之時，路徑 312 會切過各層中除氣孔的邊緣。在此最差之設想例中，由於設計考量之阻抗變化會由於以不同除氣孔組態之設計而大幅地在阻抗變化上減少。

倘若在第 3 圖之組態中之主要定路線方向係實質地在 x 方向中，則定路線於 x 方向中之路徑將不具限制於其 y 坐標。換言之，就其 y 坐標位置而言，定路線 x 方向中之路徑可自由地向上或向下移動。若多重信號線沿著 x 方向緊密地定路線時，該除氣孔組態將減少所浪費之空間量。

由於第 3 圖中所示實施例之設計變化之阻抗減少甚至更明顯於從定路線方向 45 度之扇出方向中。此可理解於第 3 圖中。當路徑係以 x 方向及 x 方向 45 度處之扇出來定路

五、發明說明 (7)

線時，該等路徑會切過在該等路徑上方及下方之除氣孔。不管路徑延伸至何處，若從定路線方向 ± 45 度時，則將切過除氣孔。例如可視自該圖，各路徑 312 至 314 會切過大約相同數目之除氣孔且覆蓋大約相同之除氣孔面積。換言之，當延伸於扇出方向中之時，各路徑 312 及 314 具有極少之金屬數量變化於該路徑上方及下方。此進一步地減少由於設計考量之阻抗。

由於設計因素之最差情況之阻抗變化會藉實施例 300 中所示之除氣孔組態而有效地減少。而在路徑上方及下方之金屬數量之中大的變化之排除可減少由於設計因素之阻抗。由於實施例 300 之除氣孔組態，可以以更小之影響來定路線諸路線以用於嚴格之配置。

第 4 圖描繪本發明積體電路 400 之方塊圖。該積體電路 400 接收輸入或控制信號。該信號可耦合於 OLGA 封裝 402 以用於藉內部電路 404 之處理。OLGA 402 可如上述地相於第 3 圖來設置。該積體電路可為任何形式之積體電路，含有但未受限於處理器、記憶體、記憶體控制器、或應用特定之積體電路(ASIC)。

第 5 圖顯示本發明之電路封裝實施例 500。在實施例 500 中，矽晶粒 502 之連接係作成主機板 504 之 OLGA 部分。在一實施例中，該晶粒係翻面安裝於板。該 OLGA 可如上述地相對於第 3 圖來設置。同時，在另一實施例中，如上述地相對於第 3 圖設置之 OLGA 可安裝於主機板之插座。此一電路封裝亦可含有處理器或其他熟知於該等熟練

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (8)

於本項技術者之電子組件。

在其他實施例中，本發明之 OLGA 封裝可以用此等組態來使用於晶片組及處理器封裝，以及類似物。利用 OLGA 封裝技術之任何處理器產品能實施本發明該等實施例之一。

將理解的是，上述說明係打算作為描述繪性而非限制性。當閱讀及理解上述說明時，許多實施例將明顯於該等熟練於本項技術者。因此，本發明之範疇應參考附錄之申請專利範圍連同給與該等申請專利範圍權利之等效例的全部範疇。

元件符號

1、2、3、4	路徑
102、202、204	除氣孔
300、500	實施例
400	積體電路
302、304	金屬層
308、310	除氣孔
316、318	節距
312、314	路徑
402	有機地面柵極陣列封裝
404	內部電路
502	矽晶粒
504	主機板

四、中文發明摘要(發明之名稱：)

用於有機地面柵極陣列路徑阻抗之除氣孔設計

一種有機地面柵極陣列，具有夾入非導電層之多重金屬建構層而具有交錯之除氣孔圖案於金屬層中。該交錯之圖案發生於兩個實質垂直之方向中。由於該除氣孔圖案，該等金屬層之間的路徑已減少了阻抗變化。

英文發明摘要(發明之名稱：DEGASSING HOLE DESIGN FOR OLGA TRACE IMPEDANCE)

An organic land grid array having multiple built up layers of metal sandwiching non-conductive layers, having a staggered pattern of degassing holes in the metal layers. The staggered pattern occurs in two substantially perpendicular directions. Traces between the metal layers have reduced impedance variation due to the degassing hole pattern.

六、申請專利範圍

- 1.一種有機地面柵極陣列(OLGA)封裝，其係包含：
 - 配對之導電層，各層具有複數個除氣孔貫穿該處，該等層之該等孔在第一方向及第二方向中自一層偏置至另一層；
 - 非導電層，其係位於該配對之導電層之間；以及
 - 至少兩金屬路徑，在該配對之導電層之間，該等路徑具有大致相同之阻抗。
- 2.如申請專利範圍第 1 項之有機地面柵極陣列(OLGA)封裝，其中該第二方向實質地垂直於該第一方向。
- 3.如申請專利範圍第 1 項之有機地面柵極陣列(OLGA)封裝，其中該第一方向係定路線方向。
- 4.如申請專利範圍第 1 項之有機地面柵極陣列(OLGA)封裝，其中該第二方向係扇出方向。
- 5.如申請專利範圍第 1 項之有機地面柵極陣列(OLGA)封裝，其中一層之該等孔以該第一方向交替於另一層之孔。
- 6.如申請專利範圍第 1 項之有機地面柵極陣列(OLGA)封裝，其中一層之該等孔以該第二方向交變於另一層之孔。
- 7.如申請專利範圍第 1 項之有機地面柵極陣列(OLGA)封裝，尚包含至少另一非導電層及導電層，其係建構於該配對之導電層之上，以及另一群之金屬路徑於該至少另一導電層與該配對之導電層之間。
- 8.一種基板，其係包含；

六、申請專利範圍

一第一層及一第二層，實質地堆疊於彼此之頂部上，且具有第三層被夾入於其間，各該第一及第二層具有複數個孔於其中，在該第一層中之孔位置與該第二層中之孔位置交替於第一方向中，並且在該第一層中之該等孔位置與該第二層中之該等孔位置交替於實質地垂直該第一方向之第二方向中；以及

至少兩金屬路徑，在該第一與該第二層之間，該等路徑延伸於該第一方向中。

9.如申請專利範圍第 8 項之基板，其中該等路徑扇出於第一方向之第一角度處。

10.如申請專利範圍第 9 項之基板，其中該第一角度係大約為 ± 45 度。

11.如申請專利範圍第 8 項之基板，其中該等孔係除氣孔。

12.如申請專利範圍第 8 項之基板，其中該第一層與該第二層之該等孔係以格子的構成來設置。

13.如申請專利範圍第 8 項之基板，其中在定路線方向中之毗鄰孔間之間隔係兩倍於第二實質垂直方向中之毗鄰孔間之間隔。

14.如申請專利範圍第 8 項之基板，其中在該第一層中之孔間之間隔係 1000 微米於該第一方向中，並且其中在該第一層中之孔間之間隔係 500 微米於該第二方向中。

15.如申請專利範圍第 8 項之基板，其中在該第二層中之孔間之間隔係 1000 微米於該第一方向中。

六、申請專利範圍

16.如申請專利範圍第 8 項之基板，其中在該第二層中之孔間之間隔係 500 微米於該第二方向中。

17.如申請專利範圍第 8 項之基板，其中在該第一方向中該第一層與該第二層之孔間之間隔係 500 微米。

18.如申請專利範圍第 8 項之基板，其中在該第二方向中該第一層與該第二層之孔間之間隔係 250 微米。

19.一種有機基板，其具有至少兩建構層，即，一頂部層及一底部層，夾入一第三層於間，該頂部層及該底部層具有包含複數個除氣孔於各該頂部層及該底部層之中的除氣孔組態，其中該等除氣孔係形成具有除氣孔交替於該頂部層與該底部層之間的格子，該等孔係該頂部層與該底部層間之節距來交錯，該等孔係以第一定路線方向及以實際垂直於該第一方向之第二方向來交錯。

20.一種積體電路封裝，其係包含：

— 矽晶粒；

— 有機地面柵極陣列，安裝於該矽晶粒，該有機地面柵極陣列(OLGA)包含：

一頂部層及一底部層，各該等層具有複數個孔於其中，該頂部層及該底部層之該等孔交替於第一方向中，且交替於實質地垂直於該第一方向之第二方向中；以及

配對之金屬路徑，在該第一與該第二層之間，該等路徑延伸於該第一方向中。

21.如申請專利範圍第 20 項之積體電路封裝，其中該等路徑扇出於第一方向之第一角度處。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

22.如申請專利範圍第 21 項之積體電路封裝，其中該第一角度為 ± 45 度。

23.如申請專利範圍第 20 項之積體電路封裝，其中該等孔係除氣孔。

24.如申請專利範圍第 20 項之積體電路封裝，其中該第一層及該第二層之該等孔係以格子的構成來設置。

25.如申請專利範圍第 8 項之基板，其中在定路線方向中之毗鄰孔間之間隔係兩倍於第二實質垂直方向中之毗鄰孔間之間隔。

26.如申請專利範圍第 20 項之積體電路封裝，其中在該第一層中之孔間之間隔係 1000 微米於該第一方向中，並且其中在該第二層中之孔間之間隔係 1000 微米於該第一方向中。

27.如申請專利範圍第 20 項之積體電路封裝，其中在該第一層中之孔間之間隔係 500 微米於該第二方向中，以及其中在第二層中之孔間之間隔係 500 微米於該第二方向中。

28.如申請專利範圍第 20 項之積體電路封裝，其中在該第一方向中該第一層與該第二層之孔間之間隔係 500 微米。

29.如申請專利範圍第 20 項之積體電路封裝，其中在該第二方向中該第一層與該第二層之孔間之間隔為 250 微米。

30.一種電路總成，其係包含：

六、申請專利範圍

一微處理器，

一基板，其係包含：

一第一層及一第二層，實質地堆疊於彼此之頂部上，且具有一第三層，夾入於其間，各該第一及第二層具有複數個孔於其中，在該第一層中及該第二層中之該等孔位置交替於第一方向中，及交替於實質地垂直該第一方向之第二方向中；以及

配對之金屬路徑，在該第一與該第二層之間，該等路徑大致延伸於該第一方向中；以及

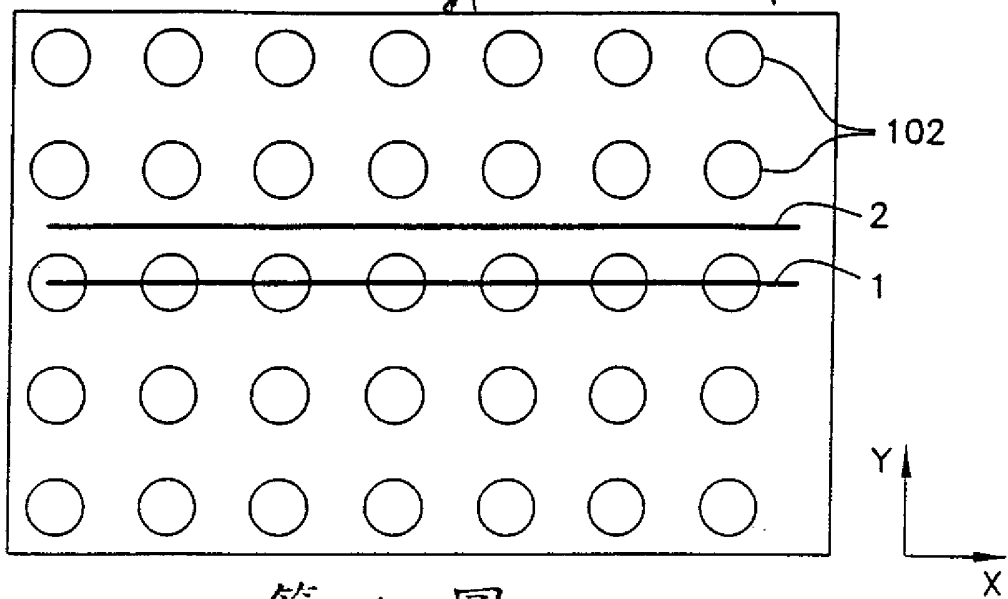
一主機板，其係具有複數個安裝區域於其上，該基板可安裝於該主機板之上。

(請先閱讀背面之注意事項再填寫本頁)

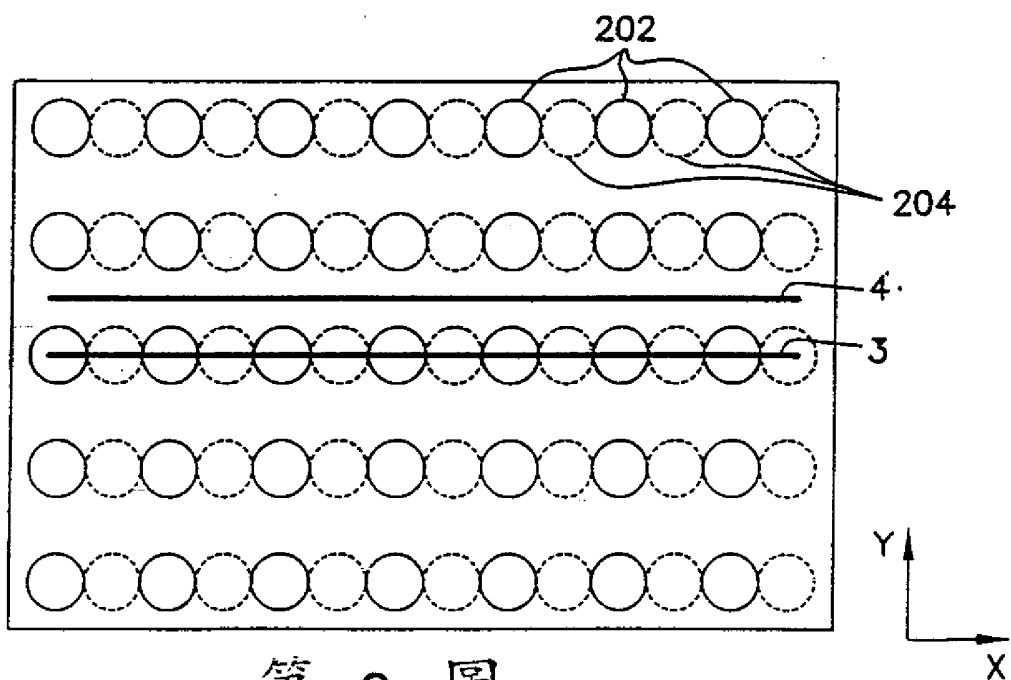
裝

訂

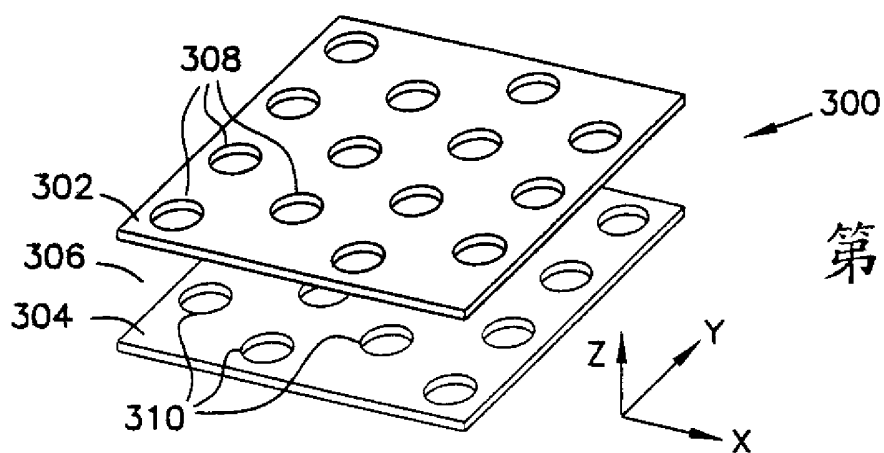
線



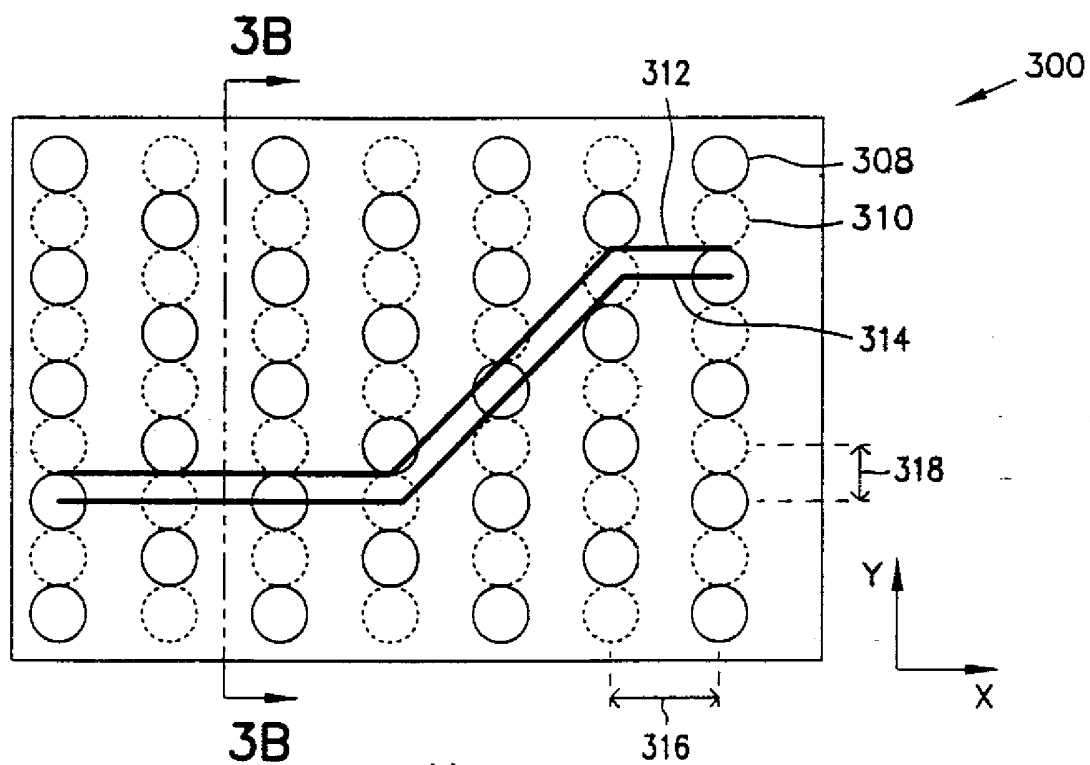
第 1 圖



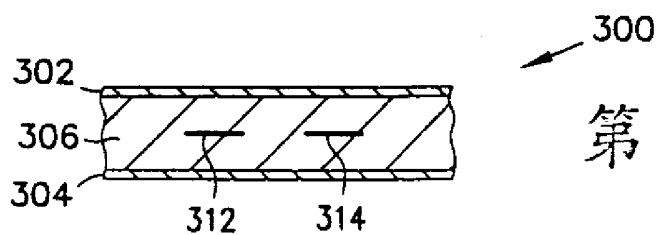
第 2 圖



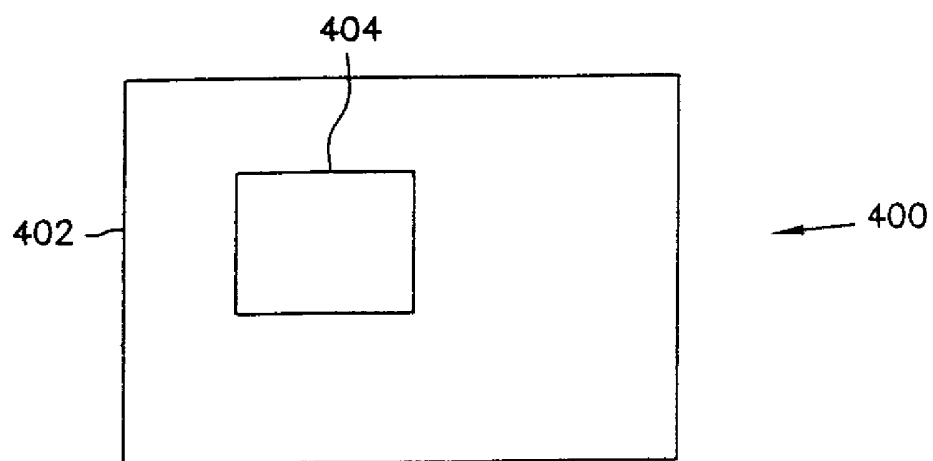
第 3 圖



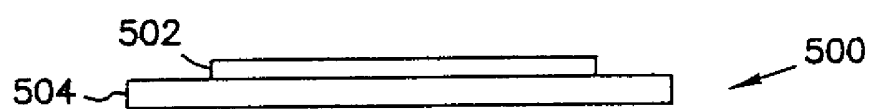
第 3A 圖



第 3B 圖



第 4 圖



第 5 圖